(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4045104号
(P4045104)

(45)発行日　平成20年2月13日(2008.2.13)　(24)登録日　平成19年11月22日(2007.11.22)

(51)Int.Cl.			F I		
H04N	***1/028***	***(2006.01)***	H04N	1/028	A
H04N	***5/335***	***(2006.01)***	H04N	5/335	F

請求項の数 3　(全 11 頁)

(21)出願番号	特願2002-13958(P2002-13958)
(22)出願日	平成14年1月23日(2002.1.23)
(65)公開番号	特開2002-320069(P2002-320069A)
(43)公開日	平成14年10月31日(2002.10.31)
審査請求日	平成17年1月20日(2005.1.20)
(31)優先権主張番号	09/769721
(32)優先日	平成13年1月25日(2001.1.25)
(33)優先権主張国	米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
ＨＥＷＬＥＴＴ－ＰＡＣＫＡＲＤ　ＣＯＭＰＡＮＹ
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100075513
弁理士　後藤　政喜
(74)代理人　100084537
弁理士　松田　嘉夫
(72)発明者　カート　イー　スピアーズ
アメリカ合衆国　コロラド８０５２５　フォートコリンズ　スピンネーカーレーン　３１９

最終頁に続く

(54)【発明の名称】走査方法

(57)【特許請求の範囲】

【請求項１】

第１および第２の光センサ・アレイに露光を施すことと、

前記第１の光センサ・アレイ内の連続した第１の光センサ・ブロックから電荷シフト・レジスタに電荷を転送することであって、前記第１のブロックは前記第１の光センサ・アレイ内の全ての光センサよりも少数の光センサを含み、前記第１のブロックからの電荷だけが転送されることと、

前記第２の光センサ・アレイ内にある連続した第２の光センサ・ブロックからの電荷だけを前記電荷シフト・レジスタに転送して、連続した２つの光センサ・アレイのブロックからの電荷が前記電荷シフト・レジスタ上に交互に転送されて多重化されるようにすることと、

を含むことを特徴とする走査方法。

【請求項２】

前記電荷シフト・レジスタ内において、通常より低いシフト・レートで電荷をシフトさせることをさらに含むことを特徴とする請求項１に記載の走査方法。

【請求項３】

第１および第２の光センサ・アレイに露光を施すことと、

前記第１の光センサ・アレイ内の第１の光センサ・ブロックから電荷シフト・レジスタに、直接電荷を転送することであって、前記ブロックは全ての前記光センサよりも少数の光センサを含み、前記第１のブロックからの電荷だけが転送されることと、

前記電荷シフト・レジスタ内において、前記第１の光センサ・ブロックからの電荷をシフトすることと、

前記第２の光センサ・アレイ内にある第２の光センサ・ブロックからの電荷を、電荷をシフトする前に前記第１の光センサ・ブロックからの電荷によって予め占有されている電荷シフト・レジスタの段に転送して、２つの光センサ・アレイのブロックからの電荷が前記電荷シフト・レジスタ上に交互に転送されて多重化されるようにすることと、

を含むことを特徴とする走査方法。

【発明の詳細な説明】

【０００１】

【発明が属する技術分野】

本発明は、一般に、光学イメージ・スキャナ及びカメラに用いられる光センサ・アレイに関するものであり、とりわけ、光学イメージ・スキャナに一般に用いられるライン・アレイに関するものである。

【０００２】

【従来の技術】

イメージ・スキャナは、文書または写真上の可視イメージ、あるいは、透明媒体内のイメージを、コンピュータによるコピー、記憶または処理に適した電子形態に変換する。イメージ・スキャナは、独立した装置とすることもできるし、コピー機の一部、ファクシミリ機の一部、または、多目的装置の一部とすることも可能である。反射イメージ・スキャナは、一般に、制御される光源を備えており、光が文書表面から反射され光学系を通って、光電デバイス（ｐｈｏｔｏｓｅｎｓｉｔｉｖｅ　ｄｅｖｉｃｅ）アレイに送り込まれる。光電デバイスは、受光強度を電気信号に変換する。透過イメージ・スキャナは、例えば、写真のポジ・スライドのような透明イメージに光を透過させ、光学系を介して、その後光電デバイスアレイに送り込む。

【０００３】

一般に、イメージ・スキャナは、光学レンズ系を用いて、イメージを光センサ・アレイに集束させる。光センサのライン・アレイの場合、ライン・アレイは、スキャナの光学系と連係して、走査される文書の走査線を画定する。光センサ・アレイは、一般に、数千の個別の光電素子（ｐｈｏｔｏｓｅｎｓｉｔｉｖｅ　ｅｌｅｍｅｎｔ）を備えている。各光電素子は、スキャナの光学系と連係して、文書上の有効領域からの光の強度を測定し、走査を受けるイメージの画素（ピクセル）を定める。

【０００４】

一般的な光センサ・テクノロジには、電荷結合素子（ＣＣＤ）、電荷注入素子（ＣＩＤ）、相補形金属酸化膜（ＣＭＯＳ）素子、及び、太陽電池が含まれている。一般に、ＣＩＤまたはＣＭＯＳアレイの場合、各光電素子はアドレス指定可能である。対照的に、ＣＣＤライン・アレイは、一般に、全ての電荷をバケツ・リレー・スタイルで光電素子の各ライン・アレイからの少数のセンス・ノードに順次転送し、電荷が測定可能な電圧に変換されるようにする。本特許明細書は、主として、電荷転送レジスタまたは順次読み出しレジスタとも呼ばれる直列電荷シフト・レジスタを備えた光センサに関するものである。

【０００５】

文書または写真、あるいは、走査中の他のイメージが、スキャナによる走査が可能な最大サイズよりもかなり小さい場合がある。例えば、幅が約２２０ｍｍの文書を走査することが可能なスキャナを用いて、幅が約３５ｍｍのネガ・フィルムまたはスライドの走査を行う場合があり得る。あるいはまた、米国の「Ｂ」サイズ文書またはメートル法実施国のＡ３文書を走査することが可能なスキャナを用いて、米国の「Ａ」サイズ文書またはメートル法実施国のＡ４文書を走査することが日常的に行われる可能性がある。最後に、スキャナには一般に、最初にページ全体が低解像度で走査され、その後、高解像度による最終走査に備えてスキャナのオペレータがページの小部分を選択するプレビュー機能が付いている。

【０００６】

【発明が解決しようとする課題】
典型的には、スキャナは、電荷を走査線における最大数のピクセルに関するデジタル値に変換し、その後、望ましくないデジタル値を廃棄する。決して用いられることのないデジタル・データの生成にかなりの量の時間が割かれることになる。小さなイメージまたはページのうちの小さな部分を高解像度で走査する場合、走査速度は、利用されることのないデータの変換によって制限されてしまう可能性がある。
【０００７】
本発明の目的は、スキャナの最大走査幅に比べて比較的幅の狭い領域の走査に必要とされる時間を短縮することにある。
【０００８】
【課題を解決するための手段】
光センサ・アセンブリは、複数のセクションにセグメント化されている電荷転送ゲートを備えている。個々のセクションが制御可能である。小さなイメージの場合、電荷転送ゲートの該当するセクションだけを用いて、光センサから電荷シフト・レジスタに電荷が転送される。電荷シフト・レジスタは、アナログ・デジタル変換のためのノードに向けて電荷をシフトする。全ての電荷がシフトされて電荷転送ゲートの該当するセクションを通過すると、電荷転送ゲートの該当するセクションを再起動することが可能になる。結果として、複数の部分走査線を電荷シフト・レジスタに多重化することが可能になる。定常状態の場合、イメージの小セクションからの電荷だけが変換されるので、処理時間が短縮される。走査時間全体が露光時間によって制限される場合、シフトする電荷が少なくなる結果として、シフト・レートが低下し、そのため、電荷転送効率の改善が可能になる。利用されていない光センサに蓄積された電荷は、オーバーフロー・ドレインに捨てられる。
【０００９】
【発明の実施の形態】
図１（Ａ）の場合、光センサ・アセンブリには、光センサのライン・アレイ１００と、電荷シフト・レジスタ１０２が含まれている。電荷転送ゲート１０４は、複数セクションにセグメント化されている。図１（Ａ）の例に示されるように、電荷転送ゲート１０４はそれぞれ、制御ライン１０６によって個別に制御可能な、Ａ、Ｂ、Ｃ、及び、Ｄで表示される４つの等長セクションにセグメント化されている。露光後、電荷転送ゲート１０４のセクションを制御することによって、ライン・アレイをなす光センサからのいずれの電荷を電荷シフト・レジスタ１０２に転送するかが決定される。例えば、電荷転送ゲート１０４の４つのセクション全てを起動させて、最大幅の走査線が捕捉される（取り込まれる）ようにすることもできるし、あるいは、半分の幅の捕捉もできるし、４分の１の幅の他の任意の組み合わせも可能である。露光を繰り返すと、転送されない電荷のある光センサが飽和し、電荷が、隣接する光センサにオーバーフローすることになる。図１（Ａ）の場合、横方向オーバーフロー・ドレイン１０８によって、過剰な電荷が蓄積することが防止される。図１（Ａ）の場合、電荷シフト・レジスタ１０２の電荷は、アナログ・デジタル変換（不図示のＡ／Ｄ変換器）のために増幅器１１０にシフトされる。
【００１０】
実際には、利用可能な走査線幅の１／４だけしか必要がないものと仮定する。図１（Ｂ）の例においては、電荷転送ゲート１０４の１つのセクション（セクションＤ）だけが起動され、ライン・アレイ１００からの電荷（１１２）の１／４を含むブロック分の電荷が、電荷シフト・レジスタ１０２に転送される。電荷シフト・レジスタの残りの段は、この転送による影響を受けることはない。これら残りの段については、さらに詳細に後述する。電荷シフト・レジスタ１０２は、Ａ／Ｄ変換のため、増幅器１１０に電荷１１２をシフトする。
【００１１】
図１（Ｃ）では、２回目の露光中に、電荷シフト・レジスタ１０２の電荷が増幅器１１０に向けてシフトされる。４回シフトすると、電荷シフト・レジスタ１０２は、ライン・アレイ１００から別のブロックの電荷を受け入れる準備が整う。電荷シフト・レジスタの１

つのセクション（セクションＤ）が、再び起動され、光センサ・アレイ１００からの電荷の１／４を含むブロックの電荷１１４が、電荷シフト・レジスタ１０２に転送される。上述のように、光センサ・アレイ１００の残りの部分に蓄積された電荷は、オーバーフロー・ドレイン１０８へと抜かれる。この時点で、２回の異なる露光による電荷が、電荷シフト・レジスタ１０２へと多重化されているという点に留意されたい。図１（Ｃ）に示された例において、対象となるイメージが増幅器からの距離が最大の電荷シフト・レジスタ段にある場合、捕捉されている１／４の走査線に含まれた小イメージからの４つの部分走査線が電荷シフト・レジスタ１０２に多重化され得る。

【００１２】

電荷シフト・レジスタ１０２に転送された電荷が増幅器に最も近い端部に達すると、電荷シフト・レジスタの電荷の１／４が、次の走査線の露光中に処理される。従って、定常状態において、処理時間（シフト時間とＡ／Ｄ変換時間との合計である）は、全幅走査線に必要な処理時間の約１／４に短縮される。電荷転送ゲートが４つの等長セクションに分割される場合、転送された電荷が増幅器に達すると、電荷転送ゲートのどのセクションが利用されるかに関係なく、全幅走査線に必要な処理時間の約１／４に処理時間が短縮されるという点に留意されたい。唯一の変数は、どれだけの多さの部分走査線が多重化されるかということである。例えば、電荷シフト・レジスタのセクションＡだけが用いられる場合、処理時間は、約１／４に短縮され、多重化はされない。電荷シフト・レジスタのセクションＢだけが用いられる場合、処理時間は、約１／４に短縮され、２つの部分走査線が多重化される。

【００１３】

典型的には、一回の露光の間の電荷は、後続の露光中に処理される。走査時間全体が、処理時間または露光時間によって制限される可能性がある。走査時間全体が露光時間によって制限される場合には、処理時間を短縮することによって走査時間全体が改善される。しかし、セグメント化された電荷転送ゲートを用いて精度を向上させることも可能である。電荷転送効率（ＣＴＥ：Ｃｈａｒｇｅ　Ｔｒａｎｓｆｅｒ　Ｅｆｆｉｃｉｅｎｃｙ）は、１シフト・サイクル中に電荷が転送される比率である。全転送効率（ＴＴＥ：Ｔｏｔａｌ　Ｔｒａｎｓｆｅｒ　Ｅｆｆｉｃｉｅｎｃｙ）は、シフト・レジスタ全体でクロック制御された後にシフト・レジスタ段に残っている全電荷の尺度である。ＣＴＥ及びＴＴＥ値が低いと、スメアを生じることになり、イメージの明領域が暗領域内に滲み出ることになりがちである。ＣＴＥ及びＴＴＥは、シフト時間によって影響され、とりわけ、ＣＴＥ及びＴＴＥはシフト時間が長くなると向上する。セグメント化された電荷転送ゲートの場合、次の露光時間中に処理される電荷が少なくなるので、電荷転送ゲートのクロック・レートを低下させることが可能となり、このため、ＣＴＥ及びＴＴＥの向上が可能になる。構成によっては、両方とも恩恵に浴することが可能な場合もある。例えば、仮想スキャナにおいて、全幅走査の場合に、各走査線の処理時間が露光時間の２倍になるものと仮定する。４セグメント電荷転送ゲートを利用すると、処理時間が１／４に短縮されるが、これによって、露光時間は処理時間の２倍になる。次に、シフト・レートを１／２に低下させると、処理時間と露光時間を等しくすることが可能になり、最終結果として走査時間が１／２に改善され、ＣＴＥ及びＴＴＥも向上することになる。

【００１４】

１つの光センサ・ライン・アレイに対して２つの電荷シフト・レジスタを設けることが知られている。この構成は、双線形（ｂｉｌｉｎｅａｒ）読み出しと呼ばれることもある。典型的には、偶数番目の光センサは第１の電荷シフト・レジスタに電荷を転送し、奇数番目の光センサは第２の電荷シフト・レジスタに電荷を転送する。従って、並列にシフト及び変換を行うことによって、シフト時間及びアナログ・デジタル変換時間が半分に短縮される。図２には、本発明によるセグメント化電荷転送ゲートを用いた双線形読み出しの利用が例示されている。図２において、ライン・アレイ２００は、第１の電荷転送ゲート２０２を介して第１の電荷シフト・レジスタ２０４に、第２の電荷転送ゲート２０８を介して第２の電荷シフト・レジスタ２１０に電荷を転送する。電荷シフト・レジスタ２０４は

、電荷を増幅器２０６にシフトし、電荷シフト・レジスタ２１０は、電荷を増幅器２１２にシフトする。やはり、図１（Ａ）～１（Ｃ）と同様に、電荷転送ゲート２０２及び２１０は、４つの等長セクションにセグメント化される。図２に描かれているように、ライン・アレイ２００の電荷の１／４が、電荷シフト・レジスタ２０４及び２１０に転送される。各電荷シフト・レジスタ内に、後続の走査線からの電荷と多重化することが可能なブロック分の電荷（２１４，２１６）が存在する。図２の例では、電荷の１／４が転送される場合、転送された電荷が増幅器に達した後の定常状態において、電荷シフト・レジスタ内の電荷の１／４が、次の走査線の露光中に処理される。従って、処理時間は、全幅走査線に必要とされる処理時間の約１／４に短縮される。図２に例示の構成の場合、光センサ・ライン・アレイに隣接した横方向のオーバーフロー・ドレインの空間がない。従って、光センサ・ライン・アレイの下方に、縦方向のオーバーフロー・ドレインを組み込むことが可能である。

【００１５】

ＣＣＤ光センサを互い違いに配置する（光センサ素子を交互に中心線から逆方向に、かつ、中心線に平行な方向にオフセット（中心線から外れ）させる）ことによって、サンプリング・レートを高め、同時に、フォトサイトのサイズを維持することが知られている。スタッガード（千鳥状の）光センサは、典型的に、両側に配置された電荷シフト・レジスタ（スタッガード・ライン・アレイのそれぞれの側に１つずつの電荷シフト・レジスタ）を必要とする。図３（Ａ）及び３（Ｂ）には、２つの異なるスタッガード・ライン・アレイから構成される光センサ行が電荷シフト・レジスタを共用するスタッガードＣＣＤアレイに関する代替的な構成が例示されている。電荷シフト・レジスタの共用は、別個の（ｓｅｐａｒａｔｅ）特許出願の内容である。しかし、図３（Ａ）及び３（Ｂ）の構成には、本発明によるセグメント化電荷転送ゲートも含まれている。

【００１６】

図３（Ａ）の場合、２行の光センサ（３００および３０４）が横方向のオーバーフロー・ドレイン３０２を共用する。光センサ行３００は、光センサ行３０４に対してスタッガード状に配置されている。２つの追加光センサ行（３１２及び３１６）は、横方向オーバーフロー・ドレイン３１４を共用している。光センサ行３１２は、光センサ行３１６に対してスタッガード状に配置されている。光センサ・アレイ３０４及び３１２は、電荷シフト・レジスタ３０８を共用している。光センサ行３００及び３１６に関する電荷シフト・レジスタは図示されていない。光センサ行３０４は、電荷転送ゲート３０６を介して、電荷シフト・レジスタ３０８に電荷を転送する。光センサ行３１２は、電荷転送ゲート３１０を介して、電荷シフト・レジスタ３０８に電荷を転送する。例示のため、電荷転送ゲート３０６及び３１０は、４つの等長セクションに分割されている。電荷シフト・レジスタ３０８の電荷は、増幅器３１８にシフトされる。

【００１７】

稼動時には、電荷シフト・レジスタ３０８は、各露光毎に２回利用される。例えば、図３（Ａ）に示すように、一回の露光について、光センサ行３０４が、まず、１ブロック分の電荷を電荷シフト・レジスタ３０８に転送することができる。次に、図３（Ｂ）に示すように、光センサ行３０４からの電荷のシフトが済むと、光センサ行３１２が、１ブロック分の電荷を電荷シフト・レジスタ３０８に転送することが可能になる。セグメント化された電荷転送ゲートの場合、光センサ行３０４及び３１２からの電荷を多重化することが可能である。図３（Ａ）及び図３（Ｂ）の例の場合、目的のイメージが、増幅器３１８からの距離が最大の電荷シフト・レジスタ段に対応する光センサ内にある場合、４つの部分走査線（光センサ・アレイ３０４からの２つと光センサ・アレイ３１２からの２つ）は、電荷シフト・レジスタ３０８へと多重化することが可能である。図３（Ａ）及び図３（Ｂ）の場合、電荷の１／４が転送されると、転送された電荷が増幅器に到達した後の定常状態において、次の露光中に、電荷シフト・レジスタの電荷の１／２が処理される。全幅走査線の場合、次の走査線の露光中に電荷シフト・レジスタ３０８を２回空にしなければならないので、処理時間が、さらに１／４に短縮されるという点に留意されたい。

【００１８】
図４（Ａ）及び４（Ｂ）には、セグメント化電荷転送ゲートが不等長セクションを備えている構成例が示されている。図４（Ａ）の場合、光センサ行４００は、電荷転送ゲート４０２を介して、電荷シフト・レジスタ４０４に電荷を転送する。光センサからの過剰電荷は、オーバーフロー・ドレイン４０８に抜き捨てられる。電荷転送ゲート４０２は、Ａ及びＢと表示された２つのセクションに分割されている。セクションＡは、セクションＢより長い。詳細な例として、日常的には、米国の「Ａ」サイズ文書またはメートル法実施国のＡ４文書の走査にも利用される、米国の「Ｂ」サイズ文書またはメートル法実施国のＡ３文書を走査することが可能なスキャナがある。例えば、セクションＡは、幅が約８．５インチ（米国サイズ「Ａ」）または約２１０ｍｍ（メートル法実施国のＡ４）の部分幅走査線に相当しうる。セクションＡにＢを加えた組み合わせは、幅が約１１．０インチ（米国サイズ「Ｂ」）または約２９７ｍｍ（メートル法実施国のサイズＡ３）の全幅走査線に相当しうる。図４（Ａ）に例示の実施形態の場合、幅の狭い文書（米国の「Ａ」またはメートル法実施国のＡ４）を配置すると、結果的に生じる電荷が電荷転送ゲート４０２のセクションＡによって転送される。文書の幅が大きくなると、電荷転送ゲート４０２のセクションＡおよびＢの両方がイネーブルされる。
【００１９】
図４（Ｂ）の全体構成は、電荷転送ゲートが、Ａ、Ｂ、及び、Ｃと表示された３つのセクションにセグメント化されている点を除けば、図４（Ａ）と同じである。セクションＢはセクションＡ及びＣより小さく、セクションＢは、走査線全体の中心近くに配置されている。詳細な例は、全幅文書を走査することが可能なスキャナであるが、３５ｍｍのスライドまたはフィルム・ネガの走査にも利用される。例えば、蛍光ランプのような一般に光学イメージ・スキャナに用いられる光源には、ランプの両端よりもランプの中心近くのほうが明るいものもある。従って、こうしたランプの場合、スライドまたは他の小さなイメージは、照明の中心近くに配置するのが望ましい。図４（Ｂ）の場合、電荷転送ゲート４１０のセクションＢは、電荷転送ゲートの中心近くに配置されている。全幅走査線の場合、電荷転送ゲートの３つのセクション（Ａ、Ｂ及びＣ）の全てが利用されるであろう。スライド及びネガ・フィルムの場合、セクションＢだけが利用されるであろう。もちろん、他の全ての組み合わせ（Ａ、Ｃ、Ａ＋Ｂ、Ｂ＋Ｃ）も可能である。
【００２０】
セグメント化電荷転送ゲートの代替案として、小イメージの処理時間を短縮するために、不要電荷を通常より高いシフト・レートでシフトして、アナログ・デジタル変換せずにただ単に廃棄することが可能である。すなわち、電荷が必要でなければ、信号設定時間、増幅器の遅延、及び、アナログ・デジタル変換時間を無視することが可能であり、処理時間は、単なる転送及びシフトに必要な時間ということになる。下記の説明において、この技法を「ラピッド・シフト」と呼ぶことにする。例えば、図１（Ｂ）の場合、電荷１１２と出力増幅器との間には、必要のない１２の電荷がある。同様に、図４（Ｂ）の場合、必要のない電荷が目的とする電荷の前に８つ存在し、目的とする電荷の後に８つ存在する。一般に、小イメージの場合、ラピッド・シフトによって、処理時間全体を大幅に短縮することが可能である。しかし、以下で示されるように、多重化によって、不要な電荷のシフトに必要な時間を削除することによって、さらに処理時間が短縮されることになる。
【００２１】
以下の論考では、図１（Ａ）～図１（Ｃ）、図２、図３（Ａ）～図３（Ｂ）および図４（Ａ）～図４（Ｂ）の各構成例毎に、処理時間が、（１）セグメント化電荷転送ゲートがない従来の光センサアセンブリであって通常のシフト速度、（２）ラピッド・シフト、及び、（３）セグメント化電荷転送ゲートを用いるといった条件で比較される。「Ｎ＝光センサ数／行」、「T_S＝電荷シフト・レジスタの１つの段から次段へのシフト時間」及び「T_C＝信号整定時間を含む、１回の電圧測定のアナログ・デジタル変換時間」とする。典型的に、電荷は一旦並列に転送された後にシリアルにシフト及び変換される。ピクセルが多数であれば、その１回の転送時間は、全シフト時間及び全Ａ／Ｄ変換時間に比べると、

相対的にあまり重要ではない。露光後、従来の構成において１つの走査線の処理に必要な全時間は、約Ｎ＊（T_S＋T_C）である。Ｎが増大し、他のパラメータが一定のままであると、各走査線の処理に必要な時間が増すことになる。典型的には、直前の走査線の変換中に、１つの走査線の露光が行われる。下記の仕様は必ずしも市販の光センサ・アレイに対応するものではなく、このテクノロジの代表的なものであり、Ｎ＝１０，０００、T_S＝１００ｎ秒、T_C＝３００ｎ秒と仮定する。

【００２２】

まず、図１（Ａ）～図１（Ｃ）のような構成であり、１０，０００個の光センサを備える例について考察することにする。セグメント化電荷転送ゲートのない一般的な先行技術によるアセンブリの場合、走査線当たりの処理時間は、約１０，０００＊（１００+３００）＊10^{-6}ｍ秒＝４．０ｍ秒になる。電荷の１／４が必要になり、必要とされる電荷が増幅器から最大距離に位置する場合、ラピッド・シフトに関して、処理時間は、約７，５００＊（１００）＊10^{-6}ｍ秒＋２，５００＊（１００+３００）＊10^{-6}ｍ秒＝１．７５ｍ秒になる。例示のように４つの等長セクションを備えたセグメント化電荷転送ゲートの場合、定常状態において、処理時間は、２，５００＊（１００+３００）＊10^{-6}ｍ秒＝１．０ｍ秒になる。

【００２３】

次に、図２のような構成であって１０，０００個の光センサを備える例について考察することにする。従来の処理の場合、並列電荷シフト・レジスタ及び並列アナログ・デジタル変換のおかげで処理時間が半分に短縮されて、２．０ｍ秒になる。同様に、ラピッド・シフトの場合には、従来の処理と比較した全処理時間が半分に短縮されて０．８７５ｍ秒になる。セグメント化電荷転送ゲートの場合、定常状態において、処理時間は、１，２５０＊（１００+３００）＊10^{-6}ｍ秒＝０．５ｍ秒になる。

【００２４】

次に、図３（Ａ）～３（Ｂ）のような構成でありスタッガード行の各対の各半分毎に５，０００個の光センサを備える構成について考察することにする。従来の処理の場合、合計１０，０００の電荷について、電荷シフト・レジスタを２回空にしなければならないので、処理時間は、従来のアレイの場合と同じになる（４．０ｍ秒）。同様に、ラピッド・シフトの処理時間は１．７５ｍ秒になり、セグメント化電荷転送ゲートの処理時間は、１．０ｍ秒になる。

【００２５】

次に、図４（Ａ）のような構成であってセクションＡが７，５００個の光センサに関する電荷を転送し、セクションＢが２，５００個の光センサに関する電荷を転送し、増幅器に最も近い７，５００の電荷シフト・レジスタ段に目的のイメージが存在する構成について考察することにする。従来の処理の場合、１０，０００の電荷を全て処理しなければならないので、全処理時間は約４．０ｍ秒になる。ラピッド・シフトの場合、全処理時間は、約７，５００＊（１００＋３００）＊10^{-6}ｍ秒＋２，５００＊（１００）＊10^{-6}ｍ秒＝３．２５ｍ秒になる。そして、例示のセグメント化ゲートの場合、全処理時間は、約７，５００＊（１００＋３００）＊10^{-6}ｍ秒＝３．０ｍ秒になる。

【００２６】

最後に、図４（Ｂ）のような、ただし、セクションＡ及びＣがそれぞれ４，０００個の光センサの電荷を転送し、セクションＢが２，０００個の光センサの電荷を転送し、電荷転送ゲートのセクションＢに対応する２，０００個の光センサ内に目的のイメージが存在する構成について考察することにする。従来の処理の場合、１０，０００の電荷を全て処理しなければならないので、全処理時間は約４．０ｍ秒になる。ラピッド・シフトの場合、全処理時間は、約２，０００＊（１００＋３００）＊10^{-6}ｍ秒＋８，０００＊（１００）＊10^{-6}ｍ秒＝１．６ｍ秒になる。例示のセグメント化ゲートの場合、定常状態における全処理時間は、約２，０００＊（１００＋３００）＊10^{-6}ｍ秒＝０．８ｍ秒になる。

【００２７】

要するに、電荷転送ゲートは、それぞれ別個に制御可能な等長セクションまたは不等長セ

クションに分割することが可能である。一般に、等長または不等長セクションについては、セグメント化電荷転送ゲートによって、比較的長い走査線内の小さく部分的な走査線の走査時間を短縮し、信号精度を向上させる（電荷転送効率を向上させる）ことが可能になる。電荷転送ゲートがＭ個の等長セクションに分割される場合、処理時間は、従来の処理時間の１／Ｍ倍にまで短縮することが可能になる。電荷シフト・レジスタ内のイメージの位置によって、いくらの数の部分走査線数が多重化されるかが影響を受けるが、定常状態処理時間には影響がない。セグメント化電荷転送ゲートとラピッド・シフトとを比較すると、セグメント化電荷転送ゲートによって、不要電荷のシフトに必要な時間を削減することが可能になる。

【００２８】

本発明に関する以上の説明は、例証及び解説のために提示されたものである。本発明を余すところなく説明しようとか、あるいは、本発明を開示の形態にそっくりそのまま制限しようとするものではなく、上述の教示に鑑みて、他の修正及び変更を加えることも可能である。実施形態は、本発明の原理及びその実際の応用例を最も分かりやすく解説することによって、他の当該技術者が、企図する特定の用途に適するさまざまな実施形態及びさまざまな修正案において本発明をもっとも有効に利用できるようにするために選択され、説明されている。付属の請求項は、先行技術による制限のある場合を除いて、本発明の他の代替実施形態を含むものと解釈されることを意図したものである。本発明は、以下のような実施の態様を含む。

【００２９】

（実施の態様１）　光センサ・アレイ（１００，２００）に最初の露光を施すステップと、
前記光センサ・アレイ内にある、全光センサよりも少ない光センサを含む光センサ・ブロックからの電荷（１１２，２１４，２１６）だけを電荷シフト・レジスタ（１０２，２０４，２１０）に転送するステップと、
前記光センサ・アレイに２度目の露光を施すステップと、
前記光センサ・アレイ内にある前記光センサ・ブロックからの電荷（１１４）だけを前記電荷シフト・レジスタに転送して、２回以上の露光による前記光センサ・ブロックからの電荷が電荷シフト・レジスタへと多重化されるステップが含まれている走査方法。

【００３０】

（実施の態様２）　電荷を転送する前記ステップにさらに、
連続した光センサを有するブロックから電荷（１１２，１１４）を転送するステップが含まれることを特徴とする、実施の態様１に記載の走査方法。

【００３１】

（実施の態様３）　電荷を転送する前記ステップにさらに、
連続した光センサを有するブロック内の光センサからの電荷（２１４，２１６）を交互に転送するステップが含まれることを特徴とする、実施の態様１に記載の走査方法。

【００３２】

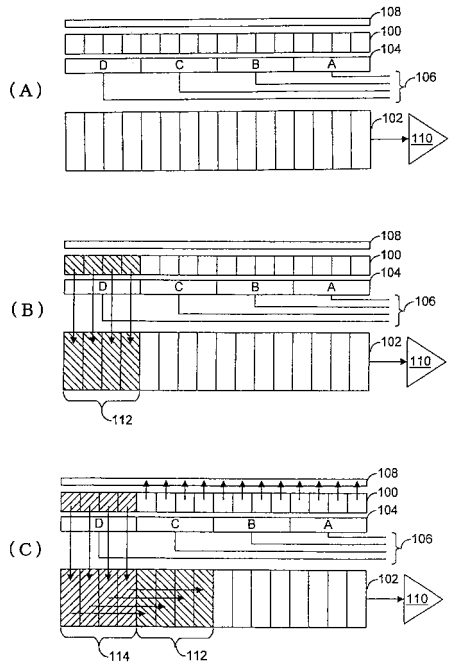
（実施の態様４）　さらに、前記電荷シフト・レジスタ内において、通常より低いシフト・レートで電荷をシフトさせるステップが含まれることを特徴とする、実施の態様１に記載の走査方法。

【００３３】

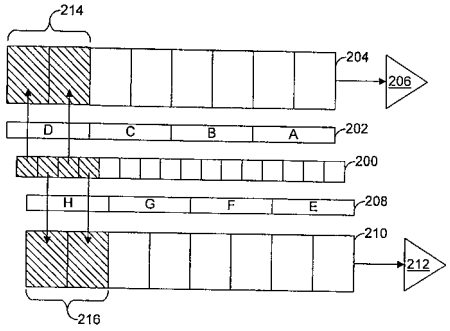
（実施の態様５）　第１および第２の光センサ・アレイ（３０４，３１２）に最初の露光を施すステップと、
前記第１の光センサ・アレイ（３０４）内の第１の光センサ・ブロックから電荷シフト・レジスタ（３０８）に電荷を転送するステップであって、該第１のブロックは前記第１の光センサ・アレイ内の全光センサよりも少ない光センサを含み、該第１のブロックからの電荷だけが転送されるステップと、
前記第２の光センサ・アレイ（３１２）内にある第２の光センサ・ブロックからの電荷だけを前記電荷シフト・レジスタに転送して、２つ以上の光センサ・アレイのブロックから

の電荷が該電荷シフト・レジスタに多重化されるようにするステップと
が含まれている走査方法。
【００３４】
（実施の態様６）　さらに、前記電荷シフト・レジスタ内において、通常より低いシフト・レートで電荷をシフトさせるステップが含まれることを特徴とする、実施の態様５に記載の走査方法。
【００３５】
（実施の態様７）　光センサ・アレイ（４００）内にある、全光センサより少ない光センサを含む光センサ・ブロックからの電荷だけを電荷シフト・レジスタ（４０４）に転送するステップと、
前記電荷シフト・レジスタが前記光センサ・ブロックからの電荷だけで満たされるまで、前記電荷の転送ステップを繰り返すステップと
が含まれている走査方法。
【００３６】
（実施の態様８）　さらに、前記電荷シフト・レジスタ内において、通常より低いシフト・レートで電荷をシフトさせるステップが含まれることを特徴とする、実施の態様７に記載の走査方法。
【図面の簡単な説明】
【図１】　電荷の流れを（Ａ）～（Ｃ）の順に例示する、本発明によるセグメント化電荷転送ゲートを備えた光センサ・アセンブリのブロック図である。
【図２】　本発明による光センサ・アセンブリに関する代替構成のブロック図である。
【図３】　電荷の流れを（Ａ）および（Ｂ）の順に例示する、本発明による光センサ・アセンブリに関する代替構成のブロック図である。
【図４】　本発明によるセグメント化電荷転送ゲートに関する追加的な代替構成のブロック図である。詳細には、２つの不等長のブロックに分割された電荷転送ゲートを例示するブロック図（Ａ）、３つの不等長のブロックに分割された電荷転送ゲートを備える構成を例示するブロック図（Ｂ）である。
【符号の説明】
１００，２００，４００　光センサ・アレイ
１０２，２０４，２１０，３０８　電荷シフト・レジスタ
３０４　第１の光センサ・アレイ
３１２　第２の光センサ・アレイ
４０４　電荷シフト・レジスタ
１１２、１１４、２１４、２１６　電荷

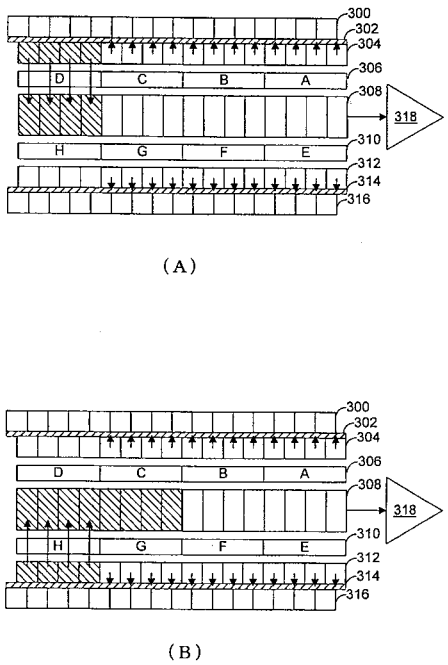
【図１】


(A)
108
100
104
D
C
B
A
106
102
110
(B)
108
100
104
D
C
B
A
106
102
110
112
(C)
108
100
104
D
C
B
A
106
102
110
114
112

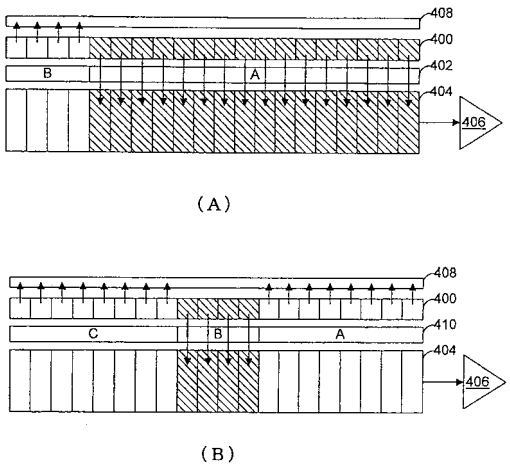
【図２】


214
204
206
D
C
B
A
202
200
H
G
F
E
208
210
212
216

【図３】


300
302
304
D
C
B
A
306
308
318
310
H
G
F
E
312
314
316
(A)
300
302
304
D
C
B
A
306
308
318
310
H
G
F
E
312
314
316
(B)

【図４】


408
400
B
A
402
404
406
(A)
408
400
C
B
A
410
404
406
(B)

フロントページの続き

(72)発明者　ダグラス　エル　フランツ
アメリカ合衆国　コロラド８０５２５　フォートコリンズ　ブレークウォーターディーアール　９００

審査官　渡辺　努

(56)参考文献　特開平０１－１４０８６５（ＪＰ，Ａ）
特開平１０－２５６５２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N　1/024-1/028
H04N　5/335