



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I576690 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：102108056

(22)申請日：中華民國 102 (2013) 年 03 月 07 日

(51)Int. Cl. : **G06F1/32 (2006.01)**
G11C5/14 (2006.01)**G06F1/04 (2006.01)**(30)優先權：2012/03/14 日本
2012/06/01 日本2012-057282
2012-125685(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201140581A1
US 7516171B2TW 201203522A1
US 2010/0246750A1

審查人員：李榮祥

申請專利範圍項數：13 項 圖式數：10 共 52 頁

(54)名稱

半導體裝置及移位暫存器

SEMICONDUCTOR DEVICE AND SHIFT REGISTER

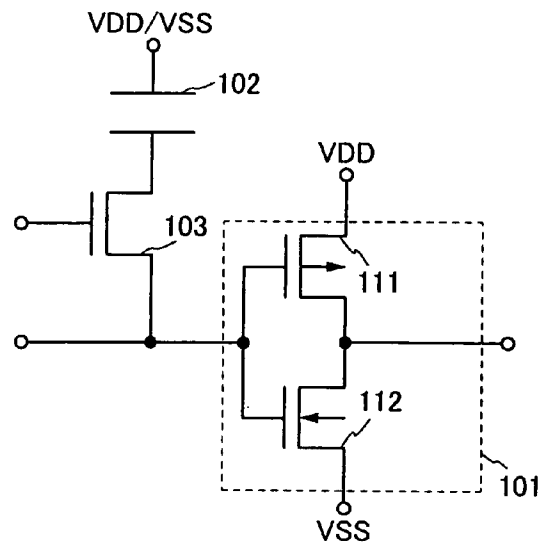
(57)摘要

即使在停止電源電壓的供應的情況下也可以儲存資料。一種半導體裝置，包括：邏輯電路，該邏輯電路藉由輸入端子被輸入資料信號；具有一對電極的電容器，該一對電極中的一方被施加高電源電位或低電源電位，而該一對電極中的另一方被施加邏輯電路的輸入端子的電位，以將資料信號的資料作為所儲存的資料寫入到電容器；以及電晶體，該電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極中的另一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出，其中電晶體的每微米通道寬度的關態電流為 100zA 以下。

Data can be stored even when the supply of a power source voltage is stopped. A semiconductor device includes a logic circuit to which a data signal is input through an input terminal; a capacitor having a pair of electrodes, one of which is supplied with a high power source potential or a low power source potential and the other of which is supplied with a potential of the input terminal of the logic circuit, so that data of the data signal is written as stored data to the capacitor; and a transistor for controlling conduction between the input terminal of the logic circuit and the other of the pair of electrodes of the capacitor, thereby controlling rewriting, storing, and reading of the stored data. The off-state current per micrometer of channel width of the transistor is lower than or equal to 100 zA.

指定代表圖：

圖 1A



- 符號簡單說明：
- 101 . . . 邏輯電路
 - 102 . . . 電容器
 - 103 . . . 電晶體
 - 111 . . . 電晶體
 - 112 . . . 電晶體

發明摘要

※申請案號：102108056

※申請日：102 年 03 月 07 日 ※IPC 分類：G06F 1/32 (2006.01)

【發明名稱】(中文/英文)

G11C 1/04 (2006.01)
G11C 5/14 (2006.01)

半導體裝置及移位暫存器

Semiconductor device and shift register

【中文】

即使在停止電源電壓的供應的情況下也可以儲存資料。一種半導體裝置，包括：邏輯電路，該邏輯電路藉由輸入端子被輸入資料信號；具有一對電極的電容器，該一對電極中的一方被施加高電源電位或低電源電位，而該一對電極中的另一方被施加邏輯電路的輸入端子的電位，以將資料信號的資料作為所儲存的資料寫入到電容器；以及電晶體，該電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極中的另一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出，其中電晶體的每微米通道寬度的關態電流為 100zA 以下。

【 英文 】

Data can be stored even when the supply of a power source voltage is stopped.

A semiconductor device includes a logic circuit to which a data signal is input through an input terminal; a capacitor having a pair of electrodes, one of which is supplied with a high power source potential or a low power source potential and the other of which is supplied with a potential of the input terminal of the logic circuit, so that data of the data signal is written as stored data to the capacitor; and a transistor for controlling conduction between the input terminal of the logic circuit and the other of the pair of electrodes of the capacitor, thereby controlling rewriting, storing, and reading of the stored data. The off-state current per micrometer of channel width of the transistor is lower than or equal to 100 zA.

【 代表圖 】

【 本案指定代表圖 】：第(1A)圖。

【 本代表圖之符號簡單說明 】：

101：邏輯電路

102：電容器

103：電晶體

111：電晶體

112：電晶體

【 本案若有化學式時，請揭示最能顯示發明特徵的化學式 】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及移位暫存器

Semiconductor device and shift register

【技術領域】

本發明係關於一種半導體裝置。另外，本發明還係關於一種移位暫存器。

【先前技術】

近年來，已在進行以處理器等使用邏輯電路的半導體裝置的低耗電量化為目的的技術開發。

作為上述低耗電量化技術，例如，可以舉出如下技術：在不需要供應電源的期間中停止將電源電壓供應到 CPU 內的邏輯電路或記憶體的驅動方法（也稱為功率閘控技術）等（例如，專利文獻 1）。

[專利文獻 1]日本專利申請公開第 2009-116851 號公報

關於現有半導體裝置，存在著多耗電量的問題。例如，在專利文獻 1 所示的半導體裝置中，為了在再開始供應電源電壓之後將半導體裝置的狀態恢復到停止供應電源電壓之前的狀態，需要從其他記憶體等再次讀出資料或者再次輸入信號的脈衝以進行寫入等，由此耗電量多，且恢

復原狀也需要很多時間。

作為上述問題的解決方案之一，已在研討將用來儲存資料的非揮發性記憶元件應用於半導體裝置內的邏輯電路。作為非揮發性記憶元件，例如，有磁阻隨機存取記憶體（也稱為 MRAM）。

然而，MRAM 雖然具有高速工作的優點，但是存在著寫入時的耗電量多的問題，由此產生在停止供應電源電壓的期間短時反而導致耗電量增大的矛盾。

【發明內容】

本發明的目的之一是即使在停止供應電源電壓的情況下，也能夠儲存資料。另外，本發明的目的之一是降低耗電量。

在本發明的一個方式中，使用電晶體將輸入到邏輯電路的資料信號的資料作為所儲存的資料保持在電容器中。此時，電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極之一之間的導通而控制對所儲存的資料的改寫、儲存以及讀出。

再者，藉由使用低關態電流（off-state current）的電晶體作為上述電晶體，例如即使在停止將電源電壓供應到半導體裝置的情況下也實現寫入到電容器中的資料的儲存。

本發明的一個方式是一種半導體裝置，包括：邏輯電路，該邏輯電路藉由輸入端子被輸入資料信號；電容器，

該電容器藉由一對電極中的一方被施加高電源電位或低電源電位且一對電極中的另一方被施加邏輯電路的輸入端子的電位而儲存資料信號的資料作為所儲存的資料；以及電晶體，該電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極中的另一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出，其中電晶體的每微米通道寬度的關態電流為 100zA 以下。

本發明的一個方式是一種移位暫存器，包括：具備邏輯電路的正反器，該邏輯電路藉由輸入端子被輸入資料信號；電容器，該電容器藉由一對電極中的一方被施加高電源電位或低電源電位且一對電極中的另一方被施加邏輯電路的輸入端子的電位而儲存資料信號的資料作為所儲存的資料；以及電晶體，該電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極中的另一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出，其中電晶體的每微米通道寬度的關態電流為 100zA 以下，正反器的個數為多個，並且多個電容器和多個電晶體設置為對應於多個正反器中的至少兩個或更多。

根據本發明的一個方式，即使在停止供應電源電壓的情況下也可以利用電容器儲存資料。另外，藉由使電晶體成為導通狀態或截止狀態，可以控制對電容器所儲存的資料的改寫、儲存以及讀出，由此可以降低耗電量。

【圖式簡單說明】

在圖式中：

圖 1A、1B1 以及 1B2 是示出半導體裝置的例子的電路圖；

圖 2 示出用來說明電晶體的關態電流的阿累尼烏斯圖線；

圖 3 是示出半導體裝置的例子的電路圖；

圖 4A 和 4B 是示出半導體裝置的例子的電路圖；

圖 5A 至 5C 是示出移位暫存器的例子的圖；

圖 6 是示出正反器的電路結構的電路圖；

圖 7 是示出電晶體的結構例子的剖面示意圖；

圖 8 是示出半導體裝置的例子的圖；

圖 9 是用來說明半導體裝置的工作的圖；

圖 10 是示出半導體裝置的例子的電路圖。

【實施方式】

以下，參照圖式對用來說明本發明的實施方式的例子進行說明。注意，只要是所屬技術領域的普通技術人員，就可以在不脫離本發明的宗旨及其範圍的條件下容易改變實施方式的內容。因此，例如本發明不侷限於下述實施方式的記載內容。

注意，各實施方式的內容可以彼此適當地組合。再者，各實施方式的內容可以彼此適當地替換。

注意，使用第一、第二等序數詞是爲了避免各構成要素的混淆，從而各構成要素的個數不侷限於該序數詞的數

目。

實施方式 1

在本實施方式中，對本發明的一個方式的具備邏輯電路的半導體裝置的例子進行說明。

圖 1A、1B1 以及 1B2 是示出本實施方式的半導體裝置的例子的電路圖。

圖 1A 所示的半導體裝置具備邏輯電路 101、電容器 102 以及電晶體 103。

邏輯電路 101 藉由輸入端子被輸入資料信號。邏輯電路 101 將與該被輸入的資料信號相應改變的電位作為信號輸出。

在圖 1A 中，邏輯電路 101 包括由 P 通道型電晶體的電晶體 111 和 N 通道型電晶體的電晶體 112 構成的反閘（NOT）電路。作為電晶體 111 及電晶體 112，例如可以使用利用包含矽的半導體的電晶體。

此時，電晶體 111 及電晶體 112 的閘極為邏輯電路 101 的輸入端子。

另外，電晶體 111 的源極和汲極中的一方被施加高電源電位 VDD，而電晶體 112 的源極和汲極中的一方被施加低電源電位 VSS。另外，邏輯電路 101 不侷限於上述結構，例如可以使用或閘（OR）電路、及閘（AND）電路以及反或閘（NOR）電路等。另外，可以使用邏輯電路 101 構成暫存器或正反器等。

電容器 102 的一對電極中的一方被施加高電源電位 VDD 或低電源電位 VSS，而電容器 102 的一對電極中的另一方被施加邏輯電路 101 的輸入端子的電位。高電源電位 VDD 是其電位相對高於低電源電位 VSS 的電源電位，而低電源電位 VSS 是其電位相對低於高電源電位 VDD 的電源電位。高電源電位 VDD 與低電源電位 VSS 的電位差相當於電源電壓。

藉由對電容器 102 的一對電極分別施加上述電位，將資料信號的資料作為所儲存的資料寫入到電容器 102。

電晶體 103 的閘極被輸入控制信號。根據控制信號控制電晶體 103 的導通狀態或截止狀態。另外，電晶體 103 具有藉由控制邏輯電路 101 的輸入端子與電容器 102 的一對電極中的另一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出的功能。

作為電晶體 103，例如可以使用低關態電流的電晶體。

此時，上述低關態電流的電晶體的每微米通道寬度的關態電流較佳為在室溫（25℃）下為 $1 \times 10^{-19} \text{A}$ （100zA）以下。

作為上述低關態電流的電晶體，可以使用其通道形成區由氧化物半導體形成的電晶體。作為氧化物半導體，可以使用金屬氧化物類材料，例如可以舉出包含銦和鎵中的一者或兩者以及鋅的金屬氧化物或者包含其他金屬元素代替包含在該金屬氧化物中的鎵的一部分或全部的金屬氧化

物等。

形成通道的氧化物半導體的載流子密度較佳為低於 $1 \times 10^{14} \text{ atoms/cm}^3$ ，較佳為低於 $1 \times 10^{12} \text{ atoms/cm}^3$ ，更佳為低於 $1 \times 10^{11} \text{ atoms/cm}^3$ 。為了得到上述載流子密度，只要降低包含在氧化物半導體中的施體雜質的濃度，即可，例如，較佳為將作為施體雜質的氫的含量降低到 $1 \times 10^{19} \text{ atoms/cm}^3$ 或更低，較佳為降低到 $1 \times 10^{18} \text{ atoms/cm}^3$ 或更低。

藉由得到上述載流子密度，可以將場效應電晶體的每微米通道寬度的關態電流降低到 $1 \times 10^{-19} \text{ A}$ （100zA）或更低，降低到 $1 \times 10^{-20} \text{ A}$ （10zA）或更低，降低到 $1 \times 10^{-21} \text{ A}$ （1zA）或更低，進一步降低到 $1 \times 10^{-22} \text{ A}$ （100yA）或更低。

再者，參照圖 2 說明其通道形成區由包含銦、鋅以及鎵的氧化物半導體形成的電晶體的關態電流值。

因為電晶體的關態電流值極小，所以為了測定該關態電流，需要製造大尺寸的電晶體以估計實際上的關態電流。

作為一個例子，圖 2 示出根據電晶體在某種條件下的每通道寬度 $W 1 \mu\text{m}$ 的關態電流值而估計的阿累尼烏斯圖線，該條件如下：通道寬度 W 為 1 m （ $1000000 \mu\text{m}$ ）；通道長度 L 為 $3 \mu\text{m}$ ；以及溫度為 150°C 、 125°C 、 85°C 、 27°C 。

在圖 2 中，例如，在溫度為 27°C 時，電晶體的關態電

流為 $1 \times 10^{-25} \text{A}$ 以下。由圖 2 可知，其通道形成區由包含銦、鋅以及鎵的氧化物半導體形成的電晶體的關態電流值極小。

藉由使用上述低關態電流的電晶體作為電晶體 103，即使在停止供應電源電壓的情況下也可以使電容器 102 儲存資料。

另外，例如，也可以在構成邏輯電路 101 的電晶體（如電晶體 111 及 112）上層疊電晶體 103。由此，可以減小電路面積。

接著，對圖 1A 所示的半導體裝置的驅動方法例子進行說明。這裏，說明電容器 102 的一對電極中的一方被施加 VSS 且資料信號為高位準的例子。

藉由將資料信號藉由輸入端子輸入到邏輯電路 101，根據輸入端子的電位使電晶體 111 或 112 成為導通狀態。

例如，在資料信號為高位準從而輸入端子的電位為高位準的電位（也稱為 VH）時，電晶體 112 成為導通狀態，而電晶體 111 成為截止狀態。另外，在資料信號為低位準從而輸入端子的電位為低位準的電位（也稱為 VL）時，電晶體 111 成為導通狀態，而電晶體 112 成為截止狀態。

再者，說明儲存藉由輸入端子輸入的資料信號的資料的情況。

首先，使電晶體 103 成為導通狀態。

此時，電容器 102 的一對電極中的另一方的電位成為

與資料信號的電位相等。然後，如圖 1B1 所示，藉由使電晶體 103 成為截止狀態，將資料信號的資料（這裏，該資料為 VH）寫入到電容器 102。

因為電晶體 103 的關態電流低，所以在電晶體 103 處於截止狀態的期間中可以儲存所寫入的資料信號的資料。因此，例如，即使在停止將電源電壓供應到半導體裝置的情況下，也可以儲存資料信號的資料。

再者，然後，在恢復半導體裝置的狀態時，再開始將電源電壓供應到半導體裝置，如圖 1B2 所示，來使電晶體 103 成為導通狀態。

此時，邏輯電路 101 的輸入端子的電位成為與電容器 102 的一對電極中的另一方的電位相等。由此，讀出電容器 102 所儲存的資料信號的資料（這裏，該資料為 VH），而將該資料輸入到邏輯電路 101。由此，可以恢復半導體裝置的狀態。

在本實施方式的半導體裝置中，只要在將資料信號的資料寫入到電容器 102 或者從電容器 102 讀出時使電晶體 103 成為導通狀態，即可。使電晶體 103 成為導通狀態的次數越少，越可以減小耗電量。

另外，電容器 102 的電容值較佳為與邏輯電路 101 的輸入端子連接的寄生電容的電容值的 1 倍以上且小於 20 倍。另外，電容器 102 的電容值也可以為與邏輯電路 101 的輸入端子連接的寄生電容的電容值的 $1/2$ 以上且小於 50 倍。

這裏，將說明為進行上述工作所需要的電容器 102 的電容值的計算例子。

作為一個例子，考慮圖 3 所示的結構的情況。

圖 3 所示的結構是：在圖 1A、1B1 以及 1B2 所示的結構中，電容器 102 的一對電極中的一方被施加作為低電源電位 VSS 的接地電位，而在輸入端子中產生寄生電容 110 的結構。

此時，在讀出電容器 102 所儲存的資料信號的資料的情況下，以 V1 為在再開始供應電源電壓之前或在再開始供應電源電壓之後，且在電晶體 103 處於截止狀態的期間中被施加到寄生電容 110 的電壓，以 V2 為在再開始供應電源電壓之後，且在電晶體 103 處於導通狀態的期間中被施加到電容器 102 的電壓，以 Cs 為電容器 102 的電容，並且以 C1 為寄生電容 110 的電容。由此，V2 由下述算式 (1) 表示。

$$V2 = \frac{V1 \times Cs}{Cs + C1} \quad (1)$$

再者，在 V1 與高電源電位 VDD 相等，而 V2 與高位準電位相等的情況下，為了在邏輯電路 101 中辨別資料信號的高位準和低位準，需要滿足下述算式 (2)。

$$V2 > 0.7 \times VDD \quad (2)$$

此時，0.7 是根據半導體裝置的規格而設定的數值。
再者，根據算式（1）及（2）得到下述算式（3）。

$$\frac{C_s}{C_s + C_1} > 0.7 \quad (3)$$

再者，改變算式（3），以得到下述算式（4）。

$$C_s > 2.333 \times C_1 \quad (4)$$

C_1 被估計為 0.3 fF 左右，即可，除非其被延伸至單元的外部而設置佈線。因此，在算式（4）中的 C_1 為 0.3 fF 時，只要 C_s 為大約 0.7 fF 以上，就可以無故障地辨別資料信號的資料。

有關為使半導體裝置工作所需要的電容器 102 的電容值的計算例子的說明如上所述。

本實施方式的半導體裝置的結構不侷限於圖 1A、1B1 以及 1B2。

例如，圖 4A 所示的半導體裝置使用邏輯電路 101_K（K 為 2 以上的自然數）和邏輯電路 101_K-1 代替圖 1A、1B1 以及 1B2 所示的邏輯電路 101。

邏輯電路 101_K 的輸入端子與邏輯電路 101_K-1 的輸出端子電連接。

電晶體 103 具有控制邏輯電路 101_K 的輸入端子與電容器 102 的一對電極中的另一方之間的導通的功能。

另外，圖 4B 所示的半導體裝置具備電晶體 104（電晶體 104_K 及電晶體 104_K-1）。與圖 4A 所示的半導體裝置同樣，圖 4B 所示的半導體裝置具備邏輯電路 101_K 及 101_K-1，但是本發明不侷限於此。

電晶體 104_K 具有控制邏輯電路 101_K-1 的輸出端子與邏輯電路 101_K 的輸入端子之間的導通的功能。

電晶體 104_K-1 具有控制其他邏輯電路 101（未圖示）的輸出端子與邏輯電路 101_K-1 的輸入端子之間的導通的功能。

作為電晶體 104，例如可以使用利用包含矽的半導體的電晶體。另外，也可以使用可應用於電晶體 103 的電晶體。

藉由設置電晶體 104，可以控制將前一級邏輯電路 101 的輸出信號輸入到下一級邏輯電路 101 的時序。

另外，如圖 10 所示，也可以控制圖 4A 的結構中的電晶體 103 的背閘極的電位。例如，在電晶體 103 為 N 通道型電晶體的情況下，藉由將背閘極的電位設定為負值，也可以使電晶體 103 的臨界電壓偏移到正方向。

有關本實施方式的半導體裝置的說明如上所述。

如參照圖 1A、1B1 以及 1B2 至 4B 說明那樣，在本實施方式的半導體裝置的一個例子中，使用電晶體將輸入到邏輯電路的資料信號的資料作為所儲存的資料儲存在電容器中。此時，電晶體藉由控制邏輯電路的輸入端子與電容器的一對電極之一之間的導通而控制對所儲存的資料的改

寫、儲存以及讀出。就是說，與邏輯電路的輸入端子並聯設置電容器。

根據上述結構，例如，即使在停止對半導體裝置供應電源電壓的情況下也可以儲存電容器所儲存的資料。然後，藉由在再開始對半導體裝置供應電源電壓之後讀出電容器所儲存的資料而將它輸入到邏輯電路，可以迅速恢復停止對半導體裝置供應電源電壓之前的狀態。因此，電源電壓的供應的停止或再開始變得容易。

藉由使用上述半導體裝置，例如，可以構成 CPU 等各種處理器。藉由使用上述半導體裝置，可以減少耗電量。

再者，表 1 示出用於 MRAM 的磁性隧道結元件（MTJ 元件）與本實施方式的使用電晶體 103 及電容器 102 的記憶部的對比。

[表 1]

	自旋電子學(MTJ 元件)	電晶體 103 和電容器 102
耐熱性	居里溫度 (Curie Temperature)	製程溫度 500°C (可靠性 150°C)
驅動方式	電流驅動	電壓驅動
寫入原理	改變磁性體的磁化方向	電晶體 103 的導通/截止
Si LSI	適合於雙極 LSI (由於雙極 LSI 不適合於高集體化，所以在高集體化電路中較佳為使用 MOSLSI。但是，W 變大)	適合於 MOSLSI
系統開銷 (Overhead)	大 (起因於大焦耳熱)	比 MTJ 元件小兩位數至三位數或更大(起因於寄生電容的充電和放電)
非揮發性	利用自旋	利用低關態電流
讀出次數	沒有限制	沒有限制
3D 化	困難 (至多兩層)	容易 (對層的個數沒有限制)
材料	具有磁性的稀土材料	氧化物半導體
磁場耐受性	低	高
判定電路	需要	不要

作為 MTJ 元件，使用磁性材料。由此，MTJ 元件具有在居里溫度或更高的溫度下失掉磁性的缺點。此外，因為 MTJ 元件利用電流驅動，所以與使用矽的雙極性裝置

搭配良好，但是雙極性裝置不適合於集體化。

MTJ 元件具有低磁場耐受性，並在暴露於強磁場時其磁化方向容易改變。另外，用於 MTJ 元件的磁性體在被奈米尺度化時發生磁場波動。

另外，MTJ 元件因利用電流驅動而導致寫入電流的上升，而電容器 102 及電晶體 103 因利用電壓驅動而可以減小寫入電流。

另外，MTJ 元件在讀出資料而將該資料輸入到邏輯電路 101 時，需要用來判別所儲存的資料的判定電路。由此，例如，在使用 MTJ 元件實現與圖 1A、1B1 以及 1B2 所示的半導體裝置相等的功能時需要將判定電路連接於邏輯電路 101 的輸入端子，這使得電路結構複雜化，並使電路面積增大。但是，在本實施方式中，不需要判定電路，而可以利用電容器 102 及電晶體 103 儲存並讀出資料。

除了形成通道的半導體材料為金屬氧化物這一點以外，本實施方式所示的使用氧化物半導體的電晶體的元件結構或工作原理與矽 MOSFET 同樣。另外，使用氧化物半導體的電晶體不受到磁場的影響，並不容易發生軟差錯。由此可知，使用氧化物半導體的電晶體與矽積體電路的搭配非常良好。

實施方式 2

在本實施方式中，說明作為實施方式 1 的半導體裝置的一個例子的移位暫存器的例子。

圖 5A 至 5C 是示出本實施方式的移位暫存器的例子的圖。

圖 5A 所示的移位暫存器包括多個正反器（也稱為 FF）201（正反器 201_1 至 201_5）、多個電容器 202（電容器 202_1 至 202_5）以及多個電晶體 203（電晶體 203_1 至 203_5）。另外，正反器 201、電容器 202 以及電晶體 203 的個數不侷限於圖 5A 所示的個數，只要設置多個正反器 201、多個電容器 202 以及多個電晶體 203 即可。例如，也可以設置對應於多個信號線的多個正反器 201。另外，也可以將背閘極設置在多個電晶體 203 中。

正反器 201_1 至 201_5 中的每一個具備邏輯電路。作為上述邏輯電路，可以使用可應用於圖 1A、1B1 以及 1B2 所示的邏輯電路 101 的邏輯電路。

在正反器 201_1 至 201_5 中，資料信號藉由各邏輯電路的輸入端子被輸入。

另外，起始脈衝信號被輸入到正反器 201_1。

另外，時脈信號被輸入到正反器 201_1 至 201_5 中的每一個。作為時脈信號，例如輸入相位差分別為半個週期的多個時脈信號（時脈信號和反相時脈信號）。此時，在相鄰的正反器 201 之間，被輸入時脈信號的端子和被輸入反相時脈信號的端子彼此相反。另外，本發明不侷限於此，也可以使用三個以上的時脈信號控制正反器 201_1 至 201_5。另外，正反器 201_1 至 201_5 分別輸出脈衝信號 OUT_1 至 OUT_5。另外，從正反器 201_M-1 輸出的脈衝

信號 OUT_M-1 輸入到正反器 201_M (M 為 2 以上的自然數)。正反器 201_1 藉由被輸入起始脈衝信號的脈衝而進行脈衝信號 OUT_1 的脈衝輸出工作，而正反器 201_M 藉由被輸入脈衝信號 OUT_M-1 的脈衝而進行脈衝信號 OUT_M 的脈衝輸出工作。

電容器 202_1 至 202_5 的一對電極中的一方被施加高電源電位 VDD 或低電源電位 VSS，而一對電極中的另一方被施加它們所對應的正反器 201 內的邏輯電路的輸入端子的電位。由此，電容器 202_1 至 202_5 中的每一個儲存資料信號的資料作為所儲存的資料。

電晶體 203_1 至 203_5 中的每一個具有藉由控制相應的正反器 201 內的邏輯電路的輸入端子與電容器 202 的一對電極中的另一方之間的導通而控制對電容器 202 所儲存的資料的改寫、儲存以及讀出的功能。電晶體 203_1 至 203_5 中的每一個的閘極被輸入控制信號。電晶體 203_1 至 203_5 的導通狀態或截止狀態被控制信號控制。

作為電晶體 203_1 至 203_5 中的每一個，例如可以使用可應用於圖 1A、1B1 以及 1B2 所示的電晶體 103 的低關態電流的電晶體。

另外，只要將多個電容器 202 和多個電晶體 203 設置為對應於多個正反器 201 中的至少兩個或更多，即可。例如，如圖 5B 所示，也可以每隔一個正反器設置（對正反器 201_1、201_3 以及 201_5 設置）電容器 202_1、202_3 和 202_5 及電晶體 203_1、203_3 和 203_5。

另外，未必對多個電容器 202 的一對電極中的一方均施加同一電位。例如，如圖 5C 所示，也可以對電容器 202_1 及 202_5 施加高電源電位 VDD，並對電容器 202_3 施加低電源電位 VSS。

再者，圖 6 示出正反器的例子。

圖 6 所示的正反器包括作為邏輯電路的時脈反相器 211、反相器 212 以及時脈反相器 213。

時脈反相器 211 具有資料信號輸入端子及資料信號輸出端子。正反器 201_M-1 的脈衝信號 OUT_M-1 被輸入到正反器 201_M 的時脈反相器 211 的資料信號輸入端子。另外，時脈信號及反相時脈信號被輸入到時脈反相器 211。時脈反相器 211 具有將與被輸入的脈衝信號 OUT、時脈信號以及反相時脈信號相應的電位作為資料信號輸出的功能。

反相器 212 具有資料信號輸入端子及資料信號輸出端子，反相器 212 的資料信號輸入端子與時脈反相器 211 的資料信號輸出端子電連接，並且反相器 212 將與藉由資料信號輸入端子被輸入的資料信號的電位相應的電位作為輸出信號藉由資料信號輸出端子輸出。

時脈反相器 213 具有資料信號輸入端子及資料信號輸出端子，時脈反相器 213 的資料信號輸入端子與反相器 212 的資料信號輸出端子電連接，並且時脈反相器 213 的資料信號輸出端子與時脈反相器 211 的資料信號輸出端子電連接。另外，時脈信號及反相時脈信號被輸入到時脈反

相器 213。時脈反相器 213 具有將與被輸入的反相器 212 的輸出信號、時脈信號以及反相時脈信號相應的電位作為資料信號輸出的功能。

例如，使用可應用於圖 1A、1B1 以及 1B2 所示的電晶體 111 及 112 的電晶體構成時脈反相器 211、反相器 212 以及時脈反相器 213。

再者，在圖 6 中，電晶體 203 具有控制電容器 202 的一對電極中的另一方與反相器 212 的資料信號輸入端子之間的導通的功能。

另外，正反器的結構不侷限於圖 6 所示的結構，例如，也可以使用均具有同一導電型的電晶體構成正反器。

正反器的例子的說明如上所述。

接著，作為本實施方式的移位暫存器的驅動方法例子，說明圖 5A 所示的移位暫存器的驅動方法例。

首先，將起始脈衝信號的脈衝輸入到正反器 201_1。

此時，從正反器 201_1 至 201_5 依次輸出脈衝信號 OUT_1 至 OUT_5 的脈衝。

另外，說明儲存藉由分別設置在正反器 201_1 至 201_5 中的邏輯電路的輸入端子被輸入的資料信號的資料的情況。

首先，使電晶體 203_1 至 203_5 成為導通狀態。

此時，電容器 202_1 至 202_5 的一對電極中的另一方的電位分別成為與被輸入到它們所對應的正反器 201 內的邏輯電路的資料信號的電位相等。然後，藉由使它們所對

應的電晶體 203 成為截止狀態，將資料信號的資料寫入到它們所對應的電容器 202。

因為電晶體 203 的關態電流低，所以在電晶體 203 處於截止狀態的期間中可以儲存所寫入的資料信號的資料。因此，例如，即使在停止對移位暫存器供應電源電壓的情況下，也可以儲存資料信號的資料。

再者，然後，在恢復移位暫存器的狀態時，再開始對移位暫存器供應電源電壓，然後使電晶體 203_1 至 203_5 成為導通狀態。

此時，正反器 201_1 至 201_5 內的邏輯電路的輸入端子的電位分別成為與它們所對應的電容器 202 的一對電極中的另一方的電位相等。由此，讀出電容器 202_1 至 202_5 所儲存的資料信號的資料，而將該資料輸入到正反器 201_1 至 201_5。由此，可以恢復移位暫存器的狀態。

例如，在從正反器 201_3 輸出脈衝信號 OUT_3 的脈衝的時刻，將資料信號的資料寫入到電容器 202_1 至 202_5，並且停止對移位暫存器供應電源電壓。然後，藉由再開始對移位暫存器供應電源電壓並將電容器 202_1 至 202_5 所儲存的資料信號的資料輸入到正反器 201_1 至 201_5，可以恢復開始從正反器 201_3 輸出脈衝信號 OUT_3 的移位暫存器的狀態。由此，因為在再開始供應電源電壓時不需要重新輸入起始脈衝信號的脈衝，所以可以迅速恢復原狀。

另外，本實施方式的移位暫存器只要在將資料信號的

資料寫入到電容器 202_1 至 202_5 並從電容器 202_1 至 202_5 讀出時使電晶體 203_1 至 203_5 成為導通狀態，即可。使電晶體 203_1 至 203_5 成為導通狀態的次數越少，越可以減小耗電量。

如參照圖 5A 至 6 說明那樣，本實施方式的移位暫存器使用電晶體將輸入到正反器內的邏輯電路中的資料信號的資料作為所儲存的資料儲存在電容器中。此時，電晶體藉由控制正反器內的邏輯電路的輸入端子與電容器的一對電極中的一方之間的導通而控制對所儲存的資料的改寫、儲存以及讀出。

根據上述結構，例如，即使在停止對移位暫存器供應電源電壓的情況下也可以儲存電容器所儲存的資料。然後，藉由在再開始對移位暫存器供應電源電壓之後讀出電容器所儲存的資料而將它輸入到正反器，可以迅速恢復停止對移位暫存器供應電源電壓之前的正反器的狀態。因此，電源電壓的供應的停止或再開始變得容易。

實施方式 3

在本實施方式中，說明用於本發明的一個方式的電晶體的結構例子。

本實施方式的電晶體例如可以應用於實施方式 1 所示的半導體裝置的電晶體 103 或實施方式 2 所示的移位暫存器的電晶體 203_1 至 203_5。

首先，參照圖 7 的剖面示意圖說明電晶體的結構的一

個例子。注意，圖 7 所示的各構成要素的尺寸有時與實際上的尺寸不同。

圖 7 所示的電晶體是頂閘極型電晶體。圖 7 所示的電晶體包括半導體層 711、導電層 715a 及 715b、絕緣層 716、導電層 717、絕緣層 718a 及 718b。另外，本發明不侷限於此，也可以使用底閘極型電晶體。

半導體層 711 形成在被元件形成層 701 上。另外，半導體層 711 也可以形成在基底絕緣層上，該基底絕緣層形成在被元件形成層 701 上。另外，半導體層 711 也可以形成在設置有將包含矽的半導體用於通道形成區的電晶體的被元件形成層 701 上。

半導體層 711 具有區域 713a 及 713b，該區域 713a 及 713b 彼此相離且添加有摻雜劑。再者，半導體層 711 還具有區域 713a 與 713b 之間的區域 714a 及 714b，該區域 714a 及 714b 彼此相離且添加有摻雜劑。再者，半導體層 711 還具有區域 714a 與 714b 之間的通道形成區 712。

導電層 715a 設置為與區域 713a 接觸，而導電層 715b 設置為與區域 713b 接觸。

絕緣層 716 設置在半導體層 711、導電層 715a 及 715b 上。

導電層 717 隔著絕緣層 716 與半導體層 711 重疊。

絕緣層 718a 設置為與導電層 717 的一對側面中的一方接觸，而絕緣層 718b 設置為與該一對側面中的另一方接觸。另外，絕緣層 718a 隔著絕緣層 716 與區域 714a 重

疊，並隔著絕緣層 716 與導電層 715a 的一部分重疊。另外，絕緣層 718b 隔著絕緣層 716 與區域 714b 重疊，並隔著絕緣層 716 與導電層 715b 的一部分重疊。另外，絕緣層 718a 設置為嵌入導電層 715a 與導電層 717 之間的凹部，而絕緣層 718b 設置為嵌入導電層 715b 與導電層 717 之間的凹部。

再者，下面說明各構成要素。各構成要素未必侷限於單層，而也可以為疊層。

半導體層 711 用作形成有電晶體的通道的層（也稱為通道形成層）。

作為半導體層 711，例如可以使用利用氧化物半導體的氧化物半導體層。

作為可應用於氧化物半導體層的氧化物半導體，例如可以舉出包含銦和鎵中的一者或兩者以及鋅的金屬氧化物或者包含其他金屬元素代替包含在該金屬氧化物中的鎵的一部分或全部的金屬氧化物等。

作為上述金屬氧化物，例如可以使用 In 類金屬氧化物、Zn 類金屬氧化物、In-Zn 類金屬氧化物或 In-Ga-Zn 類金屬氧化物等。另外，也可以使用包含其他金屬元素代替包含在 In-Ga-Zn 類金屬氧化物中的 Ga（鎵）的一部分或全部的金屬氧化物。

作為上述其他金屬元素，例如可以使用與鎵相比能夠結合於更多的氧原子的金屬元素諸如鈦、鋯、鉛、銻和錫中的任何一種或多種。另外，作為上述其他金屬元素，可

以使用鐳、銻、鎘、釹、鈔、鎢、釷、錒、鎢、鈦、鉬、銻、鎢及鎢中的任何一種或多種。這些金屬元素具有穩定劑的功能。這些金屬元素的添加量是足以使該金屬氧化物用作半導體的添加量。藉由使用與鎵相比能夠結合於更多的氧原子的金屬元素且對金屬氧化物供應氧，可以減少金屬氧化物中的氧缺陷。

例如，當使用錫代替上述 In-Ga-Zn 類金屬氧化物所包含的 Ga（鎵）的全部時得到 In-Sn-Zn 類金屬氧化物，並且當使用鈦代替上述 In-Ga-Zn 類金屬氧化物所包含的 Ga（鎵）的一部分時得到 In-Ti-Ga-Zn 類金屬氧化物。

氧化物半導體膜例如可以處於非單晶狀態。非單晶狀態例如由 c-axis aligned crystal（CAAC：c 軸配向結晶）、多晶、微晶和非晶部中的至少任一個構成。非晶部的缺陷態密度高於微晶和 CAAC 的缺陷態密度。微晶的缺陷態密度高於 CAAC 的缺陷態密度。注意，將包括 CAAC 的氧化物半導體稱為 CAAC-OS（c-axis aligned crystalline oxide semiconductor：c 軸配向結晶氧化物半導體）。

例如，氧化物半導體膜可以包括 CAAC-OS。在 CAAC-OS 中，例如 c 軸配向且 a 軸及/或 b 軸不宏觀地一致。

例如，氧化物半導體膜可以包括微晶。注意，將包括微晶的氧化物半導體稱為微晶氧化物半導體。微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶（也稱為奈米晶）。

例如，氧化物半導體膜可以包括非晶部。注意，將包括非晶部的氧化物半導體稱為非晶氧化物半導體。非晶氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶氧化物半導體膜例如是完全的非晶，並且不具有結晶部。

另外，氧化物半導體膜例如可以處於單晶狀態。

氧化物半導體膜較佳為包括多個結晶部。在結晶部的每一個中，c 軸較佳為在平行於被形成氧化物半導體膜的表面的法線向量或氧化物半導體膜的表面的法線向量的方向上一致。注意，在結晶部之間，一個結晶部的 a 軸和 b 軸的方向可以與另一個結晶部的 a 軸和 b 軸的方向不同。這種氧化物半導體膜的一個例子是 CAAC-OS 膜。

另外，在大多情況下，包含在 CAAC-OS 膜中的結晶部被容納在一個邊長小於 100nm 的立方體內。在利用透射電子顯微鏡(TEM: Transmission Electron Microscope)所得到的影像中，不能明確地觀察到 CAAC-OS 膜中的結晶部與結晶部之間的邊界。另外，利用 TEM，不能明確地觀察到 CAAC-OS 膜中的晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

在包括在 CAAC-OS 膜中的結晶部的每一個中，例如 c 軸在平行於被形成 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。並且，在結晶部的每一個中，當從垂直於 ab 面的方向看時金屬原

子排列為三角形或六角形的結構，且當從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。注意，在結晶部之間，一個結晶部的 a 軸和 b 軸的方向可以與另一個結晶部的 a 軸和 b 軸的方向不同。在本說明書中，“垂直”的用語包括從 80° 到 100° 的範圍，較佳為包括從 85° 到 95° 的範圍。並且，“平行”的用語包括從 -10° 到 10° 的範圍，較佳為包括從 -5° 到 5° 的範圍。

在 CAAC-OS 膜中，結晶部的分佈不一定是均勻的。例如，在 CAAC-OS 膜的製程中，在從氧化物半導體膜的表面一側產生結晶生長的情況下，有時氧化物半導體膜的表面附近的結晶部的比例高於被形成氧化物半導體膜的表面附近的結晶部的比例。另外，當將雜質添加到 CAAC-OS 膜時，有時添加有雜質的區域中的結晶部的結晶性降低。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於被形成 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成 CAAC-OS 膜的表面的剖面形狀或 CAAC-OS 膜的表面的剖面形狀） c 軸的方向可以彼此不同。另外，伴隨成膜形成結晶部或在成膜後藉由諸如加熱處理等晶化處理形成結晶部。因此，結晶部的 c 軸在平行於被形成 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫

外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

CAAC-OS 膜例如使用多晶氧化物半導體濺射靶材藉由濺射法而形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由使該平板狀的濺射粒子在保持晶態的狀態下到達基板，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳為應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，只要降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度，即可。另外，只要降低成膜氣體中的雜質濃度，即可。明確而言，使用露點為 -80°C 或更低，較佳為 -100°C 或更低的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比率並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比率設定為 30vol.%以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數比混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶 In-Ga-Zn-O 化合物靶材。注意， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射靶材適當地改變。

此外，當作為半導體層 711 使用氧化物半導體層時，例如藉由進行脫水化、脫氫化，去除氧化物半導體層中的氫、水、羥基或氫化物（也稱為氫化合物）等雜質且對氧化物半導體層供應氧，可以使氧化物半導體層高度純化。例如，藉由作為與氧化物半導體層接觸的層使用包含氧的層並進行加熱處理，可以使氧化物半導體層高度純化。

另外，剛形成之後的氧化物半導體層較佳為處於其氧含量超過化學計量組成的過飽和的狀態。例如，當藉由濺射法形成氧化物半導體層時，較佳為以在成膜氣體中氧所占的比例多的條件進行成膜，特別佳為在氧氛圍（例如氧氣比率為 100%）下進行成膜。

另外，在使用濺射法形成氧化物半導體膜時，也可以在基板溫度為 100°C 以上且 500°C 以下，較佳為 200°C 以上且 350°C 以下的條件下形成氧化物半導體膜。

另外，爲了將充分多量的氧供應到氧化物半導體層而使其成爲氧過飽和的狀態，也可以形成氧含量過剩的絕緣層作爲與氧化物半導體層接觸的絕緣層（例如絕緣層716）。

例如，藉由使用濺射法在膜中包含多量的氧的成膜條件下形成絕緣膜，可以形成氧含量過剩的絕緣層。另外，爲了使絕緣層的氧含量更多，藉由離子植入法、離子摻雜法或電漿處理適當地添加氧，即可。另外，也可以對氧化物半導體層添加氧。

另外，在濺射設備中，成膜室內的殘留水分少是較佳的。因此，在濺射設備中，較佳爲使用吸附型真空泵。另外，也可以使用冷阱。

另外，在製造電晶體時，較佳爲進行加熱處理。此時，加熱處理的溫度爲 350℃ 以上且低於基板的應變點，較佳爲 350℃ 以上且 450℃ 以下。另外，也可以進行多次的加熱處理。

作爲可用於上述加熱處理的加熱處理設備，也可以使用 GRTA（Gas Rapid Thermal Annealing：氣體快速熱退火）設備或 LRTA（Lamp Rapid Thermal Annealing：燈快速熱退火）設備等 RTA（Rapid Thermal Annealing：快速熱退火）設備。注意，本發明不侷限於此，也可以使用電爐等其他加熱處理設備。

另外，在進行上述加熱處理之後，在保持其加熱溫度的同時或者在從該加熱溫度降溫的過程中，較佳爲對與進

行該加熱處理的爐相同的爐引入高純度的氧氣體、高純度的 N_2O 氣體或超乾燥空氣（露點為 -40°C 或更低，較佳為 -60°C 或更低的氛圍）。此時，較佳為氧氣或 N_2O 氣不包含水、氫等。另外，引入到加熱處理設備的氧氣或 N_2O 氣體的純度為 6N 以上，較佳為 7N 以上。就是說，氧氣或 N_2O 氣體中的雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下。借助於該製程，氧化物半導體層被供應氧，從而可以降低起因於氧化物半導體層中的氧缺乏的缺陷。另外，也可以在進行上述加熱處理時引入上述高純度的氧氣、上述高純度的 N_2O 氣或上述超乾燥空氣。

至於被高度純化了的氧化物半導體層的氫濃度，經二次離子質譜技術（也稱為 SIMS）而獲取的測定值較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

藉由將被高度純化了的氧化物半導體層用於場效應電晶體，可以使氧化物半導體層的載流子密度成為低於 $1 \times 10^{14} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{12} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{11} \text{atoms/cm}^3$ 。如此藉由降低載流子密度，可以將每微米通道寬度的場效應電晶體的關態電流抑制為 $1 \times 10^{-19} \text{A}$ （100zA）或更小，較佳為 $1 \times 10^{-22} \text{A}$ （100yA）或更小，更佳為 $1 \times 10^{-23} \text{A}$ （10yA）或更小，進一步佳為 $1 \times 10^{-24} \text{A}$ （1yA）或更小。場效應電晶體的關態電流越低越好，但是，本實施方式中的場效應電晶體的關態電流的下限值被估計大約為 $1 \times 10^{-30} \text{A}/\mu\text{m}$ 。

作為包含在區域 713a 及 713b 中的摻雜劑，例如可以使用元素週期表中第 13 族的元素（例如硼等）、元素週期表中第 15 族的元素（例如氮、磷及砷中的一種或多種）和稀有氣體元素（例如，氦、氬及氙中的一種或多種）中的任何一種或多種。藉由設置區域 713a 及 713b，可以減小源極與通道形成區之間的電阻或汲極與通道形成區之間的電阻，而容易實現微細化。

另外，作為包含在區域 714a 及 714b 中的摻雜劑，例如可以使用元素週期表中第 13 族的元素（例如硼等）、元素週期表中第 15 族的元素（例如，氮、磷及砷中的一種或多種）和稀有氣體元素（例如，氦、氬及氙中的一種或多種）中的任何一種或多種。另外，包含在區域 714a 及 714b 中的摻雜劑的濃度低於包含在區域 713a 及 713b 中的摻雜劑的濃度。藉由設置區域 714a 及 714b，可以抑制電場集中。

導電層 715a 及 715b 具有電晶體的源極或汲極的功能。作為導電層 715a 及 715b，例如可以使用包含鉬、鈦、鉻、鋁、鎂、銀、鎢、鋅、銅、鈳、釷或釷等的金屬材料的層。

絕緣層 716 具有電晶體的閘極絕緣層的功能。作為絕緣層 716，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉛等的材料的層。

導電層 717 具有電晶體的閘極的功能。作為導電層

717，例如可以使用包含鉬、鈦、鉻、鋇、鎂、銀、鎢、鋁、銅、釹或鈳等金屬材料的層。

作為絕緣層 718a 及 718b，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉛等的材料的層。

圖 7 所示的電晶體的結構例子的說明如上所述。

參照圖 7 說明那樣，因為本實施方式的電晶體的關態電流低，所以，例如，藉由將本實施方式的電晶體應用於實施方式 1 的半導體裝置或實施方式 2 的移位暫存器中的用來控制對電容器的資料寫入、儲存以及讀出的電晶體，即使在停止供應電源電壓的情況下也可以使電容器儲存資料。

實施方式 4

在本實施方式中，說明包括多個圖 4B 所示的半導體裝置而構成的半導體裝置的一個例子及停止對該半導體裝置供應電源電壓時的工作的一個例子。

圖 8 是示出本實施方式的半導體裝置的結構的圖。圖 8 所示的半導體裝置包括多個邏輯電路 101_1 至 101_9、各自所具備的一對電極中的一方被施加高電源電位（VDD）或低電源電位（VSS）的多個電容器 102_1 至 102_10、各自控制多個邏輯電路 101_3 至 101_9 中的任一的輸入端子與多個電容器 102_1 至 102_10 中的任一的一對電極中的另一方之間的導通的電晶體 103_1 至 103_10

以及各自控制多個邏輯電路 101_1 至 101_9 中的任一的輸出端子與多個邏輯電路 101_1 至 101_9 中的任一的輸入端子之間的導通的電晶體 104_1 至 104_10。

另外，也可以將圖 8 所示的半導體裝置表現為：一個邏輯電路被劃分為多個區域，而在該區域之間設置有電容器 102_1 至 102_10 中的任一個、電晶體 103_1 至 103_10 中的任一個以及電晶體 104_1 至 104_10 中的任一個。

另外，作為電晶體 103_1 至 103_10，可以使用可應用於圖 1A、1B1 以及 1B2 所示的電晶體 103 的電晶體。另外，作為電晶體 104_1 至 104_10，可以使用可應用於圖 1A、1B1 以及 1B2 所示的電晶體 103 的電晶體。

在圖 8 所示的半導體裝置中，可以分別獨立停止對多個邏輯電路 101_1 至 101_9 供應電源電壓。由此，在圖 8 所示的半導體裝置中，可以在停止對多個邏輯電路 101_1 至 101_9 的一部分供應電源電壓的同時繼續進行該部分以外的的工作（邏輯運算）（可以執行局部性的電源電壓供應的停止）。

另外，還可以對多個電晶體 103_1 至 103_10 及多個電晶體 104_1 至 104_10 分別獨立控制它們的開關（轉換導通狀態和截止狀態）。由此，在圖 8 所示的半導體裝置中，即使在執行局部性的電源電壓供應的停止的情況下，也可以根據需要使多個電容器 102_1 至 102_10 中的每一個儲存輸入到多個邏輯電路 101_1 至 101_9 中的任一個的資料信號的資料。

例如，可以執行圖 9 所示的局部性的電源電壓供應的停止。圖 9 示出停止對邏輯電路 101_1、101_4、101_5 以及 101_7 供應電源電壓而對其他邏輯電路供應電源電壓的狀態。在此情況下，只要在執行局部性的電源電壓供應的停止之前至少使電晶體 103_1、103_2、103_7、103_9 和 103_10 及電晶體 104_1、104_2、104_7、104_9 和 104_10 成為截止狀態（在圖 9 中，以叉號表示），即可。

藉由執行圖 9 所示的局部性的電源電壓供應的停止，可以在實現耗電量的降低的同時抑制在再開始供應電源電壓之後發生的工作延遲。

另外，在圖 8 所示的半導體裝置中，也可以均停止對多個邏輯電路 101_1 至 101_9 供應電源電壓。

【符號說明】

101：邏輯電路、102：電容器、103：電晶體
 104：電晶體、110：寄生電容、111：電晶體
 112：電晶體、201：正反器、202：電容器
 203：電晶體、211：時脈反相器、212：反相器
 213：時脈反相器、701：被元件形成層
 711：半導體層、712：通道形成區、713a：區域
 713b：區域、714a：區域、714b：區域
 715a：導電層、715b：導電層、716：絕緣層
 717：導電層、718a：絕緣層、718b：絕緣層

申請專利範圍

1. 一種半導體裝置，包括：

邏輯電路；

第一電容器和第二電容器，該第一電容器和該第二電容器的每一個包括一對電極；以及

第一電晶體和第二電晶體，該第一電晶體和第二電晶體的每一個包括氧化物半導體層，

其中，該第一電晶體的源極和汲極中的一方電連接於該第一電容器的一對電極中的一方，

該第二電晶體的源極和汲極中的一方電連接於該第二電容器的一對電極中的一方，

該第一電晶體的源極和汲極中的另一方直接連接於該邏輯電路的輸入端子，

並且，該第一電容器的一對電極中的另一方的電位不同於該第二電容器的一對電極中的另一方的電位。

2. 根據申請專利範圍第 1 項之半導體裝置，更包括第三電晶體、第四電晶體和第二邏輯電路，

其中，該第三電晶體的源極和汲極中的一方電連接於佈線，

該第三電晶體的源極和汲極中的另一方電連接於該第一電晶體的源極和汲極中的另一方，

該第四電晶體的源極和汲極中的一方電連接於該第二邏輯電路的輸出端子，

該第四電晶體的源極和汲極中的另一方直接連接於該

第二電晶體的源極和汲極中的另一方。

3.根據申請專利範圍第 1 項之半導體裝置，其中該第一電容器的電容值為在該輸入端子中產生的寄生電容的電容值的 1 倍以上且小於 20 倍。

4.一種半導體裝置，包括：

邏輯電路；

第一電容器和第二電容器，該第一電容器和該第二電容器的每一個包括一對電極；以及

第一電晶體和第二電晶體，該第一電晶體和該第二電晶體的每一個包括氧化物半導體層，

其中，該第一電晶體的源極和汲極中的一方電連接於該第一電容器的一對電極中的一方，

該第二電晶體的源極和汲極中的一方電連接於該第二電容器的一對電極中的一方，

該第一電晶體的源極和汲極中的另一方直接連接於該邏輯電路的輸入端子，

該第一電容器的一對電極的另一方的電位不同於該第二電容器的一對電極的另一方的電位，

並且，該第一電晶體和該第二電晶體的每微米通道寬度的關態電流為 100zA 以下。

5.根據申請專利範圍第 4 項之半導體裝置，其中該第一電容器的電容值為在該輸入端子中產生的寄生電容的電容值的 1 倍以上且小於 20 倍。

6.根據申請專利範圍第 1 或 4 項之半導體裝置，

其中，該氧化物半導體層包括通道且具有比矽寬的帶隙，

並且，該氧化物半導體層包括如下結晶部：c 軸在平行於被形成該氧化物半導體層的表面的法線向量或該氧化物半導體層的表面的法線向量的方向上一致，當從垂直於 a-b 面的方向看時原子排列為三角形或六角形的結構，並且當從垂直於該 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

7.一種移位暫存器，包括：

第一正反器，包括第一邏輯電路；

第二正反器，包括第二邏輯電路；

第一電容器和第二電容器，該第一電容器和該第二電容器的每一個包括一對電極；以及

第一電晶體和第二電晶體，該第一電晶體和該第二電晶體的每一個包括氧化物半導體層，

其中，該第一邏輯電路和該第二邏輯電路中的每一個包括反相器或時脈反相器，

該第一電晶體的源極和汲極中的一方電連接於該第一電容器的一對電極中的一方，

該第二電晶體的源極和汲極中的一方電連接於該第二電容器的一對電極中的一方，

該第一電晶體的源極和汲極中的另一方電連接於該第一邏輯電路的輸出端子，

該第一電晶體的源極和汲極的另一方直接連接於該第

二邏輯電路的輸入端子，

該第二電晶體的源極和汲極的另一方電連接於該第二邏輯電路的輸出端子，

並且，該第一電容器的一對電極的另一方的電位不同於該第二電容器的一對電極的另一方的電位。

8.根據申請專利範圍第 7 項之移位暫存器，

其中，該氧化物半導體層包括通道且具有比矽寬的帶隙，

並且，該氧化物半導體層包括如下結晶部：c 軸在平行於被形成該氧化物半導體層的表面的法線向量或該氧化物半導體層的表面的法線向量的方向上一致，當從垂直於 a-b 面的方向看時原子排列為三角形或六角形的結構，並且當從垂直於該 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

9.根據申請專利範圍第 1 或 4 項之半導體裝置，其中該第一電晶體和該第二電晶體的每一個包括閘極電極和背閘極電極。

10.根據申請專利範圍第 7 項之移位暫存器，其中該第一電晶體和該第二電晶體的每一個包括閘極電極和背閘極電極。

11.根據申請專利範圍第 1 或 4 項之半導體裝置，

其中該第一電容器的一對電極的另一方的電位為高電源電位和低電源電位中的一方，

並且，該第二電容器的一對電極的另一方的電位為該

高電源電位和該低電源電位中的另一方。

12.根據申請專利範圍第 7 項之移位暫存器，

其中該第一電容器的一對電極的另一方的電位為高電源電位和低電源電位中的一方，

並且，該第二電容器的一對電極的另一方的電位為該高電源電位和該低電源電位中的另一方。

13.根據申請專利範圍第 7 項之移位暫存器，其中該第一電容器的電容值為在該第二邏輯電路的該輸入端子中產生的寄生電容的電容值的 1 倍以上且小於 20 倍。

圖式

圖 1A

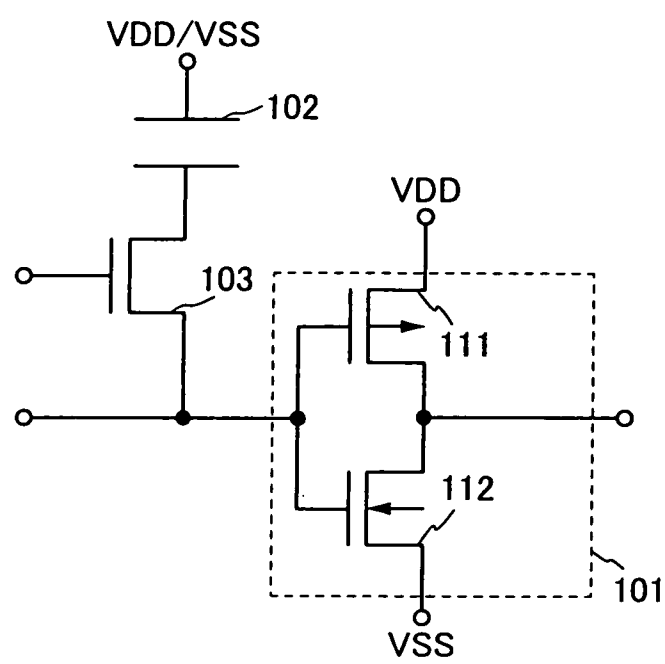


圖 1B1

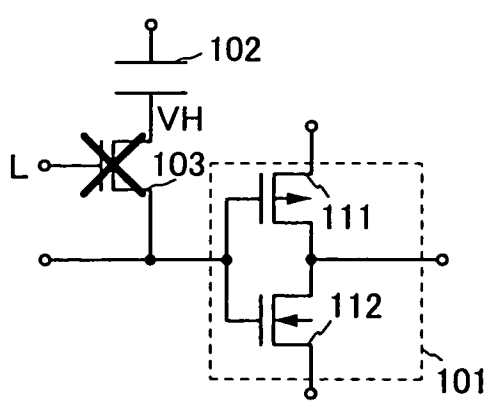


圖 1B2

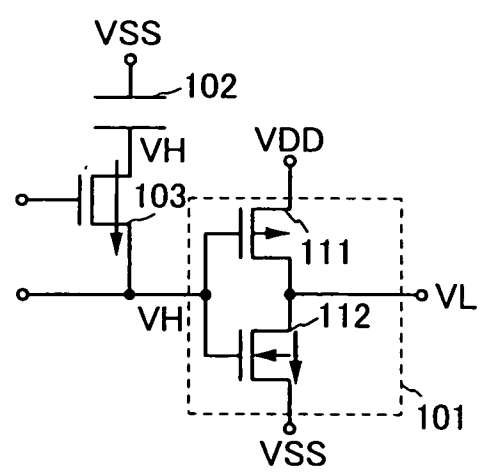


圖 2

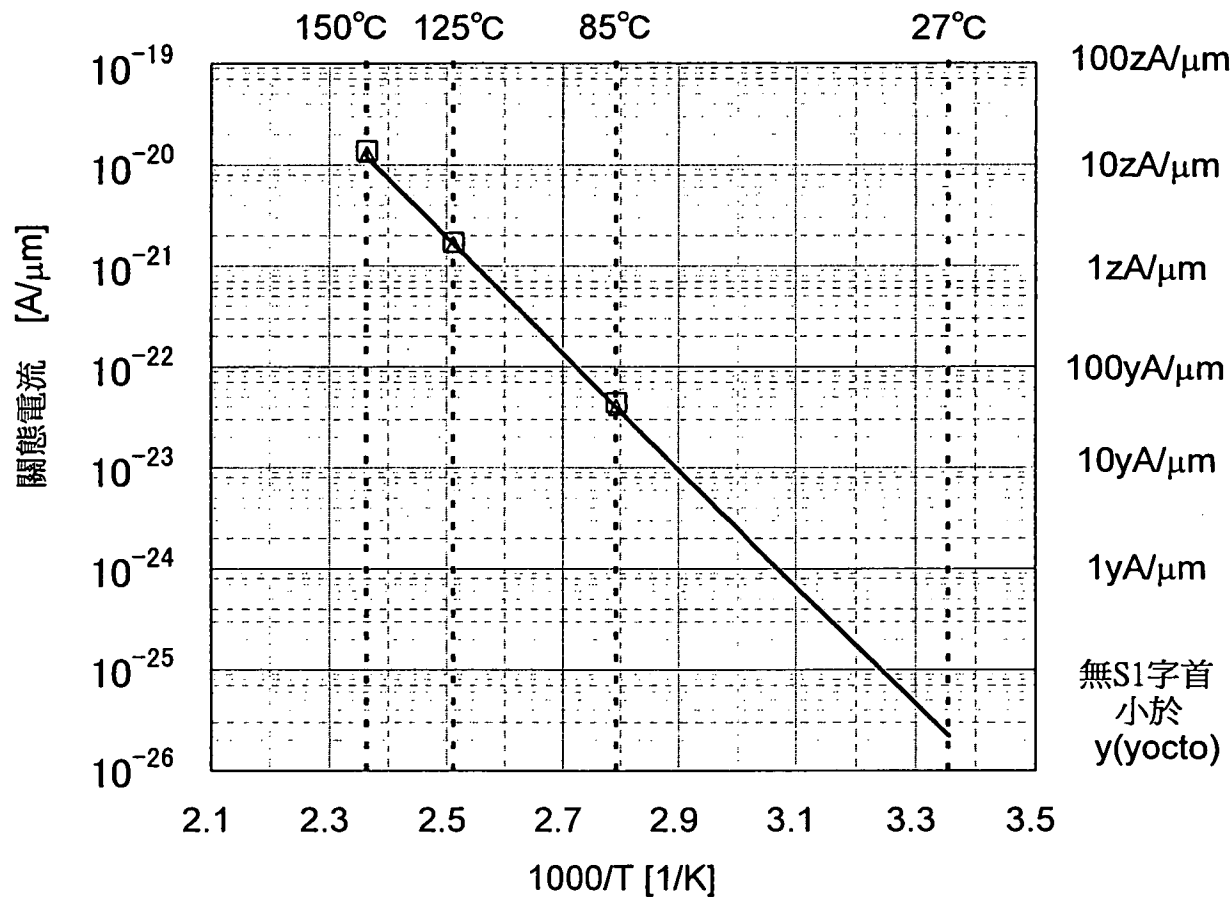
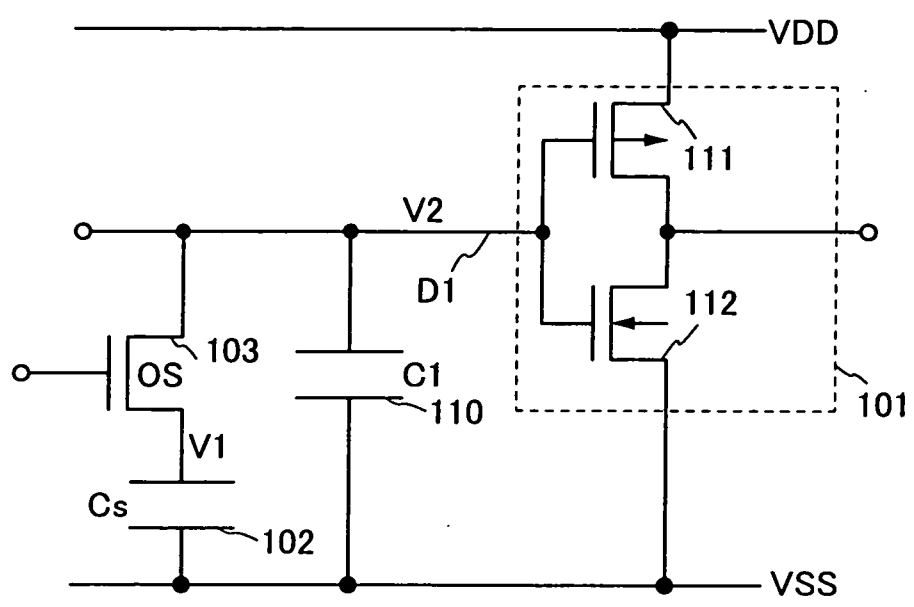


圖 3



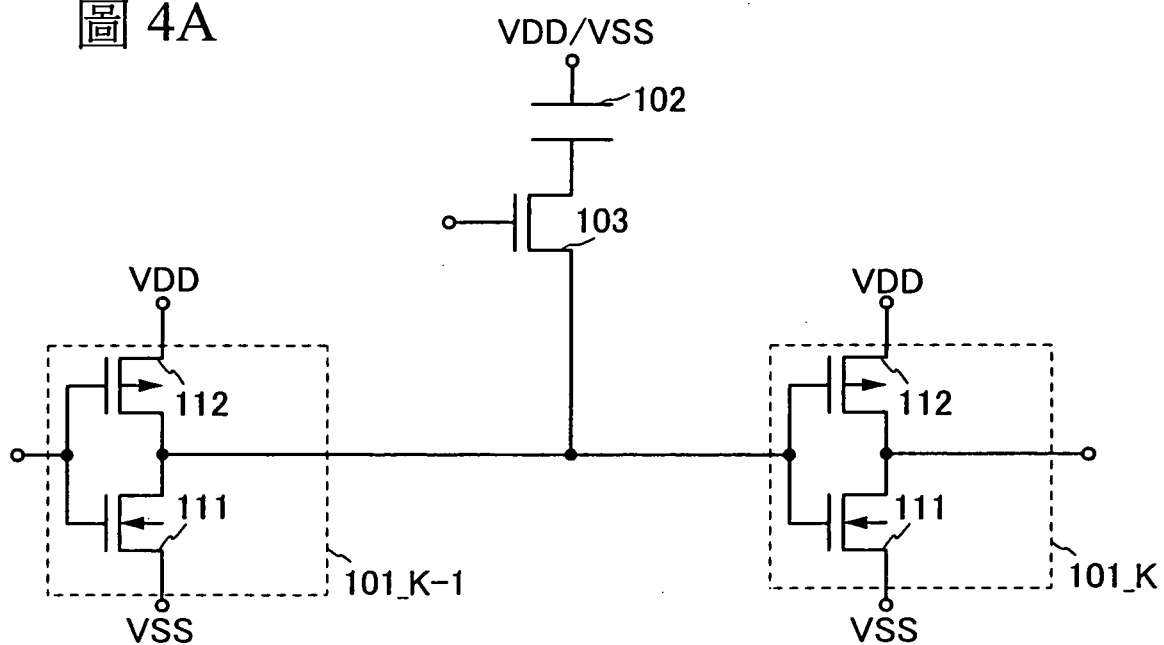


圖 4B

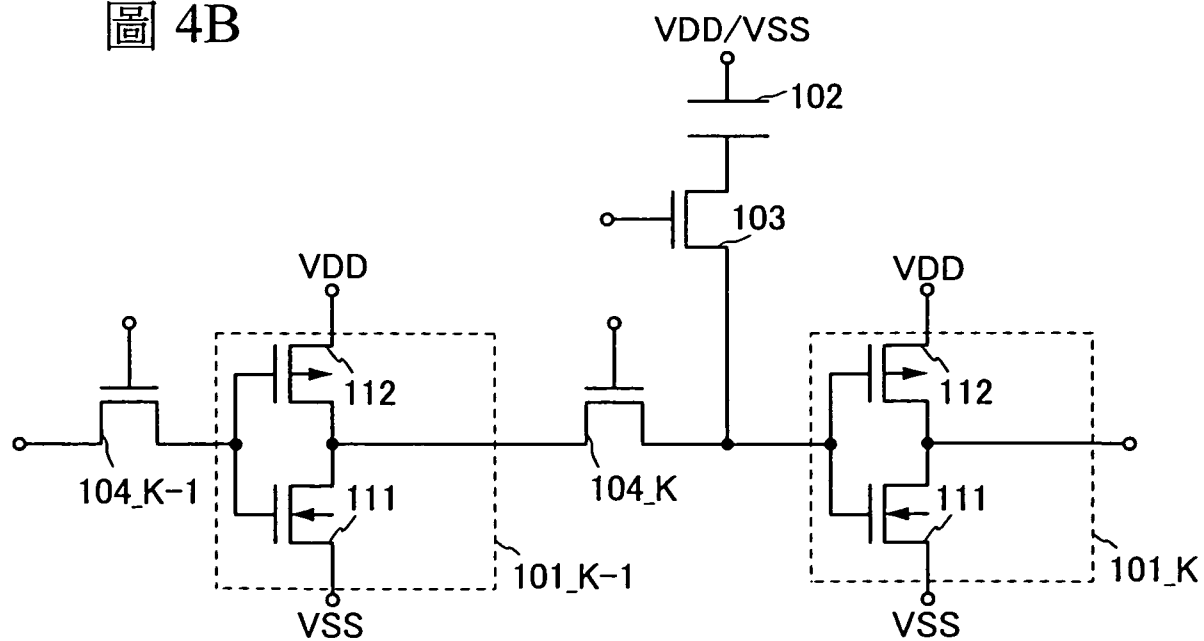


圖 5A

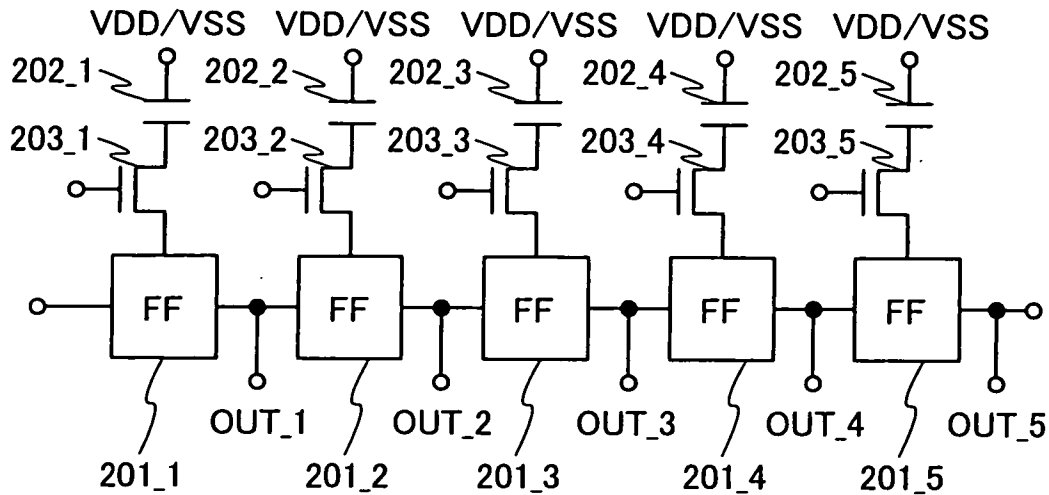


圖 5B

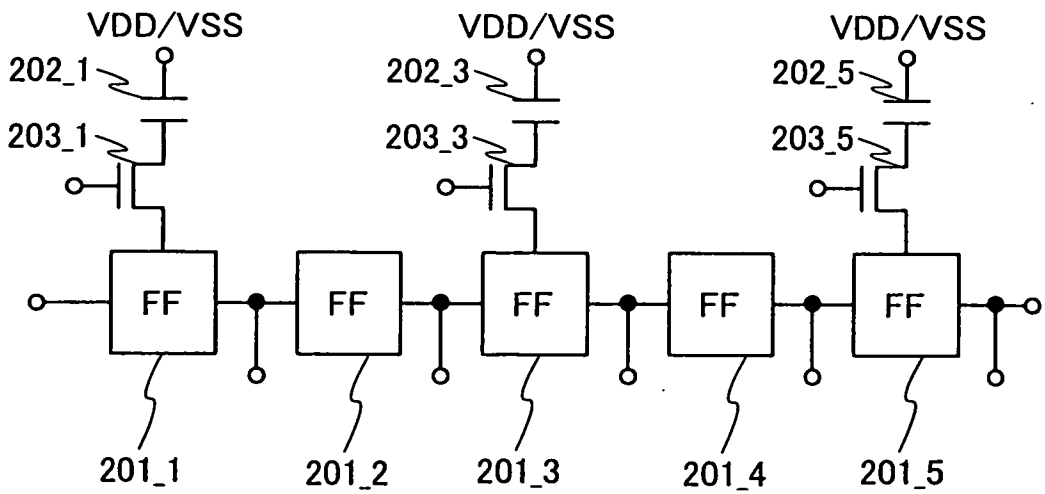


圖 5C

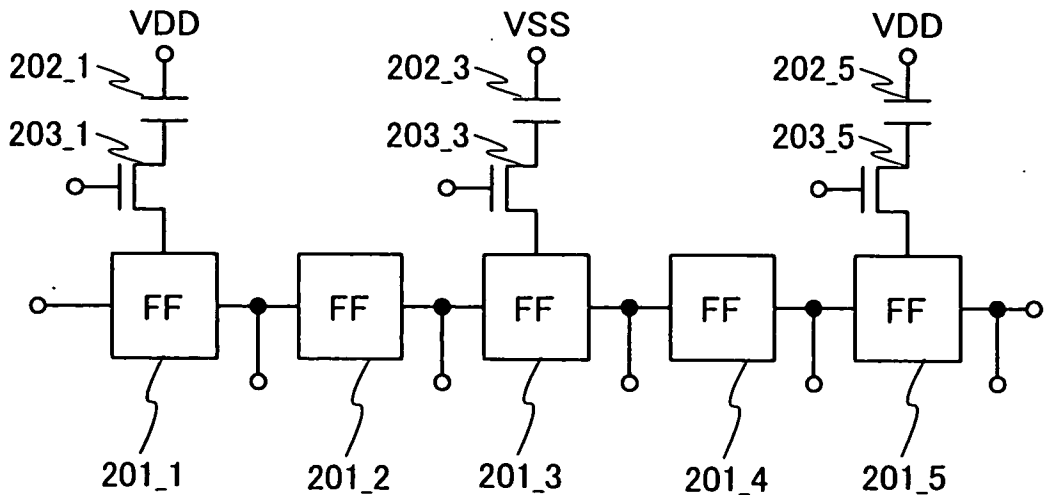


圖 6

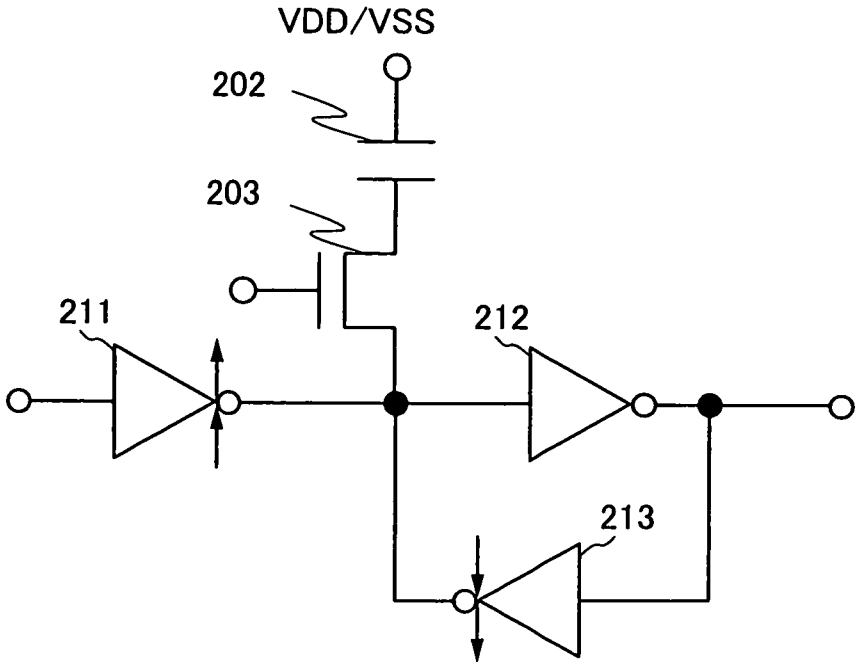


圖 7

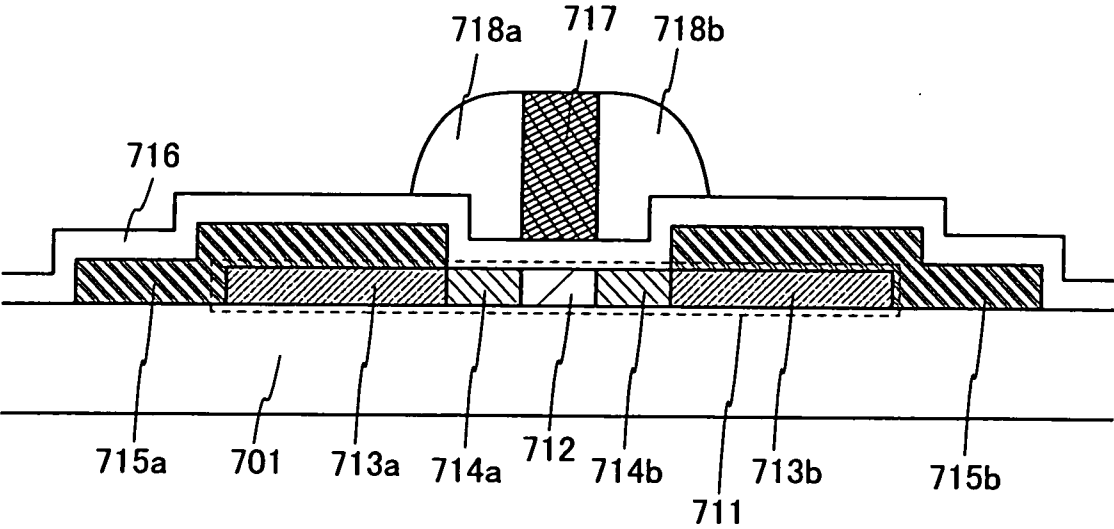


圖 8

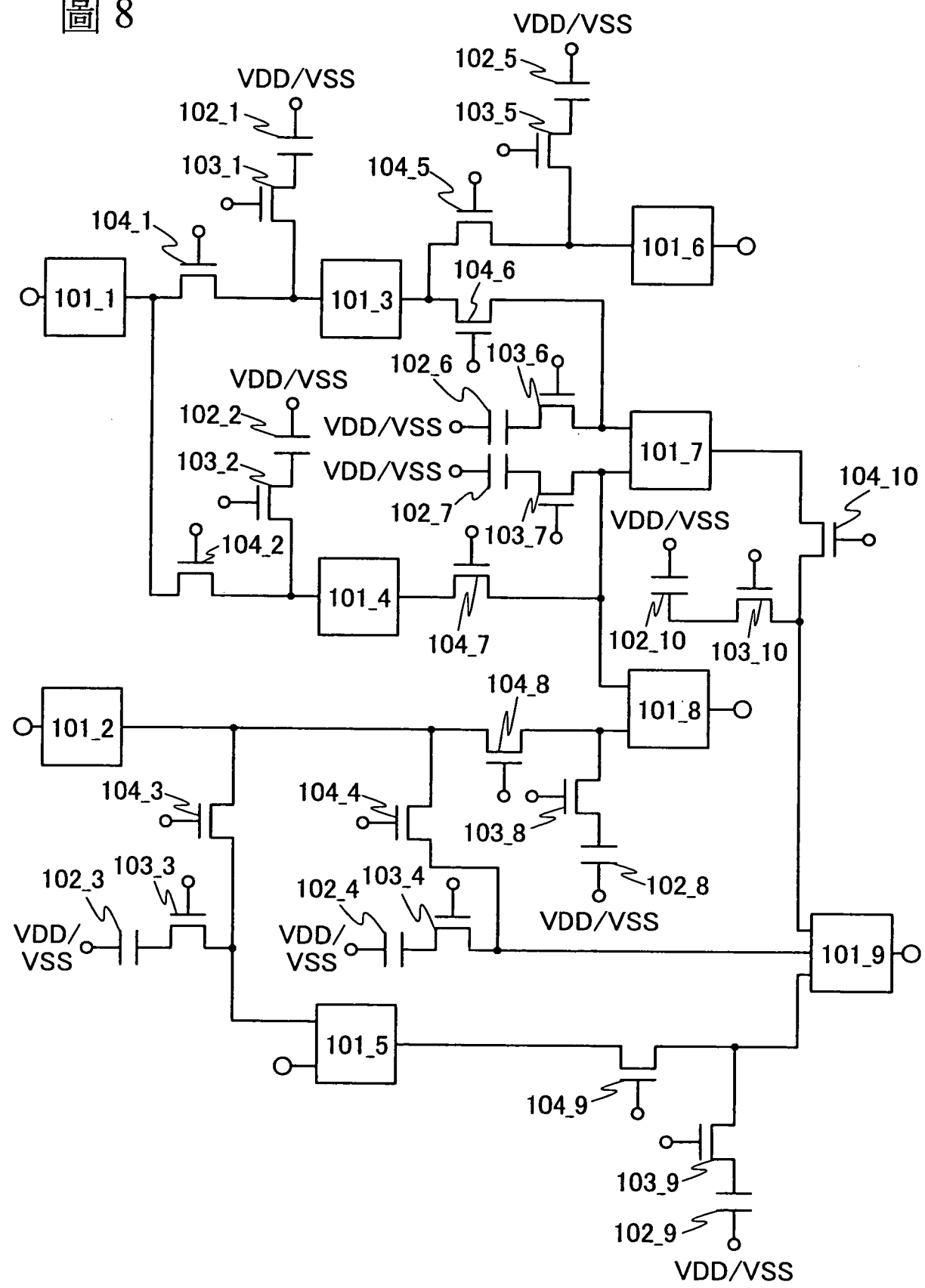


圖 9

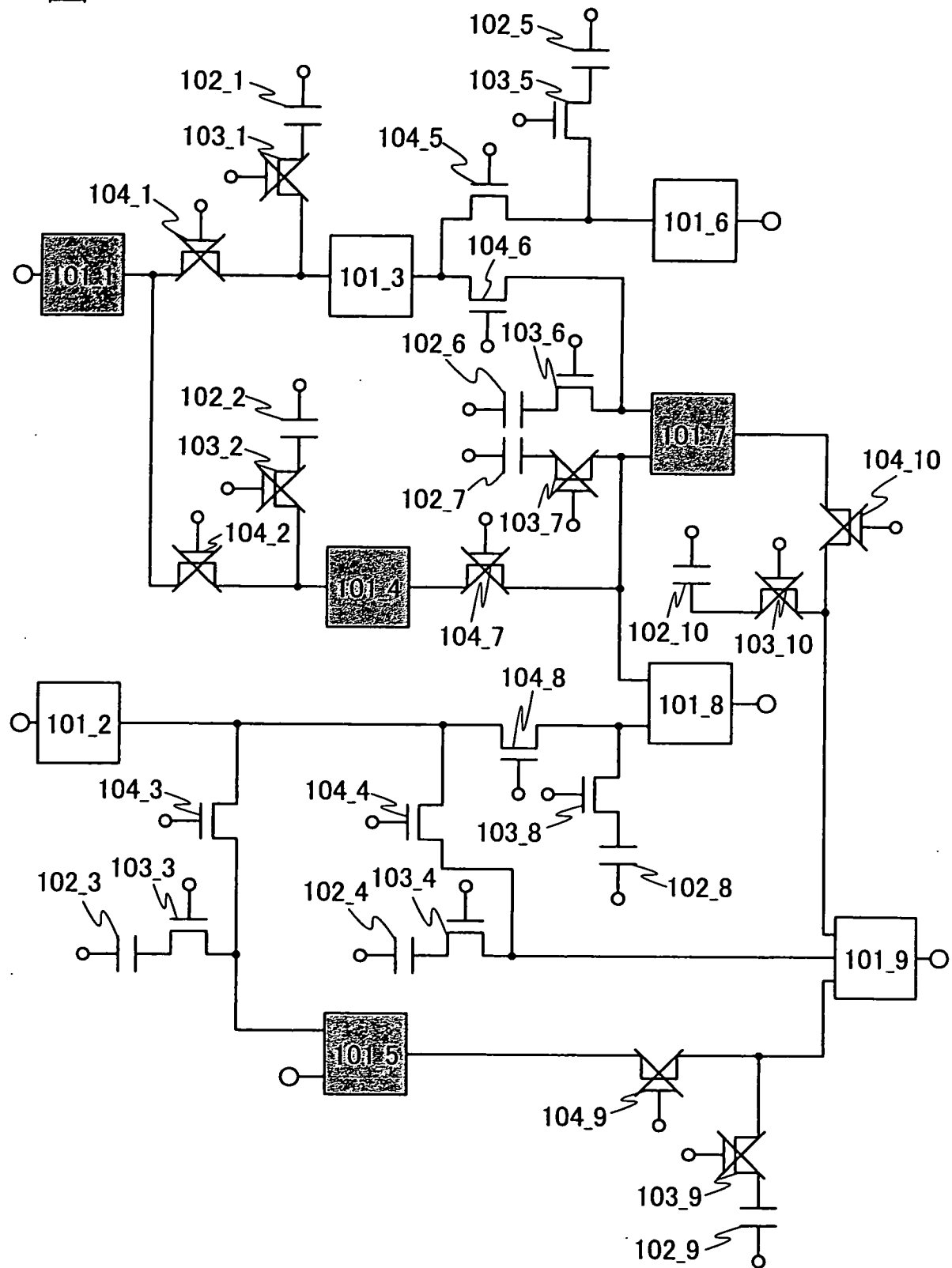


圖 10

