

PCT

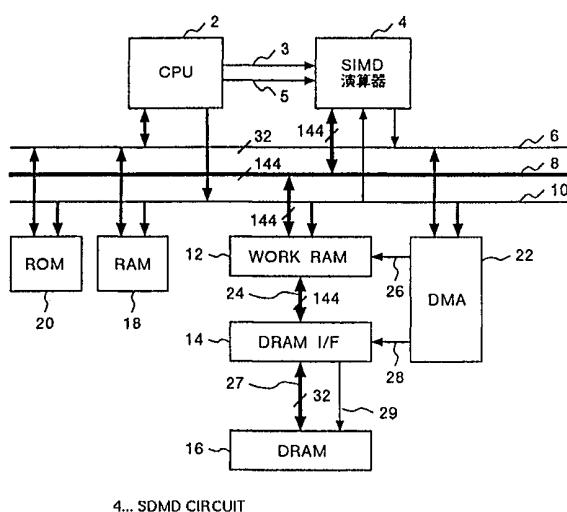
世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



|  |    |  |
|--|----|--|
| (51) 国際特許分類6<br>G06F 9/38, 15/80, H04N 7/36  | A1 | (11) 国際公開番号<br>WO00/43868  |
|  |    | (43) 国際公開日<br>2000年7月27日(27.07.00)   |
| (21) 国際出願番号<br>PCT/JP99/00181  |    |  |
| (22) 国際出願日<br>1999年1月20日(20.01.99)   |    |  |
| (71) 出願人（米国を除くすべての指定国について）<br>株式会社 日立製作所(HITACHI, LTD.)[JP/JP]<br>〒101-8010 東京都千代田区神田駿河台四丁目6番地<br>Tokyo, (JP)  |    | (81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH,<br>CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)<br>添付公開書類<br>国際調査報告書 |
| (72) 発明者；および<br>(75) 発明者／出願人（米国についてのみ）<br>波多江博(HATAE, Hiroshi)[JP/JP]<br>渡辺浩巳(WATANABE, Hiromi)[JP/JP]<br>〒187-8588 東京都小平市上水本町五丁目20番1号<br>株式会社 日立製作所 システムLSI開発センタ内 Tokyo, (JP) |    |  |
| (74) 代理人<br>弁理士 高橋明夫(TAKAHASHI, Akio)<br>〒103-0025 東京都中央区日本橋茅場町二丁目9番8号<br>友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)  |    |  |

(54)Title: DATA PROCESSOR AND DEVICE FOR ARITHMETIC OPERATION

(54)発明の名称 データ処理装置及び演算器



## (57) Abstract

A data processing apparatus for effectively and quickly processing a large amount of data by processors, e.g., for detection of motion vectors in image processing. An SDMD circuit (4) controlled by a CPU (2) is connected with a WORKRAM (12) through a local bus (8) that is wider than the data bus (6) of the CPU (2). An address bus (10) is connected commonly with the SDMD circuit (4), the WORKRAM (12), and the CPU (2). The CPU (2) integrally controls the SDMD circuit (4) and the WORKRAM (12) to perform high-speed data processing.

## (57)要約

画像処理における動きベクトル検出の演算処理のように、プロセッサを使用して大量のデータを高速かつ効率的に演算処理するデータ処理装置である。CPU2により制御されるSDMD演算器4とWORKRAM12とをCPU2のデータバス6のバス幅よりも広いバス幅をもつローカルバス8で接続し、アドレスバス10はSDMD演算器4、WORKRAM12及びCPU2に共通に接続し、CPU2によってSDMD演算器4、WORKRAM12を一元的に管理し、高速データ処理を行う。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|     |              |     |         |     |                |     |            |
|-----|--------------|-----|---------|-----|----------------|-----|------------|
| A E | アラブ首長国連邦     | DM  | ドミニカ    | K Z | カザフスタン         | R U | ロシア        |
| A G | アンティグア・バーブーダ | D Z | アルジェリア  | L C | セントルシア         | S D | スードーン      |
| A L | アルバニア        | E E | エストニア   | L I | リヒテンシュタイン      | S E | スウェーデン     |
| A M | アルメニア        | E S | スペイン    | L K | スリ・ランカ         | S G | シンガポール     |
| A T | オーストリア       | F I | フィンランド  | L R | リベリア           | S I | スロヴェニア     |
| A U | オーストラリア      | F R | フランス    | L S | レソト            | S K | スロヴァキア     |
| A Z | アゼルバイジャン     | G A | ガボン     | L T | リトアニア          | S L | シエラ・レオネ    |
| B A | ボズニア・ヘルツェゴビナ | G B | 英國      | L U | ルクセンブルグ        | S N | セネガル       |
| B B | バルバドス        | G D | グレナダ    | L V | ラトヴィア          | S Z | スワジランド     |
| B E | ベルギー         | G E | グルジア    | M A | モロッコ           | T D | チャード       |
| B F | ブルキナ・ファソ     | G H | ガーナ     | M C | モナコ            | T G | トゴ         |
| B G | ブルガリア        | G M | ガンビア    | M D | モルドヴァ          | T J | タジキスタン     |
| B J | ベナン          | G N | ギニア     | M G | マダガスカル         | T M | トルクメニスタン   |
| B R | ブラジル         | G R | ギリシャ    | M K | マケドニア旧ユーゴスラヴィア | T R | トルコ        |
| B Y | ベラルーシ        | G W | ギニア・ビサオ | M L | 共和国            | T T | トリニダッド・トバゴ |
| C A | カナダ          | H R | クロアチア   | M N | マリ             | T Z | タンザニア      |
| C F | 中央アフリカ       | H U | ハンガリー   | M R | モンゴル           | U A | ウクライナ      |
| C G | コンゴ          | I D | インドネシア  | M W | モーリタニア         | U G | ウガンダ       |
| C H | イスス          | I E | アイルランド  | M X | モーリシャス         | U S | 米国         |
| C I | コートジボアール     | I L | イスラエル   | M Z | モザンビーク         | U Z | ウズベキスタン    |
| C M | カメールーン       | I N | インド     | N E | ニジェール          | V N | ヴェトナム      |
| C N | 中国           | I S | アイスランド  | N L | オランダ           | Y U | ユーロースラヴィア  |
| C R | コスタ・リカ       | I T | イタリア    | N O | オーランウェー        | Z A | 南アフリカ共和国   |
| C U | キューバ         | J P | 日本      | N Z | ニュー・ジーランド      | Z W | ジンバブエ      |
| C Y | キプロス         | K E | ケニア     | P L | ポーランド          |     |            |
| C Z | チェコ          | K G | キルギスタン  | P T | ポルトガル          |     |            |
| D E | ドイツ          | K P | 北朝鮮     | R O | ルーマニア          |     |            |
| D K | デンマーク        | K R | 韓国      |     |                |     |            |

## データ処理装置及び演算器

### 技術分野

5 本発明はデータ処理装置、更に詳しく言えば、映像信号圧縮、伸長処理で用いる動き検出、動き補償の処理等のように、大量のデータをプロセッサを使用して高速かつ効率的に行うデータ処理装置に関するものである。

### 10 背景技術

画像や音声の伸張、圧縮処理等では大量のデータに対し、同一の演算処理を繰り返し高速度で行う必要がある。そのため、上記同一の演算処理を行う部分は専用の演算装置を儲け、その演算装置を高速動作させるため、並列に配置された複数のプロセッサエレメント（演算ユニット）を持ち、それらを同一のプログラムによって動作させる SIMD (Single Instruction Multiple Data) 演算装置で構成するデータ処理装置が知られている。なお、 SIMD 演算装置については、文献「インターフェイス」の 1998 年 3 月号の 111 頁から 113 頁に記載がある。具体的には、米国インテル社のペンティアムの MMX テクノロジが知られて 20 いる。

SIMD 方式の演算装置では、メモリからデータを絶え間なく供給し、演算器の稼働率を上げることが、パフォーマンスを決める重要な要素となる。しかし、従来知られているセントラルプロセッサユニット (CPU と略称) と SIMD 方式の演算器を組み合わせたデータ処理装置は、25 装置構成上、 CPU と SIMD 演算装置が共通のデータバス及びアドレスバスを介して接続されている。そのため、メモリーから SIMD 演算装

置内のレジスタへのデータ転送を行い、次に演算を行い、次にレジスタ内の演算結果をメモリーに転送して、次のデータ処理が開始できるという動作であった。この場合、隣接したプロセッサエレメントで使用したデータを使用して、演算効率を上げることができないという問題があつた。

この問題を解決するため考えられる方式は、システム LSI の考え方にして SIMD 演算装置と内蔵メモリとの間をシステムバスと独立の大きなバス幅のローカルバスで接続することが考えられる。しかしこの方式では SIMD 演算装置とメモリのデータ転送性能は向上するが、CPU から SIMD 演算装置に受け渡す演算命令を限定しないシステムバスのトラヒックが問題となり、CPU と SIMD 演算装置の両方にアドレス発生器を必要とし、CPU はメモリのデータ読み出しと SIMD 演算装置のデータ格納との両者を一元的に管理できない。そのため、SIMD 演算装置の高速性能を有効に利用することができないという問題がある。

## 発明の開示

本発明の主な目的は、データの高速処理ができるデータ処理装置を実現することである。

本発明の他の目的は、中央処理装置によって制御されかつメモリとローカルバスで接続された演算ユニットを持つデータ処理装置において、中央処理装置がメモリのデータ読み出しと演算ユニットのデータ格納との両者を一元的に管理できるデータ処理装置を実現することである。

本発明の更に他の目的は、演算ユニットを構成するプロセッサエレメントに対するデータの供給を絶え間なくできるようにして、できるだけ毎クロック演算が可能になり、データの高速処理ができるデータ処理装

置を実現することである。

上記目的を達成するため、本発明のデータ処理装置は、C P U装置により制御される演算ユニットと、第一の記憶手段と、上記C P U、演算ユニット及び第一の記憶手段に共通に接続されたアドレスバスと、上記C  
5 P Uのもつデータバスのバス幅より広いバス幅を持ち上記算算ユニットとを結合するローカルデータバスとを設けて構成した。

本発明では、第一の記憶手段と演算ユニットとの間にローカルデータバスを設けることにより、データ転送性能を向上し、C P Uから演算ユニットへ制御線を接続することにより、演算ユニットへ供給される演算命令をシステムバスのトライフィックから独立している。更に、アドレスバスは、C P U装置、演算ユニット及び第一の記憶手段に共通に接続され  
10 たているため、アドレス発生器は、C P U装置のみに設ければよく、演算ユニットに設ける必要がない。第一の記憶手段も演算ユニットのレジスタと共にC P U装置のアドレス空間にあり、C P U装置は第一の記憶  
15 手段のデータ読み出しと、演算ユニットのレジスタのデータ格納との両者のアドレス指定を一元的に管理できる。

本発明の好ましい実施形態によれば、上記演算ユニットは複数のプロセッサエレメントを持つS I M D制御型の演算器で構成され、上記各プロセッサエレメントは第一の入力端子と第二の入力端子と出力端子を持ち、  
20 全てのプロセッサエレメントの第一の入力端子のビット幅を合計したビット幅の第一のレジスタと、全てのプロセッサエレメントの第二の入力端子のビット幅を合計したビット幅の第二のレジスタと、プロセッサエレメントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジ  
25 スタに第二の入力端子のビット幅単位でデータのシフトができるように構成された第三のレジスタをもつ構成とする。

本発明のデータ処理装置は特に以下の実施形態で説明するように、画

像の符号化処理に置ける動き検出処理などに有効であるが、高速の演算処理をC P Uの処理と平行して行う必要がある処理装置に適用できる。

### 図面の簡単な説明

第1図は本発明によるデータ処理装置の第1実施例の構成を示すブロック図  
5

第2図は第1図のS I M D型演算器4の内部構成を示す回路図

第3図は第1図のC P U 2の内部構成図

第4図は第2図のプロセッサエレメント3 8の内部構成図

第5図は第2図のS I M D型演算器4の動作説明図

10 第6図は第2図のS I M D型演算器4の動作説明図

第7図は第1実施形態で用いる参照画像データの説明図

第8図は第1実施形態で用いる符号化画像データの説明図

第9図は第1図のD R A M 1 6上のアドレスマップ

第10図は第1図のワークR A M 1 2上のアドレスマップ

15 第11図は第1実施形態の動作フローチャート

第12図は第1実施形態のS I M D型演算器4のレジスタのデータ転送の様子を説明する図

第13図は第1実施形態におけるベクトル(0, 0)の演算範囲の説明図

20 第14図は第1実施形態におけるベクトル(1, 0)の演算範囲の説明図

第15図は本発明によるデータ処理装置の第2実施形態の構成を示すブロック図

第16図は第2実施形態のC P Uの内部構成図

25 第17図は第2実施形態の動作フローチャート

第18図は本発明によるデータ処理装置の第3実施形態の構成を示すブ

## ロック図

第19図は本発明によるデータ処理装置の第4実施形態の構成を示すブロック図

第20図は第4実施形態におけるVPU160の内部構成図

## 発明を実施するための最良の形態

### <実形態1>

第1図は本発明によるデータ処理装置の第1の実施形態の構成を示すブロック図である。本実施形態のデータ処理装置は、画像符号化処理において、ブロックマッチング法による動き検出の処理を演算ユニットで行うものである。先に装置の構成を説明し、後で動き検出の動作を説明する。

図示のように本データ処理装置は、中央処理装置（以下CPUと略称）2により制御線3及び5を介して直接制御されるSIMD演算器で構成された演算ユニット4と、記憶手段であるワークRAM12と、CPU2、演算ユニット4及びワークRAM12に共通に接続されたアドレスバス10と、CPU2のもつデータバス6のバス幅より広いバス幅を持ち演算ユニット4とワークRAM12を結合するローカルデータバス8とをもつ。

CPU2は、命令をデコードし全体を制御する。本実形態では、RISC型マイクロプロセッサを用いている。20はCPU装置2のプログラムなどを格納するROM、18はCPU装置2のデータあるいはプログラムなどを格納するRAMである。12はSIMD型演算器4の演算データを一時的に保持するためのワークRAM、16は画像データが格納されるDRAM、14はDRAM16とワークRAM12とのDRAMインターフェイス回路、22はDRAM16とワークRAM12との

DMA (Direct Memory Access) 転送を制御するDMA回路である。

本実施例は、3種のバスを有し、CPU2のデータバス6のバス幅は32ビット、アドレスバス10のバス幅は32ビット、データバス8及び24のバス幅は144ビットである。図中バス線に斜線とを付し数は5 バス幅(ビット数)を示す。

以下各部の構成動作を詳しく説明する。

第2図は、第1図のSIMD型演算器4の内部構成を示す回路図である。演算ユニット4は16個の並列に配置されたプロセッサエレメント38、40…42、44を持つSIMD制御型の演算器で構成され、各10 プロセッサエレメントは、セレクタ32を介してレジスタ30に接続された第一の入力端子とレジスタ34に接続された第二の入力端子とデータバス6及び8に接続された出力端子を持つ。レジスタ30は全てのプロセッサエレメント38、40…42、44の第一入力端子のビット幅を合計したビット幅を持つ。レジスタ34は全てのプロセッサエレメント15 の第二入力端子のビット幅を合計したビット幅を持つ。更にプロセッサエレメントの第二入力端子のビット幅以上のビット幅を持ち、レジスタ34に第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタ36をもつ。

各プロセッサエレメント38、40…42、44は、制御線3と5を20 介してCPU2によって制御される。レジスタ30からプロセッサエレメント38、40…42、44へのデータ供給は、セレクタ32により変えることができる。また、レジスタ30、34及び36は、それぞれアドレスバス10によって制御される書き込み回路50、46及び48からローカルバス8を介してデータが書き込まれる。

25 第3図は、第1図のRISC型マイクロプロセッサ2の構成を示すブロック図である。この構成は、従来知られているマイクロプロセッサの

構成と全く同様で、命令フェッチ回路 60 からフェッチした命令を線路 72 を介して入力しデコードする命令デコード回路 58、命令デコード回路 58 からの命令 68 を実行する演算回路 64、プログラムカウンタ 54、汎用レジスタ 56 から構成されている。

5 更に命令デコード回路 58 では、例えば、S I M D型演算器 4 に対する演算命令の場合は信号線 3 を、S I M D型演算器 4 に対する結果の読み出し命令の場合は信号線 5 をアクティブにする。66、68、62、73 及び 74 は命令及びデータ伝送線である。

第 4 図は、上記プロセッサエレメントの構成を示すブロック図である。  
10 S I M D型演算器 4 の 16 個のプロセッサエレメント 38、40、…42、44 の構成は全て同じである。ここでは、代表してプロセッサエレメント 38 を例に説明する。プロセッサエレメント 38 は、演算回路 80、81 の演算結果を保持するためのレジスタ 82、ローカルデータバス 8 又はデータバス 6 への読み出しを制御するための読み出し制御回路  
15 84 から構成されている。演算回路 80 には、レジスタ 30 の 144 ビットのビット幅の一部の 9 ビットがバス 37 を介して、また、レジスタ 34 の 144 ビットのビット幅の一部の 9 ビットがバス 35 を介して入力される。入力された 2 つのデータは、演算回路 80 で演算（減算）され、演算回路 80 の出力は演算回路 81 でレジスタ 82 の値と加算される。  
20 演算回路 81 の演算結果はレジスタ 82 に格納される。

第 5 図及び第 6 図は、セレクタ 32 の接続形態を説明する図である。  
第 1 の接続形態では、第 5 図で示されるように、レジスタ 30 の 144 ビットの最上位ビットから 9 ビット  $a_0$  が各プロセッサエレメント 38、40 … 44、42 に共通に供給される。また、第 2 の接続形態では、第  
25 6 図に示されるように、レジスタ 30 の全内容 144 ビットが、上位から 9 ビットづつの  $a_0$ 、 $a_2$ 、…  $a_{14}$ 、 $a_{15}$  がそれぞれプロセッサ

エレメント 38、40…44、42に供給される。従って、図に示される a0 の 9 ビットのデータは 0 番のプロセッサエレメント 38 に、a1 の 9 ビットのデータは 1 番のプロセッサエレメント 40 に、という様にデータが分配供給される。

- 5 次に、上記データ処理装置を使用して M P E G 2 の規格による画像信号の符号化処理の中で行われる画像の動き検出を行う場合を説明する。

規格 M P E G 2 による画像の動き検出は、水平 16 画素、垂直 16 画素のマクロブロック単位で、符号化されるマクロブロックが、比較対照となる参照画面に対し、探索範囲の中で一番似ているマクロブロックの  
10 場所を求め、その 2 つのマクロブロック間の画像フレームにおける距離を求める処理を行う。通常、動き検出は、ブロックマッチング法で行われる。ブロックマッチング法とは、符号化される画像の画素と対応する参照画像の画素の差分絶対値をマクロブロック内の全ての画素に対し累積加算を行って、累積加算値の最も値の小さいマクロブロックの場所を  
15 見つける処理を行う。

第 7 図及び第 8 図は、それぞれ上記画像を符号化する際の参照画像データ及び符号化画像のマクロブロックである符号化画像の画素を示す。ここでは、参照画像データは水平方向 352 画素、垂直方向 240 画素を想定している。図中丸で囲む記号 ra1、ra2…rb1…rp17…等は画素を  
20 識別する記号である。また、マクロブロックは、水平方向 16 画素、垂直方向 16 画素で、図中丸で囲む記号 ta1、ta2…tp16 等は画素を識別する記号である。

第 9 図は、第 1 図の D R A M 16 に格納されているデータの様子を示す。図中の記号 r a 1、r a 2、…t a 1…t b 8…等は、第 7 図、第  
25 8 図に示した記号に対応した画素を表す。アドレス A000 からが参照画像データの領域に割り当てられており、D R A M 16 のビット幅である

3 2 ビットで水平方向の 4 画素が格納されている。アドレス B000 からがマクロブロック即ち符号化画像データの領域に割り当てられている。

第 10 図は、ワーク RAM 12 に格納された符号化画像データと参照画像データを示す。ここでは、アドレス C000 からが参照画像データの領域に割り当てられている。各画素のデータは 9 ビットのデータとなり、アドレス C000 からの 144 ビットには、画素 ra1 から画素 ra16 までの水平 16 画素のデータが格納される。また、アドレス D000 からが符号化画像データの領域に割り当てられている。参照画像データの場合と同様に、アドレス D000 の 144 ビットに画素 ta1 から画素 ta16 までの水平 16 画素が格納される。

第 11 図は、上記データ処理装置における動き検出の処理フローチャートである。

まず、DRAM 16 のデータ (第 9 図) を DRAM インターフェイス 14 を介して、ワーク RAM 12 に転送する (ステップ 90)。この時、1 画素あたり 8 ビットのデータに符号ビットを付加して、1 画素あたり 9 ビットのデータとする符号拡張を行う。DRAM 16 上で 4 ロングワードのデータを並べて 144 ビットのデータを作り出す。このような転送を繰り返して、バス 24 を介してワーク RAM 12 にデータを格納する。

次に、ローカルデータバス 8 を介してワーク RAM 12 から SIMD 演算器 4 のレジスタ 34 に参照画像データを転送する (ステップ 92)。

第 12 図はステップ 92 の詳細な動作を説明するための図で、16 個のプロセッサエレメント 38, 40, … 42, 44 と、144 ビットのレジスタ A30, レジスタ B34, レジスタ C36 の信号の流れを時間との関係で示している。すなわち、縦方向に示す時刻 t とその時のレジスタ 30, 34, 36 の内容の変化も示している。

前述のように、レジスタ A 3 0 は、符号化すべき画像の複数の画素データが格納され、一連のビット列の上位 9 ビットが全てのプロセッサエレメント 3 8、4 0 … 4 2、4 4 に共通に供給され、レジスタ B 3 4 には参照画像の複数の画素データ画格納され、上位 9 ビットがプロセッサエレメン 3 8 に、次の 9 ビットがプロセッサエレメント 4 0 とゆうよう 5 に、9 ビット毎に別のプロセッサエレメンに供給され。レジスタ C 3 6 は、レジスタ B 3 4 にデータをシフトして供給する。9 ビットのシフト命令の場合、レジスタ B 3 4 の下位 9 ビットにレジスタ C 3 6 の上位 9 ビットが供給される。

10 ここで、時刻  $t = 0$  (ステップ 9 2) では、レジスタ B 3 4 の参照画像データの画素  $ra1$  から画素  $ra16$  までが、1 4 4 ビットの幅で一度に転送されていることが分かる。

時刻  $t = 1$  (ステップ 9 4) では、ワーク RAM 1 2 からレジスタ C 3 6 にデータを転送する。この結果、新たに参照画像データの画素  $ra17$  15 から画素  $ra32$  までが、1 4 4 ビットの幅でレジスタ C 3 6 に一度に転送される。その結果、水平 3 2 画素の 1 ラインの参照画像データがレジス タ B 3 4 とレジスタ C 3 6 に亘って格納される。

時刻  $t = 2$  (ステップ 9 6) では、ワーク RAM 1 2 からレジスタ A 3 0 に符号化画像データのマクロブロック画素  $ta1$  から画素  $ta16$  までの 20 1 4 4 ビットの幅のデータを一度に転送する。ここで、レジスタ 3 0、3 4、3 6 演算に必要な全てのデータが格納される。

時刻  $t = 3$  (ステップ 9 8) では、プロセッサエレメント 3 8、4 0 … 4 2、4 4 による同時並列演算とレジスタ 3 4 とレジスタ 3 6 の 9 ビットのシフトを行う。その結果、プロセッサエレメント 3 8 は、参照画像データ  $ra1$  25 と符号化画像データ  $ta1$  との差分絶対値を求める演算を行う。そして、結果を第 4 図で示したプロセッサエレメント内部のレジス

タ82に格納する。また、プロセッサエレメント40では、同様に、参照画像データra2と符号化画像データta1との差分絶対値を求める演算を行い、プロセッサエレメント40内部のレジスタ82に結果を格納する。他のプロセッサエレメント42、44等も同様である。

5 時刻  $t = 4$  (ステップ100) では、再度、複数のプロセッサエレメントの並列演算とレジスタ34とレジスタ36の9ビットのシフトを行う。その結果、プロセッサエレメント38では、参照画像データra2と符号化画像データta2との差分絶対値を求める演算を行う。そして、レジスタ82のデータと加算して、レジスタ82に書き込む。また、プロ  
10 セッサエレメント40では、同様にして、参照画像データra3と符号化画像データta1との差分絶対値を求める演算を行い、プロセッサエレメント内部のレジスタ82の値と加算する。

上述の動作を繰り返し、16回目の演算とレジスタ34とレジスタ36の9ビットのシフトを行った時（ステップ102）の、レジスタの状  
15 態は、第12図の時刻  $t=18$  で示される。ブロックマッチングを行う範囲が水平16画素の場合は、この時点で1水平ラインの演算が終了する。

ここで、1ライン下のデータを演算するために、ワークRAM12から3つレジスタ30、34、36へのデータ転送を行う。まず、時刻  $t = 19$  (ステップ104) では、ワークRAM12からレジスタBにデータを転送する。  
20

時刻  $t = 20$  (ステップ106) では、ワークRAM12からレジスタ36にデータを転送する。この結果、第12図の時刻  $t=20$  の状態なり、先に演算したライン下の1ラインの参照画像のデータ、画素rb1からrb32がレジスタ34とレジスタ36にまたがって格納される。

25 時刻  $t = 21$  (ステップ108) では、ワークRAM12からレジスタAにデータを転送する。この結果、先に演算した下の1ラインの符号

化画像の画素  $ta1$  から  $ta16$  までがレジスタ A に格納され、3 つのレジスタ  $30$ 、 $34$ 、 $36$  の全てにデータが格納される。そして、前述と同様にして、演算を行う。さらに、この動作を 16 ライン分、繰り返す。

その結果、プロセッサエレメント 38 の内部レジスタ 82 には、全て 5 の画素に対する差分絶対値の累積加算値が格納される。この値は、第 13 図におけるベクトル  $(0, 0)$  のブロックマッチング演算の結果即ちベクトル  $(0, 0)$  に対応する近似度を表す。

一方、プロセッサエレメント 40 の内部レジスタ 82 には、第 14 図におけるベクトル  $(1, 0)$  のブロックマッチング演算の結果が格納され、同様にして 16 個のプロセッサエレメント 38 … 44 で同時に 16 10 個の動きベクトルのブロックマッチング演算の結果を得ることができる。

本実形態では、ワーク RAM 12 から SIMD 演算器 4 に、データ処理装置のシステムデータ 8 を介することなく、多量のデータが一度に転送できると共に、SIMD 演算器 4 にアドレス発生器を設けることなく、 15 CPU 4 のアドレス管理によってワーク RAM 12 と SIMD 演算器 4 との間のデータ転送が一元的に管理できる。従って、画像処理の動き検出をブロックマッチング法によって行うような、1 つの命令によって同種の多数の演算を必要とするデータ処理に有効である。

#### <実施形態 2>

20 第 15 図は本発明によるデータ処理装置の第 2 の実施形態の構成を示すブロック図である。本実施形態は第 1 図のデータ処理装置に第二の SIMD 演算器 130 が追加されている。これに伴い、CPU 131 からの制御線 134 と 132 が追加されている。ここで、第二の SIMD 演算器 130 の内部構成は、第 2 図で示したものと同じで、同一対応構成要素については同じ番号を付して説明を省く。また他の構成要素で第 1 25 図に示したものと実質的に同じ部分に関しては、同じ番号を付して説明

を省く。

第16図は、第2の実施形態（第15図）におけるCPU131の構成を示すブロック図である。CPU131の構成は、第3図で示した実施形態1におけるCPU2に、命令デコード回路133から出る制御線  
5 132及び134が付加された点を除いては、CPU2に実質的に同じである。制御線132及び134は、第二のSIMD演算器130を制御するためのものである。

第17図は、実施形態2のデータ処理装置の動作を説明する処理フローチャートを示す。実施形態2において、SIMD演算器4の3つのレジスタにデータを格納する動作、つまり、DRAM16からワークRAM  
10 12にデータ転送する動作（ステップ90）から、ワークRAM12からレジスタAに符号化画像データを転送する動作（ステップ96）までは、第11図に示した同じステップ番号を付した部分と同じである。

ステップ96の次に、本実施形態の場合、SIMD演算器130のレジスタにデータを格納する。最初に、ワークRAM12からレジスタB  
15 に参照画像データを転送する（ステップ140）。次に、ワークRAM12からレジスタCに参照画像データを転送する（ステップ142）。最後に、ワークRAM12からレジスタAに符号化画像データを転送する（ステップ144）。そして、実施例1の場合と同様に、プロセッサエレメント（PE）による演算を行う。その結果、同時に32個のプロセッサエレメントを用いて、異なるベクトルのブロックマッチングを行うことができ、より高速の処理ができる。

### <実施形態3>

第18図は本発明によるデータ処理装置の第3の実施形態の構成を示すブロック図である。本実施形態では、2つのワークRAM144及び  
25 146を持ち、DRAM16側とSIMD演算器4側とを切り替えて使

用する。

ワークRAM144にデータが格納され、このデータを用いてSIMD演算器4が信号処理を行っているとき、ワークRAM144は、セレクタ142と152によってSIMD演算器4側に接続されている。一方、ワークRAM146は、セレクタ148と150によってDMA0122側に接続されている。そして、ワークRAM146には、DMA0122がDRAM16から、SIMD演算器4が次に使用する画像データを転送している。ここで、SIMD演算器4が、ワークRAM144内の信号処理を終了すると、ワークRAM144とワークRAM146を切り替える。つまり、ワークRAM144をDMA0122側に接続し、ワークRAM146をSIMD演算器4側に接続する。この構成によって、ワークRAM146には、既に使うデータがDRAM16から転送されているため、SIMD演算器4は、すぐに演算動作を開始することができる。従って、演算効率を高めることができる。

15 <実施形態4>

第19図は、本発明によるデータ処理装置の第4の実施形態を示す図である。本実施形態は、発明のデータ処理装置を画像信号圧縮LSIの中に構成したものである。

マイクロプロセッサユニット166のバス184に、各構成要素ブロックが接続されている。構成要素ブロックは、外部のモデムとのインターフェイス機能を持つ通信インターフェイス168、外部のオーディオ信号と入出力機能を有するオーディオインターフェイス170、外部のビデオ信号との入出力機能を有するビデオインターフェイスブロック172、可変長符号の符号化と復号化を担当する可変長符号化復号化ブロック164、量子化、逆量子化、DCT、逆DCT処理を担当するQ-DCT/IQ-IDCTブロック162、DRAM176の制御を担当するDRAM制御ブロック

ク 1 7 4、動き検出ブロック 1 6 0 を含む。動き検出ブロック 1 6 0 は第 1 の実施形態で説明したものと同じである。

本実施形態では、第 1 図に示した装置と比較して、D R A M インターフェイス 1 4 と D R A M 1 6 に対応する D R A M 1 7 6 が L S I の外に出ている点、また、M P U 1 6 6 が動き検出ブロック 1 6 0 を制御するためのコントロールレジスタ 1 8 5 を持っているところが異なっている。このコントロールレジスタ 1 8 5 により、動き検出ブロック 1 6 0 の C P U 1 8 0 の制御が行われる。

本構成による画像圧縮時の動作を説明する。ビデオインターフェイス 10 ブロック 1 7 2 により入力された符号化画像データは、一度、D R A M 1 7 6 に格納される。そして、マクロブロック単位で動き検出ブロック 1 6 0 のワーク R A M に読み込まれる。この時、対応する探索範囲の参照画像データも同時に、動き検出ブロック 1 6 0 のワーク R A M に読み込まれる。第 1 の実施形態で説明したように、各動きベクトルの差分絶対値演算の累積加算を行う。全ベクトルの演算を終了した後、最も差分絶対値演算値の小さいベクトルをこのマクロブロックに対する動きベクトルとする。そして、この時の符号化画像と参照画像の対応する各画素の差分値をとり、その結果を Q-DCT/IQ-IDCT ブロック 1 6 4 に送る。Q-DCT/IQ-IDCT ブロック 1 6 4 では、動き検出ブロック 1 6 0 から送られてきた結果に対し、D C T 処理と量子化処理を行い、可変長符号化復号化ブロック 1 6 4 に送る。ここでは、可変長符号化処理を行い、画像データの圧縮処理が完了する。

上述のように、本発明を画像信号圧縮 L S I に適用することにより、プログラマビリティの高く、高性能な画像信号圧縮 L S I を構成することができる。

### 産業上の利用可能性

上述の実施形態で説明したように、本発明は、S I M D型演算器を構成するプロセッサエレメントに対するデータの供給を絶え間なくできるようになり、特に、画像信号を圧縮、伸長する多大の演算処理を繰り返り行う信号処理における演算効率を上げることができる。

### 請求の範囲

1. C P Uにより制御される第一の演算ユニットと、第一の記憶手段と、上記C P Uのデータバス幅よりも広いバス幅をもつ、第一の演算ユニットと第一の記憶手段と接続するローカルデータバスと、上記C P U、第一の演算ユニット及び上記第一の記憶手段に共通に接続されたアドレスバスを持つデータ処理装置。  
5
2. 上記第一の演算ユニットがS I D M型の演算器である第1項記載のデータ処理装置。
3. 上記第一の演算ユニットが複数個並列に配置された第1項記載のデータ処理装置。  
10
4. 上記第一の記憶手段が第1メモリと、第2メモリと、上記アドレスバス及び上記データバスに接続されかつ第1メモリと第2メモリ間のデータの転送を制御するD M A回路を持つ第1項記載のデータ処理装置。
5. 上記第一の記憶手段が上記第2メモリから上記第1メモリにD M A回路で転送する際に符号拡張を行う手段を持つ第4項記載のデータ処理装置。  
15
6. 上記第1メモリが第1及び第2ワークメモリを持ち、上記第1の記憶手段が更に上記第1及び第2のワークメモリと上記第1の演算ユニットの接続及び上記第2メモリとの接続を交互に切り替える手段を持つ第20第4項記載のデータ処理装置。
7. 上記第一の演算ユニットは、上記C P Uからの单一命令で複数のデータを並列に演算処理するS I M D制御型の演算器であることを特徴とする請求項第1項に記載のデータ処理装置。
8. 上記第一の演算ユニットは第一の入力端子、第二の入力端子及び第一の出力端子をもち、上記C P Uからの制御信号によって動作する複数のプロセッサエレメントと、上記複数のプロセッサエレメントの全ての第25

- 一の入力端子のビット幅を合計したビット幅の第一のレジスタと、上記複数のプロセッサエレメントの全ての第二の入力端子のビット幅を合計したビット幅を持ち全てのビット幅を重なりがないように全てのプロセッサエレメント第二の入力端子に加える第二のレジスタと、上記プロセッサエレメントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタと、上記第一のレジスタのデータを選択して最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅を全ての上記各プロセッサエレメントの第一の入力端子に共通に供給するセレクタと、上記アドレスバスによって制御され、上記ローカルバスを介してそれぞれ上記第一、第二及び第三レジスタにデータを書き込む書き込み制御回路と、上記出力端子のデータを上記ローカルデータバスに出力する回路を持つS I M D制御型の演算器で構成された請求項第1ないし第7のいずれかに記載されたデータ処理装置。
- 15 9. 上記プロセッサエレメントは、上記第一及び第二の入力端子のデータの減算値を一定の範囲に亘り積算し出力する演算回路であり、上記第一のレジスタに符号化すべき画像の複数の画素でデータが格納され、上記第二のレジスタに参照すべき参照画像の複数の画素のデータが格納され、上記複数のプロセッサエレメントの出力を画像の複数の動きベクトルに対応する近似度として取り出す請求項第8に記載の画像処理用データ処理装置。
10. 第一の入力端子、第二の入力端子及び第一の出力端子を持つ複数のプロセッサエレメントと、上記複数のプロセッサエレメントの全ての第一の入力端子のビット幅を合計したビット幅を持つ第一のレジスタと、上記複数のプロセッサエレメントの全ての第二の入力端子のビット幅を合計したビット幅を持つ第二のレジスタと、上記プロセッサエレメ

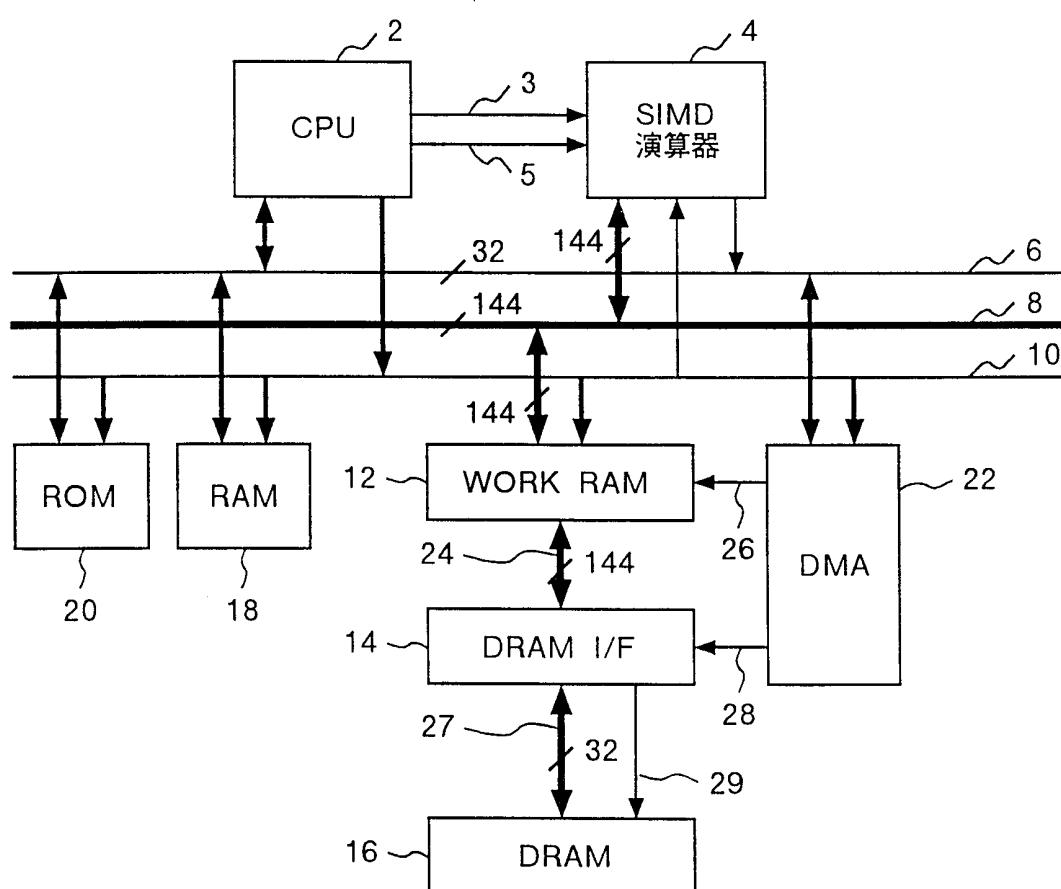
ントの第二の入力端子のビット幅以上のビット幅を持ち第二のレジスタに第二の入力端子のビット幅単位でデータのシフトができる第三のレジスタを持つ SIMD 制御型の演算器。

11. 上記第一のレジスタは、最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅を全ての上記プロセッサエレメントに共通に供給する接続回路と、全てのビット幅を重なりがないように全てのプロセッサエレメントに供給する接続回路をもつ請求項 10 に記載の SIMD 制御型の演算器。

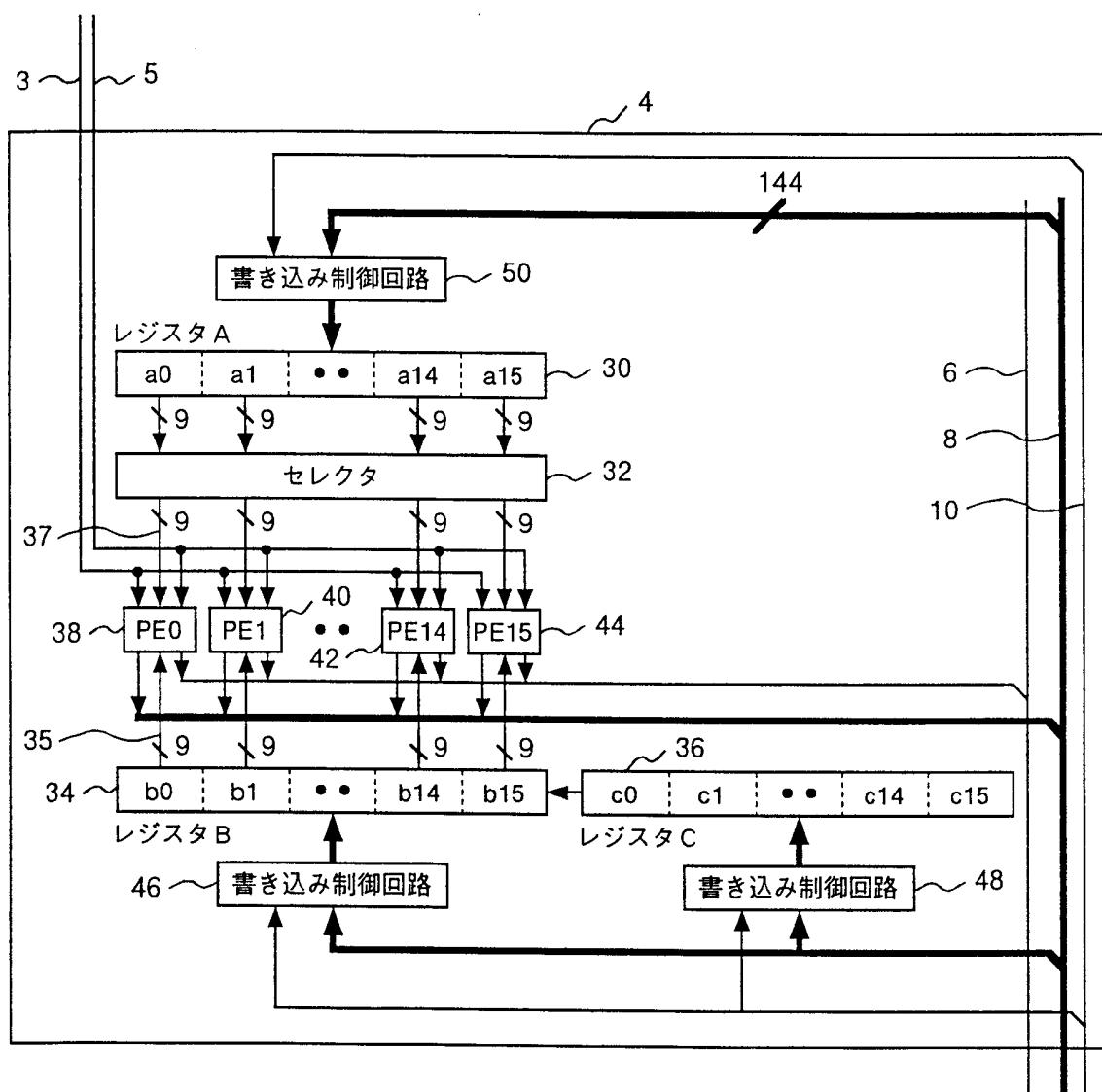
12. 上記第一のレジスタを最上位ビットから上記プロセッサエレメントの第一の入力端子のビット幅をすべての上記プロセッサエレメントに供給するセレクタを持ち、毎クロックごとに上記プロセッサエレメントにおいては演算処理を、また、上記第一のレジスタでは上記プロセッサエレメントの第一の入力端子のビット幅単位でのデータシフト処理を、上記第二のレジスタと第三のレジスタでは上記プロセッサエレメントの第二の入力端子のビット幅単位でのデータシフト処理を行う手段を持つ請求項 10 に記載の SIMD 制御型の演算器。

13. 上記第一のレジスタには第 1 の画像の複数の画素データをが格納され、上記第二のレジスタと第三のレジスタには第 2 の画像の複数の画素データをが格納され、上記プロセッサエレメントは上記第一の入力端子と第二の入力端子から加えられるデータの差分を累積する演算回路で構成され、上記複数のプロセッサエレメントのそれぞれから上記第 1 及び第 2 の画像間の複数の動きベクトルに対応する近似度を出力する手段とを持つ画像処理用に用いる請求項 11 又は 12 に記載の SIMD 制御型の演算器。

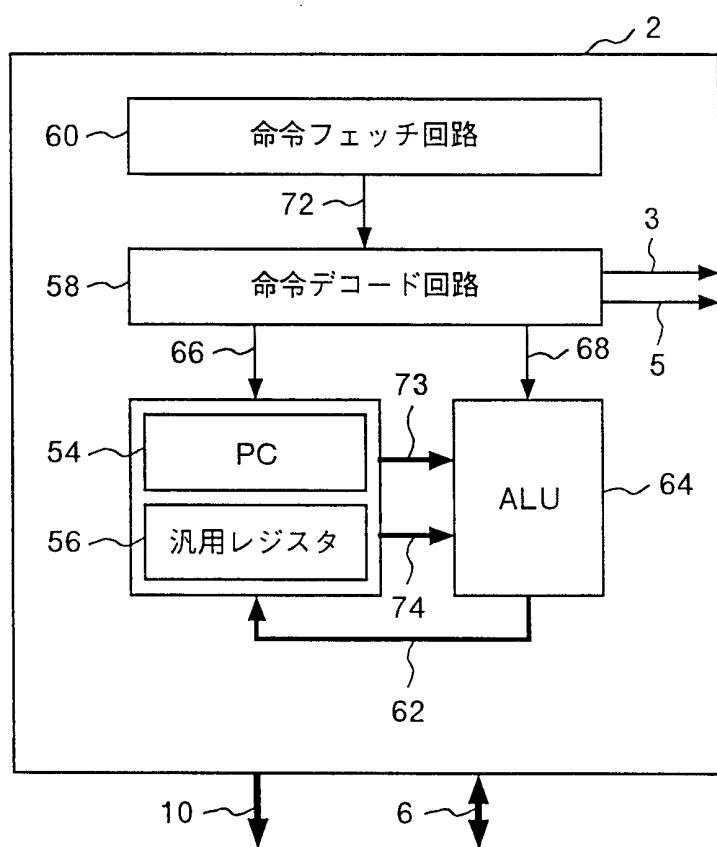
第1図



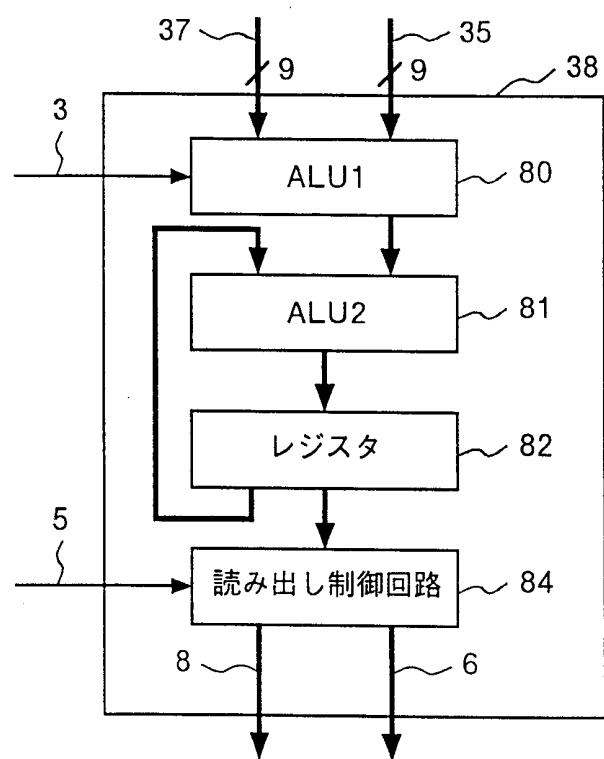
第2図



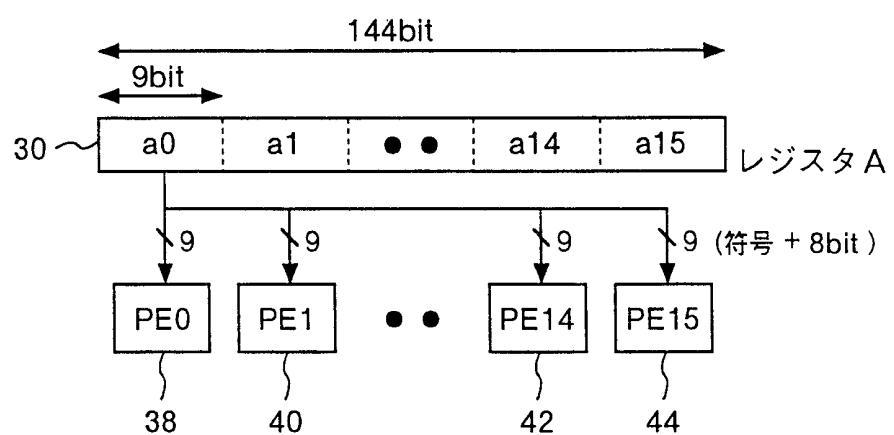
第3図



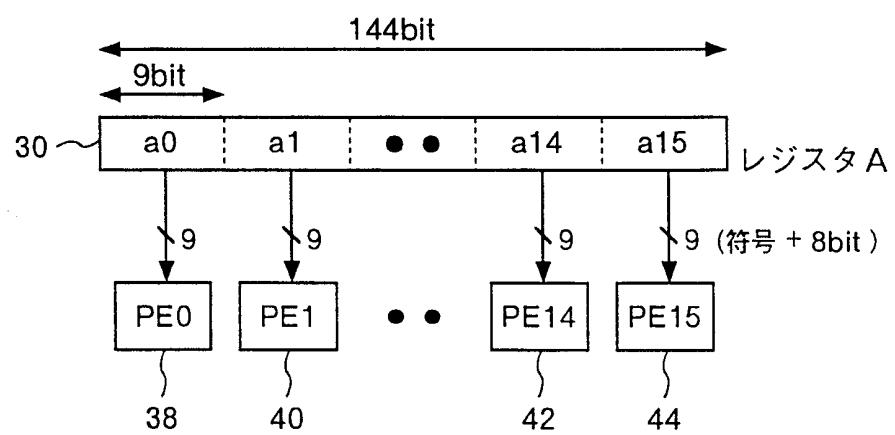
第4図



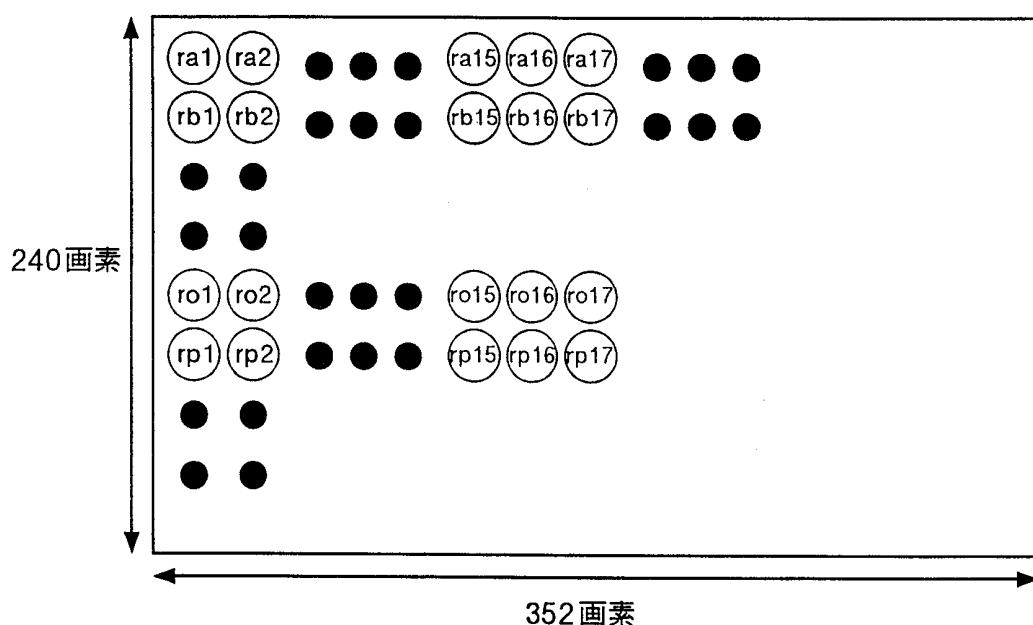
第5図



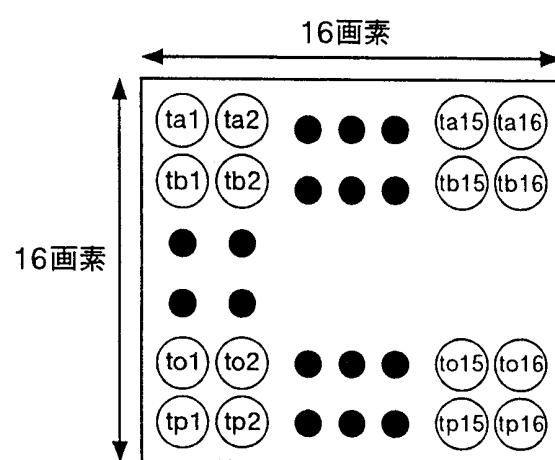
第6図



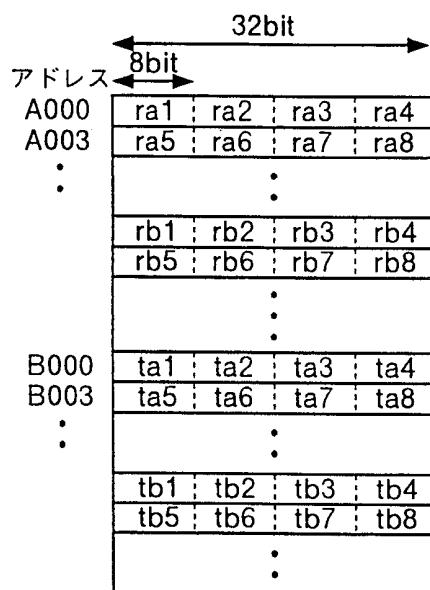
第7図



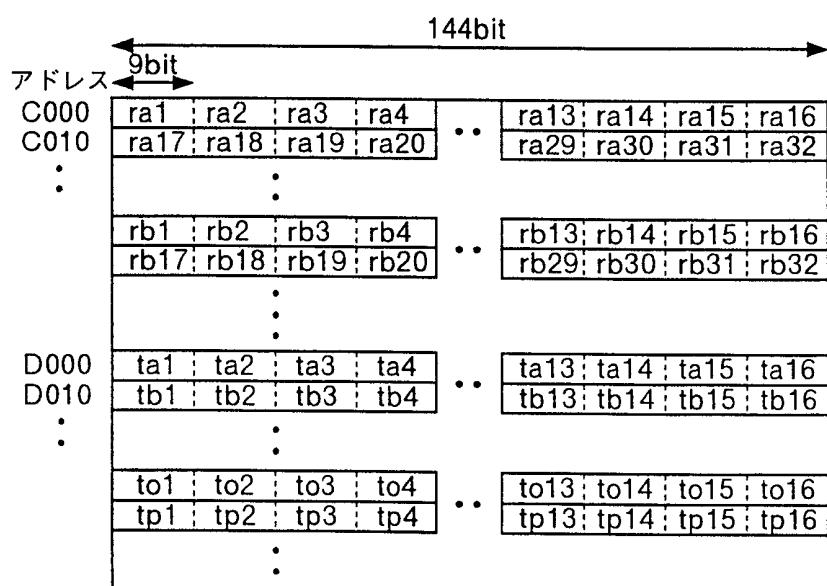
第8図



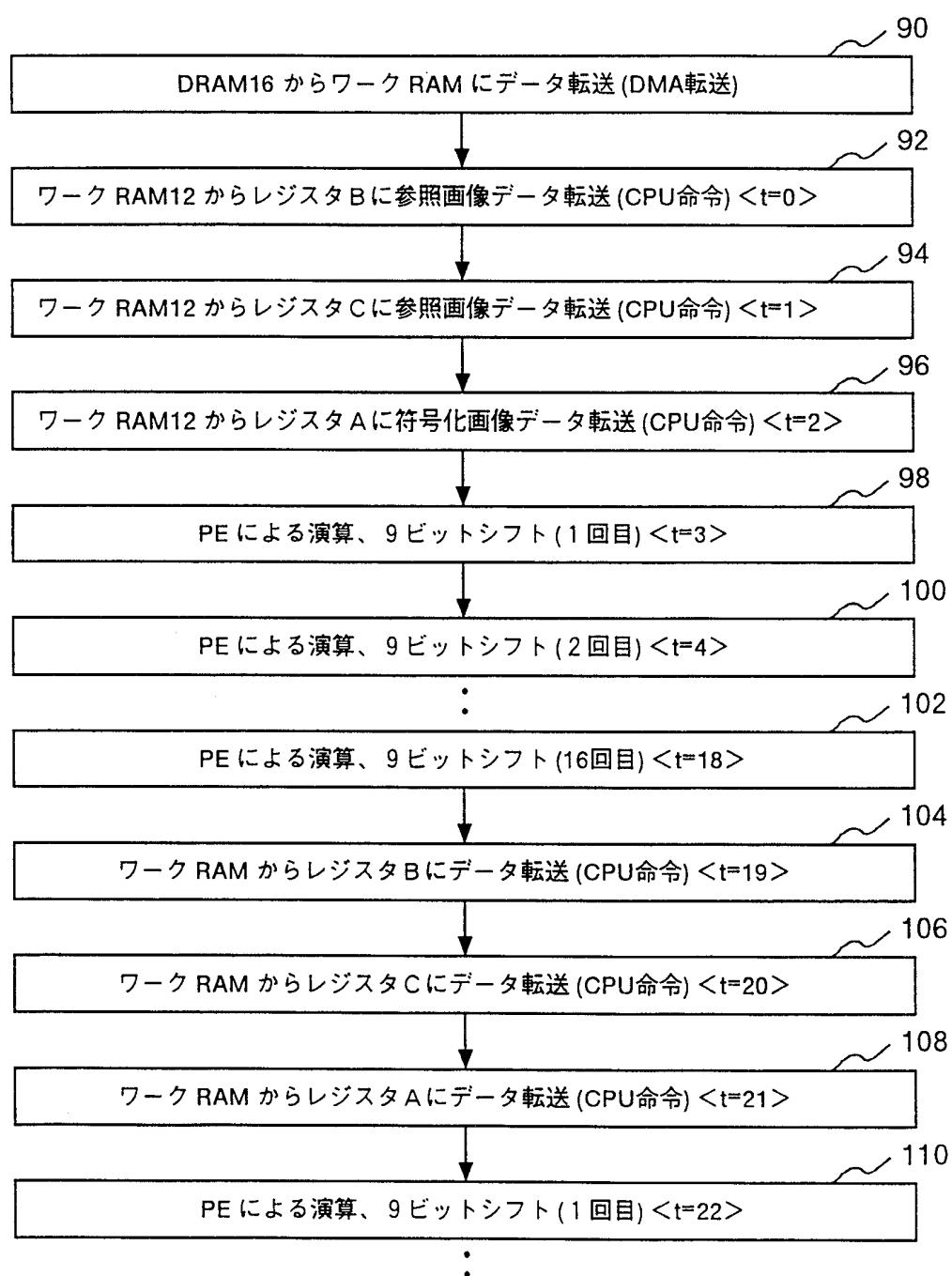
第9圖



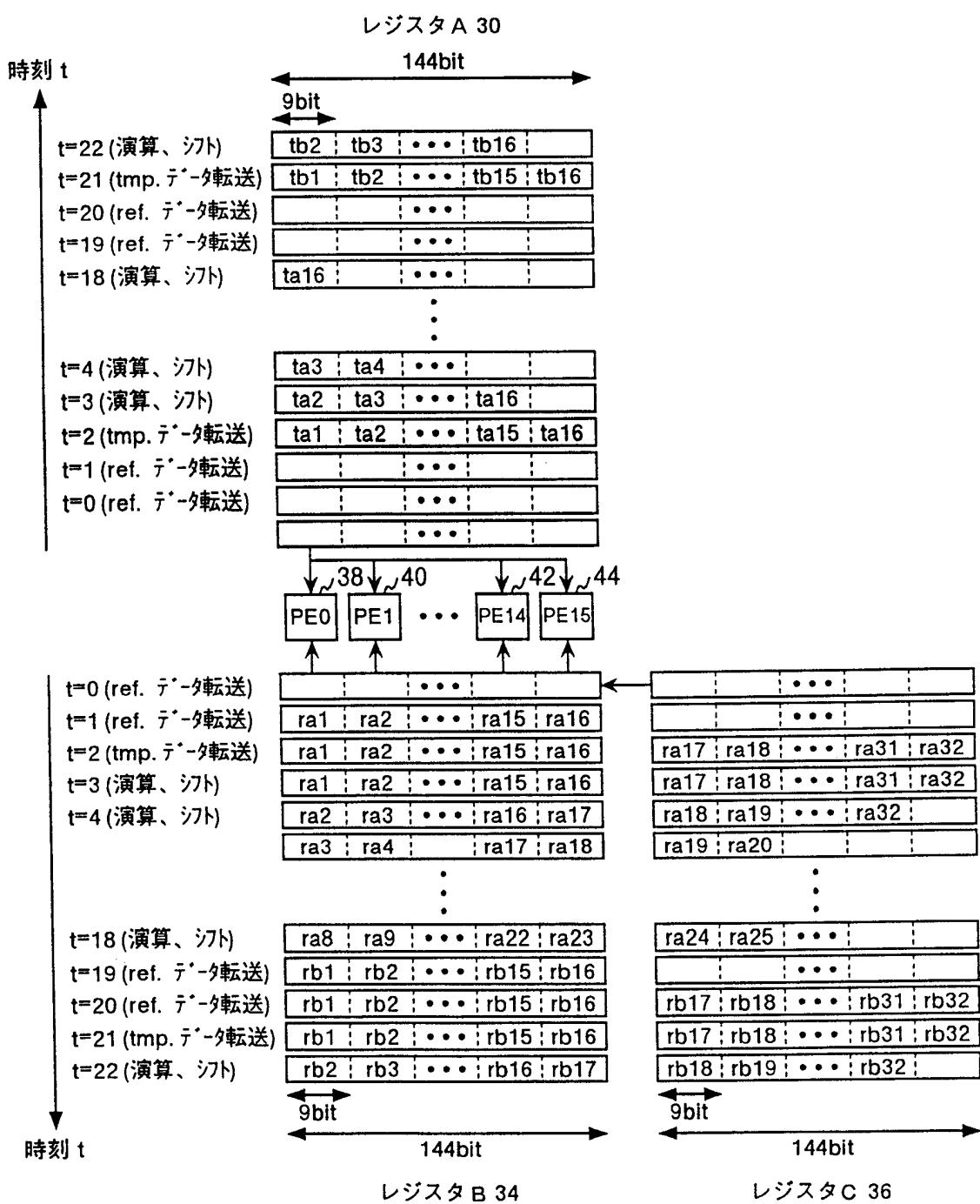
第10回



第 11 図

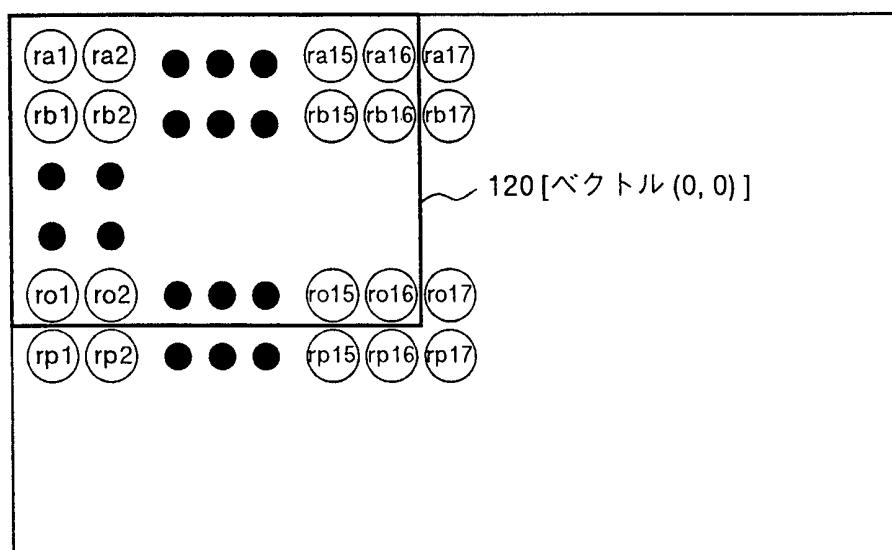


第12図

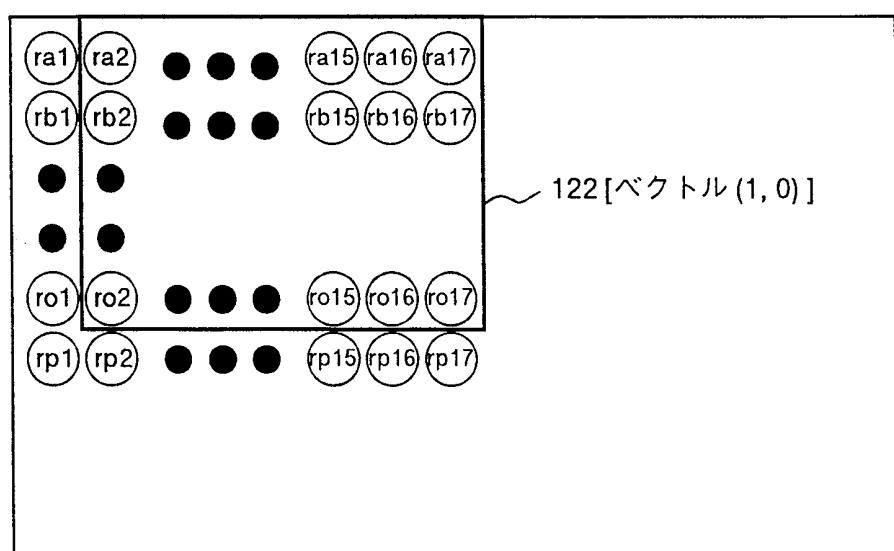


10/16

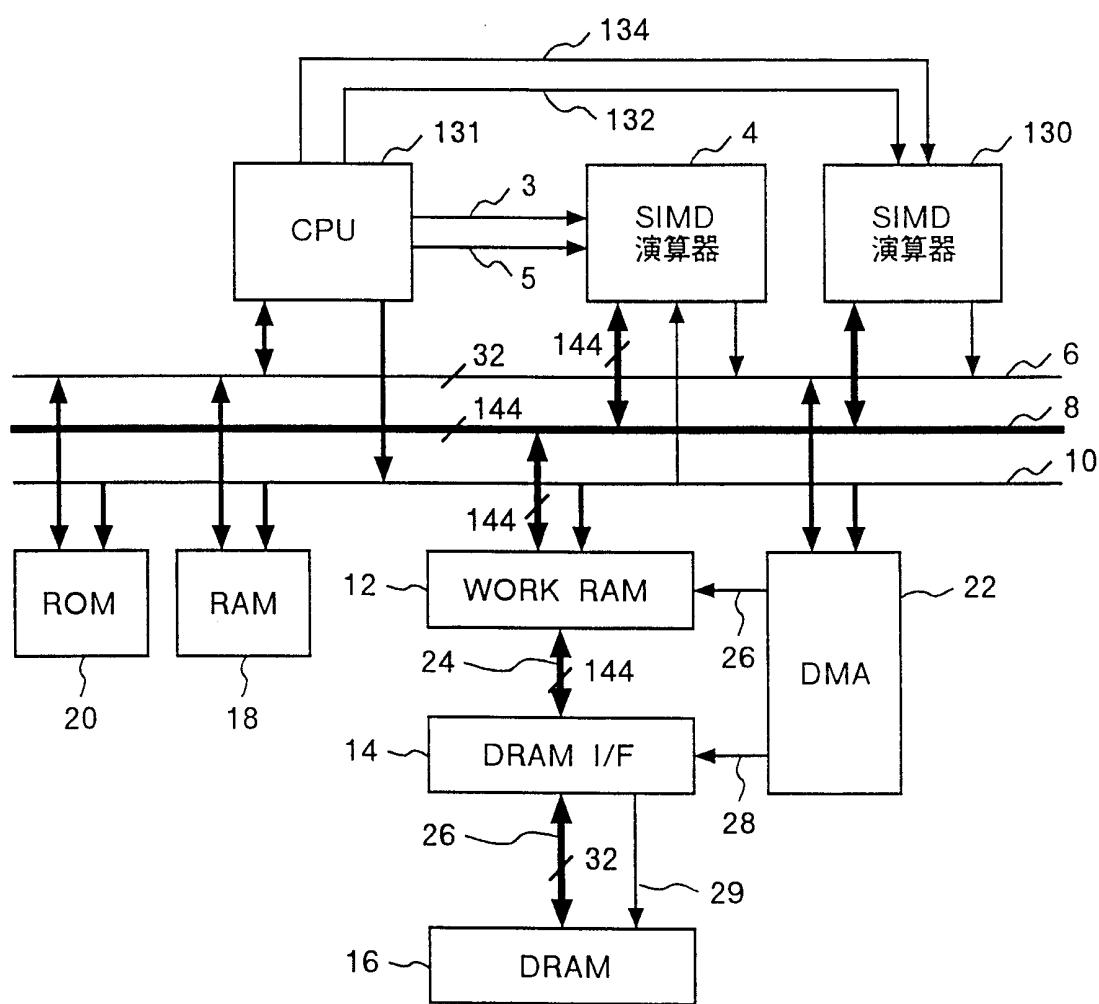
第13図



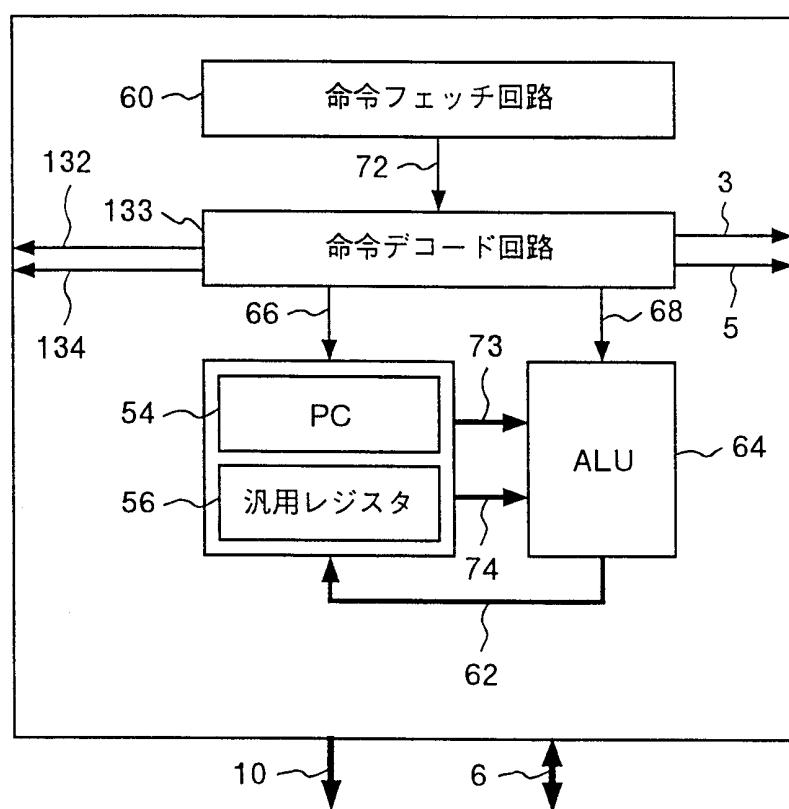
第14図



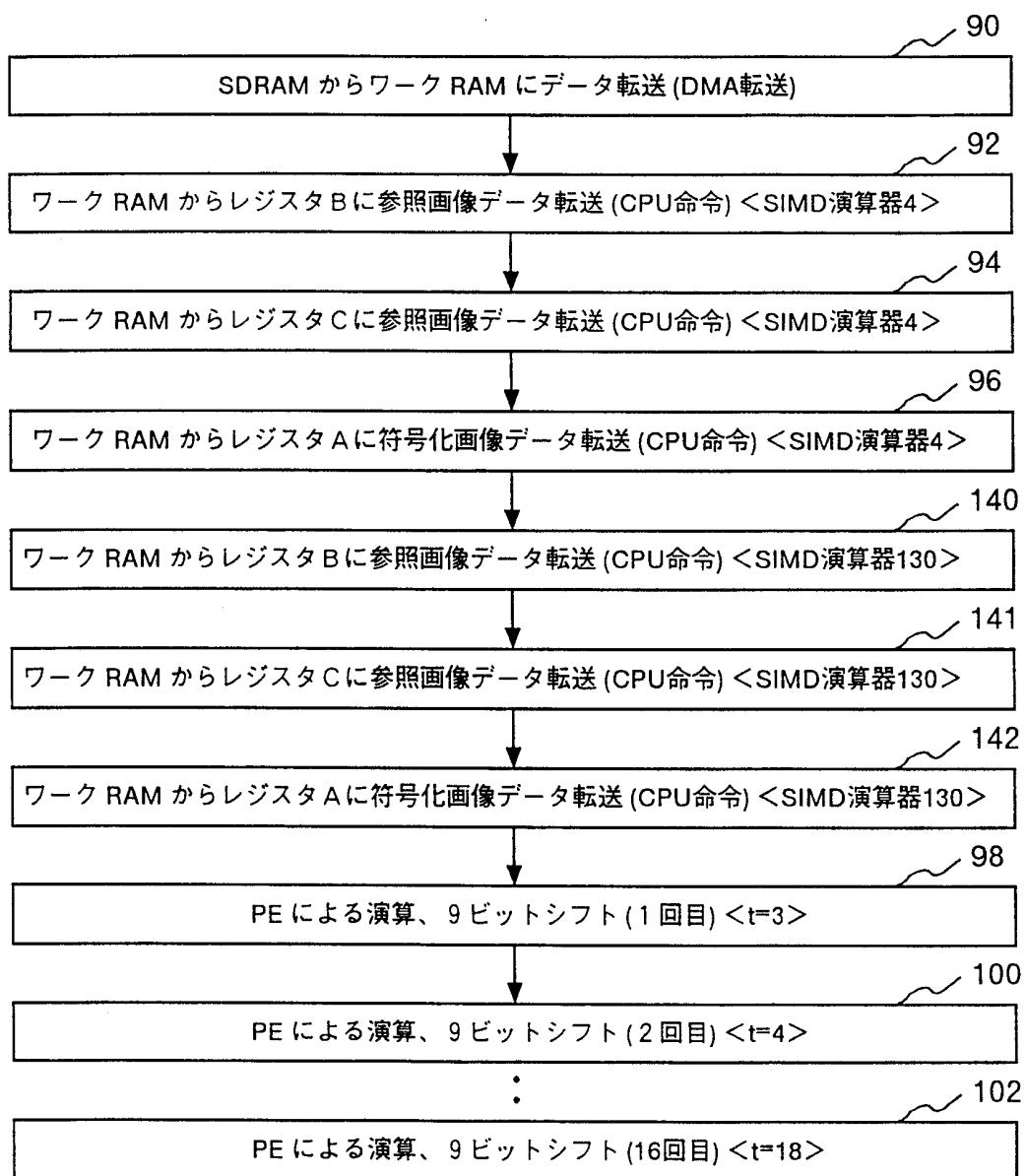
第15図



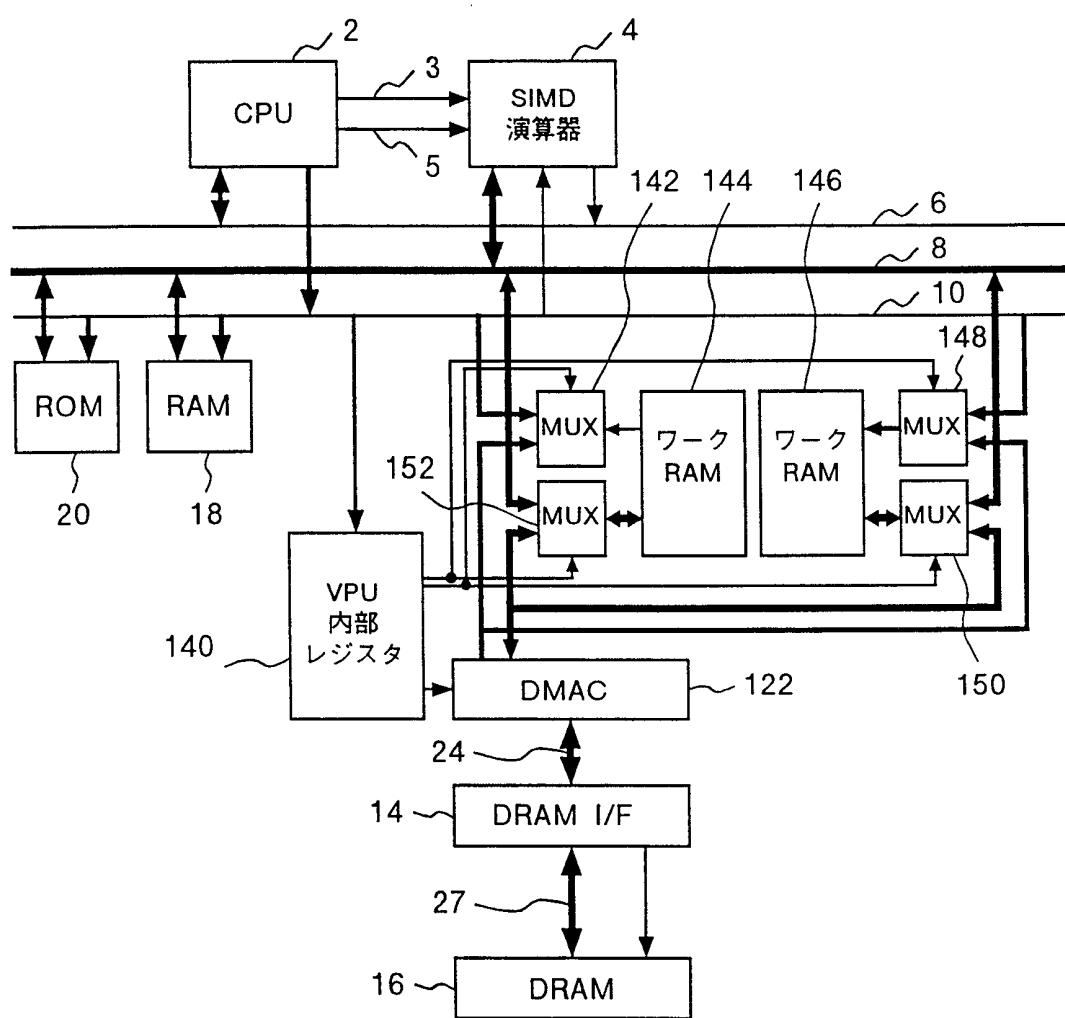
第16図



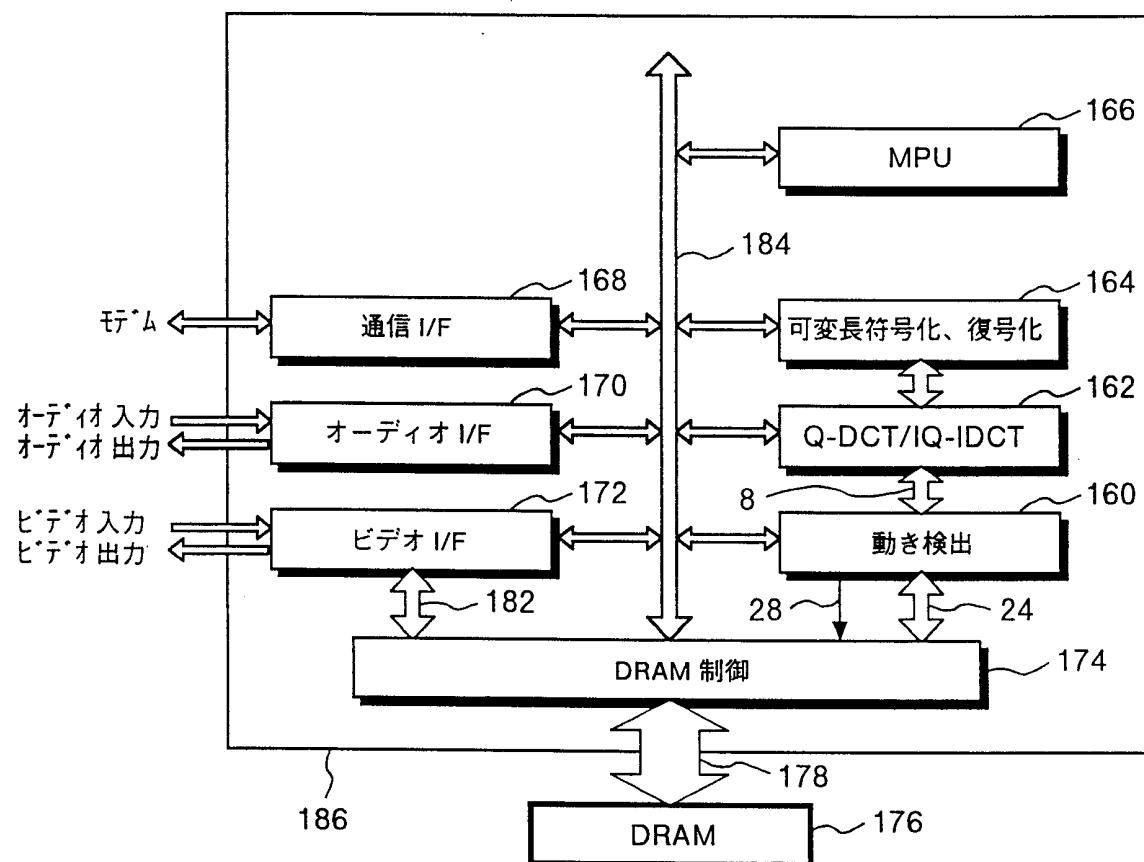
## 第17図



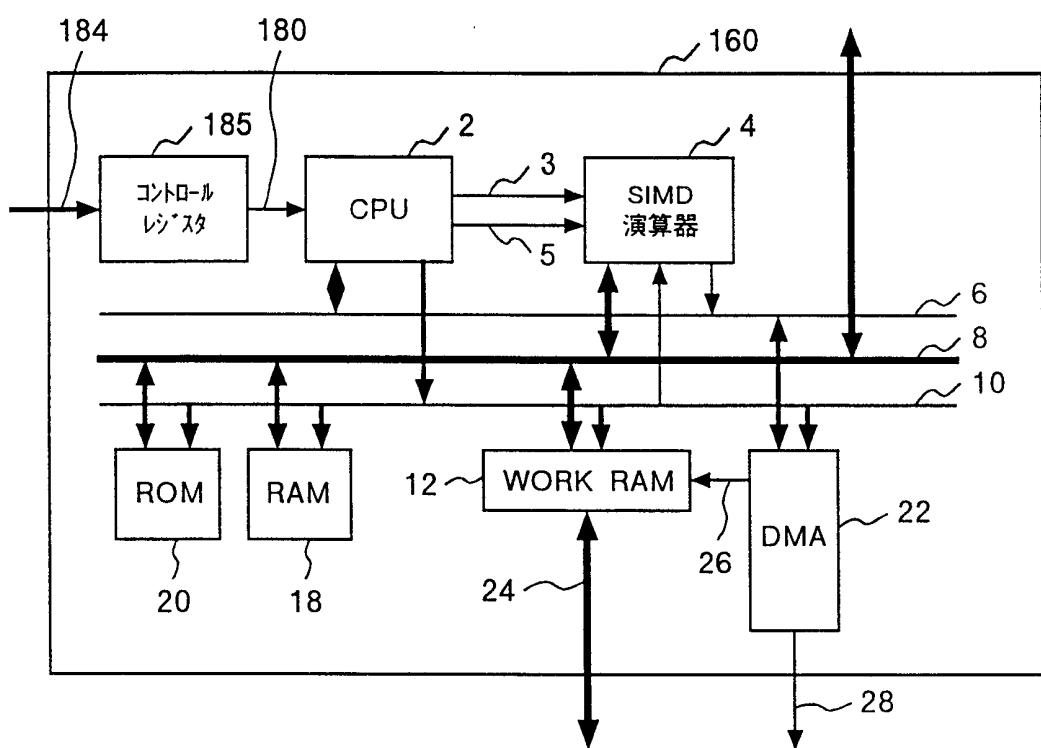
第18図



第19図



第20図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00181

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> G06F9/38, G06F15/80, H04N7/36

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G06F9/38, G06F15/80, H04N7/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1940-1999 Toroku Jitsuyo Shinan Koho 1994-1999  
 Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| X         | JP, 7-200324, A (International Business Machines Corp.),<br>4 August, 1995 (04. 08. 95),<br>Column 5, line 1 to column 10, line 38 ; Fig. 1<br>& US, 5506957, A | 1<br>2, 7             |
| A         | JP, 9-69047, A (Sony Corp.),<br>11 March, 1997 (11. 03. 97)<br>& EP, 762272, A  | 1-9                   |
| A         | JP, 6-324868, A (Hitachi ULSI Engineering Corp.),<br>25 November, 1994 (25. 11. 94) (Family: none)  | 1-9                   |
| A         | JP, 2-306361, A (NEC Corp.),<br>19 December, 1990 (19. 12. 90) (Family: none)   | 1-9                   |
| A         | JP, 5-268593, A (Nippon Telegraph & Telephone Corp.),<br>15 October, 1993 (15. 10. 93) (Family: none)   | 10-13                 |

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
13 April, 1999 (13. 04. 99)

Date of mailing of the international search report  
27 April, 1999 (27. 04. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP99/00181

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C1<sup>6</sup> G06F 9/38  
 Int. C1<sup>6</sup> G06F 15/80  
 Int. C1<sup>6</sup> H04N 7/36

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int. C1<sup>6</sup> G06F 9/38  
 Int. C1<sup>6</sup> G06F 15/80  
 Int. C1<sup>6</sup> H04N 7/36

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1999年  
 日本国公開実用新案公報 1971-1995年  
 日本国登録実用新案公報 1994-1999年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| X<br>Y          | J P, 7-200324, A (インターナショナル・ビジネス・マシーンズ・コーポレイション), 4. 8月. 1995 (04. 08. 95), 第5欄第1行目～第10欄第38行目及び図1&US, 5506957, A | 1<br>2, 7        |
| A               | J P, 9-69047, A (ソニー株式会社), 11. 3月. 1997 (11. 03. 97) &EP, 762272, A  | 1-9              |
| A               | J P, 6-324868, A (日立超エル・エス・アイ・エンジニアリング株式会社), 25. 11月. 1994 (25. 11. 94) (ファミリーなし)                                | 1-9              |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

|   |  |
|---|--|
| 国際調査を完了した日<br>13. 04. 99  | 国際調査報告の発送日<br>27.04.99   |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/JP)<br>郵便番号 100-8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員）<br>中野 裕二<br>5B 9462<br>電話番号 03-3581-1101 内線 3546 |

## 国際調査報告

国際出願番号 PCT/JP99/00181

| C(続き) . 関連すると認められる文献 |   | 関連する請求の範囲の番号 |
|----------------------|---|--------------|
| 引用文献の<br>カテゴリー*      | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                   |              |
| A                    | J P, 2-306361, A (日本電気株式会社), 19. 12 月. 1990 (19. 12. 90) (ファミリーなし)  | 1-9          |
| A                    | J P, 5-268593, A (日本電信電話株式会社), 15. 1 月. 1993 (15. 10. 93) (ファミリーなし) | 10-13        |