

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-147239

(P2010-147239A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 G	5 F 1 1 O
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 8 H	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 2 H	
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 5 A	
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 5 7 C	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2008-322703 (P2008-322703)
(22) 出願日 平成20年12月18日 (2008.12.18)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100109900
弁理士 堀口 浩
(72) 発明者 遠藤 幸一
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 泉沢 優
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 原 琢磨
東京都港区芝浦一丁目1番1号 株式会社
東芝内

最終頁に続く

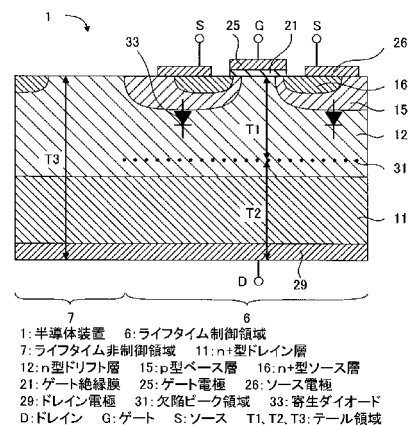
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】結晶欠陥形成領域の平面位置精度を上げることが可能な半導体装置及びその製造方法を提供する。

【解決手段】n型ドリフト層12、p型ベース層15、n+型ソース層16及びゲート電極25を有するMOS F E Tと、n型ドリフト層12の表面から徐々に増加する再結合中心となる結晶欠陥密度分布のテール領域T1を有し、n型ドリフト層12中のp型ベース層15とn型ドリフト層12のpn接合を順方向に流れる電流経路またはその近傍に、テール領域T1から続く欠陥ピーク領域31を有し、裏面に向かって欠陥ピーク領域31から続く徐々に減少するテール領域T2を有し、平面的に選択的に形成されたライフタイム制御領域6と、ライフタイム制御領域6に隣接し、表面の結晶欠陥密度が、ライフタイム制御領域6の表面の結晶欠陥密度を超えることはなく、表面から裏面に徐々に増加するテール領域T3を有するライフタイム非制御領域7とを備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 の面及び前記第 1 の面に平行且つ対向する第 2 の面を有する第 1 導電型の第 1 半導体層と、

前記第 2 の面の側の表面に設けられ前記第 1 半導体層と電氣的に接続された第 1 電極と、

前記第 1 の面の表面領域に選択的に設けられた複数の第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の表面領域に選択的に設けられた第 1 導電型の第 3 半導体層と、

前記第 2 半導体層及び前記第 3 半導体層の表面に接するように設けられた第 2 電極と、
隣接する前記第 2 半導体層間の前記第 1 半導体層上にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 の面に垂直に、前記第 1 半導体層、前記第 2 半導体層、または前記第 3 半導体層の少なくとも 1 つの表面から連続する再結合中心となる結晶欠陥密度分布の徐々に増加する第 1 のテール領域、前記第 1 のテール領域から連続し増加から減少に転じるピーク領域、及び前記ピーク領域から連続し徐々に減少する第 2 のテール領域を有し、前記第 2 半導体層及び前記第 1 半導体層の間の p n 接合を順方向に流れる電流経路を横切り、且つ前記第 1 半導体層の中に前記ピーク領域を有する前記第 1 の面に沿った方向に広がった第 1 の領域と、

前記第 1 の領域に隣接し、前記第 1 の面に沿った方向に広がり、前記第 1 の面に垂直に、前記第 1 乃至第 3 半導体層のいずれかの表面から、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域を有し、表面では隣接した前記第 1 のテール領域の結晶欠陥密度を超えることはなく、且つ前記第 1 半導体層の中に前記第 3 のテール領域に連続するピーク領域が存在しない第 2 の領域と、
を備えていることを特徴とする半導体装置。

【請求項 2】

第 1 の面、前記第 1 の面に平行且つ対向する第 2 の面、及び前記第 1 の面から前記第 2 の面の方向に掘り下げられた前記第 1 の面に平行な第 3 の面を有する第 1 導電型の第 1 半導体層と、

前記第 2 の面の側の表面に設けられ前記第 1 半導体層と電氣的に接続された第 1 電極と、

前記第 1 の面の表面領域に選択的に設けられた複数の第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の表面領域に選択的に設けられた第 1 導電型の第 3 半導体層と、

前記第 2 半導体層及び前記第 3 半導体層の表面に接するように設けられた第 2 電極と、
隣接する前記第 2 半導体層間の前記第 1 半導体層上にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 の面に垂直に、前記第 1 半導体層、前記第 2 半導体層、または前記第 3 半導体層の少なくとも 1 つの表面から連続する再結合中心となる結晶欠陥密度分布の徐々に増加する第 1 のテール領域、前記第 1 のテール領域から連続し増加から減少に転じるピーク領域、及び前記ピーク領域から連続し徐々に減少する第 2 のテール領域を有し、前記第 2 半導体層及び前記第 1 半導体層の間の p n 接合を順方向に流れる電流経路を横切り、且つ前記第 1 半導体層の中に前記ピーク領域を有する前記第 1 の面に沿った方向に広がった第 1 の領域と、

前記第 1 の領域に隣接し、前記第 1 の面に沿った方向に広がり、前記第 3 の面に垂直に、前記第 3 の面から、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域を有し、前記第 3 の面では前記第 3 の面の延長面上で隣接した前記第 1 のテール領域の結晶欠陥密度を超えることはなく、且つ前記第 1 半導体層の中に前記第 3 のテール領域に連続するピーク領域が存在しない第 2 の領域と、
を備えていることを特徴とする半導体装置。

【請求項 3】

基体の上に、絶縁膜を介して形成された第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の表面領域に選択的に設けられた前記第 1 半導体層と p n 接合を形成する第 2 導電型の第 2 半導体層と電氣的に接続された第 1 電極と、

前記第 1 半導体層の表面領域に選択的に設けられ、前記第 2 半導体層と離間した第 2 導電型の第 3 半導体層と、

前記第 3 半導体層の表面に選択的に設けられた第 1 導電型の第 4 半導体層と、

前記第 3 半導体層及び前記第 4 半導体層の表面に接するように設けられた第 2 電極と、隣接する前記第 4 半導体層と前記第 1 半導体層の間の前記第 3 半導体層の上のゲート絶縁膜を介して設けられたゲート電極と、

を有する電力用スイッチング素子と、

前記第 1 半導体層の表面から徐々に増加する再結合中心となる結晶欠陥密度分布の第 1 のテール領域を有し、前記第 2 半導体層及び前記第 1 半導体層の間の前記 p n 接合を順方向に流れる電流経路または前記電流経路の近傍であって、且つ前記第 1 半導体層の中に、前記第 1 のテール領域から続く増加から減少に転じるピーク領域を有し、且つ、前記第 1 半導体層の表面に対向する裏面に向かって前記ピーク領域から前記絶縁膜まで続く徐々に減少する結晶欠陥密度分布の第 2 のテール領域を有し、前記第 1 半導体層の表面に沿った方向に、選択的に広がりをもつ第 1 の領域と、

前記第 1 の領域に隣接し、前記第 1 半導体層の表面に沿った方向に広がり、前記第 1 半導体層の表面の結晶欠陥密度が、前記第 1 の領域の表面の結晶欠陥密度を超えることはなく、前記第 1 半導体層の表面から前記絶縁膜まで、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域を有する第 2 の領域と、
を備えていることを特徴とする半導体装置。

【請求項 4】

少なくとも、基体の上に形成された第 1 導電型の第 1 半導体層と、前記第 1 半導体層の表面領域に選択的に設けられた前記第 1 半導体層と p n 接合を形成する第 2 導電型の第 2 半導体層とが形成されている電力用スイッチング素子を選択的に有する半導体装置において、

前記 p n 接合を順方向に流れる電流経路または電流経路近傍に対して、垂直上方に位置する前記第 1 半導体層の表面に、減速材を配置し、前記第 1 半導体層の表面上方から、前記電流経路または前記電流経路近傍に結晶欠陥密度分布のピーク領域が来るように、且つ前記電流経路または前記電流経路近傍を外れた前記第 1 半導体層に結晶欠陥密度分布のピーク領域が存在しないように軽イオンを照射する工程と、

前記減速材を除去する工程と、

を備えていることを特徴とする半導体装置の製造方法。

【請求項 5】

第 1 導電型の半導体基板の上に形成された第 1 導電型の第 1 半導体層の電力用スイッチング素子となる領域の平面周辺部に、前記第 1 半導体層の表面から距離 D 1 の深さに底面を有する凹部を形成する工程と、

前記第 1 半導体層の表面領域に第 2 導電型の第 2 半導体層を選択的に形成し、p n 接合を形成する工程と、

前記電力用スイッチング素子の前記 p n 接合を順方向に流れる電流経路または電流経路近傍であって且つ前記 p n 接合を構成する前記第 1 半導体層の中の、前記半導体基板の前記第 1 半導体層に対向する裏面から前記距離 D 1 より小さい距離 D 2 の深さに、再結合中心となる結晶欠陥密度分布のピーク領域が来るように、前記第 1 半導体層の表面から軽イオンを照射する工程と、

を備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャリアライフタイム制御により特性改善を図る半導体装置及びその製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

電力用の半導体装置に、例えば、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) 等がある。これらの電力用の半導体装置は、高電圧・大電流化と共に、スイッチングの高速化が要求されることが多い。

【 0 0 0 3 】

M O S F E T は、寄生ダイオードが内蔵されている。例えば、インダクタンス負荷を有する D C - D C コンバータ用やインバータ用等に、nチャネル型 M O S F E T が使用される場合、寄生ダイオードは、順方向に電流を流して、転流用として使用される。寄生ダイオードの逆回復特性を改善するために、電子、H + または H e 2 + 等の荷電粒子を照射することにより、n型ドリフト層のキャリアライフタイムを短く制御する技術が知られている。つまり、nチャネル型 M O S F E T は、寄生ダイオードの順方向に電流が流れてバイポーラ動作をするため、n型ドリフト層に電子及びホールが流れ込むが、電子等の荷電粒子照射により再結合中心となる結晶欠陥が形成されている場合、再結合寿命、すなわちキャリアライフタイムが短縮され、逆回復特性が改善される。

10

【 0 0 0 4 】

また、I G B T は、ターンオフ時、ゲート電極にエミッタ電極に対して負の電圧が印加され、n + エミッタ層からの電子の流入は止まるが、電子はn型ドリフト層（または、n型ベース層等という）内に残る。一方、ホールの大部分はエミッタ電極に流出するものの、一部のホールはn型ドリフト層内に残る。残った電子及びホールは、再結合により消滅するので、上述の電子の他、H + または H e 2 + 等（以降、陽子（プロトン）、重陽子（デュテロン）、ヘリウムイオン等の原子番号（すなわち陽子数）1 及び 2 のイオンを「軽イオン」と記述）を照射することによって、キャリアライフタイムを短く制御することが可能である。

20

【 0 0 0 5 】

再結合中心と結晶欠陥は次のような関係にある。シリコンのようなバンドギャップが大きい半導体材料は、再結合中心を介して再結合が行われるので、電子と正孔に対しての再結合を効率的に促進するためには、再結合中心をバンドギャップの中央近傍に導入することが理想とされている。そして、軽イオン等を照射し、意図的に結晶欠陥を誘起させることにより、再結合中心がバンドギャップの中央近傍に導入されることが知られている。

30

【 0 0 0 6 】

結晶欠陥を形成するために、例えば、I G B T において、裏面側のコレクタ電極の表面にアルミニウム等の金属のアブゾーバ、更にその表面に開口を形成したステンレス等のマスクを設け、これらを介してヘリウム等の軽イオンを照射し、マスクの微細開口を通過した部分の軽イオン線はn - ベース層内に飛程位置が設定されるよう加速エネルギーとアブゾーバの厚さとが調整される製造方法が開示されている（例えば、特許文献1 参照。）。

【 0 0 0 7 】

開示された I G B T は、マスクを用いて軽イオンを照射することにより、全面照射したものに比較して、特性の改善が見られるものの、加速エネルギー 2 0 M e V に対して、アブゾーバは 3 0 μ m 厚、マスクは 5 0 μ m 厚が必要であり、マスク開口は半径が 1 4 0 μ m 等の構成となり、開口の更なる微細化を図ることや平面的な位置精度をあげることは難しいという問題を有している。つまり、基板面に沿った方向で、耐圧維持が必要な領域には軽イオンを照射せずに、キャリアライフタイム制御が必要な領域には軽イオンの照射を行う等の選択的な照射要求に対して答えることが難しいという問題を有している。

40

【特許文献1】特許第2963204号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は、結晶欠陥形成領域の平面位置精度を上げることが可能な半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

50

【0009】

本発明の一態様の半導体装置は、第1の面及び前記第1の面に平行且つ対向する第2の面を有する第1導電型の第1半導体層と、前記第2の面の側の表面に設けられ前記第1半導体層と電気的に接続された第1電極と、前記第1の面の表面領域に選択的に設けられた複数の第2導電型の第2半導体層と、前記第2半導体層の表面領域に選択的に設けられた第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に接するように設けられた第2電極と、隣接する前記第2半導体層間の前記第1半導体層上にゲート絶縁膜を介して設けられたゲート電極と、前記第1の面に垂直に、前記第1半導体層、前記第2半導体層、または前記第3半導体層の少なくとも1つの表面から連続する再結合中心となる結晶欠陥密度分布の徐々に増加する第1のテール領域、前記第1のテール領域から連続し増加から減少に転じるピーク領域、及び前記ピーク領域から連続し徐々に減少する第2のテール領域を有し、前記第2半導体層及び前記第1半導体層の間のpn接合を順方向に流れる電流経路を横切り、且つ前記第1半導体層の中に前記ピーク領域を有する前記第1の面に沿った方向に広がった第1の領域と、前記第1の領域に隣接し、前記第1の面に沿った方向に広がり、前記第1の面に垂直に、前記第1乃至第3半導体層のいずれかの表面から、徐々に増加する再結合中心となる結晶欠陥密度分布の第3のテール領域を有し、表面では隣接した前記第1のテール領域の結晶欠陥密度を超えることはなく、且つ前記第1半導体層の中に前記第3のテール領域に連続するピーク領域が存在しない第2の領域とを備えていることを特徴とする。

10

【0010】

20

本発明の別態様の半導体装置は、第1の面、前記第1の面に平行且つ対向する第2の面、及び前記第1の面から前記第2の面の方向に掘り下げられた前記第1の面に平行な第3の面を有する第1導電型の第1半導体層と、前記第2の面の側の表面に設けられ前記第1半導体層と電気的に接続された第1電極と、前記第1の面の表面領域に選択的に設けられた複数の第2導電型の第2半導体層と、前記第2半導体層の表面領域に選択的に設けられた第1導電型の第3半導体層と、前記第2半導体層及び前記第3半導体層の表面に接するように設けられた第2電極と、隣接する前記第2半導体層間の前記第1半導体層上にゲート絶縁膜を介して設けられたゲート電極と、前記第1の面に垂直に、前記第1半導体層、前記第2半導体層、または前記第3半導体層の少なくとも1つの表面から連続する再結合中心となる結晶欠陥密度分布の徐々に増加する第1のテール領域、前記第1のテール領域から連続し増加から減少に転じるピーク領域、及び前記ピーク領域から連続し徐々に減少する第2のテール領域を有し、前記第2半導体層及び前記第1半導体層の間のpn接合を順方向に流れる電流経路を横切り、且つ前記第1半導体層の中に前記ピーク領域を有する前記第1の面に沿った方向に広がった第1の領域と、前記第1の領域に隣接し、前記第1の面に沿った方向に広がり、前記第3の面に垂直に、前記第3の面から、徐々に増加する再結合中心となる結晶欠陥密度分布の第3のテール領域を有し、前記第3の面では前記第3の面の延長面上で隣接した前記第1のテール領域の結晶欠陥密度を超えることはなく、且つ前記第1半導体層の中に前記第3のテール領域に連続するピーク領域が存在しない第2の領域とを備えていることを特徴とする。

30

【0011】

40

本発明の別態様の半導体装置は、基体の上に、絶縁膜を介して形成された第1導電型の第1半導体層と、前記第1半導体層の表面領域に選択的に設けられた前記第1半導体層とpn接合を形成する第2導電型の第2半導体層と電気的に接続された第1電極と、前記第1半導体層の表面領域に選択的に設けられ、前記第2半導体層と離間した第2導電型の第3半導体層と、前記第3半導体層の表面に選択的に設けられた第1導電型の第4半導体層と、前記第3半導体層及び前記第4半導体層の表面に接するように設けられた第2電極と、隣接する前記第4半導体層と前記第1半導体層の間の前記第3半導体層の上のゲート絶縁膜を介して設けられたゲート電極とを有する電力用スイッチング素子と、前記第1半導体層の表面から徐々に増加する再結合中心となる結晶欠陥密度分布の第1のテール領域を有し、前記第2半導体層及び前記第1半導体層の間の前記pn接合を順方向に流れる電流

50

経路または前記電流経路の近傍であって、且つ前記第 1 半導体層の中に、前記第 1 のテール領域から続く増加から減少に転じるピーク領域を有し、且つ、前記第 1 半導体層の表面に対向する裏面に向かって前記ピーク領域から前記絶縁膜まで続く徐々に減少する結晶欠陥密度分布の第 2 のテール領域を有し、前記第 1 半導体層の表面に沿った方向に、選択的に広がり、前記第 1 の領域と、前記第 1 の領域に隣接し、前記第 1 半導体層の表面に沿った方向に広がり、前記第 1 半導体層の表面の結晶欠陥密度が、前記第 1 の領域の表面の結晶欠陥密度を超えることはなく、前記第 1 半導体層の表面から前記絶縁膜まで、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域を有する第 2 の領域と、を備えていることを特徴とする。

【0012】

10

本発明の別態様の半導体装置の製造方法は、少なくとも、基体の上に形成された第 1 導電型の第 1 半導体層と、前記第 1 半導体層の表面領域に選択的に設けられた前記第 1 半導体層と p n 接合を形成する第 2 導電型の第 2 半導体層とが形成されている電力用スイッチング素子を選択的に有する半導体装置において、前記 p n 接合を順方向に流れる電流経路または電流経路近傍に対して、垂直上方に位置する前記第 1 半導体層の表面に、減速材を配置し、前記第 1 半導体層の表面上方から、前記電流経路または前記電流経路近傍に結晶欠陥密度分布のピーク領域が来るように、且つ前記電流経路または前記電流経路近傍を外れた前記第 1 半導体層に結晶欠陥密度分布のピーク領域が存在しないように軽イオンを照射する工程と、前記減速材を除去する工程とを備えていることを特徴とする。

【0013】

20

本発明の別態様の半導体装置の製造方法は、第 1 導電型の半導体基板の上に形成された第 1 導電型の第 1 半導体層の電力用スイッチング素子となる領域の平面周辺部に、前記第 1 半導体層の表面から距離 D 1 の深さに底面を有する凹部を形成する工程と、前記第 1 半導体層の表面領域に第 2 導電型の第 2 半導体層を選択的に形成し、p n 接合を形成する工程と、前記電力用スイッチング素子の前記 p n 接合を順方向に流れる電流経路または電流経路近傍であって且つ前記 p n 接合を構成する前記第 1 半導体層の中の、前記半導体基板の前記第 1 半導体層に対向する裏面から前記距離 D 1 より小さい距離 D 2 の深さに、再結合中心となる結晶欠陥密度分布のピーク領域が来るように、前記第 1 半導体層の表面から軽イオンを照射する工程とを備えていることを特徴とする。

【発明の効果】

30

【0014】

本発明によれば、結晶欠陥形成領域の平面位置精度を上げることが可能な半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施例について、図面を参照しながら説明する。以下に示す図では、比較例も含めて、同一の構成要素には同一の符号を付している。

【実施例 1】

【0016】

40

本発明の実施例 1 に係る半導体装置について、図 1 乃至図 3 を参照しながら説明する。図 1 は半導体装置の構造を模式的に示す断面図である。図 2 は半導体装置の結晶欠陥密度の分布を模式的に示す図で、図 2 (a) はキャリアライフタイム (以下、ライフタイムという) 制御領域、図 2 (b) はライフタイム非制御領域を示す。図 3 は半導体装置の製造工程を模式的に示す構造断面図である。

【0017】

図 1 に示すように、半導体装置 1 は、第 1 導電型の第 1 半導体層である n 型ドリフト層 1 2 と、n 型ドリフト層 1 2 の第 2 の面である裏面に n + 型ドレイン層 1 1 を介して n 型ドリフト層 1 2 と電氣的に接続された第 1 電極であるドレイン電極 2 9 と、n 型ドリフト層 1 2 の第 1 の面である表面の領域に選択的に設けられた複数の第 2 導電型の第 2 半導体層である p 型ベース層 1 5 と、p 型ベース層 1 5 の表面に選択的に設けられた第 3 半導体

50

層である $n +$ 型ソース層 16 と、 p 型ベース層 15 及び $n +$ 型ソース層 16 の表面に接するように設けられた第 2 電極であるソース電極 26 と、隣接する p 型ベース層 15 間の n 型ドリフト層 12 上にゲート絶縁膜 21 を介して設けられたゲート電極 25 とを備えた n チャンネル型 MOSFET を有している。

【0018】

更に、半導体装置 1 は、 p 型ベース層 15 及びゲート絶縁膜 21 の下（裏面に近い側）の位置の n 型ドリフト層 12 の中に、選択的に、結晶欠陥密度分布のピーク領域（以下、欠陥ピーク領域 31 という）を有している。欠陥ピーク領域 31 は、深さ方向に一定の幅を有している。なお、欠陥ピーク領域 31 は、 n チャンネル型の場合は n 型ドリフト層 12 の中に形成されることが好ましい。ここで、 n チャンネル型 MOSFET の表面の絶縁膜または保護膜等は図示を省略してある。

10

【0019】

半導体装置 1 の表面及び裏面にほぼ平行で、平面的な広がりを持った欠陥ピーク領域 31 が、半導体装置 1 の表面及び裏面に垂直に延長された領域をライフタイム制御領域 6 とし、欠陥ピーク領域 31 が存在しない同様な領域をライフタイム非制御領域 7 とする。つまり、半導体装置 1 を表面に垂直方向から見ると（平面図）、ライフタイム制御領域 6 とライフタイム非制御領域 7 に色分けされる。

【0020】

半導体装置 1 は、 p 型ベース層 15 及び n 型ドリフト層 12 との境界に寄生ダイオード 33 を有している。逆モード動作（ドレインとソースを逆にした逆トランジスタ動作）時、寄生ダイオード 33 を順方向に流れる電流経路が、ソース電極 26 から、 p 型ベース層 15、 n 型ドリフト層 12、 $n +$ 型ドレイン層 11、及びドレイン電極 29 へ形成される。欠陥ピーク領域 31 は、寄生ダイオード 33 の $p n$ 接合に近接し、 n 型ドリフト層 12 内の逆モード動作時の電流経路上に配設されている。

20

【0021】

図 2（a）に示すように、横軸を深さ、縦軸を結晶欠陥密度として、半導体装置 1 は、ライフタイム制御領域 6 の表面、すなわち、軽イオンを照射する側の面（照射面）、から n 型ドリフト層 12 の中の欠陥ピーク領域 31 の手前まで、結晶欠陥密度は徐々に増加する第 1 のテール領域であるテール領域 T1 を有する。結晶欠陥密度分布は、テール領域 T1 から、欠陥ピーク領域 31 に移る。欠陥ピーク領域 31 は、両側に結晶欠陥密度が急激に変化する裾を有し、中央部付近にピーク値を有する。結晶欠陥密度は、急激な減少の後、裏面側に徐々に減少する第 2 のテール領域であるテール領域 T2 を有し、軽イオン照射前の結晶欠陥密度（破線）に接近する。なお、軽イオンは、他の実施例を含めて陽子（プロトン）を用いているが、その他に、重陽子（デューテロン）、ヘリウムイオン等の原子番号 1 及び 2 を有する元素イオン等を使用可能である。

30

【0022】

照射面側のテール領域 T1 では、軽イオンを照射する前の結晶欠陥密度に対して、照射面で既に増加位置にあり、その後少しずつ増加して欠陥ピーク領域 31 に達する。一方、照射裏面側のテール領域 T2 では、欠陥ピーク領域 31 を過ぎるとテール領域 T1 より急な傾斜で軽イオンを照射する前の結晶欠陥密度に近づく。

40

【0023】

欠陥ピーク領域 31 は、軽イオン 37 が到達する位置、すなわちイオン照射の飛程付近に集中的に誘起され、テール領域 T1 及びテール領域 T2 の結晶欠陥密度分布は、図 2（a）に示す傾きを有することが知られている。

【0024】

欠陥ピーク領域 31 の結晶欠陥密度及び深さ方向の広がり（幅）は、軽イオンの種類及び照射時の加速エネルギー（照射エネルギーという）に依存する。照射面側のテール領域 T1 の軽イオンを照射する前の結晶欠陥密度に対する増加量及び増加率は、軽イオンの照射エネルギーに依存する。結晶欠陥密度は、同一型及び同一不純物濃度の半導体層にあっては、抵抗率にほぼ対応する。

50

【 0 0 2 5 】

図 2 (b) に示すように、半導体装置 1 は、ライフタイム非制御領域 7 の照射面 (表面) から照射裏面 (裏面) まで、軽イオンを照射する前の結晶欠陥密度に対して、結晶欠陥密度は徐々に増加する第 3 のテール領域であるテール領域 T 3 を有する。照射面において、テール領域 T 3 の結晶欠陥密度は、テール領域 T 1 の結晶欠陥密度より小さい。テール領域 T 3 は、欠陥ピーク領域に達しない。つまり、シリコン結晶に対する軽イオンの平均飛程は、半導体装置 1 の裏面の外側に出ている。テール領域 T 3 の軽イオンを照射する前の結晶欠陥密度に対する増加量及び増加率は、テール領域 T 1 と同様に、軽イオンの照射エネルギーに依存する。

【 0 0 2 6 】

図 2 (a)、(b) に示す結晶欠陥密度分布は、照射面を半導体装置 1 の表面としているが、照射面を半導体装置 1 の裏面とすることは可能で、半導体装置 1 の裏面から照射する場合も、図 2 (a)、(b) に示す結晶欠陥密度分布とほぼ同様な分布となる。

【 0 0 2 7 】

次に、半導体装置 1 の製造方法について説明する。半導体装置 1 の n チャネル型 M O S F E T 及びその周辺に配置される素子等は、周知の製造工程により作製される。

【 0 0 2 8 】

図 3 に示すように、欠陥ピーク領域 3 1 を p 型ベース層 1 5 及びゲート絶縁膜 2 1 の下且つ n 型ドリフト層 1 2 の中に形成するために、p 型ベース層 1 5 及びゲート絶縁膜 2 1 の照射面上に、フォトリソグラフィ工程によるパターニングによって、例えば、フォトレジストが、減速膜 3 5 として残されて形成される。なお、減速膜 3 5 の周辺のライフタイム非制御領域 7 となる表面に、フォトレジストを減速膜 3 5 より薄く残すことは可能である。

【 0 0 2 9 】

その後、減速膜 3 5 及び n 型ドリフト層等の上方から、ほぼ垂直に、軽イオン 3 7 が照射される。減速膜 3 5 に対応した p 型ベース層 1 5 及びゲート絶縁膜 2 1 の下に欠陥ピーク領域 3 1 が形成され、ライフタイム制御領域 6 となる。減速膜 3 5 の周辺部は、結晶欠陥密度分布のテール領域が形成され、ライフタイム非制御領域 7 となる。

【 0 0 3 0 】

つまり、ライフタイム制御領域 6 では、減速膜 3 5 を介して軽イオン 3 7 が照射されることで、軽イオン 3 7 の速度が減衰され、n 型ドリフト層 1 2 中に軽イオン 3 7 が停止して、欠陥ピーク領域 3 1 が形成される。それに対して、ライフタイム非制御領域 7 では、減速膜を介さずに直接ドリフト層 1 2 に軽イオン 3 7 が照射されるため、ライフタイム制御領域 6 のドリフト層 1 2 中よりも深く侵入し、n + ドレイン層 1 1 の裏面外側に突き抜けて出てしまい、n ドリフト層 1 2 中には欠陥ピーク領域 3 1 が存在しない。

【 0 0 3 1 】

ここで、軽イオンの種類及び照射エネルギー、減速膜 3 5 の種類及び膜厚、並びにライフタイム非制御領域 7 の照射方向の厚さ、すなわち、半導体装置 1 の厚さは、ライフタイム制御領域 6 の欠陥ピーク領域 3 1 が n 型ドリフト層 1 2 の中の適する位置に形成され、ライフタイム非制御領域 7 に欠陥ピーク領域 3 1 が形成されないように設定される。例えば、軽イオン 3 7 に H + (プロトン) を使用した場合、照射エネルギーは概略数 M e V 、ドーズ量は $1 \text{ E } 1 1 \sim 1 \text{ E } 1 2 \text{ c m }^{-2}$ 、減速膜 3 5 は A 1 の薄板である。

【 0 0 3 2 】

ライフタイム制御領域 6 は、減速膜 3 5 を通過した軽イオン 3 7 が照射されて、図 2 (a) に示す結晶欠陥密度分布を有し、ライフタイム非制御領域 7 は、軽イオン 3 7 が直接照射されて、図 2 (b) に示す結晶欠陥密度分布を有する。軽イオンは、図 2 に示すように、ピーク値に向かって増加する結晶欠陥密度分布を有する。

【 0 0 3 3 】

減速膜 3 5 は、フォトレジストの他、シリコン系の無機または有機絶縁膜、他の樹脂膜、アルミニウム等の金属膜等が選択可能である。感光性のない膜の場合、フォトリソグラ

10

20

30

40

50

フィ工程によって、例えば、パターニングされたフォトレジストをマスクとして、エッチングして形成される。また、軽イオン37の減速効果を上げるために、複数種の積層膜、金属等を添加した有機または無機絶縁膜等が選択可能である。

【0034】

次に、半導体装置1の表面の減速膜35が湿式またはドライエッチング法により除去され、半導体装置1が完成する。

【0035】

上述したように、半導体装置1は、表面にほぼ垂直に電流経路を有する縦型の電力用のnチャネル型MOSFETのp型ベース層15及びゲート絶縁膜21の裏面側に入ったn型ドリフト層12の中に選択的に欠陥ピーク領域31を有し、nチャネル型MOSFETに隣接する領域には、欠陥ピーク領域31に相当する欠陥ピーク領域を有することはない。nチャネル型MOSFETの表面側の結晶欠陥密度は、nチャネル型MOSFETに隣接する領域の表面側の結晶欠陥密度より高めに推移するが、欠陥ピーク領域31の結晶欠陥密度より極めて小さい。

【0036】

その結果、電力用のnチャネル型MOSFETは、寄生ダイオード33を順方向に流れる電流経路に再結合中心が形成されて、ライフタイムを短縮して、半導体装置1は、高速動作が可能となる。

【0037】

その上、半導体装置1は、再結合中心の平面的な位置が、フォトリソグラフィ法によるパターニングによって形成された減速膜35に基づいて決められるので、p型ベース層15の位置に対する欠陥ピーク領域31の平面位置、すなわち再結合中心の位置を、精度良く且つ再現性良く形成できる。その結果、ライフタイムを制御する領域にのみ再結合中心が形成され、その周辺の、耐圧を維持したい領域には再結合中心の欠陥ピーク領域が形成されず、耐圧の低下を抑制可能となる。特に、耐圧の低下をもたらす可能性の高いnチャネル型MOSFETに隣接する領域のn型ドリフト層12のn+型ドレイン層11寄りの領域において、再結合中心の急激な増加がなく、耐圧の低下が抑制される。

【0038】

また、上記実施例は、ライフタイム非制御領域7に欠陥ピーク領域31が形成されないように設定される例であるが、ライフタイム非制御領域7において、例えば、欠陥ピーク領域31がn+型ドレイン層11の中にすっぽり納まるような分布を取ることは可能である。この場合は、n型ドリフト層12のn+型ドレイン層11寄りの領域に再結合中心の増加領域がないので、耐圧の低下が抑制される。

【実施例2】

【0039】

本発明の実施例2に係る半導体装置について、図4及び図5を参照しながら説明する。図4は半導体装置の構造を模式的に示す断面図である。図5は半導体装置の製造工程を模式的に示す構造断面図である。実施例1の半導体装置1とは、ライフタイム非制御領域が掘り込まれて凹部となっていることが異なる。なお、実施例1と同一構成部分には同一の符号を付して、その説明は省略する。

【0040】

図4に示すように、半導体装置2は、実施例1のライフタイム非制御領域7に相当するライフタイム非制御領域8が、ライフタイム制御領域6に隣接して配置され、ライフタイム非制御領域8は、ライフタイム制御領域6の表面に対して、距離D1だけ下がった、つまり、裏面側に近付いた位置に表面を有する凹部9となっている。ライフタイム制御領域6に配設されている電力用のnチャネル型MOSFETは、実施例1の縦型のnチャネル型MOSFETと同様な構成である。

【0041】

半導体装置2の製造方法について説明する。図5に示すように、欠陥ピーク領域32をn型ドリフト層12の中に形成する必要があるライフタイム制御領域6の半導体基板11

10

20

30

40

50

の裏面と、欠陥ピーク領域 32 (ピーク値位置) との間の距離 D_2 は、ライフタイム制御領域 6 の n 型ドリフト層 12 の表面に対するライフタイム非制御領域 8 の表面の距離 D_1 、つまり凹部 9 の深さ、より小さく ($D_2 < D_1$) 設定されている。凹部 9 は、フォトリソグラフィ法によるパターンングによって形成されたマスク膜 (図示略) に基づいて平面的な位置が決められて、距離 D_1 は、R I E (Reactive Ion Etching) 法または研磨 / 研削法等により形成される。ライフタイム制御領域 6 は、フォトリソグラフィ法の精度を有している。なお、凹部 9 の形成は、n チャネル型 M O S F E T を形成する前でもよいし、また、n チャネル型 M O S F E T を形成した後とすることも可能である。

【0042】

次に、ライフタイム制御領域 6 及びライフタイム非制御領域 8 の表面上方から、ほぼ垂直に、軽イオン 38 が照射される。ライフタイム制御領域 6 の欠陥ピーク領域 32 が、p 型ベース層 15 及びゲート絶縁膜 21 の下且つ n 型ドリフト層 12 の中に形成される。ライフタイム非制御領域 8 には、結晶欠陥密度分布のテール領域が形成される。

【0043】

ここで、軽イオン 38 の照射エネルギーは、減速膜等を通過させる必要がないので、実施例 1 の軽イオン 37 の照射エネルギーより小さい。ライフタイム制御領域 6 では、実施例 1 と同様な位置に欠陥ピーク領域 32 が形成され、ライフタイム非制御領域 8 では、欠陥ピーク領域 32 に相当する欠陥ピーク領域を有することはない。

【0044】

その結果、半導体装置 2 は、実施例 1 の半導体装置 1 が有する効果を同様に有している。その上、半導体装置 2 は、ライフタイム非制御領域 8 の耐圧の低下をもたらす可能性の高い n チャネル型 M O S F E T に隣接する領域の n 型ドリフト層 12 の n + 型ドレイン層 11 寄りの領域において、軽イオン 37 の照射エネルギーがより小さい分、結晶欠陥密度をより低く維持できるので、耐圧の低下をより少なくすることが可能である。

【実施例 3】

【0045】

本発明の実施例 3 に係る半導体装置について、図 6 及び図 7 を参照しながら説明する。図 6 は半導体装置の構造を模式的に示す断面図である。図 7 は半導体装置の製造工程を模式的に示す構造断面図である。実施例 1 の半導体装置 1 とは、S O I (Silicon on Insulator) 基板上の集積回路に適用された電力用スイッチング素子であることが異なる。なお、実施例 1 と同一構成部分には同一の符号を付して、その説明は省略する。

【0046】

図 6 に示すように、半導体装置 3 は、基体である半導体基板 61 の上に、絶縁膜である埋込絶縁膜 63 を介して形成された第 1 導電型の第 1 半導体層である n 型ドリフト層 65 と、n 型ドリフト層 65 の表面領域に選択的に設けられた第 2 導電型の第 2 半導体層である p + 型コレクタ層 74 と電氣的に接続された第 1 電極であるコレクタ電極 85 と、n 型ドリフト層 65 の表面領域に選択的に設けられ、p + 型コレクタ層 74 と離間した第 3 半導体層である p 型ベース層 71 と、p 型ベース層 71 の表面に選択的に設けられた第 4 半導体層である n + 型エミッタ層 73 と、p 型ベース層 71 及び n + 型エミッタ層 73 の表面に接するように設けられた第 2 電極であるエミッタ電極 83 と、隣接する n + 型エミッタ層 73 と n 型ドリフト層 65 の間の p 型ベース層 71 の上のゲート絶縁膜 81 を介して設けられたゲート電極 87 とを有する I G B T を有している。また、p + 型コレクタ層 74 に接して、n 型ドリフト層 65 の中に n + 型バッファ層 72 が配設されているが、n + 型バッファ層 72 はなくてもよい。

【0047】

更に、半導体装置 3 は、n 型ドリフト層 65 の表面に沿った方向に選択的に広がりを持つ第 1 の領域であるライフタイム制御領域 98 を備えている。ライフタイム制御領域 98 は、n 型ドリフト層 65 の表面から徐々に増加する再結合中心となる結晶欠陥密度分布の第 1 のテール領域であるテール領域 T5 を有し、p + 型コレクタ層 74 及び n 型ドリフト層 65 の中の n + 型バッファ層 72 間の p n 接合を順方向に流れる電流経路またはこの

電流経路の近傍であって且つ $p-n$ 接合の近傍の n 型ドリフト層 65 内に、テール領域 T5 から続く増加から減少に転じる欠陥ピーク領域 91 を選択的に有し、且つ、 n 型ドリフト層 65 の表面に対向する裏面に向かって欠陥ピーク領域 91 から埋込絶縁膜 63 まで続く徐々に減少する結晶欠陥密度分布の第 2 のテール領域であるテール領域 T6 を有する。欠陥ピーク領域 91 は、 $p+$ 型コレクタ層 74 と $n+$ 型バッファ層 72 間の $p-n$ 接合にかかることはなく、 $n+$ 型バッファ層 72 にかかることは差し支えない。

【0048】

また、半導体装置 3 は、 n 型ドリフト層 65 の表面に沿った方向に選択的に広がりを持つ第 2 の領域であるライフタイム非制御領域 99 を備えている。ライフタイム非制御領域 99 は、ライフタイム制御領域 98 に隣接し、 n 型ドリフト層 65 の表面から埋込絶縁膜 63 まで、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域であるテール領域 T7 を有する。

10

【0049】

また、半導体装置 3 は、表面から埋込絶縁膜 63 に達する素子分離絶縁膜 68 及び隣接する 2 枚の素子分離絶縁膜 68 の間に埋め込まれた埋込ポリシリコン 69 からなる素子分離領域を有している。素子分離絶縁膜 68 を介して分離された IGBT に隣接する領域には、別のトランジスタ等の素子が形成されている。

【0050】

半導体装置 3 は、テール領域 T5、T6、T7、及び欠陥ピーク領域 91 の結晶欠陥密度分布は、実施例 1 のテール領域 T1、T2、T3、及び欠陥ピーク領域 31 の結晶欠陥密度分布と同様な傾向を有している。

20

【0051】

次に、半導体装置 3 の製造方法について説明する。半導体装置 3 の IGBT 及びその周辺に配置される素子等は、周知の製造工程により作製される。

【0052】

図 7 に示すように、欠陥ピーク領域 91 を n 型ドリフト層 65 の中に形成する必要があるライフタイム制御領域 98 の表面にのみ、フォトリソグラフィ法によるパターニングによって、例えば、フォトレジストが、減速膜 93 として残されて形成される。ライフタイム非制御領域 99 の表面には、フォトレジストが形成されない。

【0053】

30

ライフタイム制御領域 98 上の減速膜 93 及びライフタイム非制御領域 99 の表面上方から、ほぼ垂直に、軽イオン 95 が照射される。軽イオンの種類及び照射エネルギー、減速膜 93 の種類及び膜厚、及びライフタイム非制御領域 99 の n 型ドリフト層 65 の厚さ、すなわち、 n 型ドリフト層 65 の埋込絶縁膜 63 に達するまでの深さは、ライフタイム制御領域 98 の欠陥ピーク領域 91 が n 型ドリフト層 65 の中の適する位置、すなわち、 $p+$ 型コレクタ層 74 の側部下方の $n+$ 型バッファ層 72 及び n 型ドリフト層 65 の中に形成され、且つライフタイム非制御領域 99 の欠陥ピーク領域 91 が n 型ドリフト層 65 の外の半導体基板 61 の中に形成されるように設定される。なお、ライフタイム非制御領域 99 は、軽イオン 95 が半導体基板 61 の裏面外側に突き抜けて出てしまい、半導体基板 61 の中には欠陥ピーク領域 91 が存在しなくても差し支えない。

40

【0054】

上述したように、半導体装置 3 は、 $p+$ 型コレクタ層 74 と $n+$ 型バッファ層 72 との間の $p-n$ 接合の近傍、この $p-n$ 接合を順方向に流れるコレクタ電極 85 とエミッタ電極 83 を結ぶ電流経路またはこの電流経路の近傍に、欠陥ピーク領域 91 を有している。半導体装置 3 は、ライフタイム非制御領域 99 に、テール領域 T7 及び埋込絶縁膜 63 より裏面側に欠陥ピーク領域 91 を有している。

【0055】

その結果、IGBT は、 $p-n$ 接合を順方向に流れる電流経路に再結合中心が形成されて、ライフタイムを短縮して、半導体装置 3 は、高速動作が可能となる。横型の IGBT は、欠陥ピーク領域 91 の平面位置が、フォトリソグラフィ法によるパターニングされた減

50

速膜 9 3 により決められるので、平面精度及び再現性のよい再結合中心が形成される。半導体装置 3 は、ライフタイム非制御領域 9 9 において、再結合中心が低い密度で維持されるので、ライフタイム非制御領域 9 9 の耐圧の低下等を抑制可能となる。

【 0 0 5 6 】

以上、本発明は上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々変形して実施することができる。

【 0 0 5 7 】

例えば、実施例 1、2 を電力用の縦型の n チャネル MOS FET、及び実施例 3 を横型の IGBT を例として示したが、ライフタイム短縮制御が必要な他の構成の素子、すなわち、横型または縦型の素子、また、別の種類の素子、例えば、ダイオード等を実施例 1 乃至 3 に適用することは可能である。

【 0 0 5 8 】

また、実施例は n チャネル型の電力用スイッチング素子に適用する例を示したが、p チャネル型の電力用スイッチング素子にも同様に適用することは可能である。

【 0 0 5 9 】

本発明は、以下の付記に記載されるような構成が考えられる。

(付記 1) 第 1 の面及び前記第 1 の面に平行且つ対向する第 2 の面を有する第 1 導電型の第 1 半導体層と、前記第 2 の面の側の表面に設けられ前記第 1 半導体層と電気的に接続された第 1 電極と、前記第 1 の面の表面領域に選択的に設けられた複数の第 2 導電型の第 2 半導体層と、前記第 2 半導体層の表面領域に選択的に設けられた第 1 導電型の第 3 半導体層と、前記第 2 半導体層及び前記第 3 半導体層の表面に接するように設けられた第 2 電極と、隣接する前記第 2 半導体層間の前記第 1 半導体層上にゲート絶縁膜を介して設けられたゲート電極と、前記第 1 の面に垂直に、前記第 1 半導体層、前記第 2 半導体層、または前記第 3 半導体層の少なくとも 1 つの表面から連続する再結合中心となる結晶欠陥密度分布の徐々に増加する第 1 のテール領域、前記第 1 のテール領域から連続し増加から減少に転じるピーク領域、及び前記ピーク領域から連続し徐々に減少する第 2 のテール領域を有し、前記第 2 半導体層及び前記第 1 半導体層の間の p n 接合を順方向に流れる電流経路を横切り、且つ前記第 1 半導体層の中に前記ピーク領域を有する前記第 1 の面に沿った方向に広がった第 1 の領域と、前記第 1 の領域に隣接し、前記第 1 の面に沿った方向に広がり、前記第 1 の面に垂直に、前記第 1 乃至第 3 半導体層のいずれかの表面から、徐々に増加する再結合中心となる結晶欠陥密度分布の第 3 のテール領域を有し、表面では隣接した前記第 1 のテール領域の結晶欠陥密度を超えることはなく、且つ前記第 1 半導体層の中に前記第 3 のテール領域に連続するピーク領域が存在しない第 2 の領域とを備えている半導体装置。

【 0 0 6 0 】

(付記 2) 再結合中心となる前記結晶欠陥は、原子番号 1 及び 2 を有する軽イオン照射により形成される付記 1 に記載の半導体装置。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】本発明の実施例 1 に係る半導体装置の構造を模式的に示す断面図。

【 図 2 】本発明の実施例 1 に係る半導体装置の結晶欠陥密度の分布を模式的に示す図で、図 2 (a) はライフタイム制御領域、図 2 (b) はライフタイム非制御領域。

【 図 3 】本発明の実施例 1 に係る半導体装置の製造工程を模式的に示す構造断面図。

【 図 4 】本発明の実施例 2 に係る半導体装置の構造を模式的に示す断面図。

【 図 5 】本発明の実施例 2 に係る半導体装置の製造工程を模式的に示す構造断面図。

【 図 6 】本発明の実施例 3 に係る半導体装置の構造を模式的に示す断面図。

【 図 7 】本発明の実施例 3 に係る半導体装置の製造工程を模式的に示す構造断面図。

【 符号の説明 】

【 0 0 6 2 】

1、2、3 半導体装置

10

20

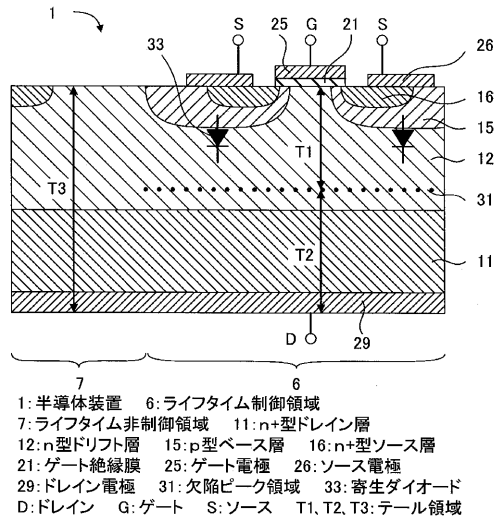
30

40

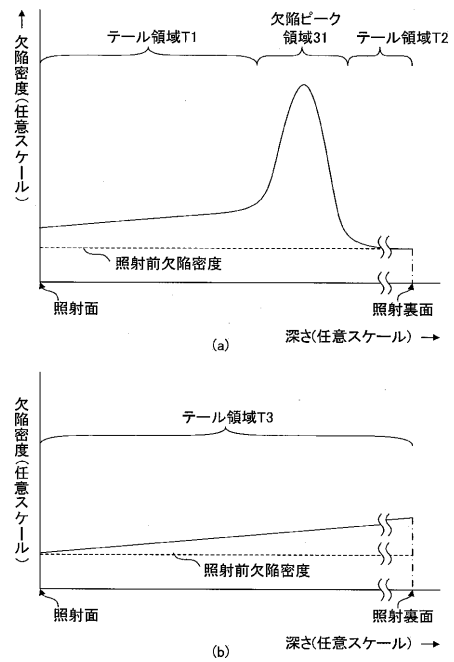
50

6、9 8	ライフタイム制御領域	
7、8、9 9	ライフタイム非制御領域	
9	凹部	
1 1	n + 型ドレイン層	
1 2、6 5	n 型ドリフト層	
1 5、7 1	p 型ベース層	
1 6	n + 型ソース層	
2 1、8 1	ゲート絶縁膜	
2 5、8 7	ゲート電極	
2 6	ソース電極	10
2 9	ドレイン電極	
3 1、3 2、9 1	欠陥ピーク領域	
3 3	寄生ダイオード	
3 5、9 3	減速膜	
3 7、3 8、9 5	軽イオン	
6 1	半導体基板	
6 3	埋込絶縁膜	
6 8	素子分離絶縁膜	
6 9	埋込ポリシリコン	
7 2	n + 型バッファ層	20
7 3	n + 型エミッタ層	
7 4	p + 型コレクタ層	
8 3	エミッタ電極	
8 5	コレクタ電極	
C	コレクタ	
D	ドレイン	
E	エミッタ	
G	ゲート	
S	ソース	
D 1、D 2	距離	30
T 1、T 2、T 3、T 5、T 6、T 7	テール領域	

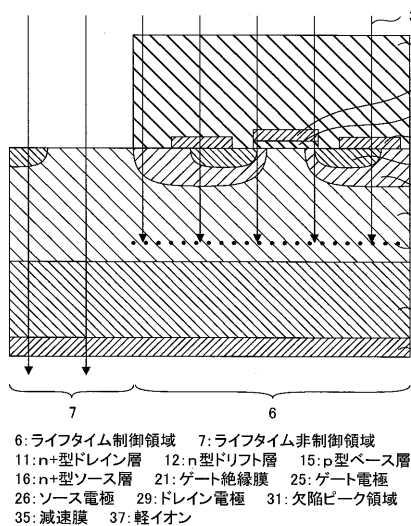
【図 1】



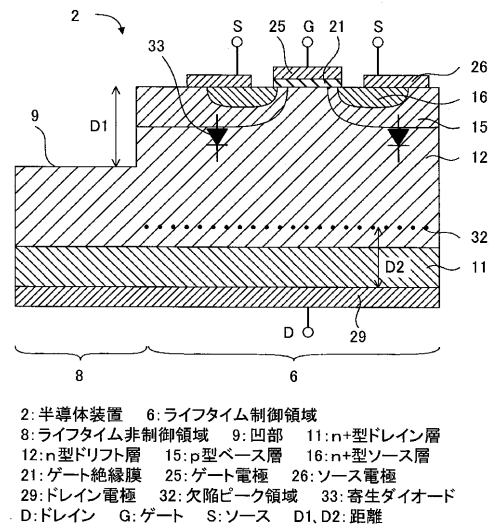
【図 2】



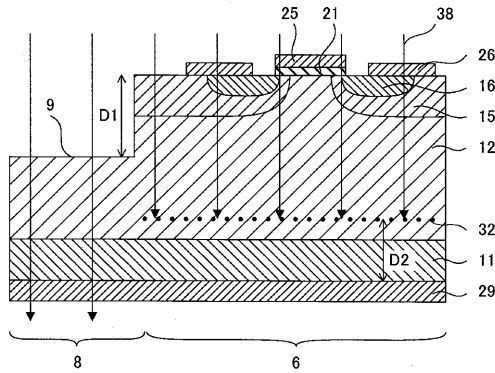
【図 3】



【図 4】

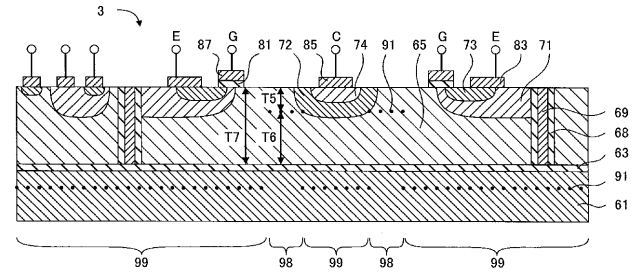


【図 5】



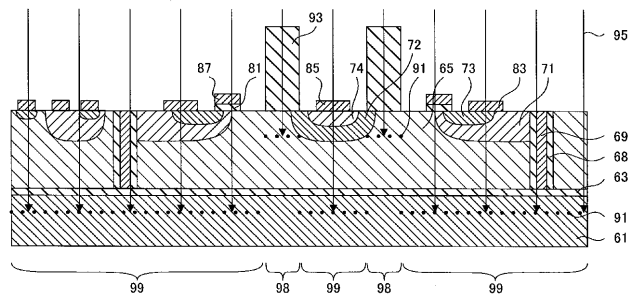
6: ライフタイム制御領域 8: ライフタイム非制御領域
 9: 凹部 11: n+型ドレイン層 12: n型ドリフト層
 15: p型ベース層 16: n+型ソース層 21: ゲート絶縁膜
 25: ゲート電極 26: ソース電極 29: ドレイン電極
 32: 欠陥ピーク領域 38: 軽イオン D1, D2: 距離

【図 6】



3: 半導体装置 61: 半導体基板 63: 埋込絶縁膜 65: n型ドリフト層 68: 素子分離絶縁膜
 69: 埋込ポリシリコン 71: p型ベース層 72: n+型バッファ層 73: n+型エミッタ層
 74: p+型コレクタ層 81: ゲート絶縁膜 83: エミッタ電極 85: コレクタ電極 87: ゲート電極
 91: 欠陥ピーク領域 98: ライフタイム制御領域 99: ライフタイム非制御領域 C: コレクタ
 E: エミッタ G: ゲート T5, T6, T7: テール領域

【図 7】



61: 半導体基板 63: 埋込絶縁膜 65: n型ドリフト層 68: 素子分離絶縁膜
 69: 埋込ポリシリコン 71: p型ベース層 72: n+型バッファ層 73: n+型エミッタ層
 74: p+型コレクタ層 81: ゲート絶縁膜 83: エミッタ電極 85: コレクタ電極 87: ゲート電極
 91: 欠陥ピーク領域 93: 減速膜 95: 軽イオン 98: ライフタイム制御領域
 99: ライフタイム非制御領域

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
H 0 1 L 21/322 (2006.01)	H 0 1 L 29/78 6 1 8 F	
H 0 1 L 29/861 (2006.01)	H 0 1 L 29/78 6 2 6 B	
	H 0 1 L 21/322 L	
	H 0 1 L 29/78 6 2 2	
	H 0 1 L 29/91 J	

(72)発明者 小野 昇太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 馬場 嘉朗
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F110 AA14 AA15 BB12 DD05 DD13 GG02 GG12 GG33 GG52 HM12
NN62 NN65