



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I423355 B

(45)公告日：中華民國 103 (2014) 年 01 月 11 日

(21)申請案號：099125877

(22)申請日：中華民國 99 (2010) 年 08 月 04 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/488 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：張江城 CHANG, CHIANG CHENG (TW)；柯俊吉 KE, CHUN CHI (TW)；黃建屏 HUANG, CHIEN PING (TW)

(74)代理人：陳昭誠

(56)參考文獻：

US 6124637

US 2006/0087036A1

審查人員：孫建文

申請專利範圍項數：25 項 圖式數：20 共 0 頁

(54)名稱

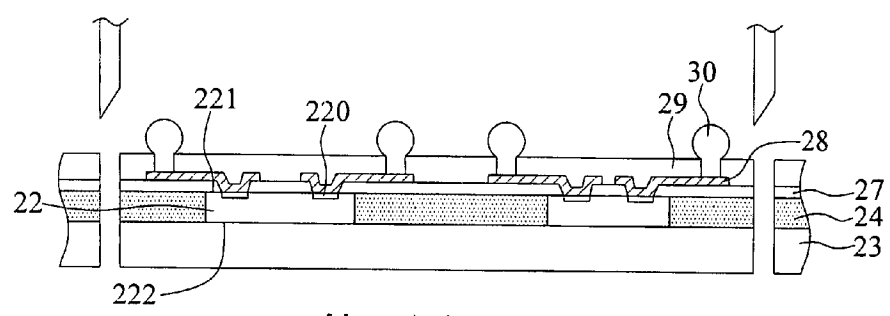
晶片尺寸封裝件及其製法

CHIP-SIZED PACKAGE AND FABRICATION METHOD THEREOF

(57)摘要

一種晶片尺寸封裝件及其製法，係包括：提供複數具相對作用面及非作用面之電子元件及一硬質板，該電子元件作用面上設有複數電極墊；於該硬質板表面設有軟質層；且該電子元件透過其非作用面而黏設於該軟質層上；壓合該電子元件，使該軟質層包覆該電子元件並外露出該電子元件作用面；於電子元件作用面及軟質層上設置介電層；以及於該介電層上形成第一線路層，並使該第一線路層電性連接至該電極墊，藉以避免習知將晶片作用面直接黏置於膠膜上發生膠膜軟化、封裝膠體溢膠或翹曲及晶片偏移與污染問題，甚或造成後續重佈線製程之線路層與晶片電極墊接觸不良，導致廢品問題。

Disclosed is a method of forming a chip scale package, comprising providing a plurality of electronic elements each having opposing active and non-active surfaces and a hard board, wherein each electronic element has electrode pads formed thereon; forming a soft layer on the hard board surface and adhering the electronic elements to the soft layer via the non-active surface thereof; compressing the electronic elements so as to be encapsulated by the soft layer while still being exposed from the active surfaces thereof; forming a dielectric layer on both the active surfaces of the electronic elements and the soft layers; forming a first circuit layer on the dielectric layer for electrically connecting to the electrode pads. The invention can overcome the drawbacks of encountering softened films, encapsulant overflow or warps and chip deviation and contamination that are caused by directly attaching the active surface of a chip to an adhesive film, which may even cause poor electrical connection between the circuit layer and the electrode pads in the subsequent rewiring process and result in waste products.



第4E圖

- 22 . . . 電子元件
- 23 . . . 硬質板
- 24 . . . 軟質層
- 27 . . . 介電層
- 28 . . . 第一線路層
- 29 . . . 第一拒錫層
- 220 . . . 電極墊
- 221 . . . 作用面
- 222 . . . 非作用面
- 30 . . . 導電元件

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99/25877

H01L 21/60 -2006.01

※申請日： 99. 8. 04 ※IPC 分類：

H01L 23/48 2006.01

一、發明名稱：(中文/英文)

晶片尺寸封裝件及其製法

CHIP-SIZED PACKAGE AND FABRICATION METHOD THEREOF

二、中文發明摘要：

一種晶片尺寸封裝件及其製法，係包括：提供複數具相對作用面及非作用面之電子元件及一硬質板，該電子元件作用面上設有複數電極墊；於該硬質板表面設有軟質層；且該電子元件透過其非作用面而黏設於該軟質層上；壓合該電子元件，使該軟質層包覆該電子元件並外露出該電子元件作用面；於電子元件作用面及軟質層上設置介電層；以及於該介電層上形成第一線路層，並使該第一線路層電性連接至該電極墊，藉以避免習知將晶片作用面直接黏置於膠膜上發生膠膜軟化、封裝膠體溢膠或翹曲及晶片偏移與污染問題，甚或造成後續重佈線製程之線路層與晶片電極墊接觸不良，導致廢品問題。

### 三、英文發明摘要：

Disclosed is a method of forming a chip scale package, comprising providing a plurality of electronic elements each having opposing active and non-active surfaces and a hard board, wherein each electronic element has electrode pads formed thereon; forming a soft layer on the hard board surface and adhering the electronic elements to the soft layer via the non-active surface thereof; compressing the electronic elements so as to be encapsulated by the soft layer while still being exposed from the active surfaces thereof; forming a dielectric layer on both the active surfaces of the electronic elements and the soft layers; forming a first circuit layer on the dielectric layer for electrically connecting to the electrode pads. The invention can overcome the drawbacks of encountering softened films, encapsulant overflow or warps and chip deviation and contamination that are caused by directly attaching the active surface of a chip to an adhesive film, which may even cause poor electrical connection between the circuit layer and the electrode pads in the subsequent rewiring process and result in waste products.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(4E)圖。

(二)本代表圖之元件符號簡單說明：

22	電子元件
23	硬質板
24	軟質層
27	介電層
28	第一線路層
29	第一拒鍍層
220	電極墊
221	作用面
222	非作用面
30	導電元件

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體封裝件及其製法，尤指一種晶片尺寸封裝件及其製法。

### 【先前技術】

隨著半導體技術的演進，半導體產品已開發出不同封裝產品型態，而為追求半導體封裝件之輕薄短小，因而發展出一種晶片尺寸封裝件(chip scale package, CSP)，其特徵在於此種晶片尺寸封裝件僅具有與晶片尺寸相等或略大的尺寸。

美國專利第 5,892,179、6,103,552、6,287,893、6,350,668 及 6,433,427 號案即揭露一種傳統之 CSP 結構，係直接於晶片上形成增層而無需使用如基板或導線架等晶片承載件，且利用重佈線(redistribution layer, RDL)技術重配晶片上的電極墊至所欲位置。

然而上述 CSP 結構之缺點在於重佈線技術之施用或佈設於晶片上的導電跡線往往受限於晶片之尺寸或其作用面之面積大小，尤其當晶片之積集度提昇且晶片尺寸日趨縮小的情況下，晶片甚至無法提供足夠表面以安置更多數量的錫球來與外界電性連接。

鑑此，美國專利第 6,271,469 號案揭露一種晶圓級晶片尺寸封裝件 WLCSP (Wafer Level CSP)之製法，係於晶片上形成增層的封裝件，得提供較為充足的表面區域以承載較多的輸入/輸出端或錫球。

如第 1A 圖所示，準備一膠膜 11，並將複數晶片 12 以作用面 121 黏貼於該膠膜 11 上，該膠膜 11 例如為熱感應膠膜；如第 1B 圖所示，進行封裝模壓製程，利用一如環氧樹脂之封裝膠體 13 包覆住晶片 12 之非作用面 122 及側面，再加熱移除該膠膜 11，以外露出該晶片作用面 121；如第 1C 圖所示，然後利用重佈線(RDL)技術，敷設一介電層 14 於晶片之作用面 121 及封裝膠體 13 的表面上，並開設複數貫穿介電層 14 之開口以露出晶片上的電極墊 120，接著於該介電層 14 上形成線路層 15，並使線路層 15 電性連接至電極墊 120，再於線路層 15 上敷設拒銲層 16 及線路層預定位置植設銲球 17，之後進行切割作業。

透過前述製程，因包覆晶片之封裝膠體的表面得提供較晶片作用面大之表面區域而能安置較多銲球以有效達成與外界之電性連接。

然而，上揭製程之缺點在於將晶片以作用面黏貼於膠膜上而固定之方式，常因膠膜於製程中受熱而發生伸縮問題，造成黏置於膠膜上之晶片位置發生偏移，甚至於封裝模壓時因膠膜受熱軟化而造成晶片位移，如此導致後續在重佈線製程時，線路層無法連接到晶片電極墊上而造成電性不良。再者，此製程中所使用膠膜為消耗性材料，造成製程成本之增加。

另外，請參閱第 2 圖，於前述封裝模壓時，因膠膜 11 遇熱軟化，封裝膠體 13 易發生溢膠 130 至晶片作用面 121，甚或污染電極墊 120，造成後續重佈線製程之線路層與晶

片電極墊接觸不良，而導致廢品問題。

再者，請參閱第 3A 圖，前述封裝模壓製程僅透過膠膜 11 支撐複數晶片 12，該膠膜 11 及封裝膠體 13 易發生嚴重翹曲(warpage)110 問題，尤其是當封裝膠體 13 之厚度很薄時，翹曲問題更為嚴重，從而導致後續重佈線製程時，在晶片上塗佈介電層時會有厚度不均問題；如此即須額外再提供一硬質載具 18(如第 3B 圖所示)，以將封裝膠體 13 透過一黏膠 19 固定在該硬質載具 18 來進行整平；如此不僅造成製程複雜，且增加許多製程成本，同時在完成重佈線製程而移除該載具時，易發生在封裝膠體上會有先前固定在載具上之黏膠殘留 190 問題(如第 3C 圖所示)。其它相關習知技術的揭露如美國專利第 6,498,387、6,586,822、7,019,406 及 7,238,602 號。

因此，如何提供一種晶片尺寸封裝件及製法，俾能確保線路層與電極墊間之電性連接品質，並提昇產品的可靠度，減少製程成本，實為一重要課題。

### 【發明內容】

有鑑於上述習知技術之缺點，本發明提供一種晶片尺寸封裝件之製法，係包括：提供複數具相對作用面及非作用面之電子元件及一硬質板，該電子元件作用面上設有複數電極墊；於該硬質板表面設有軟質層；且該電子元件透過其非作用面而黏設於該軟質層上；壓合該電子元件，使該軟質層包覆該電子元件並外露出該電子元件作用面；於電子元件作用面及軟質層上設置介電層，並使該介電層形

成開口以外露出該電極墊；以及於該介電層上形成第一線路層，並使該第一線路層電性連接至該電極墊。

後續即可進行切割作業以形成複數晶圓級晶片尺寸封裝件(WLCSP)。

前述之製法中，該電子元件可為晶片或被動元件，所提供之電子元件非作用面上可設有黏晶膜(Die Attach Film)，則該電子元件係藉由該黏晶膜黏設於該軟質層上。

前述之製法中，復可包括於該介電層及第一線路層上設置第一拒錒層，並使該第一拒錒層形成複數開口以外露該第一線路層之預定部分。此外，亦可在該第一線路層預定部分上植設導電元件，其中，該導電元件包括錒球及錒針。

於另一具體實施例中，為得到具堆疊封裝件之功能，前述之製法復可包括藉由習知穿孔電性導通方式(Pin Through Hole, PTH)在該硬質板及軟質層中形成導電通路，以電性連接該第一線路層。更具體地，係在設置該介電層之後，藉由穿孔電性導通方式在該硬質板、軟質層及介電層中形成導電通路，以電性連接該第一線路層，或者，在形成該第一線路層之後，藉由穿孔電性導通方式在該硬質板、軟質層及介電層中形成導電通路，以電性連接該第一線路層。

接著，在形成導電通路後，該硬質板底面形成第二線路層，並使該第二線路層電性連接至該導電通路；在該硬質板底面及第二線路層上設置第二拒錒層，並使該第二拒

鍍層形成複數開口，以外露該第二線路層之預定部分。

另可利用重佈線技術於該第一線路層上形成線路增層(build-up)結構。當然，亦可於該第二線路層及第二拒鍍層上形成增層結構。

而前述硬質板之楊氏係數以大於軟質層五倍以上為佳，以達到不會翹曲形變之最佳功效。

透過前述製法，本發明復揭示一種晶片尺寸封裝件，係包括：至少一電子元件，該電子元件具有相對之作用面及非作用面，且於該電子元件作用面設有複數電極墊；軟質層，係包覆於該電子元件，並外露出該電子元件之作用面；硬質板，設於該軟質層之底面上；介電層，設於該電子元件作用面及軟質層上，且該介電層具複數開口以外露該電極墊；以及第一線路層，設於該介電層上且電性連接至該電極墊。

前述之晶片尺寸封裝件中，該電子元件可為晶片或被動元件，且該晶片尺寸封裝件復可包括導電通路，係貫穿該硬質板及軟質層，以電性連接該第一線路層。此外，亦可包括第二線路層，係形成於該硬質板底面，且電性連接至該導電通路；第二拒鍍層，係設置於該硬質板底面及第二線路層上，並形成有複數開口，以外露該第二線路層之預定部分。

在本發明之晶片尺寸封裝件中，此封裝件可選擇性地包含一個或多個電子元件，其中，該多數電子元件可皆為晶片或同時具有晶片及被動元件，且該電子元件之非作用

面上可設有黏晶膜，且該晶片尺寸封裝件復可包括：第一拒錫層，設於該介電層及第一線路層上，該第一拒錫層具有複數開口以外露出第一線路層預定部分。或者，可利用重佈線技術於該第一線路層上形成線路增層(build-up)結構。當然，亦可復包括增層結構，係形成於該第二線路層及第二拒錫層上。

在前述具有導電通路之晶片尺寸封裝件中，復可包括另一半導體封裝件，係藉由導電元件疊接在該第一線路層預定部分上，或者，該另一半導體封裝件，係藉由導電元件疊接在該第二線路層之預定部分下。

因此，本發明之晶片尺寸封裝件及製法主要係利用具有軟質層之硬質板，並使該軟質層包覆該電子元件並外露出該電子元件作用面，以省略封裝模壓製程，接著再進行重佈線製程。本發明之製法使用硬質板，因此可於製程過程中吸收熱應力，藉以避免習知將電子元件作用面直接黏置於膠膜上發生膠膜受熱軟化及電子元件偏移與污染問題，甚或造成後續重佈線製程之線路層與晶片電極墊接觸不良，導致廢品問題。再者，本發明不需使用膠膜，可降低製造成本，亦非使用膠膜支撐電子元件，故不容易發生翹曲的問題。此外，本發明之製法使用壓合系統使軟質層包覆電子元件後，亦確保晶片不致於移位。又本發明之製法可利用習知穿孔電性導通方式(Pin Through Hole, PTH)在該硬質板及軟質層中形成導電通路，藉此得到具堆疊功能之封裝件。

## 【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上、下”、“底面”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

### 第一實施例

請參閱第 4A 至 4E' 圖，係為本發明之晶片尺寸封裝件及其製法第一實施例之示意圖。

如第 4A 圖所示，提供複數具相對作用面 221 及非作用面 222 之電子元件 22 及一硬質板 23，該電子元件 22 作用面 221 上設有複數電極墊 220；於該硬質板 23 表面設有軟質層 24。該電子元件 22 可為晶片或被動元件。且該電子元件 22 係藉由拾取器 25(pick-up head)將該電子元件 22 黏設於該軟質層 24 上以令該電子元件 22 透過其非作用

面 222 而黏設於該軟質層 24 上。此步驟可每次黏設一個或複數個電子元件 22。而該硬質板 23 之材料係為銅箔基板 (Copper clad laminate, CCL)、預浸體 Prepreg(PP)或金屬板與銅箔基板的層合板，或者金屬板與預浸體的層合板，是種層合板可於後續製程中以剝除或蝕刻方式去除，以達成薄型化之最終產品特徵。該軟質層 24 之材料係高分子材料，如 Ajinomoto Build-up Film(ABF)絕緣膜或聚醯亞胺(Polyimide, PI)。而前述硬質板 23 之楊氏係數以大於軟質層 24 五倍以上為佳，以達到不會翹曲形變之最佳功效。

如第 4B 圖所示，以包括底座 261 及壓製板 262 之壓合系統 26 壓合該電子元件 22，使該軟質層 24 包覆該電子元件 22 並外露出該電子元件 22 作用面 221。通常，如第 4B' 圖所示該壓製板 262 底面設有襯片 263，以保護該電子元件及避免溢膠。

如第 4C 圖所示，接著於該電子元件 22 作用面 221 及軟質層 24 上設置介電層 27，並利用例如黃光 (photo-lithography) 製程或雷射製程使該介電層 27 形成開口以外露出該電極墊 220，該介電層 27 係用以供後續之線路層附著其上之種子層 (seed layer)。接著，利用重佈線 (RDL) 技術於該介電層 27 上形成第一線路層 28，並使該第一線路層 28 電性連接至該電極墊 220。

如第 4D 圖所示，於該介電層 27 及第一線路層 28 上設置第一拒錫層 29，並使該第一拒錫層 29 形成複數開口

以外露該第一線路層 28 之預定部分；以及視需要在該第一線路層預定部分上植設導電元件 30。

如第 4E 及 4E' 圖所示，進行切割作業，以形成複數晶圓級晶片尺寸封裝件(WLCSP)。此封裝件可選擇性地包含一個或多個電子元件，其中，該多數電子元件可皆為晶片或同時具有晶片及被動元件。

當然，亦可如第 4D' 圖所示，利用重佈線技術繼續於先前所形成之介電層 27 及第一線路層 28 上形成增層結構，例如在先前所形成之介電層 27 及第一線路層 28 上形成第二介電層 27a 及第三線路層 28a，並使該第三線路層 28a 電性連接至該第一線路層 28，然後，再於第三線路層 28a 上敷設第一拒錒層 29，並開設複數貫穿第一拒錒層 29 之開口，以外露出第三線路層 28a 之預定部分，接著於第三線路層 28a 之預定部分上植設導電元件 30，以作為封裝件之輸入/輸出端，供與外界裝置作電性連接。如此得藉由增加晶片上之增層數目而能提昇封裝件中線路佈設的彈性。

透過前述製法，本發明復揭示一種晶片尺寸封裝件，係包括：至少一電子元件 22，該電子元件 22 具有相對之作用面 221 及非作用面 222，且於該電子元件 22 作用面 221 設有複數電極墊 220；軟質層 24，係包覆於該電子元件 22，並外露出該電子元件 22 之作用面 221；硬質板 23，設於該軟質層 24 之底面上；介電層 27，設於該電子元件 22 作用面 221 及軟質層 24 上，且該介電層 27 具複數開口以外露

該電極墊 220；以及第一線路層 28，設於該介電層 27 上且電性連接至該電極墊 220。

於該晶片尺寸封裝件中，該電子元件 22 可為晶片或被動元件。

又，該晶片尺寸封裝件復包括第一拒錒層 29，設於該介電層 27 及第一線路層 28 上，該第一拒錒層 29 具有複數開口以外露出第一線路層 28 預定部分。當然，該晶片尺寸封裝件復可包括增層結構，係形成於該介電層 27 及第一線路層 28 上。

### 第二實施例

係顯示本發明之晶片尺寸封裝件及其製法第二實施例之剖面示意圖。如第 5A 及 5B 圖所示，該晶片尺寸封裝件與前述實施例所揭露者大致相同，其不同處在於所提供之電子元件 22 非作用面 222 上設有黏晶膜 31 (Die Attach Film)，且該電子元件 22 係藉由該黏晶膜 31 黏設於該軟質層 24 上。

因此，所得之該電子元件 22 之非作用面 222 上設有黏晶膜 31。

### 第三實施例

係顯示本發明之晶片尺寸封裝件及其製法第三實施例之剖面示意圖。如第 6 圖所示，該晶片尺寸封裝件與前述實施例所揭露者大致相同，其不同處在於可在前述之製法中，分別在壓合該電子元件 22 之後、設置該介電層 27 之後、形成該第一線路層 28 之後或形成該第一拒錒層 29 之

後，藉由習知穿孔電性導通方式(Pin Through Hole, PTH)在該硬質板 23 及軟質層 24 中形成導電通路 32，以電性連接該第一線路層 28。接著，再於該硬質板 23 底面形成第二線路層 28b，並使該第二線路層 28b 電性連接至該導電通路 32；以及在該硬質板 23 底面及第二線路層 28b 上設置第二拒銲層 33，並使該第二拒銲層 33 形成複數開口，以外露該第二線路層 28b 之預定部分。

是以，該晶片尺寸封裝件復包括導電通路 32，係貫穿該硬質板 23 及軟質層 24，以電性連接該第一線路層 28；第二線路層 28b，係形成於該硬質板 23 底面，且電性連接至該導電通路 32；第二拒銲層 33，係設置於該硬質板 23 底面及第二線路層 28b 上，並形成有複數開口，以外露該第二線路層 28b 之預定部分。此外，該晶片尺寸封裝件，亦可如前述製法，於該第二線路層及第二拒銲層上形成增層結構。

復參閱第 7 及 8 圖，該晶片尺寸封裝件復可包括另一半導體封裝件 7、8，係藉由導電元件 30 疊接在該第一線路層 28 預定部分上，或者係藉由導電元件 30 疊接在該第二線路層 28b 之預定部分下。

因此，本發明之晶片尺寸封裝件及製法主要係利用具有軟質層之硬質板，透過壓合系統使該軟質層包覆該電子元件並外露出該電子元件作用面，以省略封裝模壓製程，接著再進行重佈線製程。本發明之製法使用硬質板，因此可於製程過程中吸收熱應力，藉以避免習知將電子元件作

用面直接黏置於膠膜上發生膠膜受熱軟化及電子元件偏移與污染問題，甚或造成後續重佈線製程之線路層與晶片電極墊接觸不良，導致廢品問題。再者，本發明不需使用膠膜，可降低製造成本，亦非使用膠膜支撐電子元件，故不容易發生翹曲的問題。此外，本發明之製法使用壓合系統使軟質層包覆電子元件後，亦確保晶片不致於移位。又本發明之製法可利用習知穿孔電性導通方式(Pin Through Hole, PTH)在該硬質板及軟質層中形成導電通路，藉此得到具堆疊功能之封裝件。上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

#### 【圖式簡單說明】

第 1A 至 1C 圖係為美國專利 US6,271,469 所揭露之晶圓級晶片尺寸封裝件之製法示意圖；

第 2 圖係為美國專利 US6,271,469 所揭示之晶圓級晶片尺寸封裝件發生溢膠問題之示意圖；

第 3A 至 3C 圖係為美國專利 US6,271,469 所揭示之晶圓級晶片尺寸封裝件發生封裝膠體翹曲、增設硬質板及封裝膠體表面殘膠問題之示意圖；

第 4A 至 4E' 圖係為本發明之晶片尺寸封裝件及其製法第一實施例示意圖，其中，第 4B' 圖係顯示壓製板底面設有襯片之剖示圖以及第 4D' 圖係顯示具有增層結構之

晶片尺寸封裝件示意圖；

第 5A 及 5B 圖係為本發明之晶片尺寸封裝件及其製法第二實施例示意圖；以及

第 6 圖係為本發明之晶片尺寸封裝件及其製法第三實施例示意圖；

第 7 圖係顯示其他半導體封裝件堆疊在本發明之晶片尺寸封裝件上之示意圖；以及

第 8 圖係顯示本發明晶片尺寸封裝件堆疊在其他半導體封裝件上之示意圖。

**【主要元件符號說明】**

11	膠膜	12	晶片
13	封裝膠體	14	介電層
15	線路層	16	拒錫層
17	錫球	18	載具
19	黏膠	110	翹曲
120	電極墊	121	作用面
122	非作用面	130	溢膠
190	黏膠殘留	22	電子元件
221	作用面	222	非作用面
23	硬質板	220	電極墊
24	軟質層	25	拾取器
26	壓合系統	261	底座
262	壓製板	263	襯片
27	介電層	28	第一線路層

29	第一拒鍍層	30	導電元件
27a	第二介電層	28a	第三線路層
31	黏晶膜	32	導電通路
28b	第二線路層	33	第二拒鍍層
7、8	半導體封裝件		

## 七、申請專利範圍：

### 1. 一種晶片尺寸封裝件之製法，係包括：

提供複數具相對作用面及非作用面之電子元件及一硬質板，該電子元件作用面上設有複數電極墊；於該硬質板表面設有軟質層；且該電子元件透過其非作用面而黏設於該軟質層上；

壓合該電子元件，使該軟質層包覆該電子元件並外露出該電子元件作用面；

於該電子元件作用面及軟質層上設置介電層，並使該介電層形成開口以外露出該電極墊；以及

於該介電層上形成第一線路層，並使該第一線路層電性連接至該電極墊。

### 2. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，其中，該電子元件係晶片或被動元件。

### 3. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，其中，所提供之電子元件非作用面上設有黏晶膜(Die Attach Film)，且該電子元件係藉由該黏晶膜黏設於該軟質層上。

### 4. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，其中，係使用壓合系統壓製該電子元件。

### 5. 如申請專利範圍第 4 項所述之晶片尺寸封裝件之製法，其中，該壓合系統包括底座及壓製板，且該壓製板底面設有襯片，以保護該電子元件及避免溢膠。

### 6. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製

- 法，復包括：於該介電層及第一線路層上設置第一拒錫層，並使該第一拒錫層形成複數開口以外露該第一線路層之預定部分。
7. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，復包括在壓合該電子元件之後，藉由穿孔電性導通 (Pin Through Hole, PTH) 在該硬質板及軟質層中形成導電通路，以電性連接該第一線路層。
  8. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，復包括在設置該介電層之後，藉由穿孔電性導通在該硬質板、軟質層及介電層中形成導電通路，以電性連接該第一線路層。
  9. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，復包括在形成該第一線路層之後，藉由穿孔電性導通在該硬質板、軟質層及介電層中形成導電通路，以電性連接該第一線路層。
  10. 如申請專利範圍第 7 至 9 項中任一項所述之晶片尺寸封裝件之製法，復包括：在該硬質板底面形成第二線路層，並使該第二線路層電性連接至該導電通路；以及在該硬質板底面及第二線路層上設置第二拒錫層，並使該第二拒錫層形成複數開口，以外露該第二線路層之預定部分。
  11. 如申請專利範圍第 10 項所述之晶片尺寸封裝件之製法，復包括：以重佈線技術於該第二線路層及第二拒錫層上形成增層結構。

12. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，復包括：以重佈線技術於該介電層及第一線路層上形成增層結構。
13. 如申請專利範圍第 1 項所述之晶片尺寸封裝件之製法，其中，該硬質板之楊氏係數大於軟質層五倍以上。
14. 一種晶片尺寸封裝件，係包括：
  - 至少一電子元件，該電子元件具有相對之作用面及非作用面，且於該電子元件作用面設有複數電極墊；
  - 軟質層，係包覆於該電子元件，並外露出該電子元件之作用面；
  - 硬質板，設於該軟質層之底面及該電子元件之非作用面上，且該硬質板之楊氏係數大於軟質層五倍以上；
  - 介電層，設於該電子元件作用面及軟質層上，且該介電層具複數開口以外露該電極墊；以及
  - 第一線路層，設於該介電層上且電性連接至該電極墊。
15. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，其中，該電子元件係晶片或被動元件。
16. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，其中，該電子元件之非作用面上設有黏晶膜。
17. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，復包括：

第一拒鐸層，設於該介電層及第一線路層上，該第一拒鐸層具有複數開口以外露出第一線路層預定部分。

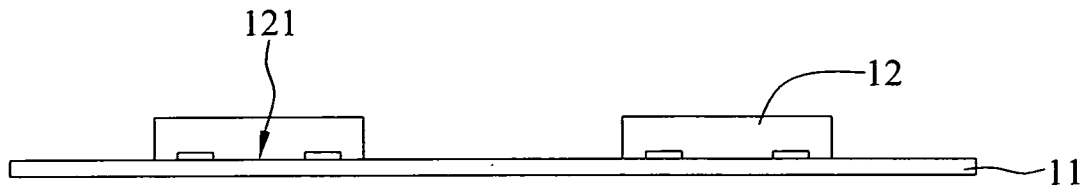
18. 如申請專利範圍第 17 項所述之晶片尺寸封裝件，復包括另一半導體封裝件，係藉由導電元件疊接在該第一線路層預定部分上。
19. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，復包括：導電通路，係貫穿該硬質板、軟質層及介電層，以電性連接該第一線路層。
20. 如申請專利範圍第 19 項所述之晶片尺寸封裝件，復包括：

第二線路層，係形成於該硬質板底面，且電性連接至該導電通路；以及

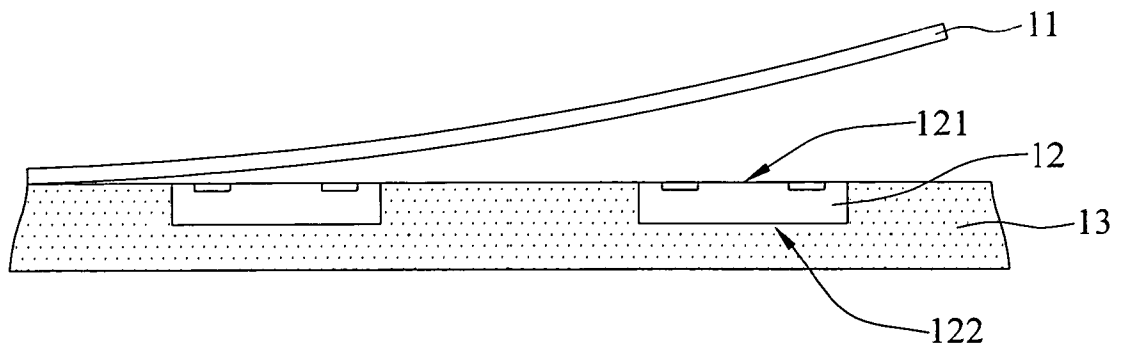
第二拒鐸層，係設置於該硬質板底面及第二線路層上，並形成有複數開口，以外露該第二線路層之預定部分。

21. 如申請專利範圍第 20 項所述之晶片尺寸封裝件，復包括增層結構，係形成於該第二線路層及第二拒鐸層上。
22. 如申請專利範圍第 20 項所述之晶片尺寸封裝件，復包括另一半導體封裝件，係藉由導電元件疊接在該第二線路層之預定部分下。
23. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，復包括增層結構，係形成於該介電層及第一線路層上。
24. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，其中，該軟質層係 ABF 絕緣膜或聚醯亞胺。

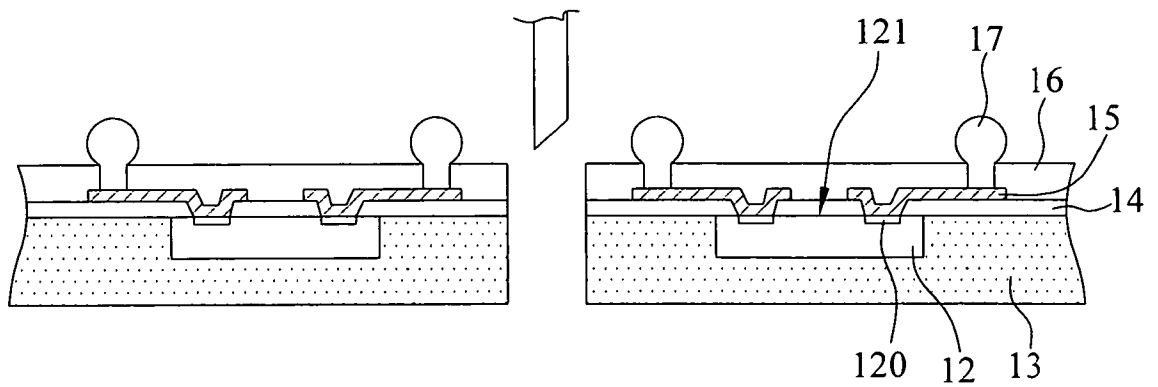
25. 如申請專利範圍第 14 項所述之晶片尺寸封裝件，其中，該硬質板係銅箔基板、預浸體、金屬板與銅箔基板的層合板或者金屬板與預浸體的層合板。



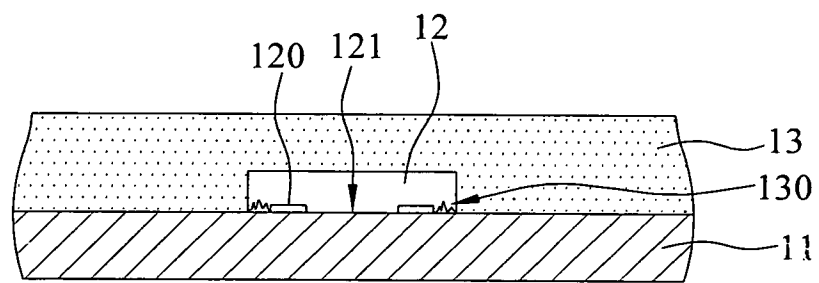
第1A圖



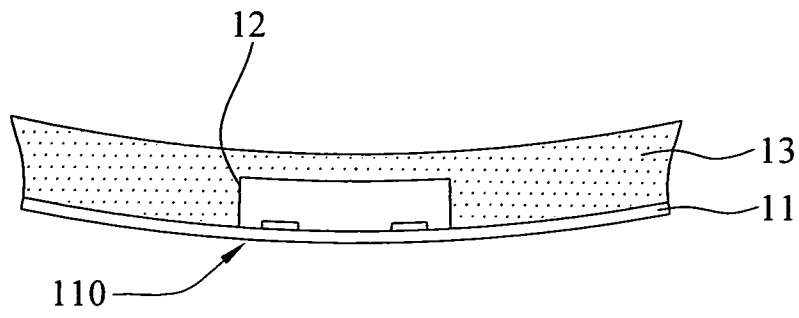
第1B圖



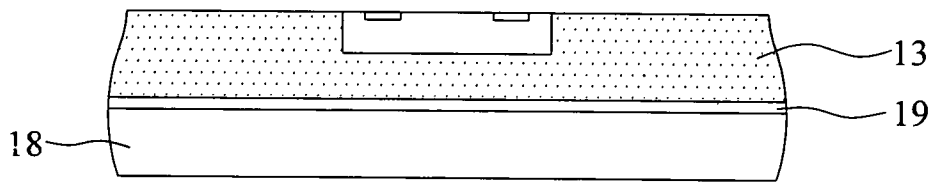
第1C圖



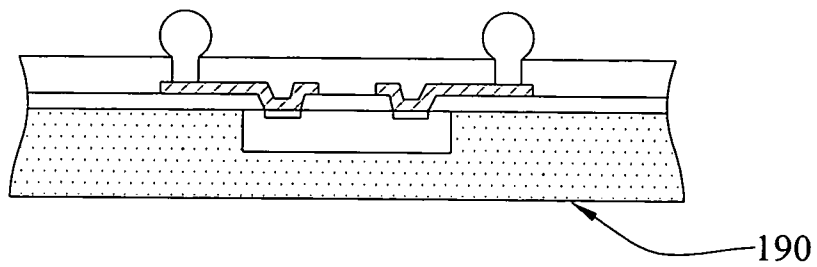
第2圖



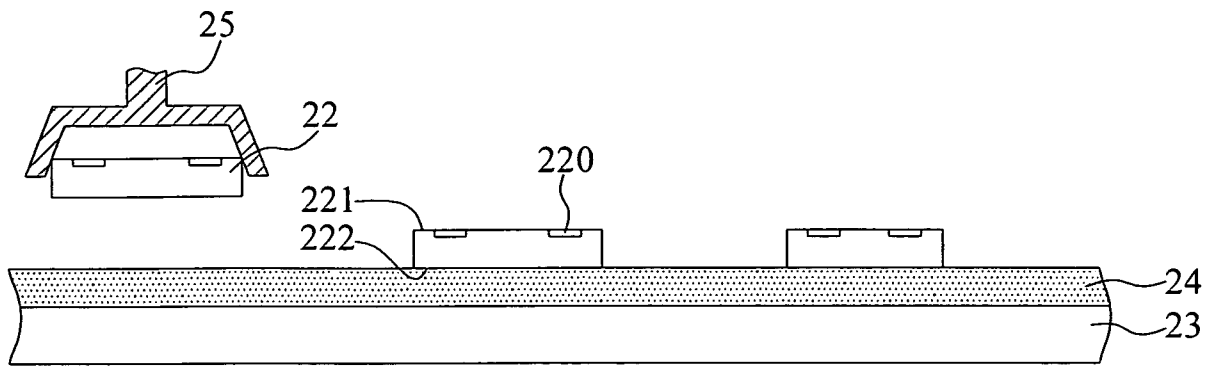
第3A圖



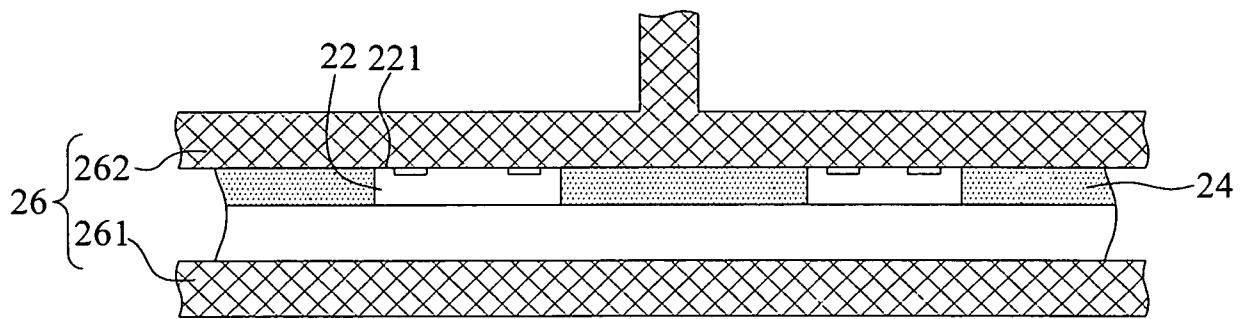
第3B圖



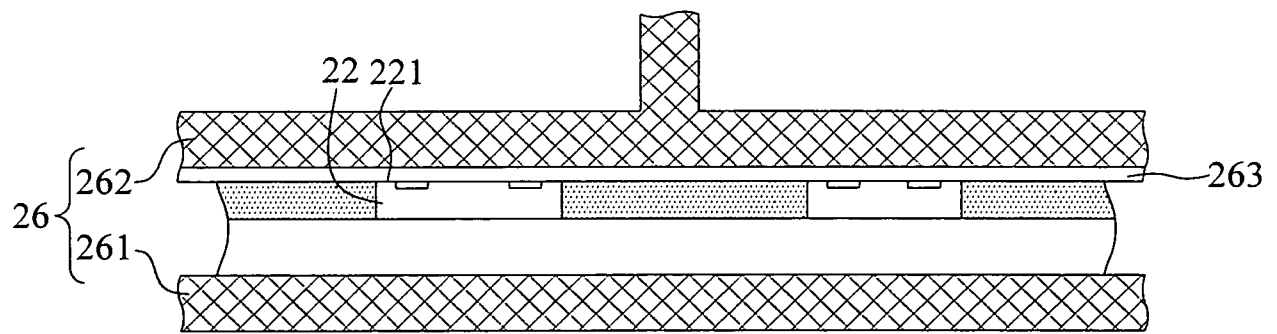
第3C圖



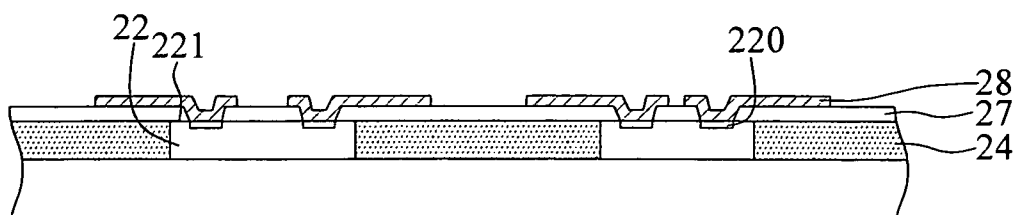
第4A圖



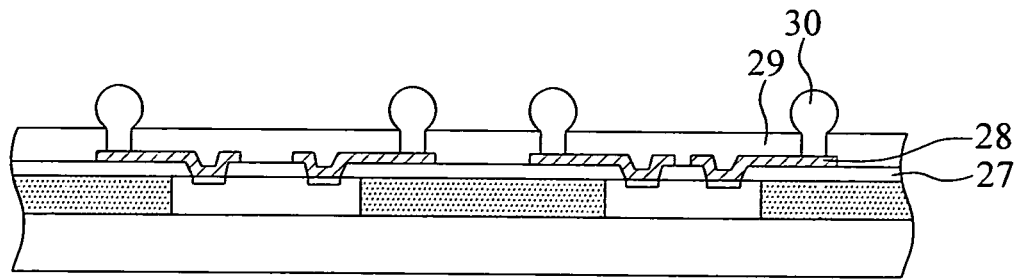
第4B圖



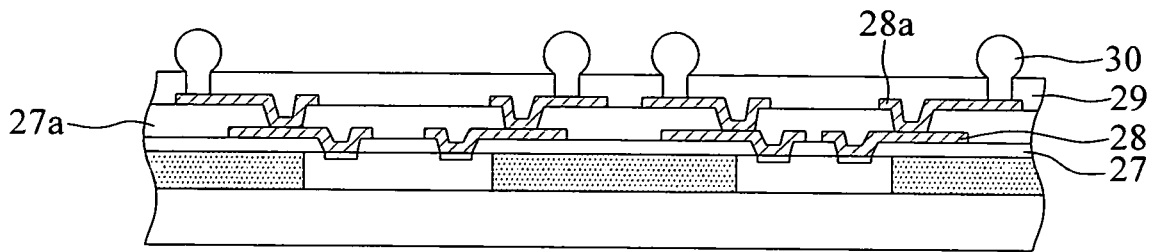
第4B'圖



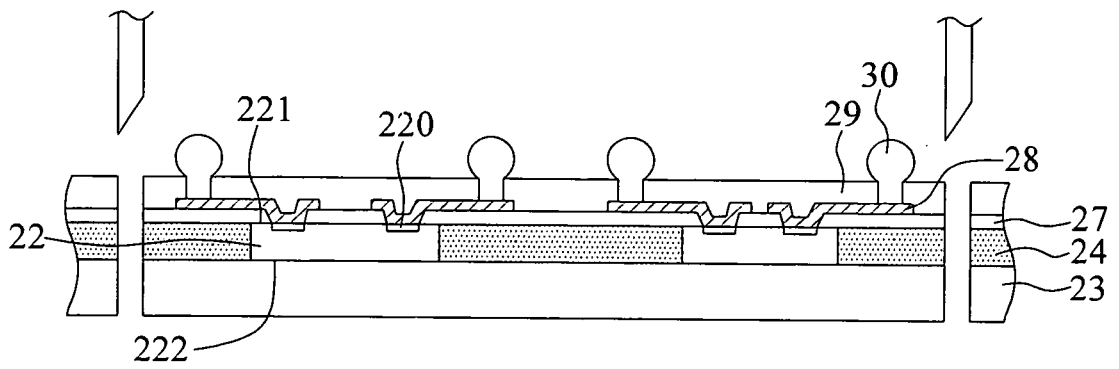
第4C圖



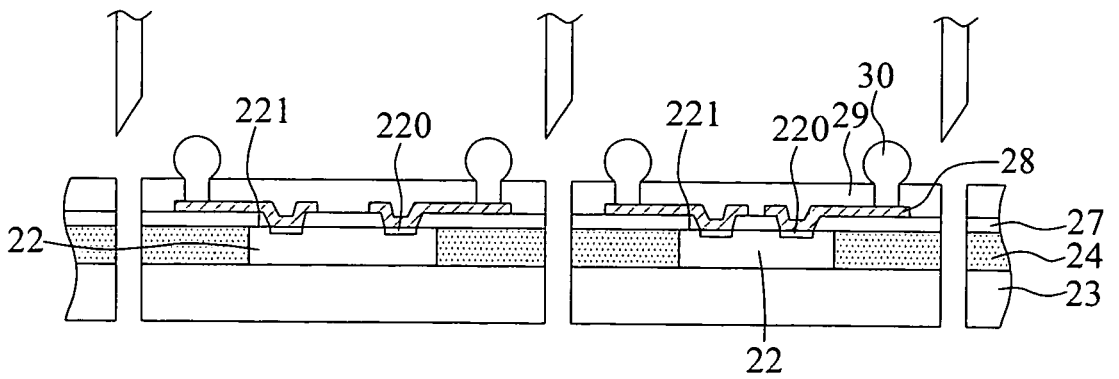
第4D圖



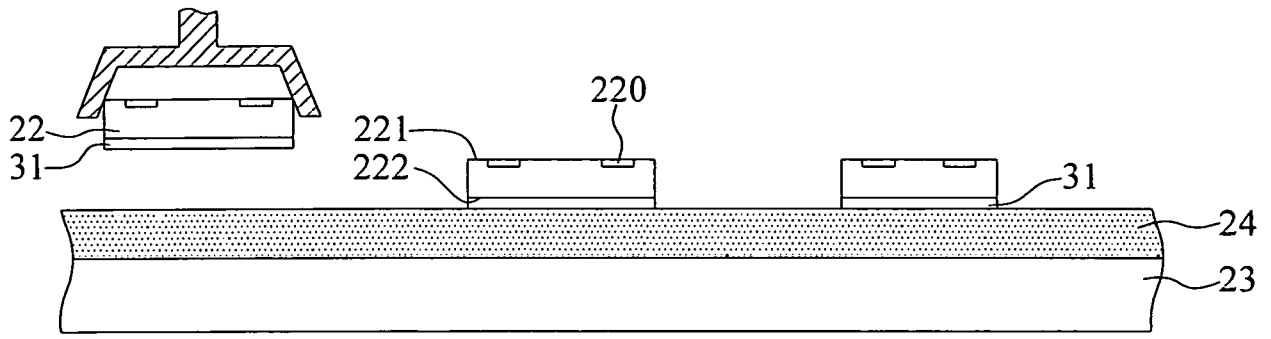
第4D'圖



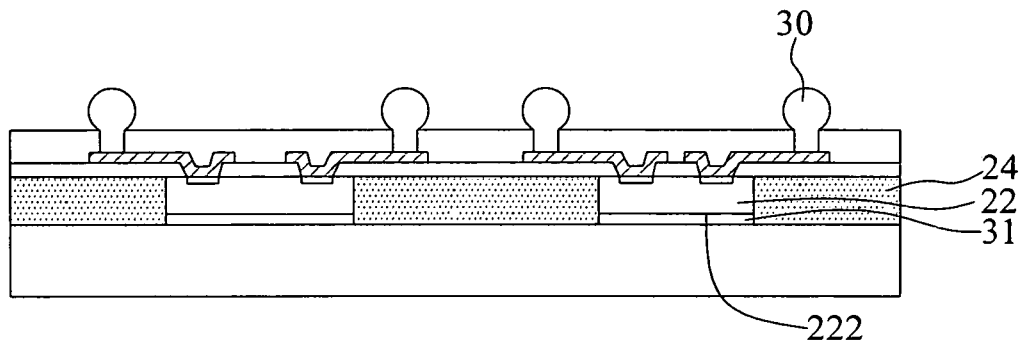
第4E圖



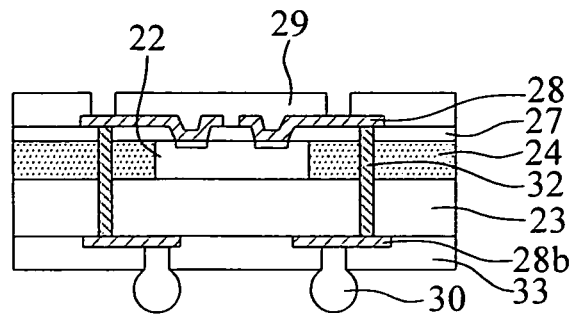
第4E'圖



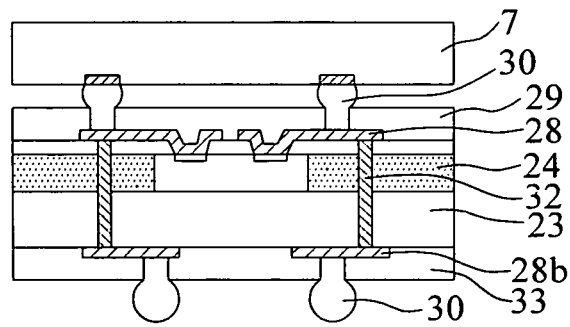
第5A圖



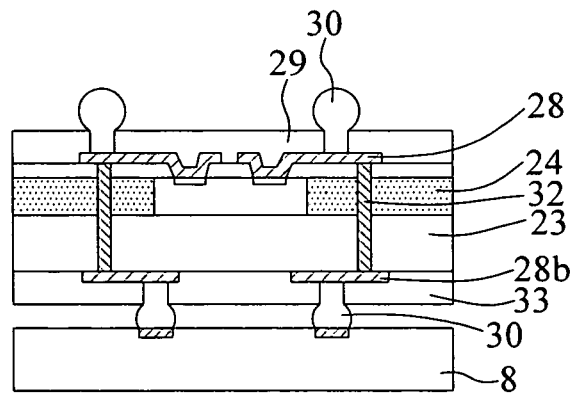
第5B圖



第6圖



第7圖



第8圖