



(12) 发明专利申请

(10) 申请公布号 CN 102403990 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201110185700. 9

(22) 申请日 2011. 06. 29

(30) 优先权数据

2010-205951 2010. 09. 14 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 饭岛正统 原泽良明

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 董典红

(51) Int. Cl.

H03K 17/56 (2006. 01)

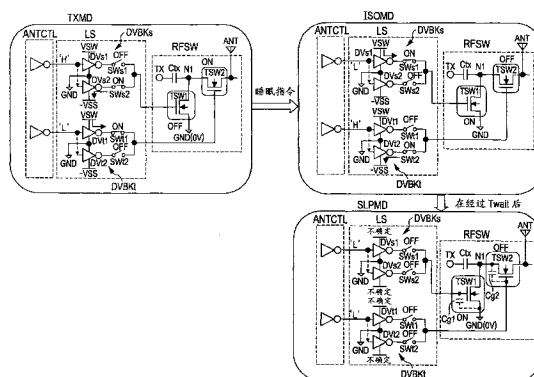
权利要求书 6 页 说明书 20 页 附图 21 页

(54) 发明名称

射频模块

(57) 摘要

提供一种射频模块,所述射频模块可以实现高可靠性的省电模式。所述射频模块例如包括用于将发射节点耦合到天线的开关晶体管、用于将发射节点旁路到地电压的开关晶体管以及用于通过正电源电压和负电源电压实现晶体管的通断控制的电平移位电路。在发射操作模式中接收到睡眠指令时,电平移位电路首先转变到隔离操作模式,并且在经过一定时间周期后转变到睡眠模式,其中在发射操作模式中,用于将发射节点耦合到天线的晶体管导通并且用于将发射节点旁路到地电压的晶体管截止;在隔离操作模式中,用于将发射节点耦合到天线的晶体管截止并且用于将发射节点旁路到地电压的晶体管导通;在睡眠模式中,正电源电压和负电源电压被去激活。



1. 一种射频模块,包括:

功率放大器电路,用于放大发射射频信号并且向发射节点输出放大的信号;

第一晶体管,用于将所述发射节点耦合到天线;

第二晶体管,用于将所述发射节点旁路到第一电源电压;和

控制电路块,所述控制电路块生成高于所述第一电源电压的第二电源电压和低于所述第一电源电压的第三电源电压,并且通过向所述第一晶体管和所述第二晶体管施加值为所述第二电源电压或所述第三电源电压的控制信号,实现所述第一晶体管和所述第二晶体管的通断控制,

其中当指定发射操作模式时,所述控制电路块使所述第一晶体管导通并使所述第二晶体管截止,并且当在所述发射操作模式后指定省电操作模式时,所述控制电路块在第一时间周期期间使所述第一晶体管截止并使所述第二晶体管导通,然后停止所述第二电源电压和所述第三电源电压的生成。

2. 根据权利要求1所述的射频模块,

其中所述第一晶体管和所述第二晶体管是n沟道MIS晶体管,

其中所述第一电源电压是地电压,

其中所述第二电源电压是正电源电压,以及

其中所述第三电源电压是负电源电压。

3. 根据权利要求2所述的射频模块,

其中所述控制电路块包括:

第一驱动器电路,所述第一驱动器电路在所述第二电源电压和所述第一电源电压之间操作;

第二驱动器电路,所述第二驱动器电路在所述第一电源电压和所述第三电源电压之间操作;

第一开关电路,所述第一开关电路插入在所述第一驱动器电路的输出节点和所述第一晶体管的控制输入节点之间,并且当所述第一驱动器电路输出所述第二电源电压时所述第一开关电路导通,并且当所述第一驱动器电路输出所述第一电源电压时所述第一开关电路截止;

第二开关电路,所述第二开关电路插入在所述第二驱动器电路的输出节点和所述第一晶体管的控制输入节点之间,并且当所述第二驱动器电路输出所述第三电源电压时所述第二开关电路导通,并且当所述第二驱动器电路输出所述第一电源电压时所述第二开关电路截止;

第三驱动器电路,所述第三驱动器电路在所述第二电源电压和所述第一电源电压之间操作;

第四驱动器电路,所述第四驱动器电路在所述第一电源电压和所述第三电源电压之间操作;

第三开关电路,所述第三开关电路插入在所述第三驱动器电路的输出节点和所述第二晶体管的控制输入节点之间,并且当所述第三驱动器电路输出所述第二电源电压时所述第三开关电路导通,并且当所述第三驱动器电路输出所述第一电源电压时所述第三开关电路截止;以及

第四开关电路,所述第四开关电路插入在所述第四驱动器电路的输出节点和所述第二晶体管的控制输入节点之间,并且当所述第四驱动器电路输出所述第三电源电压时所述第四开关电路导通,并且当所述第四驱动器电路输出所述第一电源电压时所述第四开关电路截止。

4. 根据权利要求 2 所述的射频模块,其中所述第一时间周期小于 7 微秒。

5. 一种射频模块,包括:

功率放大器电路,用于放大发射射频信号并且向发射节点输出放大的信号;

第一晶体管,用于将所述发射节点耦合至天线;

第二晶体管,用于将所述发射节点旁路到第一电源电压;

第一电源电压生成电路,用于生成高于所述第一电源电压的第二电源电压;

第二电源电压生成电路,用于生成低于所述第一电源电压的第三电源电压;

电平移位电路单元,向所述电平移位电路单元提供所述第二电源电压和所述第三电源电压,所述电平移位电路单元通过向所述第一晶体管和所述第二晶体管施加值为所述第二电源电压或所述第三电源电压的控制信号实现所述第一晶体管和所述第二晶体管的通断控制;和

控制电路,所述控制电路按照输入的第一指令切换包括发射操作模式、隔离操作模式和省电模式的多个操作模式,并且按照每个操作模式控制所述电平移位电路单元以及所述第一电源电压生成电路和所述第二电源电压生成电路的激活和去激活,

其中在所述发射操作模式中,所述控制电路激活所述第一电源电压生成电路和所述第二电源电压生成电路,并且所述控制电路通过所述电平移位电路单元使所述第一晶体管导通并且使所述第二晶体管截止,

其中在所述隔离操作模式中,所述控制电路激活所述第一电源电压生成电路和所述第二电源电压生成电路,并且所述控制电路通过所述电平移位电路单元使所述第一晶体管截止并且使所述第二晶体管导通,

其中在所述省电操作模式中,所述控制电路去激活所述第一电源电压生成电路和所述第二电源电压生成电路,以及

其中当所述第一指令指示从所述发射操作模式转变到所述省电操作模式时,所述控制电路在所述发射操作模式后的第一时间周期期间实现所述隔离操作模式,然后转变到所述省电操作模式。

6. 根据权利要求 5 所述的射频模块,

其中所述第一晶体管和所述第二晶体管是 n 沟道 MIS 晶体管,

其中所述第一电源电压是地电压,

其中所述第二电源电压是正电源电压,并且

其中所述第三电源电压是负电源电压。

7. 根据权利要求 6 所述的射频模块,其中所述第二电源电压生成电路使用所述第二电源电压生成所述第三电源电压。

8. 根据权利要求 7 所述的射频模块,

其中所述控制电路包括:

检测电路,用于检测指示转变到所述省电操作模式的所述第一指令;以及

延迟电路,用于将来自所述检测电路的检测信号延迟所述第一时间周期,并且
其中根据来自所述延迟电路的输出信号控制所述第一电源电压生成电路的激活和去
激活。

9. 根据权利要求 8 所述的射频模块,其中所述延迟电路使用电阻和电容的时间常数来
设定所述第一时间周期。

10. 根据权利要求 8 所述的射频模块,其中所述第一时间周期小于 7 微秒。

11. 根据权利要求 6 所述的射频模块,

其中所述电平移位电路单元包括:

第一驱动器电路,所述第一驱动器电路在所述第二电源电压和所述第一电源电压之间
操作;

第二驱动器电路,所述第二驱动器电路在所述第一电源电压和所述第三电源电压之间
操作;

第一开关电路,所述第一开关电路插入在所述第一驱动器电路的输出节点和所述第一
晶体管的控制输入节点之间,并且当所述第一驱动器电路输出所述第二电源电压时所述第
一开关电路导通,并且当所述第一驱动器电路输出所述第一电源电压时所述第一开关电路
截止;

第二开关电路,所述第二开关电路插入在所述第二驱动器电路的输出节点和所述第一
晶体管的控制输入节点之间,并且当所述第二驱动器电路输出所述第三电源电压时所述第
二开关电路导通,并且当所述第二驱动器电路输出所述第一电源电压时所述第二开关电路
截止;

第三驱动器电路,所述第三驱动器电路在所述第二电源电压和所述第一电源电压之间
操作;

第四驱动器电路,所述第四驱动器电路在所述第一电源电压和所述第三电源电压之间
操作;

第三开关电路,所述第三开关电路插入在所述第三驱动器电路的输出节点和所述第二
晶体管的控制输入节点之间,并且当所述第三驱动器电路输出所述第二电源电压时所述第
三开关电路导通,并且当所述第三驱动器电路输出所述第一电源电压时所述第三开关电路
截止;和

第四开关电路,所述第四开关电路插入在所述第四驱动器电路的输出节点和所述第二
晶体管的控制输入节点之间,并且当所述第四驱动器电路输出所述第三电源电压时所述第
四开关电路导通,并且当所述第四驱动器电路输出所述第一电源电压时所述第四开关电路
截止。

12. 根据权利要求 11 所述的射频模块,

其中所述第一开关电路是 p 沟道 MIS 晶体管,它的栅极施加有所述第一电源电压,它的
源极耦合到所述第一驱动器电路的输出节点,

其中所述第二开关电路是 n 沟道 MIS 晶体管,它的栅极施加有所述第一电源电压,它的
源极耦合到所述第二驱动器电路的输出节点,

其中所述第三开关电路是 p 沟道 MIS 晶体管,它的栅极施加有所述第一电源电压,它的
源极耦合到所述第三驱动器电路的输出节点,

其中所述第四开关电路是 n 沟道 MIS 晶体管,它的栅极施加有所述第一电源电压,它的源极耦合到所述第四驱动器电路的输出节点,

其中构成所述第一开关电路到所述第四开关电路的晶体管具有增强型特性,并且其中所述第一晶体管和所述第二晶体管具有耗尽型特性。

13. 一种射频模块,包括:

布线板;

安装在所述布线板上方的第一半导体芯片;

安装在所述布线板上方并由 SOI 衬底形成的第二半导体芯片;

其中所述第一半导体芯片包括:

偏置电路,用于生成偏置;

功率放大器电路,用于以与所述偏置对应的增益放大输入的发射射频信号,并将放大的信号输出到发射节点;

第一电源电压生成电路,用于生成正电源电压;和

控制电路,所述控制电路按照输入的第一指令切换包括发射操作模式、隔离操作模式和省电操作模式的多个操作模式,输出与每个操作模式对应的第一控制信号,并且控制所述第一电源电压生成电路的激活和去激活,

其中所述第二半导体芯片包括:

第一晶体管,用于将所述发射节点耦合到天线;

第二晶体管,用于将所述发射节点旁路到地电压;

第三晶体管,用于向接收节点发送由所述天线接收的接收射频信号;

第四晶体管,用于将所述接收节点旁路到所述地电压;

第二电源电压生成电路,用于使用所述正电源电压生成负电源电压;和

电平移位电路单元,向所述电平移位电路单元提供所述正电源电压和所述负电源电压,所述电平移位电路单元通过按照所述第一控制信号向所述第一晶体管到所述第四晶体管施加值为所述正电源电压或所述负电源电压的第二控制信号实现所述第一晶体管到所述第四晶体管的通断控制,

其中在所述发射操作模式中,所述控制电路激活所述第一电源电压生成电路,并且输出具有第一逻辑信息的所述第一控制信号,

其中在所述隔离操作模式中,所述控制电路激活所述第一电源电压生成电路,并且输出具有第二逻辑信息的所述第一控制信号,

其中在所述省电操作模式中,所述控制电路去激活所述第一电源电压生成电路,并且输出具有第三逻辑信息的所述第一控制信号,

其中所述电平移位电路单元按照所述第一逻辑信息使所述第一晶体管和所述第四晶体管导通并且使所述第二晶体管和所述第三晶体管截止,

其中所述电平移位电路单元按照所述第二逻辑信息使所述第一晶体管和所述第三晶体管截止并且使所述第二晶体管和所述第四晶体管导通,并且

其中当所述第一指令指示从所述发射操作模式转变到所述省电操作模式时,所述控制电路在所述发射操作模式后的第一时间周期期间执行所述隔离操作模式,然后转变到所述省电操作模式。

14. 根据权利要求 13 所述的射频模块,其中当所述第一指令指示转变到所述省电操作模式时,所述偏置电路停止所述偏置的生成。

15. 根据权利要求 14 所述的射频模块,

其中所述第一电源电压生成电路使用负反馈配置的放大器电路生成所述正电源电压,并且

其中所述第二电源电压生成电路通过使用由所述正电源电压生成的时钟信号将电荷存储在所述第一电容器中而生成所述负电源电压。

16. 根据权利要求 15 所述的射频模块,

其中所述控制电路包括:

检测电路,用于检测指示转变到所述省电操作模式的所述第一指令;和

延迟电路,用于将来自所述检测电路的检测信号延迟所述第一时间周期,并且

其中根据来自所述延迟电路的输出信号控制所述第一电源电压生成电路的激活和去激活。

17. 根据权利要求 16 所述的射频模块,其中所述延迟电路使用电阻和电容的时间常数来设定所述第一时间周期。

18. 根据权利要求 14 所述的射频模块,

其中所述电平移位电路单元包括:

第一驱动器电路,所述第一驱动器电路在所述正电源电压和所述地电压之间操作;

第二驱动器电路,所述第二驱动器电路在所述地电压和所述负电源电压之间操作;

第一开关电路,所述第一开关电路插入在所述第一驱动器电路的输出节点和所述第一晶体管的控制输入节点之间,并且当所述第一驱动器电路输出所述正电源电压时所述第一开关电路导通,并且当所述第一驱动器电路输出所述地电压时所述第一开关电路截止;

第二开关电路,所述第二开关电路插入在所述第二驱动器电路的输出节点和所述第一晶体管的控制输入节点之间,并且当所述第二驱动器电路输出所述负电源电压时所述第二开关电路导通,并且当所述第二驱动器电路输出所述地电压时所述第二开关电路截止;

第三驱动器电路,所述第三驱动器电路在所述正电源电压和所述地电压之间操作;

第四驱动器电路,所述第四驱动器电路在所述地电压和所述负电源电压之间操作;

第三开关电路,所述第三开关电路插入在所述第三驱动器电路的输出节点和所述第二晶体管的控制输入节点之间,并且当所述第三驱动器电路输出所述正电源电压时所述第三开关电路导通,并且当所述第三驱动器电路输出所述地电压时所述第三开关电路截止;以及

第四开关电路,所述第四开关电路插入在所述第四驱动器电路的输出节点和所述第二晶体管的控制输入节点之间,并且当所述第四驱动器电路输出所述负电源电压时所述第四开关电路导通,并且当所述第四驱动器电路输出所述地电压时所述第四开关电路截止。

19. 根据权利要求 18 所述的射频模块,

其中所述第一开关电路是 p 沟道 MIS 晶体管,它的栅极施加有所述地电压,它的源极耦合到所述第一驱动器电路的输出节点,

其中所述第二开关电路是 n 沟道 MIS 晶体管,它的栅极施加有所述地电压,它的源极耦合到所述第二驱动器电路的输出节点,

其中所述第三开关电路是 p 沟道 MIS 晶体管,它的栅极施加有所述地电压,它的源极耦合到所述第三驱动器电路的输出节点,

其中所述第四开关电路是 n 沟道 MIS 晶体管,它的栅极施加有所述地电压,它的源极耦合到所述第四驱动器电路的输出节点,

其中构成所述第一开关电路到所述第四开关电路的晶体管具有增强型特性,并且其中所述第一晶体管和所述第二晶体管是具有耗尽型特性的 n 沟道 MIS 晶体管。

射频模块

[0001] 相关申请的交叉引用

[0002] 在此通过参考并入 2010 年 9 月 14 日提交的日本专利申请 No. 2010-205951 的全部公开内容,包括说明书、附图和摘要。

技术领域

[0003] 本发明涉及包括天线开关电路的射频模块,并且具体来说涉及当应用于具有省电功能的无线通信射频模块时有效的技术。

背景技术

[0004] 例如,美国专利 No. 6804502 描述了一种 RF(射频)开关电路,它使用了在 SOI(绝缘体上硅)衬底上的 MOSFET(金属氧化物半导体场效应晶体管)。通过使用正电压和负电压的控制信号,使 MOSFET 导通和截止。此外,日本未审专利公开 No. 2005-159157 描述了一种配置,其中射频模块中的开关元件是利用 HEMT(高电子迁移率晶体管)元件形成的。

发明内容

[0005] 在以蜂窝电话为代表的无线通信设备中,广泛地使用了射频模块(RF 模块),该射频模块包括射频开关电路和射频功率放大器电路(功率放大器电路),该射频开关电路用于控制在天线与发射电路和接收电路之间的耦合,所述射频功率放大器电路是发射电路的一部分并且向射频开关电路输出射频信号。在使用诸如 GSM(全球移动通信系统)之类的 TDD(时分双工)的情况中以及在所谓的多频带蜂窝电话(该多频带蜂窝电话支持多个频带,其中包括 W-CDMA(宽带码分多址))中选择每一频带时,在发射和接收之间的切换中需要该射频开关电路。这种射频模块在无线通信设备中对于尺寸和功率可能有特殊的要求;因此,除了通信性能以外,对于较小的尺寸和较低的功耗也有巨大的需求。

[0006] 图 20A 是电路图,示出的是在作为本发明的前提研讨的射频模块中的射频开关电路及外围电路的配置;图 20B 是说明性的示图,示出图 20A 中在发射期间的操作实例。在图 20A 中所示的射频开关电路 RFSW 例如包括四个开关晶体管 TSW1 至 TSW4。晶体管 TSW2 的一端和晶体管 TSW3 的一端共同耦合到天线 ANT。晶体管 TSW2 的另一端耦合到晶体管 TSW1 的一端,并且晶体管 TSW3 的另一端耦合到晶体管 TSW4 的一端。晶体管 TSW1 的另一端和晶体管 TSW4 的另一端耦合到地电压 GND(0 伏)。开关控制电路 SWCTL 分别使用控制信号 OUT1、OUT1B、OUT2B、OUT2 来实现晶体管 TSW1 至 TSW4 的通断控制。

[0007] 在发射期间,晶体管 TSW2 和 TSW4 导通,并且晶体管 TSW1 和 TSW3 截止,因而使得来自发射节点 TX 的射频信号通过耦合电容器 Ctx 和晶体管 TSW2 发送到天线 ANT。这时,由于晶体管 TSW4 导通,在晶体管 TSW3 与 TSW4 之间的耦合节点 N11 以低阻抗耦合到地 GND。因此,即使发送到天线 ANT 的射频信号通过截止晶体管 TSW3(例如源极和漏极之间的截止电容)泄漏,泄漏信号也可以被反射离开节点 N11。另一方面,在接收期间,晶体管 TSW1 和 TSW3 导通,并且晶体管 TSW2 和 TSW4 截止,因而由天线 ANT 接收的射频信号经过晶体管 TSW3

和耦合电容器 C_{rx} 发送到接收节点 RX。这时,由于晶体管 TSW1 导通,在晶体管 TSW1 与 TSW2 之间的耦合节点 N10 以低阻抗耦合到地 GND。因此,即使由天线 ANT 接收的射频信号经过截止晶体管 TSW2(例如源极和漏极之间的截止电容)泄漏,泄漏信号也可以被反射离开节点 N10。

[0008] 此外,例如在发射期间,通过在晶体管 TSW1 的源极(s)和漏极(d)之间的高阻元件(未示出)将耦合节点 N10 偏置到 0 伏;因此如图 20B 所示在节点 N10 处生成跨过 0 伏的几伏的发射射频信号 RF_{tx} 的幅度。如果晶体管 TSW1 的阈值电压接近 0 伏,并且到晶体管 TSW1 的栅极(g)的控制信号 OUT1(栅极电压)是 0 伏(即晶体管 TSW1 处在浅截止状态),那么,晶体管 TSW1 可能由于节点 N10 处的负电压错误地导通,这可能引起信号 RF_{tx} 中的波形失真(限幅到 GND)。此外,在发射期间截止的晶体管 TSW3 由于类似的现象也可能错误地导通。这也可能引起信号 RF_{tx} 中的波形失真,并且引起接收侧上的隔离特性的降低。信号 RF_{tx} 的波形失真包括谐波失真,谐波失真可能干扰其它的通信设备。为了防止这种情形,必须要有一种机制,以用于控制晶体管 TSW1 至 TSW4 在晶体管 TSW1 至 TSW4 截止时进入深截止状态。

[0009] 用于实现深截止状态的机制例如包括使用升压电路的方法和使用负电压的方法。图 21 是电路图,示出了借助使用升压电路的方法的实例的图 20A 中电路的详细配置实例。图 22 是剖面图,示出了图 21 中的每个开关晶体管的器件结构实例。在图 21 中所示的射频开关电路 RFS_{wa} 中,四个开关晶体管 TSW1 至 TSW4 分别利用晶体管 HT1 至 HT4 配置,晶体管 HT1 至 HT4 分别由 pHEMT(伪形高电子迁移率晶体管)元件形成。如图 22 所示,pHEMT 元件具有如下结构,其中例如沟道层 CH 在半导体衬底 SUB(如 GaAs)之上形成,栅电极 GT 在层 CH 之上形成,并且源电极 SC 和漏电极 DR 在电极 GT 的每一侧上的层 CH 之上通过层间膜 LY 和盖帽层 CAP 形成。层 CH 具有如下结构,其中例如电子供应层(如 $n^+-AlGaAs$)叠置在电子过渡层(如 $InGaAs$)之上,并且膜 LY 和层 CAP 例如由 n^+-GaAs 形成。

[0010] pHEMT 元件具有相当高的器件击穿电压。因而,在图 21 的实例中,升压电路 VBST 是在发射节点 TX 和晶体管 HT2 的栅极之间提供的,并且升压电路 VBST 驱动晶体管 HT1 和 HT3,使晶体管 HT1 和 HT3 在发射期间截止,进入深截止状态。具体来说,在发射期间,在天线控制电路 ANTCTL 中的驱动器电路 DV10 向节点 N12 输出“H(高)”电平,并且驱动器电路 DV11 向节点 N13 输出“L(低)”电平。电路 DV10 和电路 DV11 在电源电压 VSW(如 3 伏左右)和地电压 GND(0 伏)下操作,因此“H”电平是约 3 伏,并且“L”电平是 0 伏。当通过电阻性元件将节点 N12 的电压(约 3 伏)施加到晶体管 HT2 的栅极时,电路 VBST 提升了电阻性元件两端之间的电压,并且将提升的电压施加到晶体管 HT2 的栅极。

[0011] 在电路 VBST 中,当至发射节点 TX 的射频信号 RF_{tx} 是负电压时,二极管 Db1 导通并且二极管 Db2 截止,因此在电容器 Cb2 的 Db1 侧上存储负电荷。另一方面,当信号 RF_{tx} 是正电压时,二极管 Db1 截止并且二极管 Db2 导通,因此在电容器 Cb2 的 Db2 侧上存储正电荷。因此,借助信号 RF_{tx} 的重复生成的正电压和负电压,在电容器 Cb2 的 Db2 侧上生成电压(如约 6 伏),这个电压是通过提升节点 N12 处的电压(约为 3 伏)获得的,并且将这个电压施加到晶体管 HT2 的栅极。此时,将提升的电压施加到晶体管 HT1 的源极(以及通过高电阻元件与源极耦合的漏极),这个提升的电压还通过在晶体管 HT2 的栅极和源极(漏极)之间的正向肖特基结施加到晶体管 HT3 的源极(以及通过高电阻元件与源极耦合的漏极)。

极)。由于晶体管 HT1 的栅极耦合到地 GND,在栅极和源极之间的电位差例如约为 -6.0 伏,因此将晶体管 HT1 驱动到深截止状态。由于在节点 N13 将晶体管 HT3 的栅极驱动到 0 伏,并且通过肖特基结的正向压降例如将源极驱动到约 5.3 伏,所以栅极和源极之间的电位差约为 -5.3 伏,从而将晶体管 HT3 驱动到深截止状态。

[0012] 然而,通过组合这些 pHEMT 元件和升压电路获得的射频开关电路 RFSWa 不适合于减小射频模块的尺寸和成本。这就是说, pHEMT 元件具有如图 22 所示的特殊器件结构,并且因此难以与以 MOSFET 为代表的普通电路集成在一起,这妨碍了尺寸的减小并且需要相当高的制造成本。出于这个理由,可以考虑,例如利用在 SOI 衬底上的 MOSFET 实现射频开关电路,这对于集成和降低成本是有益的。然而,与 pHEMT 元件相比, MOSFET 通常具有较低的器件击穿电压;因此,不期望采取使用升压电路的方法。为此,在 MOSFET 的情况下,期望的是,通过结合负电压生成电路,向栅极施加负电压,来驱动 MOSFET 进入深截止状态。

[0013] 然而,使用负电压的方法可能在省电控制中引起新的问题。由于如以上所述要求射频模块具有较低的功耗,因此期望的是,在没有发射或接收的周期期间例如以省电操作模式(睡眠模式)来操作这个射频模块。例如,在图 20A 中,在发射节点 TX 和天线 ANT 之间,必须充分确保隔离特性,以便在睡眠模式期间不会从天线 ANT 发射不期望的无线电波。另一方面,必须停止生成和提供电源电压,以便实现这个模式的充分省电。

[0014] 在图 21 中所示的配置实例中,通过在睡眠模式期间由某些装置从天线控制电路 ANTCTL 输出“L”电平(GND 电平),可以使晶体管 HT1(在图 20A 中的 TSW1)导通,这个晶体管 HT1 例如是耗尽型的 pHEMT 元件。结果,由于可使发射节点 TX 偏置到地 GND,所以可以确保隔离特性。然而,在使用负电压的方法的情况下,由于停止了用于设置“L”电平的负电压生成电路的操作,所以图 20A 中晶体管 TSW1 的栅极电平变成不确定的。尽管稍后将会讨论细节,但在实践中,栅极电平可以变成高阻抗等,这可能抑制晶体管 TSW1 导通,并且因此可能引起隔离特性的下降。

[0015] 鉴于这种情况做出了本发明,本发明的目的是提供一种能够实现高可靠性的省电模式的射频模块。从这个说明书和附图的描述中,本发明的上述目的和其它目的以及新颖特征都将变得显而易见。

[0016] 下面将对在本申请中公开的本发明的典型实施例进行简要描述。

[0017] 根据这个实施例的射频模块包括功率放大器电路、第一晶体管和第二晶体管以及控制电路块。功率放大器电路放大发射射频信号,并且将放大的信号输出到发射节点。第一晶体管将发射节点耦合到天线,并且第二晶体管将发射节点旁路(shunt)到第一电源电压。控制电路块生成高于第一电源电压的第二电源电压和低于第一电源电压的第三电源电压,并且通过向第一晶体管和第二晶体管施加控制信号实现对第一晶体管和第二晶体管的通断控制,所述控制信号具有第二电源电压或第三电源电压的值。当指定了发射操作模式时,控制电路块使第一晶体管导通并且使第二晶体管截止,并且当在发射操作模式后指定了省电操作模式时,控制电路块在第一时间周期期间使第一晶体管截止,然后停止第二电源电压和第三电源电压的生成。

[0018] 这使得可以在省电操作模式中保持第一晶体管的截止状态和第二晶体管的导通状态,在省电操作模式中第二电源电压和第三电源电压变为不确定的,借此使得可以增强隔离特性。结果,变得可以实现高可靠性的省电操作模式。

[0019] 根据在本申请中公开的本发明的典型实施例的效果,可以在射频模块中实现高可靠性的省电操作模式。

附图说明

[0020] 图 1 是电路图,示出了根据本发明的实施例的射频模块的主要部分的示意配置实例和操作实例。

[0021] 图 2 是示意图,示出了与图 1 对比的示意配置实例和操作实例。

[0022] 图 3 是方框图,示出了根据本发明的实施例的射频模块的通用结构的实例。

[0023] 图 4 是平面图,示出了图 3 中所示的射频模块的示意外形实例。

[0024] 图 5 是电路图,示出了图 3 中所示的高功率放大器电路的示意配置实例。

[0025] 图 6 是方框图,示出了图 3 中所示的天线开关的详细配置实例。

[0026] 图 7 是电路图,示出了图 6 所示的天线开关中的振荡电路、负电压生成电路和电容切换电路的示意配置实例。

[0027] 图 8 是波形图,示出了图 7 中电路的示意操作实例。

[0028] 图 9 是方框图,示出了图 6 中所示的天线开关中的射频开关电路的详细配置实例。

[0029] 图 10 是剖面图,示出了图 9 中所示的射频开关电路中每个开关晶体管的器件配置实例。

[0030] 图 11 是曲线图,示出了图 10 中所示的开关晶体管的电特性的一个实例。

[0031] 图 12 是方框图,示出了图 3 所示的射频模块中的天线控制电路的示意配置实例。

[0032] 图 13A 和图 13B 是电路图,示出了图 12 所示的天线控制电路中的延迟电路的不同的详细配置实例。

[0033] 图 14 是真值表,示出了图 12 所示的天线控制电路中的控制逻辑电路的详细操作实例。

[0034] 图 15A 和图 15B 示出了与图 14 相关联地提取的特性操作实例,其中图 15A 是状态转变图,图 15B 是操作波形图。

[0035] 图 16 是电路图,示出了图 6 所示的天线开关中的电平移位电路块中的每个电平移位电路的详细配置实例。

[0036] 图 17A 和图 17B 示出了在图 16 所示的电平移位电路中的输出电压的实际转变实例,其中图 17A 示出了使用图 1 所示的操作实例的情况,图 17B 示出了作为对照例的使用图 2 所示的操作实例的情况。

[0037] 图 18 是方框图,示出了采用根据本发明的实施例的射频模块的无线通信系统的配置实例。

[0038] 图 19 是电路图,示出了图 16 所示的电平移位电路的对照例。

[0039] 图 20A 是电路图,示出了作为本发明的前提研讨的射频模块中的射频开关电路和外围电路的配置,图 20B 是说明性的示图,示出了图 20A 中在发射期间的操作实例。

[0040] 图 21 是电路图,示出了借助使用升压电路的方法实例的图 20A 中的电路的详细配置实例。

[0041] 图 22 是剖面图,示出了图 21 中的每个开关晶体管的器件结构实例。

具体实施方式

[0042] 在下面的实施例中,为方便起见,在必要时通过将一个实施例划分为多个部分或多个实施例进行描述;然而,除了给出特定指示时,否则这些部分或实施例相互之间不是没有关系的,而是存在相互关系,这种相互关系就是,一个部分或实施例是另一个部分或实施例的一部分或全部的修改、具体说明或补充说明。此外,在下述实施例涉及有关元件的数字表达(包括数目、数值、数量、范围)的情况下,该数字表达不限于特定数目,而是可以大于或小于特定数目,除了当给出特定指示时、或者当数字表达在原理上明显地限于特定数目时。

[0043] 此外,在下面的实施例中,组件(包括组成步骤)不总是不可缺少的,除了当给出特定指示时、或者当它们在原理上明显地被认为是不可缺少时。类似地,在下述实施例涉及组件等的形状、位置关系等的情况下,也包括在形状等方面大体上近似或类似的那些组件,除了当给出特定指示时或者当这些形状等在原理上明显地被认为要排除在外时。这也适用于以上所述的数值或范围。

[0044] 此外,尽管在实施例中使用 MOSFET(金属氧化物半导体场效应晶体管)(缩写为 MOS 晶体管)作为 MISFET(金属绝缘体半导体场效应晶体管)的实例,但这并不排除非氧化物膜作为栅极绝缘膜。以下将参照附图详细描述本发明的优选实施例。在用于说明实施例的所有附图中,基本上用相同的参考符号标记相同的组件或元件,并且将不会重复对它们的描述。

[0045] 《射频模块的主要部分的概述(本实施例的基本概念)》

[0046] 图 1 是电路图,示出了根据本发明的实施例的射频模块的主要部分的示意配置实例和操作实例。图 2 是示意图,示出了与图 1 对比的示意配置实例和操作实例。在图 2 中,示出的是由射频模块中包括的天线控制电路 ANTCTL、电平移位电路 LS 和射频(RF)开关电路 RFSW 构成的主要部分的通用电路配置,以及其中射频模块从发射操作模式 TXMD 切换到省电操作模式(睡眠模式)SLPMD 的电路状态。图 2 中所示的电路 ANTCTL、LS 和 RFSW 例如是在同一 SOI 衬底之上形成的。

[0047] 射频开关电路 RFSW 包括如在图 20 中所示的用于发射的耦合电容器 Ctx 以及开关晶体管 TSW1 和 TSW2。晶体管 TSW1 和 TSW2 是 n 型 MOS 晶体管,并且电容器 Ctx 例如是 MIM(金属绝缘体金属)电容器。电容器 Ctx 耦合在发射节点 TX 和节点 N1 之间。晶体管 TSW1 作为旁路晶体管起作用,并且具有在节点 N1 和地电压 GND 之间的源-漏路径。晶体管 TSW2 作为直通晶体管(through transistor)起作用,并且具有在节点 N1 和天线 ANT 之间的源-漏路径。

[0048] 电平移位电路 LS 包括用于驱动晶体管 TSW1 的栅极的驱动器电路块 DVBKs 和用于驱动晶体管 TSW2 的栅极的驱动器电路块 DVBKt。块 DVBKs 包括开关电路 SWs1 及 SWs2、和驱动器电路 DVs1 及 DVs2。开关电路 SWs1 的一端以及开关电路 SWs2 的一端共同耦合到晶体管 TSW1 的栅极。开关电路 SWs1 的另一端耦合到驱动器电路 DVs1 的输出节点,并且开关电路 SWs2 的另一端耦合到驱动器电路 DVs2 的输出节点。电路 DVs1 在电源电压 VSW 和地电压 GND 下操作,并且按照来自电路 ANTCTL 的输入信号(例如在 VSW 电平和 GND 电平之间的信号)输出 VSW 电平或 GND 电平(0 伏)。电路 DVs2 在地电压 GND 和负电源电压(-VSS)下操作,并且按照来自电路 ANTCTL 的输入信号输出 GND 电平(0 伏)或 -VSS 电平。VSW 值

例如是 3.1 伏,并且 $-VSS$ 值例如是 -2.6 伏。

[0049] 像在块 DVBKs 中那样,块 DVBKt 包括开关电路 SWt1 及 SWt2、以及驱动器电路 DVt1 及 DVt2。开关电路 SWt1 的一端以及开关电路 SWt2 的一端共同耦合到晶体管 TSW2 的栅极。开关电路 SWt1 的另一端耦合到电路 DVt1 的输出节点,并且开关电路 SWt2 的另一端耦合到电路 DVt2 的输出节点。电路 DVt1 在电源电压 VSW 和地电压 GND 下操作,并且按照来自电路 ANTCTL 的输入信号输出 VSW 电平或 GND 电平。电路 DVt2 在电压 GND 和 $-VSS$ 下操作,并且按照来自电路 ANTCTL 的输入信号输出 GND 电平 (0 伏) 或 $-VSS$ 电平。

[0050] 因此,块 DVBKs 和 DVBKt 中的每一个都是用于将在 VSW 电平和 GND 电平之间的输入信号转换成在 VSW 电平和 $-VSS$ 电平之间的信号的电路。在实践中,驱动器电路 DVs1、DVs2、DVt1 和 DVt2 以及开关电路 SWs1、SWs2、SWt1 和 SWt2 利用在 SOI 衬底之上的 MOS 晶体管等来配置。从器件击穿电压角度来看,使用 MOS 晶体管可能使得通过例如在 VSW 电平和 $-VSS$ 电平之间操作的一个驱动器电路实现电平转换变得困难。

[0051] 在这种情况下,期望提供两个驱动器电路 (例如 DVs1 和 DVs2),两个驱动器电路的每个驱动器电路都在 VSW 电平和 $-VSS$ 电平之间的半个电位差下操作,并且通过开关电路 (例如 SWs1 和 SWs2) 适当地合成相应的输出。这时,电路 SWs1 和 SWs2 互补地操作,并且电路 SWt1 和 SWt2 互补地操作。例如,为了使晶体管 TSW1 导通,使电路 SWs1 导通并且使电路 SWs2 截止,从而传递来自电路 DVs1 的 VSW 电平。另一方面,为了使晶体管 TSW1 截止,使电路 SWs1 截止并且使电路 SWs2 导通,从而传递来自电路 DVs2 的 $-VSS$ 电平。

[0052] 如图 2 所示,在发射操作模式 TXMD 中,使电路 SWs1 截止并且使电路 SWs2 导通,从而将 $-VSS$ 电平施加到晶体管 TSW1 的栅极,晶体管 TSW1 进入深截止状态。另一方面,使电路 SWt1 导通并且使电路 SWt2 截止,从而将 VSW 电平施加到晶体管 TSW2 的栅极,晶体管 TSW2 进入导通状态。这里假定,所述模块接收到一个指令:在模式 TXMD 之后立即转变到睡眠模式 SLPMD。简言之,模式 SLPMD 是指用于通过停止电源供应实现省电的模式。借此,电源电压 VSW 和负电源电压 ($-VSS$) 变为不确定的。虽然在 VSW 电平和 GND 电平之间的电位差、或者在 GND 电平和 $-VSS$ 电平之间的电位差能使电路 SWs1、SWs2、SWt1 和 SWt2 导通,但当电压 VSW 和 $-VSS$ 变为不确定时 (在一般情况下,接近 GND 电平),所述电位差下降,并且开关电路截止。因此,晶体管 TSW1 和 TSW2 的栅极变为高阻抗,并且通过晶体管 TSW1 和 TSW2 的栅极电容 Cg1 和 Cg2 保持模式 TXMD 中的晶体管 TSW1 的截止电平 ($-VSS$ 电平) 以及晶体管 TSW2 的导通电平 (VSW 电平)。这可能妨碍充分确保在模式 SLPMD 中的隔离特性。

[0053] 出于这个理由,根据本实施例的射频模块,在接收到用于在模式 TXMD 之后立即转变到模式 SLPMD 的指令时,首先转变到隔离操作模式 ISOMD,然后经历某个等待时间 (Twait) 之后转变到模式 SLPMD (即停止电源供应),如图 1 所示。在图 1 中,射频模块的电路配置和在模式 TXMD 以及模式 SLPMD 中的电路状态与图 2 中的情况相同。在模式 ISOMD 中,电路 SWs1 导通并且电路 SWs2 截止,从而将 VSW 电平施加到晶体管 TSW1 的栅极,晶体管 TSW1 进入导通状态。另一方面,电路 SWt1 截止并且电路 SWt2 导通,从而将 $-VSS$ 电平施加到晶体管 TSW2 的栅极,晶体管 TSW2 进入深截止状态。当在这个状态下中模块在经历时间 Twait 后转变到模式 SLPMD 时,通过晶体管 TSW1 和 TSW2 的电容 Cg1 和 Cg2 来保持模式 ISOMD 中的晶体管 TSW1 的导通电平 (VSW 电平) 以及晶体管 TSW2 的截止电平 ($-VSS$ 电平),这与图 2 中所示的情况不同。

[0054] 这使得能够充分确保在睡眠模式 SLPMD 中的隔离特性。这就是说,即使弱无线电信号因任何原因被发送到发射节点 TX,在以低阻抗耦合到地 GND 的节点 N1 处也可能会反射或吸收这个弱无线电信号。除此之外,晶体管 TSW2 可能保持在截止状态。结果,大多数弱无线电信号不会抵达天线 ANT,这可以防止不期望的无线电波(干扰其它通信设备的波)在睡眠模式期间从天线 ANT 发射出去。虽然在模式 SLPMD 中,开关电路 SWs1、SWs2、SWt1 和 SWt2 处在截止状态,但在实践中,在转变到模式 SLPMD 之前与其紧挨着的导通和截止状态可能会继续一段时间。例如,当通过电源电容等使 -VSS 或 VSW 电平继续一段时间时,用于使开关电路导通的电位差(在 VSW 和 GND 之间,或者在 GND 和 -VSS 之间)也将继续。然而,同样在这种情况下,模式 TXMD 在图 2 的情况下继续,并且模式 ISOMD 在图 1 的情况下继续;因此,可以获得与前述的效果相同的有益效果。

[0055] 《射频模块的通用配置》

[0056] 图 3 是方框图,示出了根据本发明的实施例的射频模块的通用配置的实例。在图 3 中,作为一个实例,示出了支持两种频带(称之为低频带和高频带)的射频模块。低频带例如是用于 GSM(全球移动通信系统)的频带,它的发射频率近似从 824MHz 到 915MHz,并且它的接收频率近似从 869MHz 到 960MHz。高频带例如是用于 DCS(数字蜂窝系统)的频带,它的发射频率从约 1710MHz 到 1910MHz,并且它的接收频率从约 1805MHz 到 1990MHz。

[0057] 图 3 所示的射频模块 RFMDL 包括:高功率放大器电路块 HPABK、天线开关 ANT SW、阻抗匹配电路 MCH 1 和 MCH2、功率检测电路(耦合器)CPL1 和 CPL2 以及低通滤波器 LPF1 和 LPF2。块 HPABK 包括用于低频带的高功率放大器电路 HPA1、用于高频带的高功率放大器电路 HPA2、总体控制电路 RFCTL 和自动功率控制电路 APC。电路 HPA1 被配置有按顺序级联耦合的三个功率放大器电路 PA11-PA13;并且,电路 HPA2 被配置有按顺序级联耦合的三个功率放大器电路 PA21-PA23。

[0058] 电路 HPA1 放大来自模块 RFMDL 外部(例如发射混频器电路等(未示出))的输入信号 Pin1,并且通过电路 MCH1、CPL1 和 LPF1 将电路 HPA1 的输出信号发送到发射节点 TX1。电路 MCH1 实现阻抗匹配,以便以低损耗将电路 HPA1 的输出信号发送到节点 TX1,电路 CPL1 检测电路 HPA1 的输出信号的功率水平,并且滤波器 LPF1 抑制在电路 HPA1 的输出信号中可能出现的不期望的谐波分量(如二次谐波、三次谐波)。以同样的方式,电路 HPA2 放大来自模块 RFMDL 外部的输入信号 Pin2,并且通过电路 MCH2、CPL2 和 LPF2 将电路 HPA2 的输出信号发送到发射节点 TX2。电路 MCH2 对于电路 HPA2 的输出信号实现阻抗匹配,电路 CPL2 检测电路 HPA2 的输出信号的功率水平,并且滤波器 LPF2 抑制在电路 HPA2 的输出信号中的不期望的谐波分量。

[0059] 总体控制电路 RFCTL 包括天线控制电路 ANTCTL 和偏置生成电路 VBSGEN。电路 VBSGEN 向电路 HPA1 和 HPA2 提供偏置电压(或偏置电流),借此控制电路 HPA1 和 HPA2 的增益(功率放大因子)。在这时,自动功率控制电路 APC 将由电路 CPL1 和 CPL2 检测到的电路 HPA 1 和 HPA2 的输出功率水平与从模块 RFMDL 外部的基带单元 BBU 输入的功率指定信号(Vramp)进行比较,并且将比较结果通知给电路 VBSGEN。根据这个比较结果,电路 VBSGEN 控制偏置电压(或偏置电流)的幅度,从而使电路 HPA1 和 HPA2 的输出功率水平变成等于由信号 Vramp 指定的值。电路 ANTCTL 具有从外部提供的电池电源 VBAT,电路 ANTCTL 提供电源电压 VSM 并且按照从单元 BBU 输入的操作模式设定信号 MSET 向天线开关 ANT SW 输出

天线控制信号 Sa、Sb、Sc。

[0060] 天线开关 ANT SW 按照来自电路 ANT CTL 的天线控制信号 Sa、Sb、Sc 和电源电压 VSW 的组合来控制内部开关。例如,天线开关 ANT SW 在低频带通信期间将发射节点 TX1 或接收节点 RX1 耦合到天线 ANT,并且在高频带通信期间将发射节点 TX2 或接收节点 RX2 耦合到天线 ANT。在这个配置实例中,低频带信号或高频带信号直接耦合到天线 ANT;然而,它们可以通过双工器从天线开关 ANT SW 耦合到天线 ANT。在这种情况下,所述双工器包括用于传递低频带信号并抑制高频带信号的低通滤波器和与低通滤波器相反地操作的高通滤波器。

[0061] 图 4 是平面图,示出了如图 3 所示的射频模块 RFMDL 的示意外形实例。在模块 RFMDL 的配置中,两个半导体芯片 CP1 和 CP2 以及各种无源组件 PE(电容器、电感器、电阻器等)都安装在包含多个布线层的布线板 PCB(如陶瓷板、玻璃环氧树脂板等)之上,并且这些组件经由布线层适当地耦合。芯片 CP1 包括例如由 CMOS 制造工艺在硅衬底之上形成的高功率放大器电路块 HPABK。电路 HPA1 和 HPA2 例如被配置有 LD(横向扩散的)结构的功率 MOS 晶体管(LDMOSFET)。芯片 CP2 包括例如在 SOI 衬底之上形成的天线开关 ANT SW。具体来说,天线开关 ANT SW 被配置有 MOS 晶体管和 MIM(金属绝缘体金属)电容器等。组件 PE 例如是 SMD(表面安装器件)组件。组件 PE 构成阻抗匹配电路 MCH1 和 MCH2、耦合器 CPL1 和 CPL2 以及低通滤波器 LPF1 和 LPF2。构成阻抗匹配电路、耦合器和低通滤波器的某些无源组件可以利用布线板之上的布线层和绝缘层形成。

[0062] 除了发射操作模式和接收操作模式之外,还可以按照来自基带单元 BBU 的操作模式设定信号 MSET 将图 3 和图 4 所示的射频模块 RFMDL 设定为省电操作模式(睡眠模式)。在省电操作模式中,模块 RFMDL 例如停止自动功率控制电路 APC 的操作,并且停止偏置生成电路 VBSGEN 的偏置电压(或偏置电流)生成操作。在这时,天线控制电路 ANT CTL 确定信号 MSET 的内容,并且向电路 APC 和 VBSGEN 输出适当的控制信号,以使电路 APC 和 VBSGEN 认识到它们已经被设置成省电操作模式。此外,在省电操作模式中,电路 ATNCTL 停止电源电压 VSW 的生成和向天线开关 ANT SW 的供应,并且通过使用电池电源 VBAT 将天线控制信号 Sa、Sb、Sc 固定到 GND 电平(0 伏)。

[0063] 《高功率放大器电路的详细实例》

[0064] 图 5 是电路图,示出了如图 3 所示的高功率放大器电路 HPA(HPA1、HPA2)的示意配置实例。在图 5 中,取电路 HPA1 为例,但同样的配置实例也适用于电路 HPA2。在图 5 中,功率放大器电路 PA11 包括 MOS 晶体管 M1(在此例中是 LD(横向扩散的)结构的 n 沟道功率 MOS 晶体管(n 沟道 LDMOSFET)),它的源极耦合到地电压 GND,并且它的负载电路(在此例中是电感器 L1)提供在晶体管 M1 的漏极和电源电压 VDD 之间。类似地,电路 PA12 包括源极接地的 MOS 晶体管 M2 和电感器 L2,并且电路 PA13 包括源极接地的 MOS 晶体管 M3 和电感器 L3。

[0065] 向晶体管 M1 的栅极输入所述输入信号 Pin1,并且还通过电阻器 R1(用于交流切断(抑制)的高电阻元件)从偏置生成电路 VBSGEN 向晶体管 M1 的栅极施加偏置电压 Vgs1。通过用于直流切断的电容器 C1 向晶体管 M2 的栅极输入来自晶体管 M1 的漏极的输出信号,并且还以与晶体管 M1 中相同的方式,通过电阻器 R2 从偏置生成电路 VBSGEN 向晶体管 M2 的栅极施加偏置电压 Vgs2。通过用于直流切断的电容器 C2 向晶体管 M3 的栅极输入来自晶体管 M2 的漏极的输出信号,并且还以与晶体管 M1 中相同的方式,通过电阻器 R3 从偏置

生成电路 VBSGEN 向晶体管 M3 的栅极施加偏置电压 V_{gs3} 。在睡眠模式中,例如将电压 V_{gs1} 到 V_{gs3} 设定为 0 伏。因此,将晶体管 M1 到 M3 固定到切断状态,使得稳定的电流不会流入电路 HPA1。

[0066] 于是,在睡眠模式中,不会向电路 HPA1 供给偏置;因此,电路 HPA1 理想的情况是既不会进行放大操作,也不会进行输出操作。然而在实践中,由于电路 HPA1 的寄生电容等的原因,在某些时间电路 HPA1 可能进行某种输出操作。即,电路 HPA1 利用相当大尺寸的晶体管形成,从而导致大的寄生电容,使得可能将高频噪声等发送到具有低阻抗的输出侧。此外,由于电路 HPA1 包括如以上所述的大量的电容和电感组件,在向睡眠模式转变中,例如可能发生寄生振荡。因此期望的是,充分确保在随后阶段的天线开关 ANT SW 中的天线 ANT 与发射节点 TX1 之间的隔离特性。

[0067] 在正常操作(如发射操作模式)期间射频模块 RFMDL 的功耗可以约为 30dBm(w),但在睡眠模式期间所述功耗减小到例如 -50dBm(w)。例如,在以蜂窝电话为代表的电池供电的设备中,使用睡眠模式可以延长电池的持续时间。尽管在图 3 等中示出了支持两种频带(低频带和高频带)的模块 RFMDL 的配置实例,但所述配置实例不限于此。所述模块可以具有支持一种频带的配置或者支持三种或更多种频带(包括用于 W-CDMA(宽带码分多址)的频带和用于 LTE(长期演进)的频带)的配置。

[0068] 《天线开关的详细实例》

[0069] 图 6 是方框图,示出了如图 3 所示的天线开关 ANT SW 的详述配置实例。图 6 中所示的天线开关 ANT SW 包括振荡电路 OSC、负电压生成电路 VSSGEN、电容切换电路 CSWBK、复位电路 RST、解码器电路 DEC、电平移位电路块 LSBK、射频开关电路 RFSW 和电容器 C1。电路 OSC 通过使用来自图 3 中的天线控制电路 ANT CTL 的电源电压 VSW 生成时钟信号 CLK。电路 VSSGEN 通过使用信号 CLK 在电容器 C1 等处生成负电源电压(-VSS)。电路 RST 检测电源电压 VSW 的升高,并且在信号 CLK 的几个循环中激活复位信号 RS1。电路 CSWBK 按照信号 RS1 的状态控制是否将电容器 C1 和例如外部电容器 C2 并联耦合。此外,电路 OSC 还按照信号 RS1 的状态切换振荡频率。稍后将描述有关信号 RS1 的另外的细节。

[0070] 解码器电路 DEC 接收来自天线控制电路 ANT CTL 的天线控制信号 Sa、Sb、Sc 和电源电压 VSW,生成与这些状态对应的多个(在此例中是四个)开关控制信号 Ssw[1]至 Ssw[4],并且将这些信号输出到电平移位电路块 LSBK。块 LSBK 包括多个(在此例中是四个)电平移位电路 LS[1]至 LS[4],并且每个电平移位电路 LS[n](n=1 至 4)都将从电路 DEC 输入的、幅度电压在 VSW 和 GND 之间的、相应开关控制信号 Ssw[n]转换成幅度电压在 VSW 和 -VSS 之间的信号,并且输出双极性信号。

[0071] 具体来说,响应幅度电压在 VSW 和 GND 之间的信号 Ssw[1],电路 LS[1] 输出幅度电压在 VSW 和 -VSS 之间的开关通断信号(在低频带发射期间的旁路信号)TXLBS 以及作为其反向信号的开关通断信号(在低频带发射期间的直通信号)TXLBT。类似地,电路 LS[2] 响应信号 Ssw[2],输出开关通断信号 RXLBS 和 RXLBT;电路 LS[3] 响应信号 Ssw[3],输出开关通断信号 TXHBS 和 TXHBT;并且电路 LS[4] 响应信号 Ssw[4],输出开关通断信号 RXHBS 和 RXHBT。信号 RXLBS 和 RXLBT 分别是在低频带接收期间的旁路信号和作为其反向信号的直通信号。信号 TXHBS 和 TXHBT 分别是在高频带发射期间的旁路信号和作为其反向信号的直通信号。射频开关电路 RFSW 按照这些开关通断信号实现内部开关晶体管的通断控制,从而

恰当地控制发射节点 TX1、TX2 与接收节点 RX1、RX2 以及天线 ANT 之间的耦合关系。

[0072] 图 7 是电路图,示出了图 6 中所示的天线开关 ANT_{SW} 中的振荡电路 OSC、负电压生成电路 VSSGEN 和电容切换电路 CSWBK 的示意配置实例。在图 7 中,尽管没有具体限制,但振荡电路 OSC 是 RC 振荡电路,通过在反馈路径中提供的电阻器 R_{f1}、R_{f2} 和电容器 C_f 的值可以设定该振荡电路的振荡频率。开关 SW_f 串联耦合到电阻器 R_{f2},电阻器 R_{f2} 和开关 SW_f 并联耦合到电阻器 R_{f1}。因此,当开关 SW_f 断开时,基于时间常数 $R_{f1} \times C_f$,生成相对低频率的时钟信号 CLK,并且当开关 SW_f 接通时,基于时间常数 $(R_{f1} \cdot R_{f2} / (R_{f1} + R_{f2})) \times C_f$,生成相对高频率的时钟信号 CLK。

[0073] 虽然没有具体限制,但负电压生成电路 VSSGEN 是包括电容器 C3、开关 SW_{c1} 和开关 SW_{c2} 的电荷泵电路,其中信号 CLK 输入到电容器 C3 的一端,开关 SW_{c1} 耦合在电容器 C3 的另一端和地 GND 之间,并且开关 SW_{c2} 耦合在电容器 C3 的另一端和电容器 C1 的一端之间。电容器 C1 的另一端耦合到地 GND。当信号 CLK 处在“H”电平(VSW 电平)时,开关 SW_{c1} 导通并且开关 SW_{c2} 截止,使得与 VSW 电平对应的正电荷和负电荷分别存储在电容器 C3 的 OSC 侧和 SW_{c2} 侧上。另一方面,当信号 CLK 处在“L”电平(GND 电平)时,开关 SW_{c1} 截止并且开关 SW_{c2} 导通,使得存储在电容器 C3 的 SW_{c2} 侧上的负电荷转移到电容器 C1。电容器 C1 和 C3 例如是 MIM 电容器,并且在一般情况下 $C1 > C3$ 。通过重复“H”电平周期和“L”电平周期,在电容器 C1 的 SW_{c2} 侧上按理想的情况可以生成 -VSW 电平的负电源电压(-VSS)。

[0074] 电容切换电路 CSWBK 包括选择器电路 SEL1 和 SEL2,选择器电路 SEL1 用于选择是将电容器 C2 的一端耦合到电源电压 VSW 还是将其耦合到地电压 GND,选择器电路 SEL2 用于选择是将电容器 C2 的另一端耦合到地 GND 还是将其耦合到电容器 C1 的 SW_{c2} 侧上的节点。与电容器 C1 相比,电容器 C2 具有较大的电容值,并且电容器 C2 作为 SMD 外部组件等安装。复位电路 RST 检测电源电压 VSW 的升高,并且在信号 CLK 的几个循环中激活复位信号 RS1。按照信号 RS1 的状态来确定在电路 CSWBK 中将要通过电路 SEL1 和 SEL2 选择的节点,并且根据信号 RS1 的状态来实现在电路 OSC 中开关 SW_f 的通断控制。

[0075] 图 8 是波形图,示出了图 7 中电路的示意操作实例。如图 8 所示,当电源电压 VSW 升高时,复位电路(上电复位电路)RST 在时钟信号 CLK 的多个循环(在此例中是两个循环)中输出“H”脉冲的复位信号 RS1。在信号 RS1 的“H”脉冲周期期间,振荡电路 OSC 生成相对高频率的信号 CLK,这时的开关 SW_f 导通;并且电容切换电路 CSWBK 利用选择器电路 SEL1 和 SEL2 将电容器 C2 的一端耦合到电源电压 VSW,并且将其另一端耦合到地 GND。因此,在这个周期,负电压生成电路 VSSGEN 通过使用相对高频率的信号 CLK 在具有相对小的电容的电容器 C1 中生成负电压,因此使减小负电压的下降时间周期成为可能。

[0076] 另一方面,当信号 RS1 从“H”电平转变到“L”电平时,电路 OSC 生成相对低频率的信号 CLK,这时的开关 SW_f 截止;并且电路 CSWBK 通过电路 SEL1 和 SEL2 将电容器 C2 的两端并联地耦合到电容器 C1 的两端。在信号 RS1 的“H”脉冲周期期间,由于电容器 C1 的电容值小,并且使用了相对高频率的信号 CLK,所以在由电路 VSSGEN 生成的负电源电压(-VSS)中可能发生大的纹波。因此,在信号 RS1 转变到“L”电平之后的周期中,通过将 C2 加到 C1 上来增加电容值,并且使用相对低频率的信号 CLK,借此使减小纹波成为可能。此外,预先在信号 RS1 的“H”脉冲周期期间,在电容器 C2 的两端充电 VSW 电平的电荷,从而在并联耦合所述电容器 C1 和 C2 时匹配电容器 C1 的电压极性,这也可能减小伴随并联耦合生成的电压

波动。于是,使用图 7 所示的配置实例和图 8 所示的操作实例能够实现:按照由于从睡眠模式返回到正常操作模式引起的电源电压 VSW 的升高,迅速生成和稳定负电源电压 (-VSS),这可以减小从睡眠模式返回所需要的时间。

[0077] 《射频开关电路的详细实例》

[0078] 图 9 是方框图,示出了图 6 中所示的天线开关 ANT SW 中的射频开关电路 RFSW 的详细配置实例。图 6 中所示的射频开关电路 RFSW 包括两个开关单元 (SPDT1 和 SPDT2),称之为 SPDT (单极双掷)。在图 6 中,与低频带侧 (发射节点 TX1、接收节点 RX1) 对应提供开关单元 SPDT1;在图 6 中,与高频带侧 (发射节点 TX2、接收节点 RX2) 对应提供开关单元 SPDT2。

[0079] 开关单元 SPDT1 例如包括四个开关晶体管 TSW1a 至 TSW4a 和两个耦合电容器 Ctx1 和 Crx1。在图 9 中,晶体管 TSW1a 至 TSW4a 是 n 沟道型 MOS 晶体管。由于要求开关晶体管在高速下操作,因此期望使用 n 沟道型而不是 p 沟道型。晶体管 TSW2a 在低频带发射期间是直通晶体管。在晶体管 TSW2a 中,源极 / 漏极的一端耦合到天线 ANT,另一端耦合到节点 N10a,并且栅极由在图 6 所示的开关通断信号 (在低频带发射期间的直通过信号) TXLBT 驱动。晶体管 TSW1a 在低频带发射期间是旁路晶体管。在晶体管 TSW1a 中,源极 / 漏极的一端耦合到节点 N10a,另一端耦合到地电压 GND,并且栅极由在图 6 所示的开关通断信号 (在低频带发射期间的旁路信号) TXLBS 驱动。在发射节点 TX1 和节点 N10a 之间提供电容器 Ctx1。

[0080] 晶体管 TSW3a 在低频带接收期间是直通晶体管。在晶体管 TSW3a 中,源极 / 漏极的一端耦合到天线 ANT,另一端耦合到节点 N11a,并且栅极由在图 6 所示的开关通断信号 (在低频带接收期间的直通过信号) RXLBT 驱动。晶体管 TSW4a 在低频带接收期间是旁路晶体管。在晶体管 TSW4a 中,源极 / 漏极的一端耦合到节点 N11a,另一端耦合到地电压 GND,并且栅极由在图 6 所示的开关通断信号 (在低频带接收期间的旁路信号) RXLBS 驱动。在接收节点 RX1 和节点 N11a 之间提供电容器 Crx1。此外,在晶体管 TSW1a 至 TSW4a 的每一个中,在源极和漏极之间耦合高电阻元件。因此,例如在晶体管 TSW2a 和 TSW3a 中,分别通过晶体管 TSW1a 和 TSW4a 的高电阻元件以及晶体管 TSW2a 和 TSW3a 的高电阻元件,将源极 (和漏极) 偏置到 GND 电平,并且通过相对于 GND 电平的栅极电压值实现通断控制。

[0081] 虽然晶体管 TSW1a 至 TSW4a 中的每一个都表示为图 9 中的一个晶体管,但在实践中,每一个晶体管都可以被配置有多个晶体管,这样的多个晶体管的源极和漏极串联耦合并且栅极共同耦合在一起。与一个晶体管相比,多个晶体管的配置有利于确保源 - 漏击穿电压。此外,与一个晶体管相比,截止状态中的源 - 漏截止电容的串联耦合可以减小截止电容,这可以减小由源 - 漏耦合引起的信号泄漏。然而,使用串联耦合可能增加导通状态中的源 - 漏导通电阻 (即,插入损耗);因此,在二者之间要有一个折衷。

[0082] 另一方面,开关单元 SPDT2 像开关单元 SPDT1 那样,例如包括四个开关晶体管 TSW1b 至 TSW4b 和两个耦合电容器 Ctx2 和 Crx2。在图 9 中,晶体管 TSW1b 至 TSW4b 是 n 沟道 MOS 晶体管。晶体管 TSW2b 在高频带发射期间是直通晶体管。在晶体管 TSW2b 中,源极 / 漏极的一端耦合到天线 ANT,另一端耦合到节点 N10b,并且栅极由在图 6 所示的开关通断信号 (在高频带发射期间的直通过信号) TXHBT 驱动。晶体管 TSW1b 在高频带发射期间是旁路晶体管。在晶体管 TSW1b 中,源极 / 漏极的一端耦合到节点 N10b,另一端耦合到地 GND,并且栅极由在图 6 所示的开关通断信号 (在高频带发射期间的旁路信号) TXHBS 驱动。在

发射节点 TX2 和节点 N10b 之间提供电容器 C_{tx2} 。

[0083] 晶体管 TSW3b 在高频带接收期间是直通晶体管。在晶体管 TSW3b 中,源极/漏极的一端耦合到天线 ANT,另一端耦合到节点 N11b,并且栅极由在图 6 所示的开关通断信号(在高频带接收期间的直通信号)RXHBT 驱动。晶体管 TSW4b 在高频带接收期间是旁路晶体管。在晶体管 TSW4b 中,源极/漏极的一端耦合到节点 N11b,另一端耦合到地 GND,并且栅极由在图 6 所示的开关通断信号(在高频带接收期间的旁路信号)RXHBS 驱动。在接收节点 RX2 和节点 N11b 之间提供电容器 C_{rx2} 。此外,在晶体管 TSW1b 至 TSW4b 的每一个中,在源极和漏极之间耦合高电阻元件。此外,像晶体管 TSW1a 至 TSW4a 那样,晶体管 TSW1b 至 TSW4b 的每一个都可被配置有多个晶体管。

[0084] 图 10 是剖面图,示出了图 9 中所示的射频开关电路 RFSW 中每个开关晶体管的器件配置实例。图 10 所示的开关晶体管 TSW(TSW1a 至 TSW4a, TSW1b 至 TSW4b)是在 SOI 衬底之上形成的 n 沟道 MOS 晶体管。在图 10 中,在半导体衬底 SUB(如硅)之上形成绝缘膜 ISL,在绝缘膜 ISL 之上形成主体区域 BD,在主体区域 BD 的两侧上形成扩散层 DFLs 和 DFLd。此外,靠近扩散层 DFLs 形成扩散层 DFHs,靠近扩散层 DFLd 形成扩散层 DFHd。层 DFLs 和 DFHs 是源极 SC 的一部分,层 DFLd 和 DFHd 是漏极 DR 的一部分。区域 BD 例如是具有 p 型杂质的半导体区域,层 DFLs、DFHs、DFLd 和 DFHd 例如是具有 n 型杂质的半导体区域。与层 DFHs 和 DFHd 相比,层 DFLs 和 DFLd 具有较低的杂质密度,这增强了器件击穿电压等。

[0085] 在主体区域 BD 之上通过栅极绝缘膜 GOX(如氧化硅)形成栅电极 GT。栅电极 GT 例如包括多晶硅层 GP,多晶硅层 GP 是在膜 GOX 和硅化物层(如硅化钴)SL 之上形成的,所述硅化物层 SL 是在多晶硅层 GP 之上形成的,用于使栅电极 GT 具有较低的电阻。在位于栅电极 GT 两侧并且位于层 DFLs 和 DFLd 之上的区域中形成侧壁 SDM,侧壁 SDM 是绝缘膜。此外,分别在层 DFHs 和 DFHd 之上形成硅化物层(如硅化钴)SLs 和 SLd。在层 SLs 之上通过插塞 PLGs 形成布线层 MLs,并且在层 SLd 之上通过插塞 PLGd 形成布线层 MLd。层 SLs、插塞 PLGs 和层 MLs 是源极 SC 的一部分,并且层 SLd、插塞 PLGd 和层 MLd 是漏极 DR 的一部分。插塞 PLGs 和 PLGd 是钛/氮化钛和钨,并且层 MLs 和层 MLd 是钛/氮化钛和铝等的叠置膜。

[0086] 图 11 是曲线图,示出了如图 10 所示的开关晶体管的电特性的一个实例。在图 11 中,示出了栅-源电压 V_{gs} 和漏-源电流 I_{ds} 之间的关系。在图 11 中,虽然没有具体限制,但使用耗尽特性的 n 沟道 MOS 晶体管作为开关晶体管 TSW。它的阈值电压 V_{th} 例如是约 -0.5 伏。例如,在如图 20B 所示生成发射射频信号 RFtx 的幅度约为跨过 0 伏的 ± 1.2 伏的情况下,为了维持晶体管 TSW 在 -1.2 伏的截止状态,则必须向栅极施加约为 -2.0 伏或更小的负电压(在这种情况下 $V_{gs} = -0.8$ 伏)。在这个实施例中,根据与阈值电压 V_{th} 的变化相关联的边界确保(期望较低的负电压)和与器件击穿电压相关联的边界确保(期望较高的负电压)之间的折衷考虑,将截止状态期间的负电压(由图 6 中的电路 VSSGEN 生成的负电源电压 -VSS)设置在 -2.6 伏或类似值。

[0087] 《天线控制电路的详述实例(本实施例的特性配置)》

[0088] 图 12 是方框图,示出了在如图 3 所示的射频模块 RFMDL 中的天线控制电路 ANTCTL 的示意配置实例。图 12 所示的天线控制电路 ANTCTL 包括:控制逻辑电路 LGC、天线开关缓冲电路 SWBF、天线开关电源电压生成电路 VSWREG、与(AND)运算电路 AD1 和延迟电路 DLY。

电路 LGC 在电池电源 VBAT 下操作,根据从图 3 的基带单元 BBU 输入的操作模式设定信号 MSET 实现解码处理等,并且向电路 SWBF 生成输出信号。在图 12 中,信号 MSET 是被配置有发射使能信号 TX_EN、发射开关使能信号 TX_SW_EN 和频带选择信号 BAND。

[0089] 天线开关电源电压生成电路 VSWREG 是所谓的功率调节器电路,在电池电源 VBAT 下操作,并生成电源电压 VSW(如 3.0 伏)。虽然没有具体限制,但电路 VSWREG 包括:参考电压生成电路(带隙参考电路)BGR、放大器电路 AMPv 以及反馈电阻器 Rv1 和 Rv2。将来自电路 BGR 的固定电压 Vref 输入到电路 AMPv 的正输入节点,并且将通过由电阻器 Rv1 和 Rv2 对电路 AMPv 的输出电压进行分压获得的电压输入到负输入节点。通过适当调节电阻器 Rv1 和 Rv2 之间的分压比,电路 AMPv 输出电压 VSW($= \{(Rv1+Rv2)/Rv2\} \times Vref$),如 3.0 伏。电路 VSWREG 具有的配置可以控制是否按照功率生成使能信号 VSWEN 的状态生成电压 VSW。虽然没有具体限制,但这可以通过控制电路 AMPv 的激活和去激活(例如偏置电源的存在或不存在)来容易地实现。

[0090] 天线开关缓冲电路 SWBF 例如包括多个反相器电路,反相器电路是在来自电路 VSWREG 的电压 VSW 下操作的。电路 SWBF 转换从电路 LGC 输入的、幅度电压在 VBAT 和 GNT 之间的输出信号,并且输出幅度电压在 VSW 和 GND 之间的天线控制信号 Sa、Sb、Sc。与运算电路 AD1 在电池电源 VBAT 下操作,并且对三个输入信号 TX_EN、TX_SW_EN 和 BAND 进行与运算。虽然稍后将描述细节,但电路 AD1 是作为用于睡眠指令的检测电路起作用的。延迟电路 DLY 在电池电源 VBAT 下操作,将电路 AD1 的输出信号延迟预定时间周期,并且输出功率生成使能信号 VSWEN。

[0091] 图 13A 和图 13B 是电路图,示出了在图 12 所示的天线控制电路 ANTCTL 中的延迟电路 DLY 的不同的详细配置实例。在图 13A 中所示的延迟电路 DLY 包括 n 沟道 MOS 晶体管 MN10、电阻器 Rd、电容器 Cd 和反相器电路 IV10。在晶体管 MN10 中,源极耦合到地 GND,漏极耦合到电路 IV10 的输入节点。在电阻器 Rd 中,一端耦合到电池电源 VBAT,并且另一端耦合到电路 IV10 的输入节点。在电容器 Cd 中,一端耦合到地 GND,另一端耦合到电路 IV10 的输入节点。当图 12 中所示的电路 AD1 的输出信号从“H”电平转变到“L”电平时,电路 IV10 的输出在经历一个由 Rd 和 Cd 的时间常数确定的时间周期(Twait)后从“H”电平转变到“L”电平。当电路 AD1 的输出信号相反地从“L”电平转变到“H”电平时,电路 IV10 的输出在经历一个比 Twait 足够短的时间周期后从“L”电平转变到“H”电平。

[0092] 另一方面,图 13B 中所示的延迟电路 DLY2 在电池电源 VBAT 下操作,并且被配置有多个按顺序级联耦合的反相器电路 IVd[1]、IVd[2]、...、IVd[n](n 是偶数)。当电路 AD1 的输出信号从“H”电平转变到“L”电平或者从“L”电平转变到“H”电平时,电路 IVd[n] 的输出在经历一个由电路 IVd[1] 到 IVd[n] 的延迟时间确定的时间周期(Twait)后分别从“H”电平转变到“L”电平,或者从“L”电平转变到“H”电平。

[0093] 鉴于此,在图 12 所示的天线控制电路 ANTCTL 中,当来自单元 BBU 的操作模式设定信号 MSET{TX_EN, TX_SW_EN, BAND} 从除 {“L”,“L”,“L”} 外的组合转变到 {“L”,“L”,“L”} 时,信号 VSWEN 在经历时间周期 Twait 后从“H”电平转变到“L”电平。当信号 VSWEN 处在“H”电平时,电路 VSWREG 生成电源电压 VSW(即被激活);当信号 VSWEN 处在“L”电平时,电路 VSWREG 停止生成电压 VSW(即被去激活)。当信号 MSET{TX_EN, TX_SW_EN, BAND} 相反地从 {“L”,“L”,“L”} 转变到除 {“L”,“L”,“L”} 外的组合时,信号 VSWEN 在经历时

间周期 T_{wait} 或更小的时间周期后从“L”电平转变到“H”电平。

[0094] 图 14 是真值表,示出了在如图 12 所示的天线控制电路 ANTCTL 中的控制逻辑电路 LGC 的详细操作实例。在图 14 中,除了控制逻辑电路 LGC 的操作实例以外,还示出了根据它的输出(即对应于图 6 中的解码器电路 DEC 的操作实例)所生成的图 6 中的开关通断信号的状态。例如,基带单元 BBU 输出 {“1”,“1”,“0”} 作为操作模式设定信号 MSET {TX_EN, TX_SW_EN, BAND},以便指定低频带发射操作模式 TXMD1 (LB)。响应于此,电路 ANTCTL 生成并提供电源电压 VSW ($VSW = “1”$),并且通过使用控制逻辑电路 LGC 来输出 {“0”,“0”,“1”} 作为 {Sc, Sb, Sa}。响应于此,图 6 中所示的天线开关 ANT SW 将八个开关通断信号中的信号 TXLBT、TXHBS、RXHBS、RXLBS 驱动到 VSW 电平 (“H”),并且将其余的四个信号驱动到 -VSS 电平 (“L”)。借此,在图 9 中的低频带发射期间的直通晶体管 (TSW2a) 导通并且其余的直通晶体管截止。此外,在低频带发射期间旁路晶体管 (TSW1a) 截止并且其余的旁路晶体管导通。

[0095] 在图 14 中,在其它的模式 (LB ISOMD、HB ISOMD、TXMD2 (HB)、RXMD2 (HB)、RXMD1 (LB)、ISOMD) 中以及在模式 TXMD1 (LB) 中,由来自单元 BBU 的 {TX_EN, TX_SW_EN, BAND} 的组合来指定操作模式,并且生成与它们对应的开关通断信号。模式 “LB ISOMD”、“HB ISOMD” 和 “ISOMD” 分别是低频带隔离操作模式、高频带隔离操作模式和正常隔离操作模式 (空闲模式)。在任何操作模式中,图 9 中的所有直通晶体管都截止,所有的旁路晶体管都导通。

[0096] 模式 TXMD2 (HB) 是高频带发射操作模式。在模式 TXMD2 (HB) 中,在图 9 的高频带发射期间,直通晶体管 (TSW2b) 导通,并且其余的直通晶体管截止。此外,在高频带发射期间,旁路晶体管 (TSW1b) 截止,其余的旁路晶体管导通。模式 RXMD2 (HB) 是高频带接收操作模式。在模式 RXMD2 (HB) 中,在图 9 中的高频带接收期间的直通晶体管 (TSW3b) 导通,并且其余的直通晶体管截止。此外,在高频带接收期间旁路晶体管 (TSW4b) 截止,并且其余的旁路晶体管导通。模式 RXMD1 (LB) 是低频带接收操作模式。在模式 RXMD1 (LB) 中,在图 9 的低频带接收期间,直通晶体管 (TSW3a) 导通,并且其余的直通晶体管截止。此外,在低频带接收期间,旁路晶体管 (TSW4a) 截止,并且其余的旁路晶体管导通。

[0097] 另一方面,单元 BBU 输出 {“0”,“0”,“0”} 作为 {TX_EN, TX_SW_EN, BAND},从而指定省电操作模式 (睡眠模式) SLPMD (发出睡眠指令)。响应于此,电路 ANTCTL 停止生成和供应电源电压 VSW ($VSW = “0”$),并且通过使用控制逻辑电路 LGC 输出 {“0”,“0”,“0”} 作为 {Sc, Sb, Sa}。响应于此,在如图 6 所示的天线开关 ANT SW 中,八个开关通断信号变为高阻抗。然而,由于使用了图 12 中所示的天线控制电路 ANTCTL,所以当从单元 BBU 发出睡眠指令时,信号 {Sc, Sb, Sa} 通过电路 LGC 瞬时变为 {“0”,“0”,“0”},但电源电压 VSW 从如以上所述发出睡眠指令开始经过给定时间周期 (T_{wait}) 之后才下降。因此,由于在这个时间周期 (T_{wait}) 期间 $\{VSW, Sc, Sb, Sa\} = \{“1”,“0”,“0”,“0”\}$,所以在实践中,该模块按隔离操作模式 ISOMD 操作,并且在经历时间周期 T_{wait} 之后转变到睡眠模式 SLPMD。这可以容易地实现如图 1 所示的操作。

[0098] 此外,在图 12 中,在睡眠模式 SLPMD 中,控制逻辑电路 LGC 使用电池电源 VBAT 输出三个 H 电平 (VBAT 电平) 信号,并且通过开关缓冲电路 SWBF 中的反相器电路将这些信号反转,从而输出 {“0”,“0”,“0”} 作为 {Sc, Sb, Sa}。这时,在电路 SWBF 中,即使在经过时

间周期 T_{wait} 后停止电压 VSW 的供应, H 电平的输入仍旧继续, 从而可以可靠地输出 GND 电平的 {“0”, “0”, “0”}。在本实施例中, 将在图 14 中实现电源电压 VSW 的生成和供应的操作模式 (即, 除睡眠模式 SLPMD 以外的操作模式) 称为正常操作模式。

[0099] 图 15A 和图 15B 示出了与图 14 相关联地提取的特性操作实例, 其中图 15A 是状态转变图, 并且图 15B 是操作波形图。如图 15A 所示的, 在低频带或高频带发射操作模式 TXMD1 (LB) 或 TXMD2 (HB) 中接收到睡眠指令时, 根据本实施例的射频模块 RFMDL 暂时转变到隔离操作模式 ISOMD, 并且在隔离操作模式中经历时间周期 T_{wait} 后转变到睡眠模式 SLPMD。图 15B 示出了在模式 TXMD1 (LB) 中所述模块接收到睡眠指令时的每个操作波形实例。单元 BBU 促使操作模式设定信号 MSET {TX_EN, TX_SW_EN, BAND} 从 {“1”, “1”, “0”} 转变到 {“0”, “0”, “0”}, 借此指示从发射操作模式转变到睡眠模式。

[0100] 响应于睡眠指令, 在如图 12 所示的天线控制电路 ANTCTL 中, 天线控制信号 (Sa、Sb、Sc) 通过控制逻辑电路 LGC 和开关缓冲电路 SWBF, 从 {“1”, “0”, “0”} 转变到 {“0”, “0”, “0”}。另一方面, 从发出睡眠指令开始经历给定时间周期 T_{wait} 后, 实现电源电压 VSW 的去激活 (功率生成使能信号 VSWEN 从“H”电平转变到“L”电平)。借此, 在时间周期 T_{wait} 期间实现隔离操作模式 ISOMD 后, 完成到睡眠模式 SLPMD 的转变。

[0101] 在图 15B 中, 时间周期 T_{wait} (图 12 所示的延迟电路 DLY 的延迟时间) 例如是 3.8 微秒。这例如通过在图 13A 所示的配置实例中将电阻器 Rd 设置到几百千欧姆并且将电容器 Cd 设置到大约 10 皮法拉来实现。根据需求, 从发出睡眠指令到实际转变到睡眠模式 SLPMD 的下降时间不大于 6.9 微秒, 而从发出返回到正常操作模式的指令到实际转变到这个模式的上升时间不大于 5 微秒以确保特性。如以上所述, 在如图 13A 所示的电路 DLY1 中, 上升时可能发生小的延迟。因此, 为了满足需求, 电路 DLY 的延迟时间需要小于约 7 微秒 (6.9 微秒); 但是过短的延迟时间引起到模式 ISOMD 的不充分的切换。出于这个理由, 将延迟时间设置在 3.8 微秒或类似的时间, 从而变得可以充分地满足需要, 并且还能充分地切换到模式 ISOMD, 即使考虑到图 13A 中所示的电路 DLY1 和 DLY2 中的变化以及图 12 中所示的电路 VSWREG 的下降时间等因素, 亦是如此。

[0102] 此外, 例如在 GSM 中, 当使用 TDMA (时分多址) 时, 并且按照称为时隙的时间周期为单位来切换操作模式。一个时隙的时间周期是 577 微秒, 并且对于至少一个时隙的时间周期连续地执行模式 SLPMD。在图 15B 中, 针对 3.8 微秒的时间周期执行模式 ISOMD, 在这个时间周期上图 10 所示的 n 沟道 MOS 晶体管的栅极电容充电和放电到 VSW 电平 (导通电平) 或者 -VSS 电平 (截止电平)。在此之后, 当模块转变到模式 SLPMD 时, 栅极例如变为高阻抗, 并且通过栅极电容维持这个导通电平或截止电平。

[0103] 栅极电容 C_g 的值可以由 $C_{ox} \cdot L \cdot W$ 近似地确定, 其中 C_{ox} 是每单位面积的栅极绝缘膜 GOX 的电容值, L 是栅极长度, W 是栅极宽度。在一般情况下, 形成射频开关电路 RFSW 中的开关晶体管 TSW 的尺寸 (如栅极宽度 W) 在很大程度上是为了减小导通电阻, 这就增加了栅极电容 C_g 的值。因此, 通过在 3.8 微秒的时间周期使电容 C_g 充分地充电和放电, 可以将导通电平和截止电平维持某个时间周期, 即使在一个时隙或更长的时间周期连续地执行模式 SLPMD 亦是如此。根据本发明人等人的考察, 例如在旁路晶体管的尺寸为 480 微米且栅极电容为 0.1 皮法拉的情况下, 可以维持这个电平例如约 4 毫秒的时间周期, 这个值对于实际使用是足够的。

[0104] 《电平移位电路的详述实例》

[0105] 图 16 是电路图,示出了如图 6 所示的天线开关 ANT SW 中的电平移位电路块 LSBK 中的每个电平移位电路 LS[n] 的详细配置实例。图 16 中所示的电平移位电路 LS[n] ($n = 1$ 到 4) 被配置有电平移位级 LSSG 和输出级 OTSG。电平移位级 LSSG 包括电压降电路 VDC 和缓冲器电路 BFp 和 BF_n。电路 BFp 在电源电压 VSW 和地 GND 下操作。将从解码器电路 DEC 输出的幅度电压在 VSW 和 GND 之间的开关控制信号 Ssw[n] 输入到电路 BFp,并且电路 BFp 向节点 Ninp 输出幅度电压在 VSW 和 GND 之间的信号。电路 BF_n 在地 GND 和负电源电压 (-VSS) 下操作。通过电路 VDC 向电路 BF_n 输入信号 Ssw[n],并且电路 BF_n 向节点 Ninn 输出幅度电压在 GND 和 -VSS 之间的信号。

[0106] 电路 VDC 例如包括多个二极管耦合的 (栅 - 漏短路的) n 沟道 MOS 晶体管 MNd[1] 至 MNd[m] 和电流源 IS1。晶体管 MNd[1] 至 MNd[m] 按顺序串联耦合在信号 Ssw[n] 的输入节点和电路 BF_n 的输入节点之间,并且电流源 IS1 提供在电路 BF_n 的输入节点和电压 -VSS 之间。鉴于此,电路 VDC 将信号 Ssw[n] 的幅度下降大致晶体管 MNd[1] 至 MNd[m] 的阈值电压之和,并且在电路 BF_n 的输入节点处生成幅度电压近似在 GND 和 -VSS 之间的信号。

[0107] 在图 16 中,输出级 OTSG 包括电路块 OTT 和电路块 OTB,电路块 OTT 用于向射频开关电路 RFSW 输出控制信号 OUT[n],电路块 OTB 用于输出作为信号 OUT[n] 的反转信号的控制信号 OUTB[n]。例如,在 $n = 1$ 时图 6 中的电路 LS[1] 的情况下,信号 OUT[1] 和 OUTB[1] 分别与信号 TXLBT 和 TXLBS 对应。电路块 OTB 包括反相器电路 IVp0 至 IVp2、IVn0 至 IVn2、p 沟道 MOS 晶体管 MPp1、MPp2、MPn1 和 n 沟道 MOS 晶体管 MNn1、MNn2、MNp1。电路 IVp0 至 IVp2 和晶体管 MPp1、MPp2、MNp1 构成幅度电压在 GND 和 VSW 之间的电路 (第一输出电路 OTP),并且电路 IVn0 至 IVn2 和晶体管 MNn1、MNn2、MPn1 构成幅度电压在 -VSS 和 GND 之间的电路 (第二输出电路 OTN)。此外,晶体管 MPp1、MPp2、MPn1、MNn1、MNn2、MNp1 具有增强类型的特性。

[0108] 在幅度电压在 GND 和 VSW 之间的电路 (OTP) 中,以节点 Ninp 作为输入,电路 IVp0 执行反转操作。电路 IVp1 响应电路 IVp0 的输出执行反转操作,并且控制晶体管 MPp1 的栅极,而电路 IVp2 响应电路 IVp0 的输出执行反转操作,并且控制晶体管 MNp1 的栅极。晶体管 MPp1 和 MNp1 的源 - 漏路径串联耦合在 VSW 和 GND 之间,它们的共同耦合节点 (漏极节点) Npp 耦合到晶体管 MPp2 的源极,晶体管 MPp2 的栅极耦合到地 GND。从晶体管 MPp2 的漏极输出信号 OUTB[n]。另一方面,类似地,在幅度电压在 -VSS 和 GND 之间的电路 (OTN) 中,以节点 Ninn 作为输入,电路 IVn0 执行反转操作。电路 IVn1 响应电路 IVn0 的输出执行反转操作,并且控制晶体管 MPn1 的栅极,而电路 IVn2 响应电路 IVn0 的输出执行反转操作,并且控制晶体管 MNn1 的栅极。晶体管 MPn1 和 MNn1 的源 - 漏路径串联耦合在 GND 和 -VSS 之间,它们的共同耦合节点 (漏极节点) Nnn 耦合到晶体管 MNn2 的源极,晶体管 MNn2 的栅极耦合到地 GND。从晶体管 MNn2 的漏极输出信号 OUTB[n]。

[0109] 鉴于此,在幅度电压在 GND 和 VSW 之间的电路 (OTP) 中,当节点 Ninp 处在“L”电平 (GND 电平) 时,信号 OUTB[n] 通过晶体管 MPp1 和 MPp2 变为 VSW 电平。当节点 Ninp 处在“H”电平 (VSW 电平) 时,晶体管 MNp1 导通并且晶体管 MPp2 截止,从而使信号 OUTB[n] 变为高阻抗。另一方面,在幅度电压在 -VSS 和 GND 之间的电路 (OTN) 中,当节点 Ninn 处在“L”电平 (-VSS 电平) 时,晶体管 MNn2 截止,从而使信号 OUTB[n] 变为高阻抗。当节点 Ninn 处

在“H”电平（GND 电平）时，信号 OUTB[n] 通过晶体管 MNn1 和 MNn2 变为 -VSS 电平。因此，生成幅度电压在 -VSS 和 VSW 之间的信号 OUTB[n]。

[0110] 电路块 OTT 包括反相器电路 IVp1'、IVp2'、IVn1'、IVn2'、p 沟道 MOS 晶体管 MPp1'、MPp2'、MPn1' 和 NMOS 晶体管 MNn1'、MNn2'、MNp1'。除了块 OTT 不具有包括在块 OTB 的输入部分中的反相器电路 IVp0 和 IVn0 之外，块 OTT 具有与块 OTB 相同的配置，并且执行同样的操作。即，节点 Ninp 在没有电路 IVp0 的情况下直接耦合到电路 IVp1' 和 IVp2' 的输入端，并且节点 Ninn 在没有电路 IVn0 的情况下直接耦合到电路 IVn1' 和 IVn2' 的输入端。鉴于此，块 OTT 输出具有与信号 OUTB[n] 的极性不同的极性的控制信号 OUT[n]。

[0111] 图 17A 和图 17B 示出了图 16 所示的电平移位电路 LS[n] 中输出电压的实际转变实例，其中图 17A 示出了使用图 1 中所示的操作实例的情况，图 17B 示出了使用图 2 所示的操作实例作为对照例的情况。首先，在作为对照例的图 17B 中，示出的是从发射操作模式 TXMD 转变到睡眠模式 SLPMD 时，旁路晶体管（在图 1 和图 2 中的 TSW1）的栅极电压（与图 16 中的信号 OUTB[n] 对应）和直通晶体管（TSW2）的栅极电压（与信号 OUT[n] 对应）。在模式 TXMD 期间，图 16 中的晶体管 MNn 和 MNn2 导通并且晶体管 MPn1 截止，从而使信号 OUTB[n] 变为 -VSS 电平（如 -2.6 伏），这使旁路晶体管截止。然后，在从模式 TXMD 转变到模式 SLPMD 时，图 6 和图 7 中的负电压生成电路 VSSGEN 停止生成电压 -VSS。然而，由于通过图 6 和图 7 中的电容器 C1 和 C2 使电压 -VSS 保持一段时间，所以信号 OUTB[n] 通过晶体管 MNn1 和 MNn2（其栅极处在 GND 电平）可以近似地维持 -VSS 电平。

[0112] 此外，在模式 TXMD 期间，晶体管 MPp1' 和 MPp2' 导通并且晶体管 MNp1' 截止，因此信号 OUT[n] 变为 VSW 电平（如 3.1 伏），这将使直通晶体管导通。然后，在从模式 TXMD 转变到模式 SLPMD 时，停止电压 VSW 的供应（VSW 朝向 0 伏下降），从而使在节点 Npp' 的电位通过晶体管 MPp1' 下降，并且信号 OUT[n] 也通过晶体管 MPp2' 下降。相应地，晶体管 MPp1' 和 MPp2' 的栅-源电位差 V_{gs} 下降，从而使节点 Npp' 和信号 OUT[n] 的电压下降到约为晶体管 MPp1' 和 MPp2' 的阈值电压 V_{thp}' （如 0.7 伏）。当节点 Npp' 和信号 OUT[n] 的电压下降到低于电压 V_{thp}' 时，晶体管 MPp1' 和 MPp2' 截止，从而使信号 OUT[n] 变为高阻抗，并保持大约电压 V_{thp}' 的电平。因此，在模式 SLPMD 期间，旁路晶体管维持截止状态，其中信号 OUT[n] 在 -VSS 电平，并且直通晶体管（耗尽型）维持导通状态，其中信号 OUT[n] 近似地为 V_{thp}' 电平，这可能引起隔离特性的下降。

[0113] 另一方面，在根据本实施例的图 17A 中，执行从发射操作模式 TXMD 通过隔离操作模式 ISOMD 到睡眠模式 SLPMD 的转变。在模式 ISOMD 期间，晶体管 MPp1 和 MPp2 导通并且晶体管 MNp1 截止，从而使信号 OUTB[n] 变为 VSW 电平（如 3.1 伏），这使旁路晶体管导通。然后，在从模式 ISOMD 转变到模式 SLPMD 时，停止电压 VSW 的供应（VSW 向 0 伏下降），从而使节点 Npp 的电位通过晶体管 MPp1 减小，并且信号 OUTB[n] 也通过晶体管 MPp2 减小。相应地，晶体管 MPp1 和 MPp2 的栅-源电位差 V_{gs} 减小，从而使节点 Npp 和信号 OUTB[n] 的电压下降到约为晶体管 MPp1 和 MPp2 的阈值电压 V_{thp} （如 0.7 伏）。当节点 Npp 和信号 OUTB[n] 的电压下降到低于电压 V_{thp} 时，晶体管 MPp1 和 MPp2 截止，从而使信号 OUTB[n] 变为高阻抗，并保持大约电压 V_{thp} 的电平。

[0114] 此外，在模式 ISOMD 期间，图 16 中的晶体管 MNn1' 和 MNn2' 导通并且晶体管 MPn1' 截止，从而使信号 OUT[n] 变为 -VSS 电平（如 -2.6 伏），这使直通晶体管截止。然后，在

从模式 ISOMD 转变到模式 SLPMD 时,图 6 和图 7 中的负电压生成电路 VSSGEN 停止生成电压 $-VSS$ 。然而,由于电压 $-VSS$ 由图 6 和图 7 中所示的电容器 C 1 和 C2 保持一段时间,所以信号 OUT[n] 通过其栅极处在 GND 电平的晶体管 MNn1' 和 MNn2' 维持在近似 $-VSS$ 电平。因此,在模式 SLPMD 期间,旁路晶体管(耗尽型)维持导通状态,其中信号 OUTB[n] 近似在 V_{thp} 电平,并且直通晶体管维持截止状态,其中信号 OUT[n] 在 $-VSS$ 电平,这可以增强隔离特性。

[0115] 《无线通信系统的通用配置》

[0116] 图 18 是方框图,示出了使用根据本发明的实施例的射频模块的无线通信系统的配置实例。在图 18 中,示出了作为无线通信系统的实例的蜂窝电话系统。图 18 所示的蜂窝电话系统包括:基带单元 BBU、射频系统单元 RFSYS、天线 ANT、扬声器 SPK 和话筒 MIC。单元 BBU 将例如扬声器 SPK 和话筒 MIC 使用的模拟信号转换成数字信号,执行与通信有关的各种类型的数字信号处理(调制、解调、数字滤波等),并且输出与通信有关的各种类型的控制信号。控制信号包括用于切换各种不同的操作模式(如发射和接收)的操作模式设定信号 MSET,和用于指定发射功率的功率指定信号。

[0117] 单元 RFSYS 包括:射频信号处理单元 RFBK、SAW(表面声波)滤波器和射频模块 RFMDL。单元 RFBK 例如包括发射混频器电路、接收混频器电路和低噪声放大器电路,并且在主要由单元 BBU 使用的基带信号和由模块 RFMDL 使用的射频信号之间执行频率转换(增频转换、降频转换)。模块 RFMDL 例如通过单个模块布线板实施,在布线板上安装高功率放大器电路块 HPABK、耦合器 CPL、低通滤波器 LPF、天线开关 ANT SW 等。块 HPABK 和天线开关 ANT SW 例如通过相应的单个半导体芯片实施,如图 4 等所示。

[0118] 块 HPABK 包括:高功率放大器电路 HPA,用于放大从单元 RFBK 中的发射混频器电路等输出的发射信号;和自动功率控制电路 APC,用于控制发射功率。耦合器 CPL 检测电路 HPA 的发射功率并且输出检测结果。电路 APC 根据由单元 BBU 通知的信号 V_{ramp} 和耦合器 CPL 的检测结果来控制电路 HPA。滤波器 LPF 对于电路 HPA 的发射信号进行滤波和阻抗匹配,并且向天线开关 ANT SW 输出处理的信号。天线开关 ANT SW 根据来自单元 BBU 的信号 MSET 切换这些开关,向天线 ANT 发送发射射频信号(RFtx),并且向 SAW 滤波器发送来自天线 ANT 的接收射频信号(RFrx)。SAW 滤波器仅从信号 RFrx 提取必要的频带,并且将其输出到单元 RFBK。在单元 RFBK 中,低噪声放大器电路放大从 SAW 滤波器接收的信号,并且接收混频器电路将放大的信号转换成基带信号。

[0119] 《电平移位电路的对照例》

[0120] 图 19 是电路图,示出了图 16 所示的电平移位电路的对照例。尽管图 16 示出了使用具有低器件击穿电压的 MOS 晶体管的电平移位电路的配置实例,但如果可以使用具有高器件击穿电压的 MOS 晶体管,就可以使用如图 19 所示的交叉耦合的电平移位电路。图 19 所示的电平移位电路包括 p 沟道 MOS 晶体管 MP21 和 MP22、n 沟道 MOS 晶体管 MN21 和 MN22 以及反相器电路 IV20。晶体管 MP21 和 MP22 的源极共同耦合到电源电压 VSW,晶体管 MP21 的漏极耦合到晶体管 MN21 的漏极,晶体管 MP22 的漏极耦合到晶体管 MN22 的漏极。晶体管 MN21 和 MN22 的源极共同耦合到负电源电压($-VSS$),并且执行交叉耦合(一个晶体管的栅极耦合到另一个晶体管的漏极)。晶体管 MN21 的栅极由开关控制信号 Ssw 控制,并且晶体管 MP22 的栅极由通过电路 IV20 反转的信号 Ssw 的反向信号控制。电路 IV20 在电压 VSW

和 GND 之间操作。

[0121] 借助这样一个配置实例,按照信号 S_{sw} 的逻辑电平,在晶体管 MP22(MN22) 的漏极处,可以生成幅度电压在 V_{sw} 和 $-V_{ss}$ 之间的控制信号 OUT,并且在晶体管 MP21(MN21) 的漏极处可以生成相反极性的控制信号 OUTB。在这种情况下,由于幅度电压在 V_{sw} 和 $-V_{ss}$ 之间的信号施加在每个 MOS 晶体管的栅极和源极之间以及源极和漏极之间,所以对于每个 MOS 晶体管都要求有高器件击穿电压。因此,如果确保诸如在 SOI 衬底中的器件击穿电压不是很容易,则期望使用如图 16 所示的配置实例。然而,即使如图 19 所示的配置实例是可应用的,使用如图 1 等所示的操作实例也是有益的。

[0122] 即,假定:在信号 OUT 处在 V_{sw} 电平并且信号 OUTB 处在 $-V_{ss}$ 电平的状态下停止电压 V_{sw} 和 $-V_{ss}$ 的供应。在这种情况下,信号 OUT 的电压通过晶体管 MP22 而减小。当信号 OUT 的电压达到晶体管 MP22 的阈值电压时,晶体管 MP22 截止,并且信号 OUT 变为高阻抗并且近似地维持在阈值电压。另一方面,由于电压 $-V_{ss}$ 由电容器 C1 和 C2 保持一段时间,并且信号 OUT 的电压(近似等于晶体管 MP22 的阈值电压)提供给晶体管 MN21 的栅极,所以信号 OUTB 通过导通的晶体管 MN21 维持在近似电压 $-V_{ss}$ 。于是,如果紧接在睡眠模式之前的开关晶体管 TSW 的栅极电平处在 V_{sw} 电平,则在此之后栅极电平保持在近似阈值电压电平。如果栅极电平处在 $-V_{ss}$ 电平,则在此之后栅极电平维持在 $-V_{ss}$ 电平。因此,对于图 16 和图 17 中,同样适用这种情况。

[0123] 然而,如果负电源电压 ($-V_{ss}$) 早就变为 0 伏(例如,电源电容小或者睡眠模式的持续时间长),则在图 16 和图 19 中所示的配置实例之间的操作是不同的。在图 19 所示的配置实例中,晶体管 TSW 的栅极从 $-V_{ss}$ 电平转变到 0 伏电平。另一方面,在图 16 所示的配置实例中,当晶体管 TSW 的栅极从 $-V_{ss}$ 电平达到 $-V_{thn}$ 电平(这里的 V_{thn} 是晶体管 MNn2 和 MNn2' 的阈值电压)时,栅极变为高阻抗并且维持 $-V_{thn}$ 电平。因此,在使用耗尽型晶体管 TSW 的情况下,使用如图 19 所示的配置实例在睡眠模式期间可能促使直通晶体管从截止状态转变到导通状态,而使用如图 16 所示的配置实例能够促使直通晶体管维持截止状态一段时间。

[0124] 虽然根据所示的实施例具体地描述了由本发明人以上实现的本发明,但本发明不限于此,并且在不偏离本发明的构思和范围的情况下,可以进行各种改变和修改。

[0125] 例如,虽然在上述的实施例中,如图 1 所示的操作实例是通过在如图 12 所示的天线开关电路 ANTCTL 中插入睡眠指令检测电路 (ADI) 和延迟电路 DLY 实现的,但可以适当地改变这个实施方案。例如,图 12 中所示的控制逻辑电路 LGC 利用状态机等来配置,并且在状态机中可以实现例如图 15A 所示的状态转变。此外,在基带单元 BBU 中,可将从发射操作模式到睡眠模式的转变转换成从发射操作模式通过隔离操作模式到睡眠模式的转变。但是在这种情况下,将特定的基带单元 BBU 与射频模块 RFMDL 进行组合是必要的;因此,期望对于单元 BBU 和模块 RFMDL 的任意组合,在模块 RFMDL 中都具有这种转换功能。

[0126] 此外,虽然在这个实施例中,天线开关 ANTsw 是在 SOI 衬底上方形成的,但天线开关 ANTsw 也可以在 SOS(蓝宝石上硅)衬底上方形成。此外,虽然在这个实施例中,高功率放大器电路块 HPABK 和天线开关 ANTsw 是在单独的芯片之上实现的,但块 HPABK 和天线开关 ANTsw 也可以在同一个半导体芯片之上实现,以便得到较高的集成度。此外,虽然在这个实施例中,高功率放大器电路 HPA 是利用 LDMOSFET 形成的,但电路 HPA 也可以用 HBT(异质

结双极晶体管)等形成。

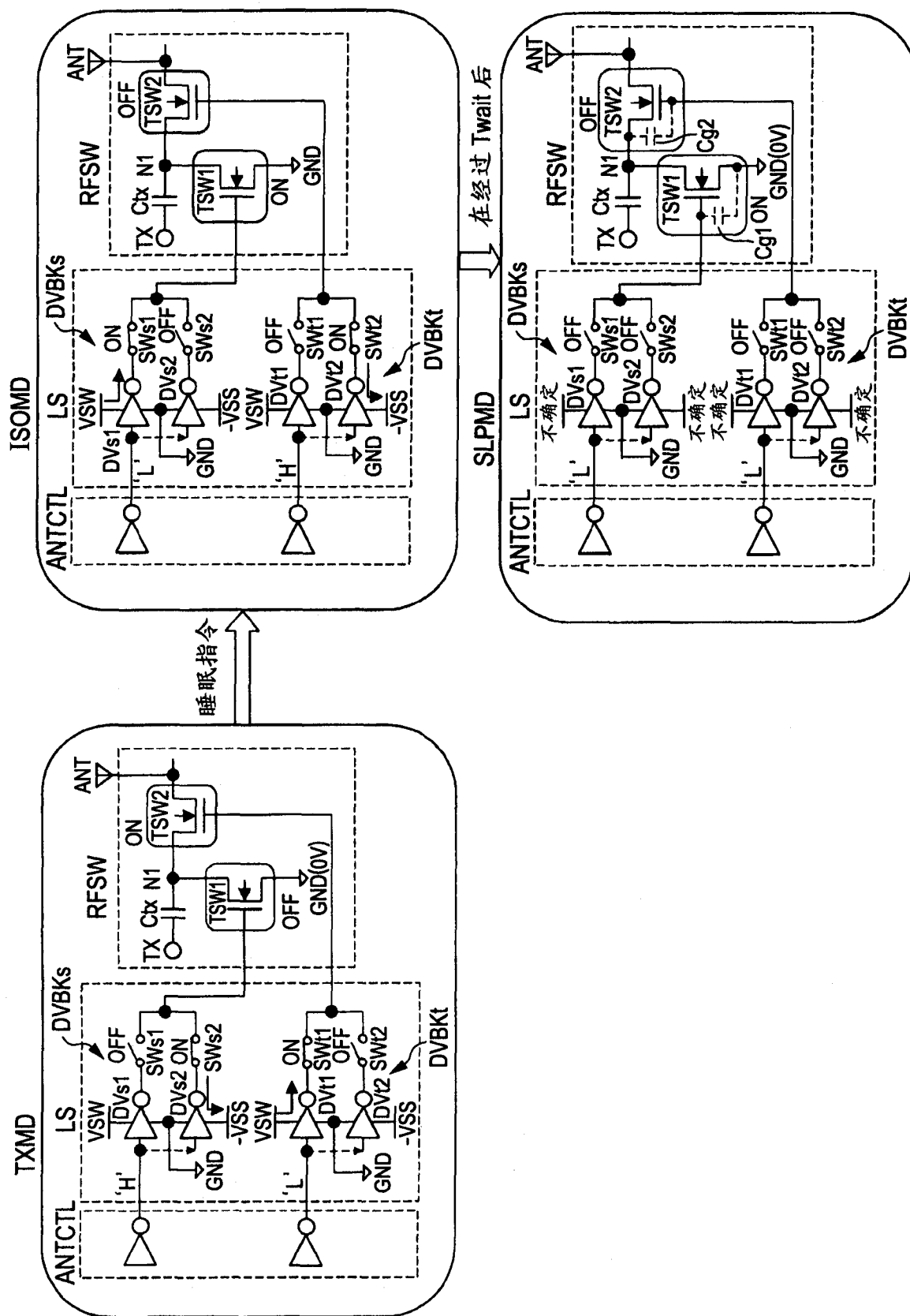


图 1

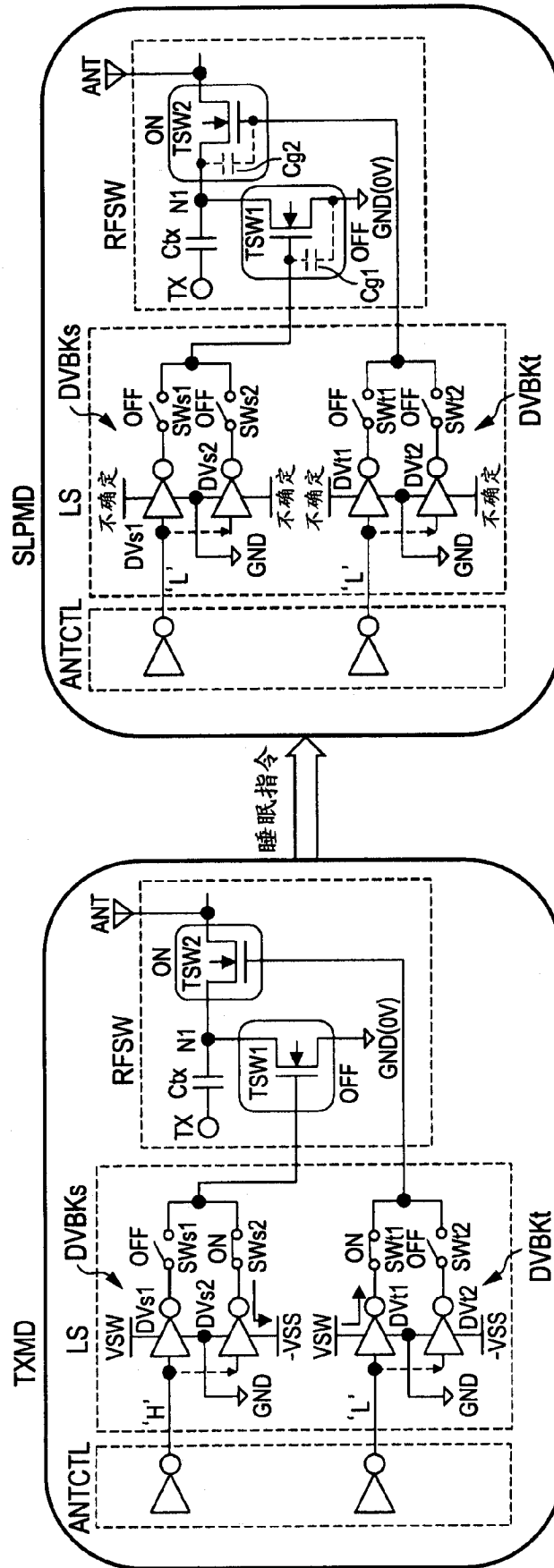


图 2

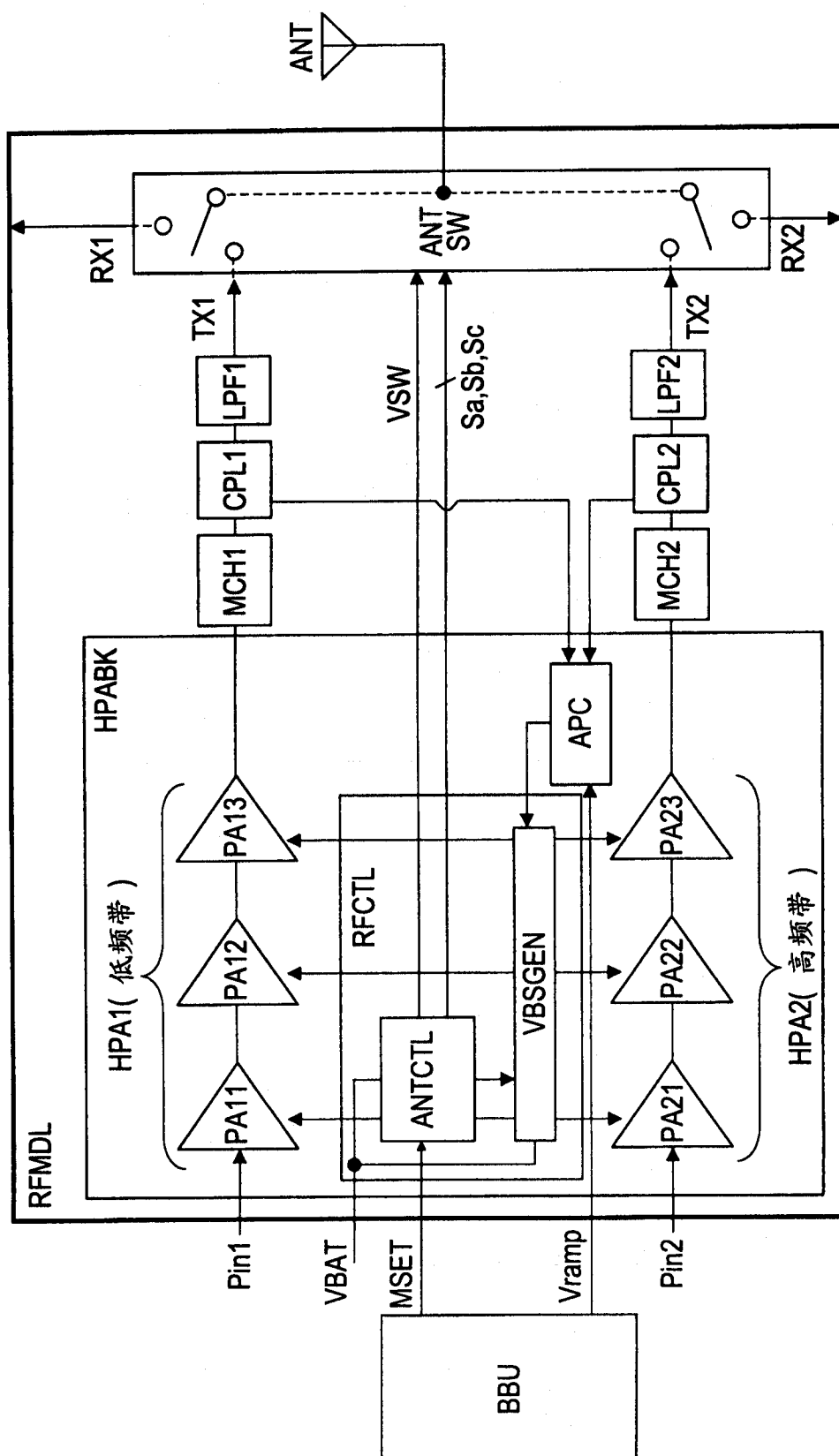


图 3

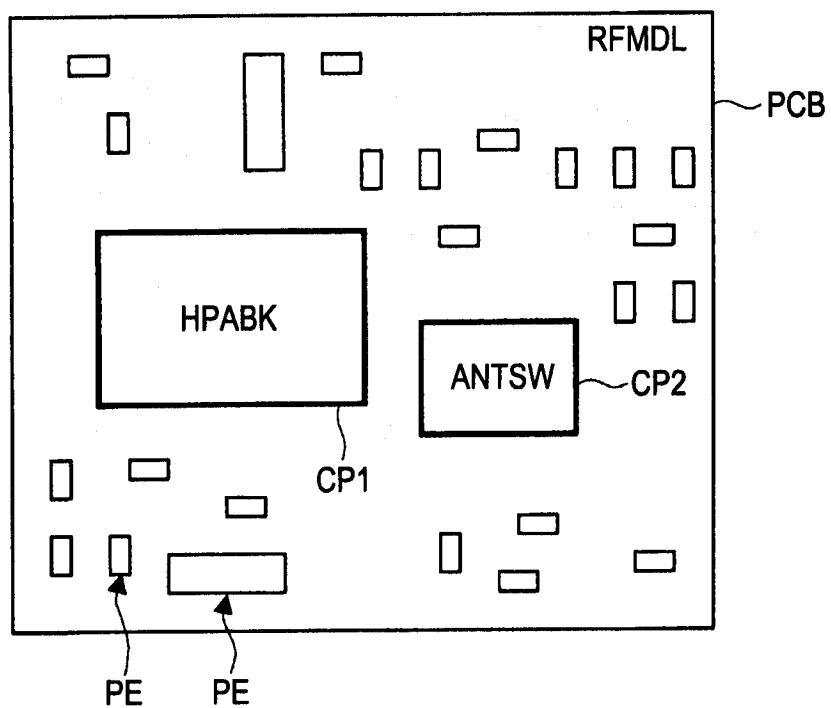


图 4

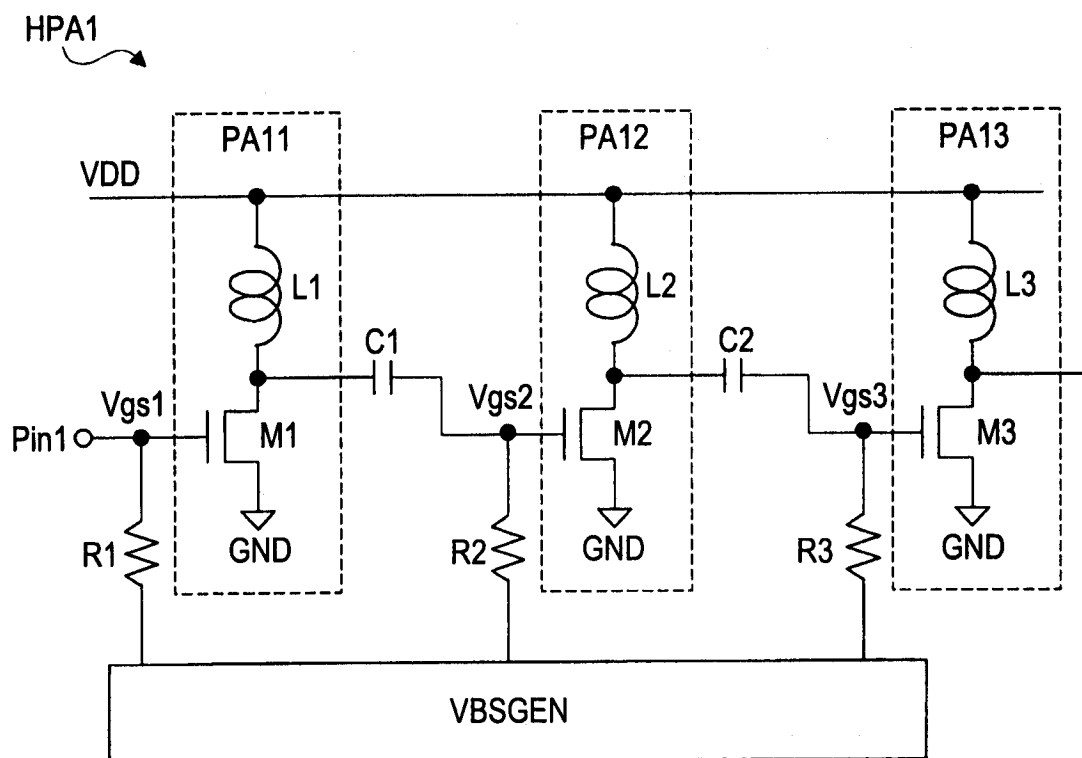


图 5

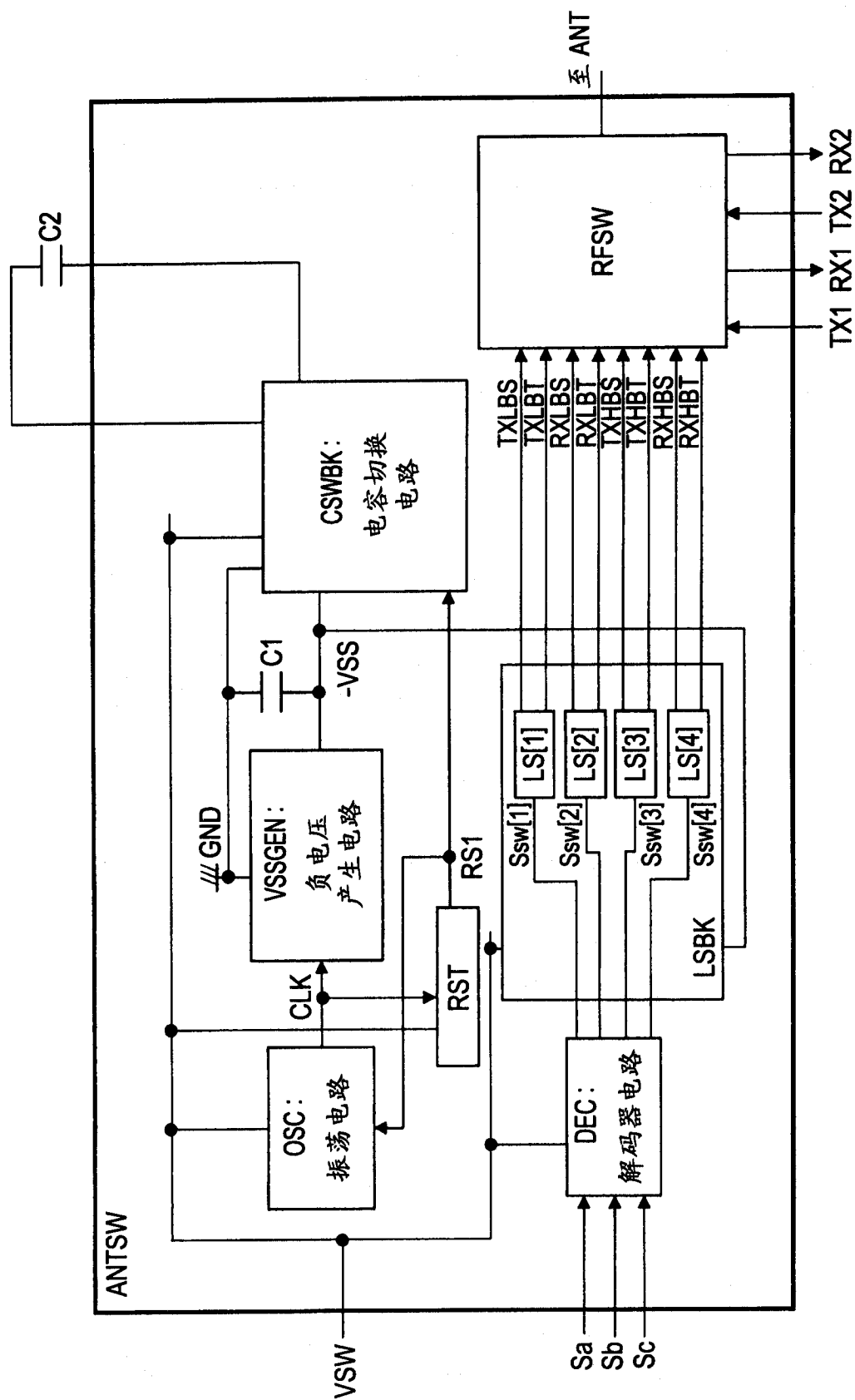


图 6

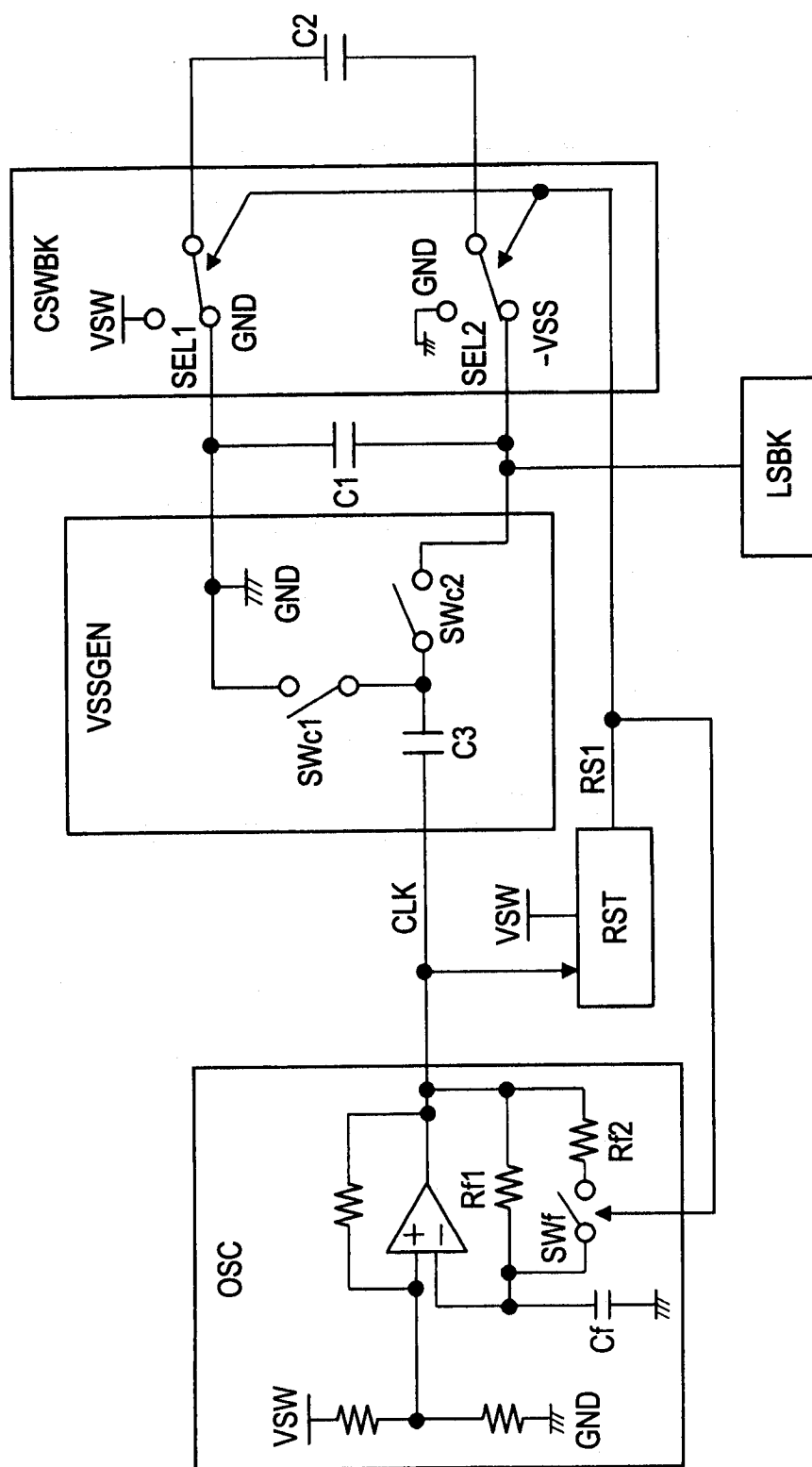


图 7

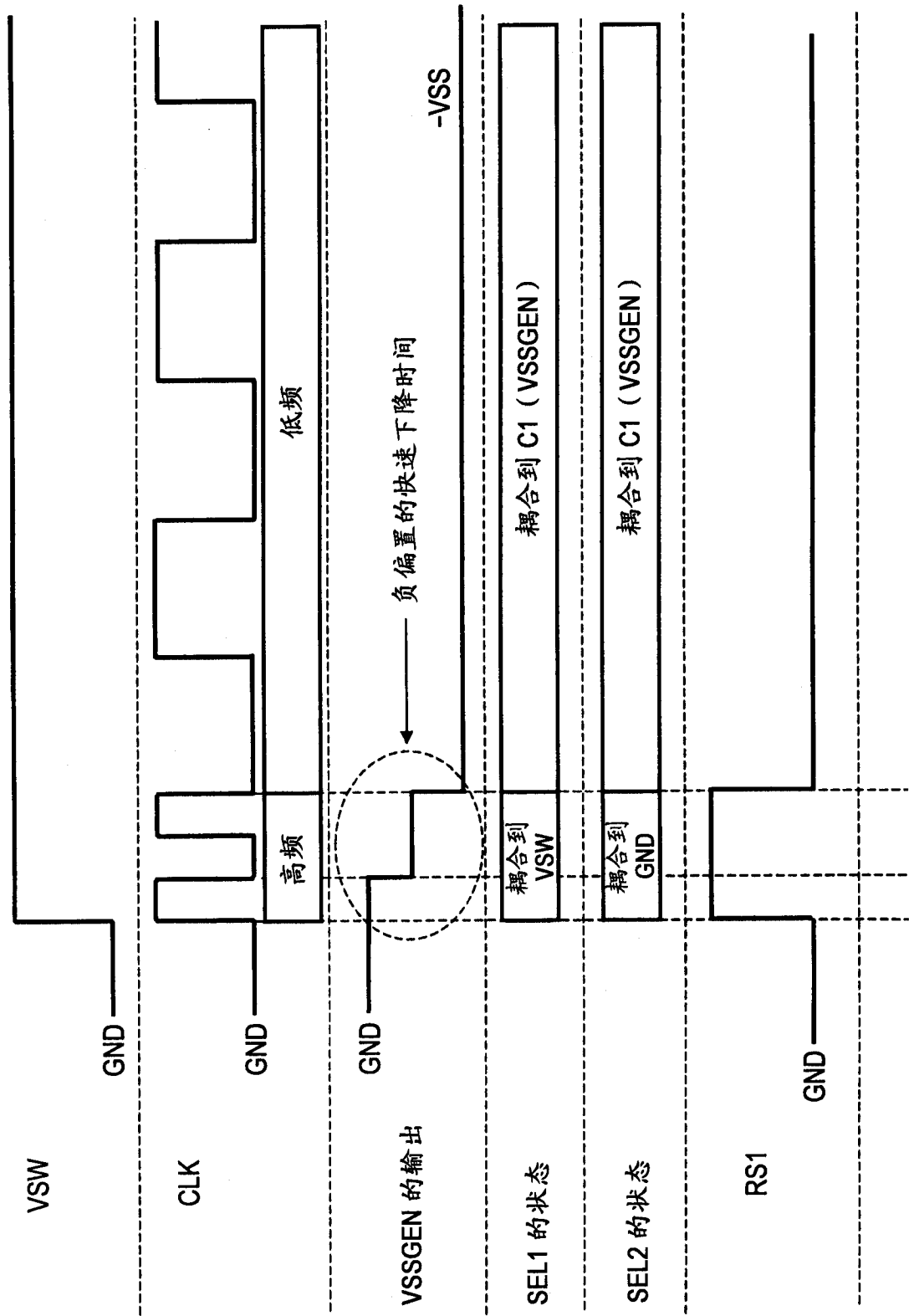


图 8

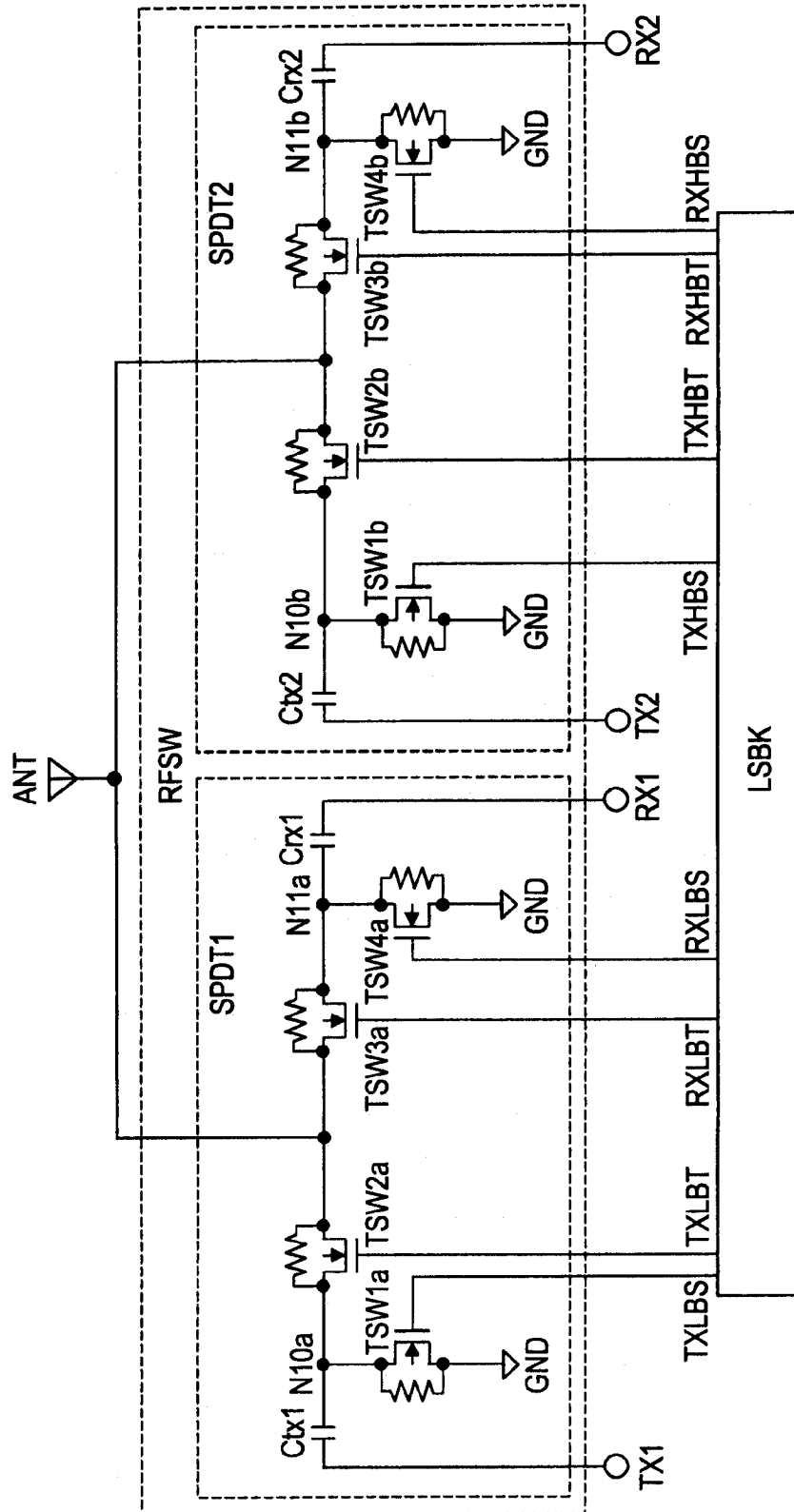


图 9

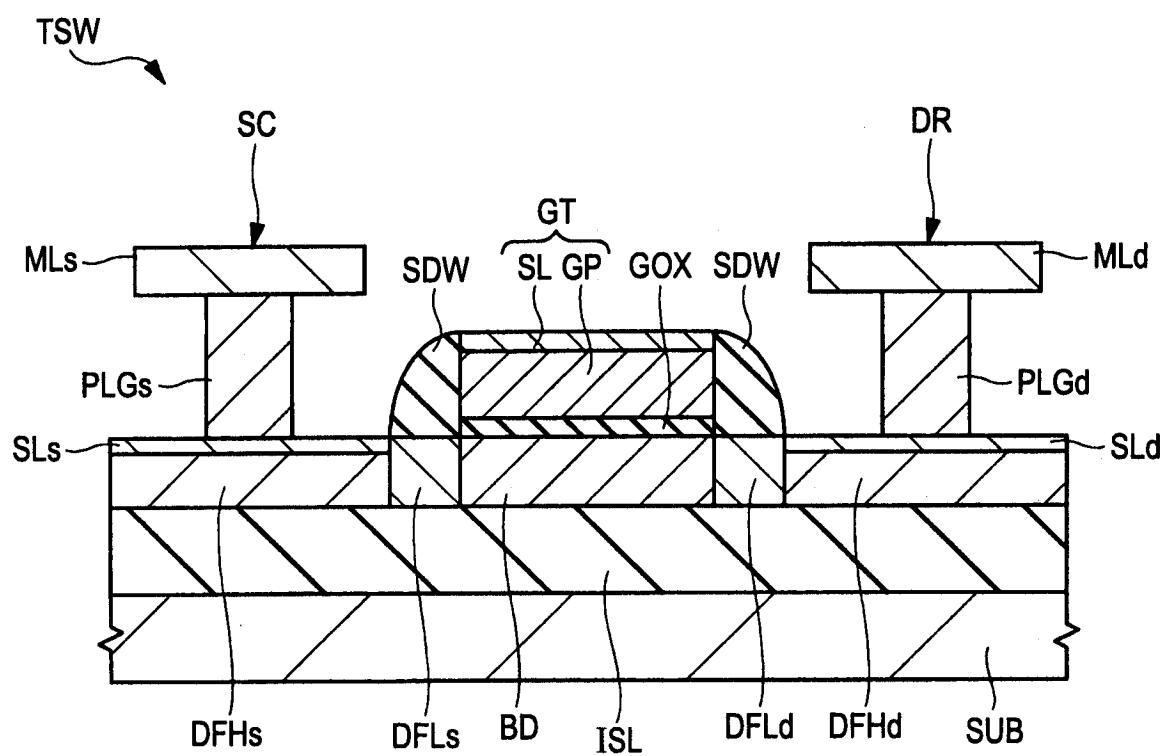


图 10

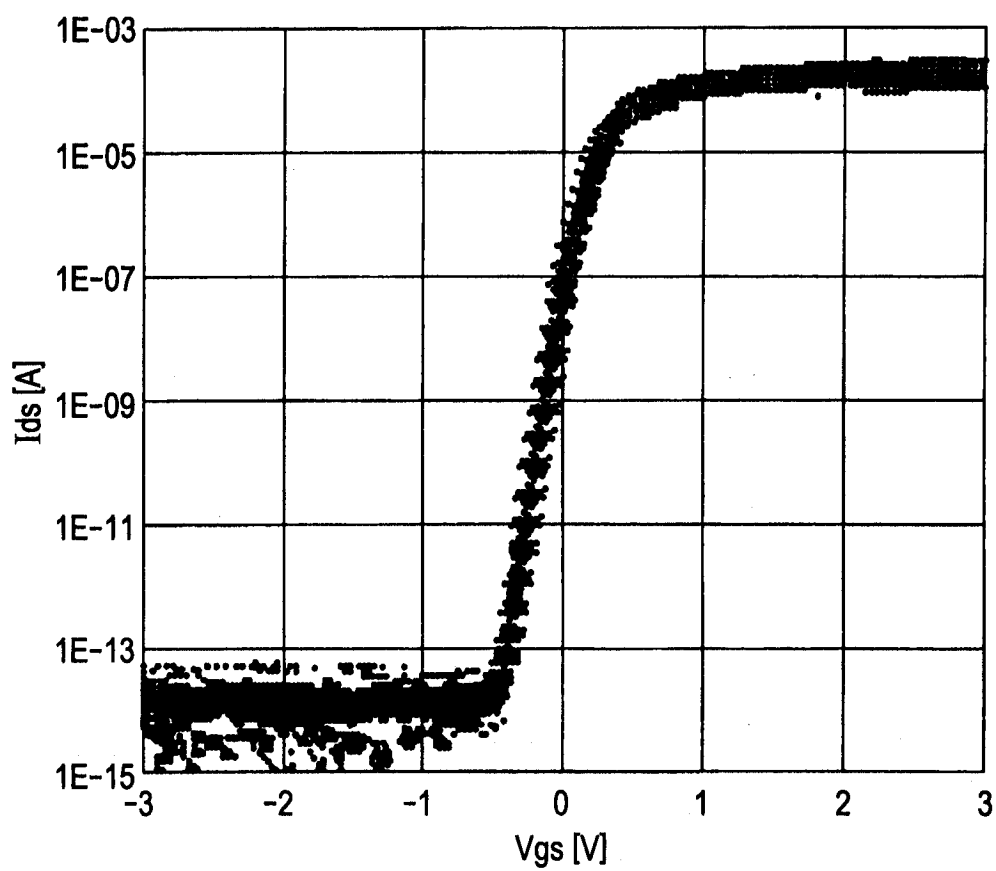


图 11

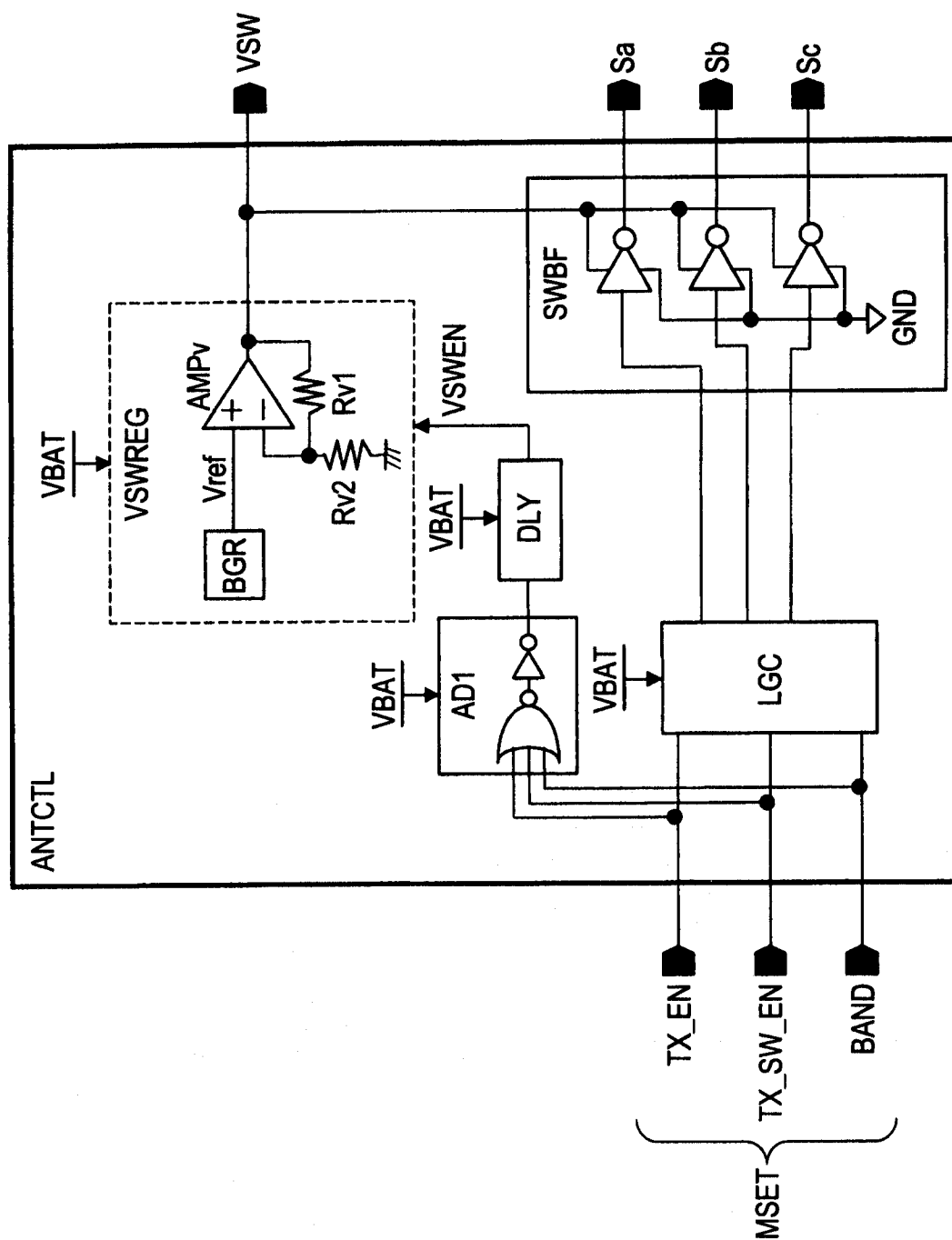


图 12

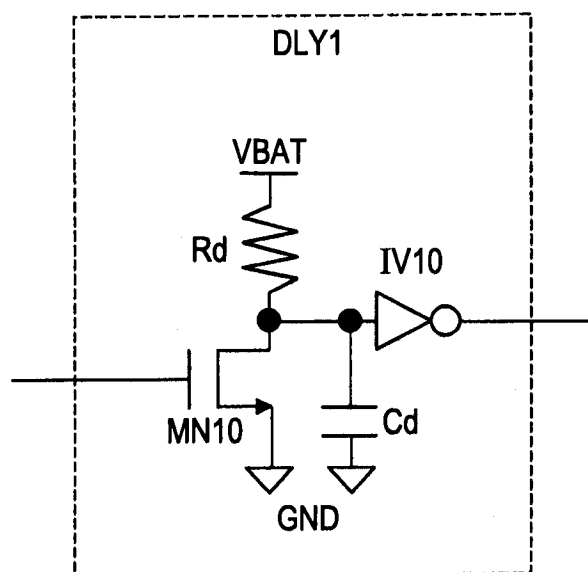


图 13A

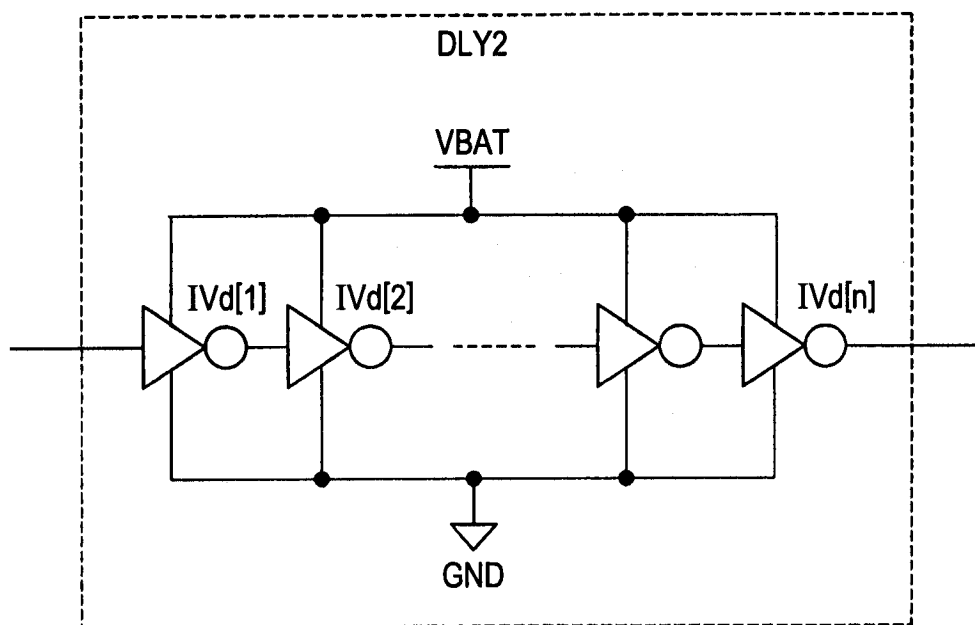


图 13B

模式		ANTCTL 输入（BBU 输出）				ANTCTL 输出				LSBK 输出						
		TX_EN	TX_SW_EN	BAND	VSW	Sc	Sb	Sa	TX_LBT	TX_LBS	TX_HBT	TX_HBS	RX_HBT	RX_HBS	RX_LBT	RX_LBS
A	SLPMD	0	0	0	0	0	0	0	HIZ	HIZ	HIZ	HIZ	HIZ	HIZ	HIZ	HIZ
B	LB ISOMD	1	0	0	1	0	0	0	L	H	L	H	L	H	L	H
C	TXMD1(LB)	1	1	0	1	0	0	1	H	L	L	H	L	H	L	H
D	HB ISOMD	1	0	1	1	0	0	0	L	H	L	H	L	H	L	H
E	TXMD2(HB)	1	1	1	1	0	1	0	L	H	H	L	L	H	L	H
F	RXMD2(HB)	0	1	1	1	1	0	0	L	H	L	H	H	L	L	H
G	RXMD1(LB)	0	1	0	1	0	1	1	L	H	L	H	L	H	H	L
H	ISOMD(空闲)	0	0	1	1	0	0	0	L	H	L	H	L	H	L	H

图 14

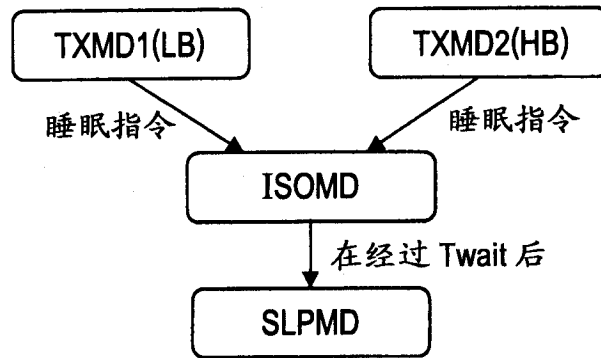


图 15A

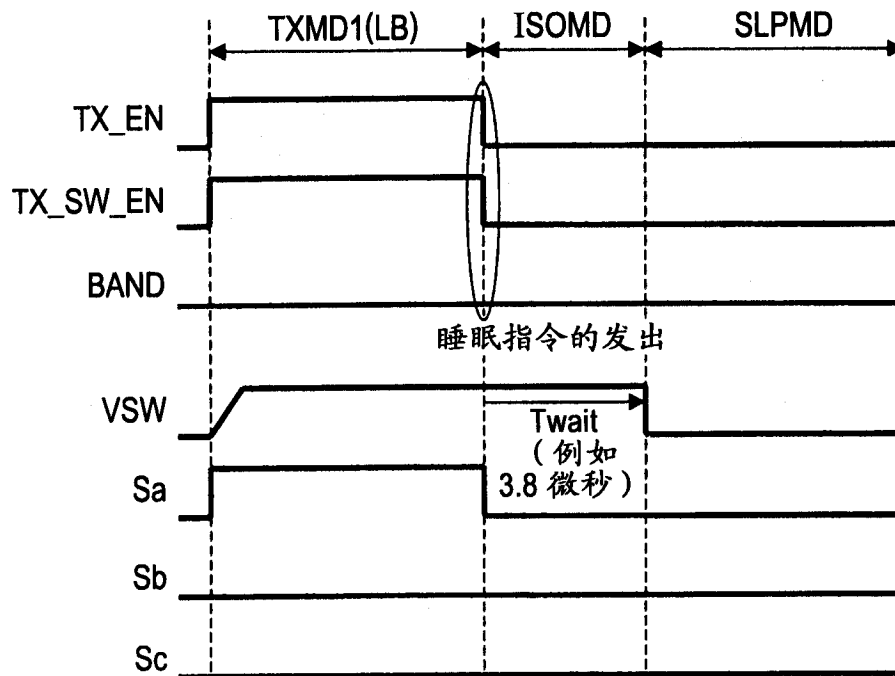


图 15B

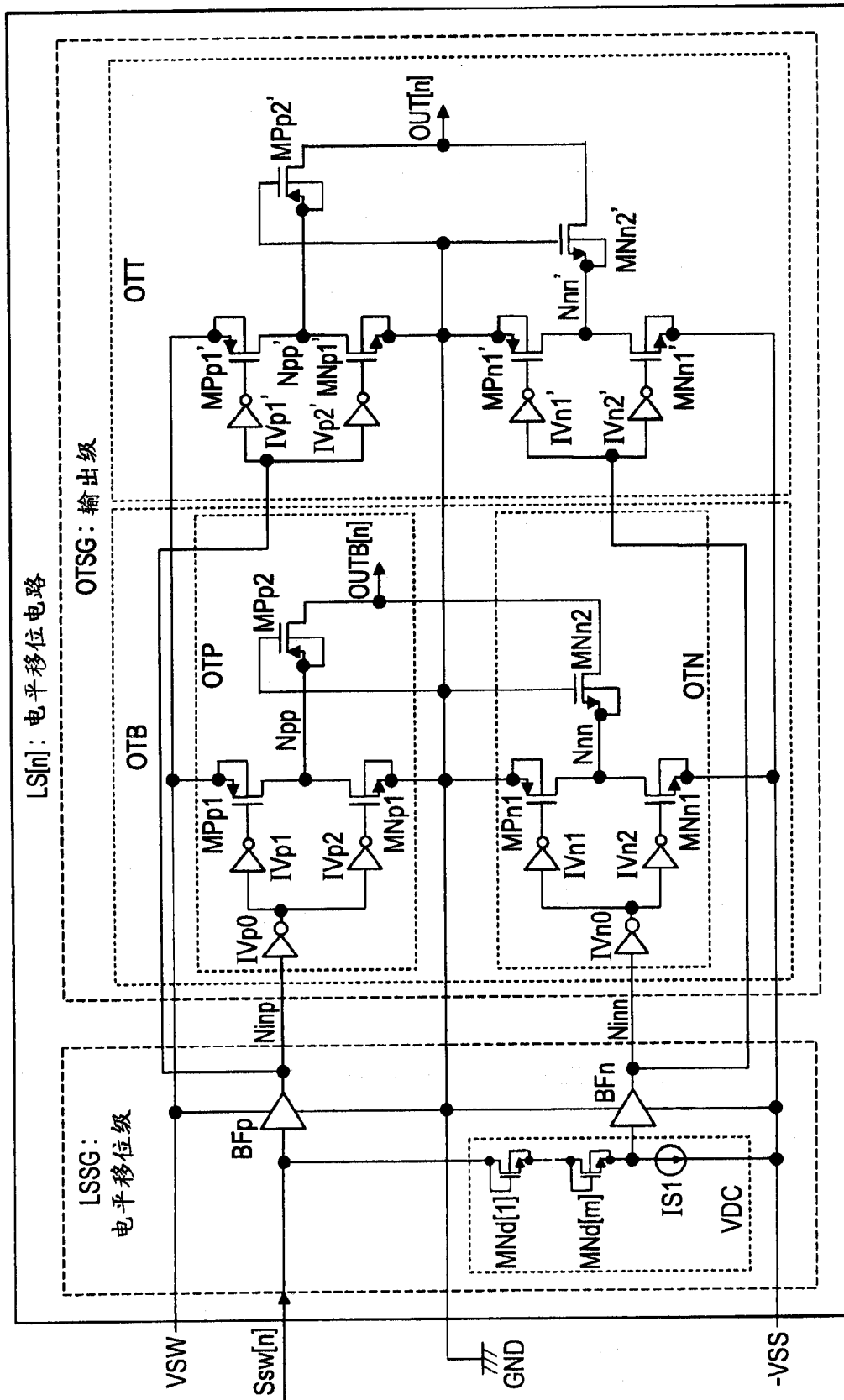


图 16

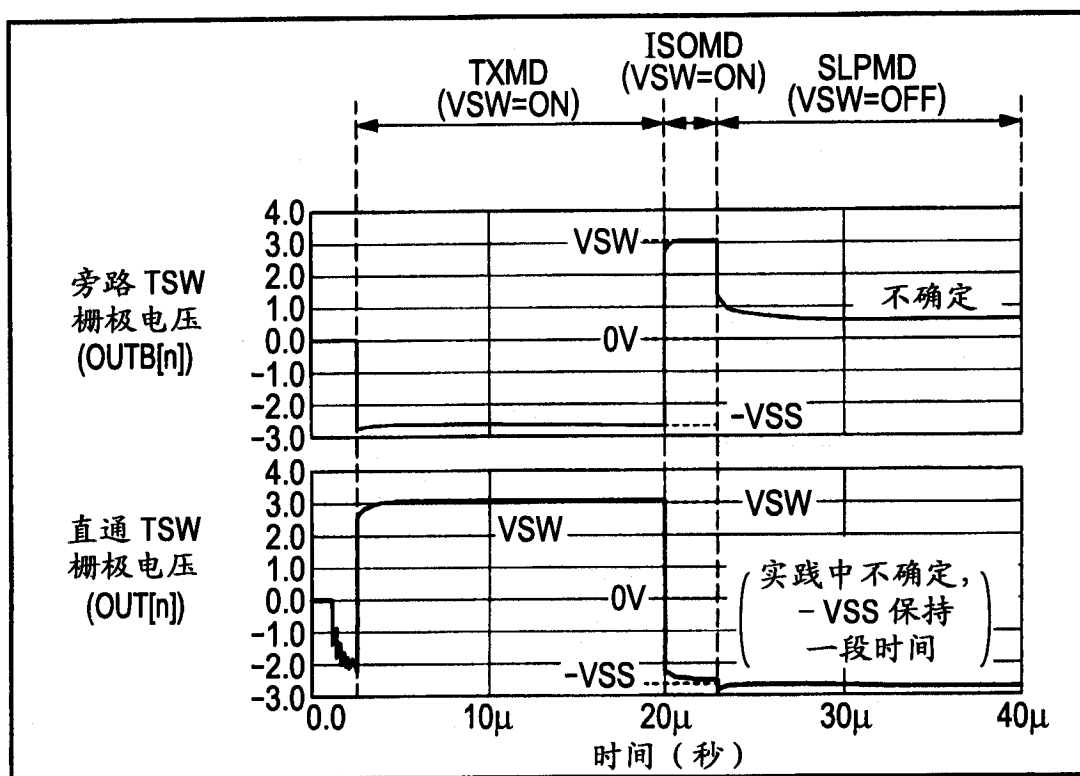


图 17A

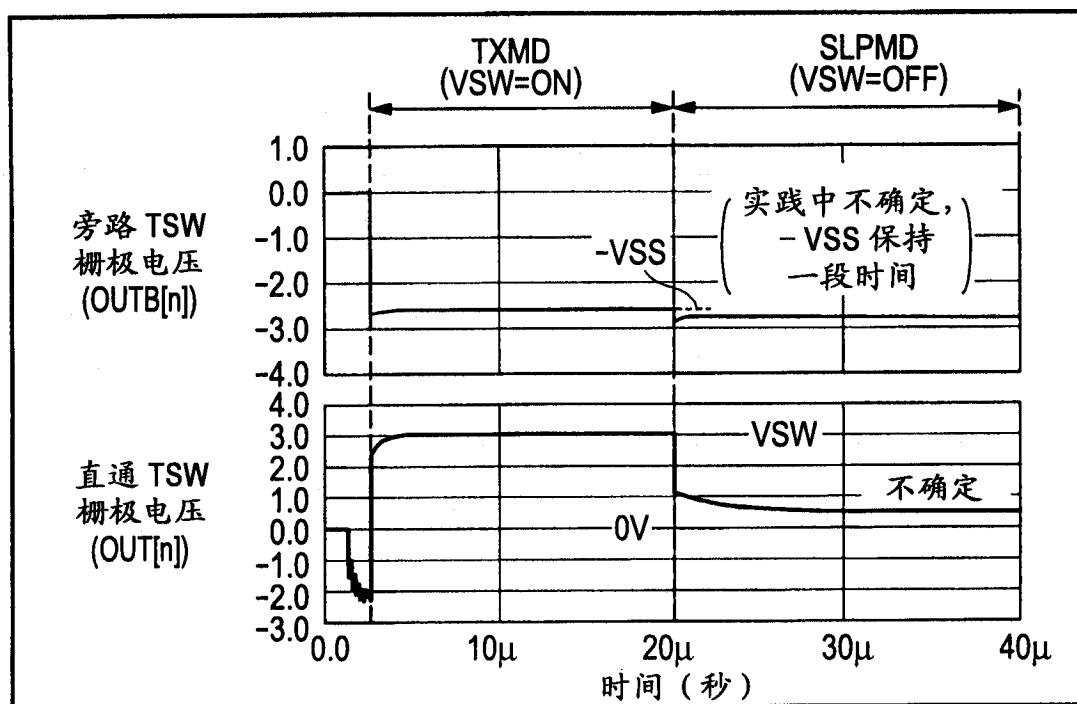


图 17B

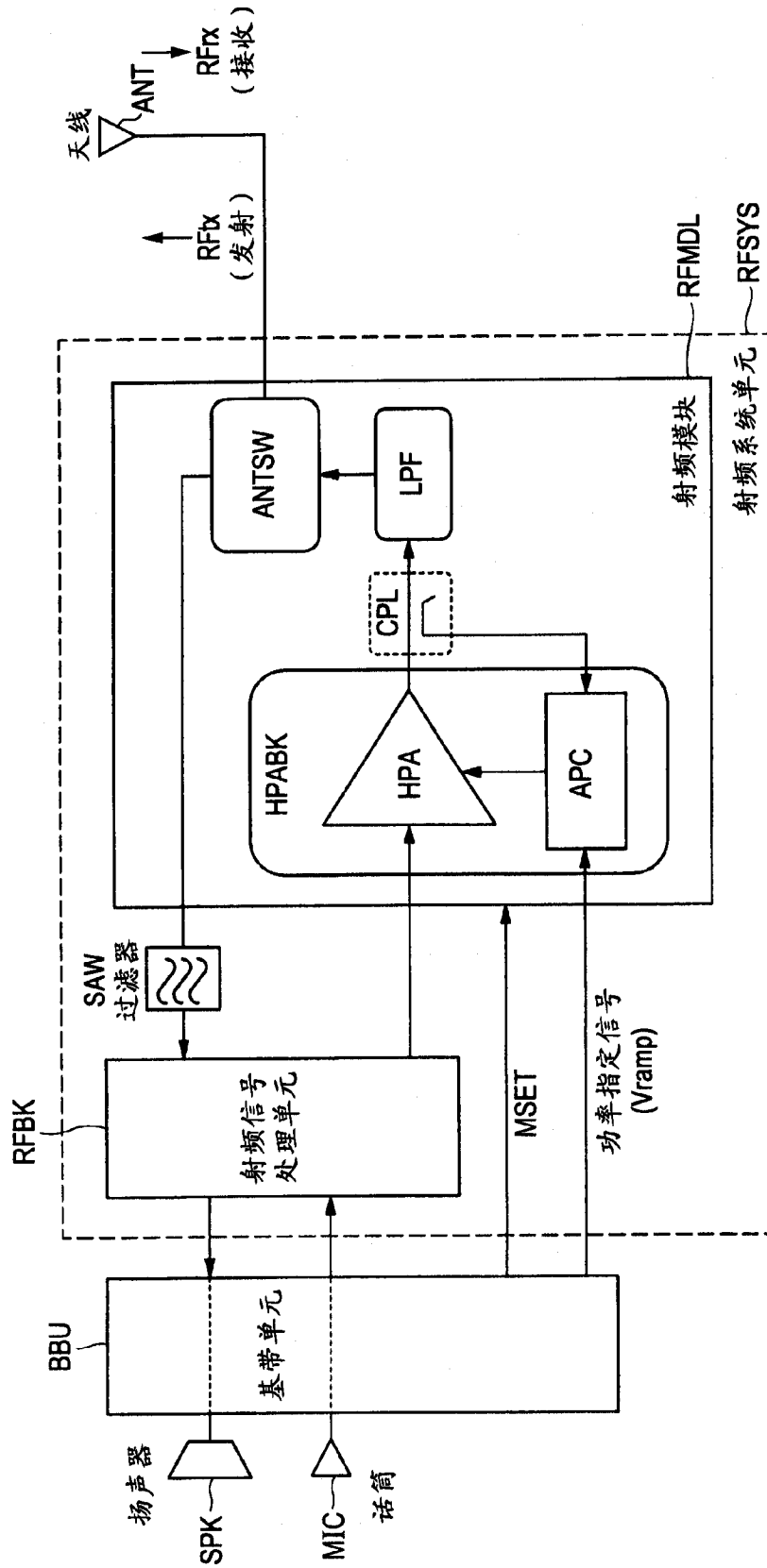


图 18

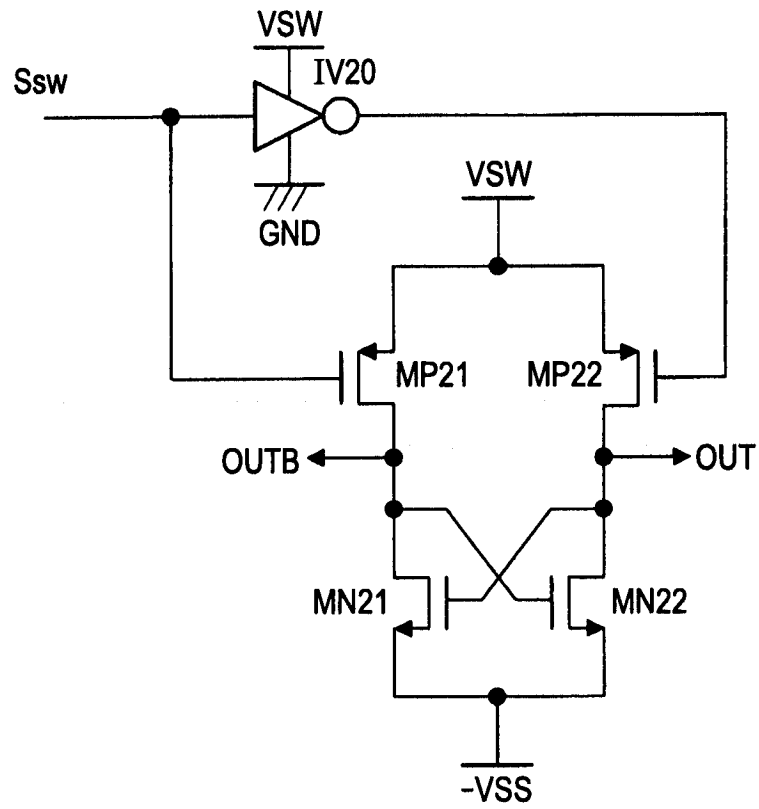


图 19

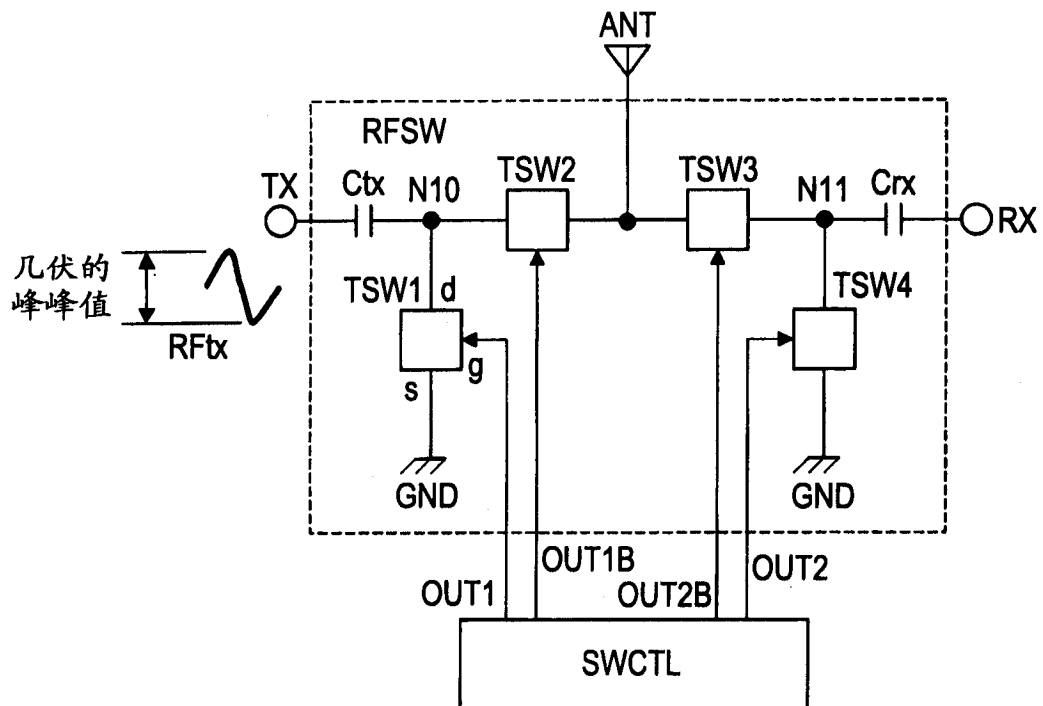


图 20A

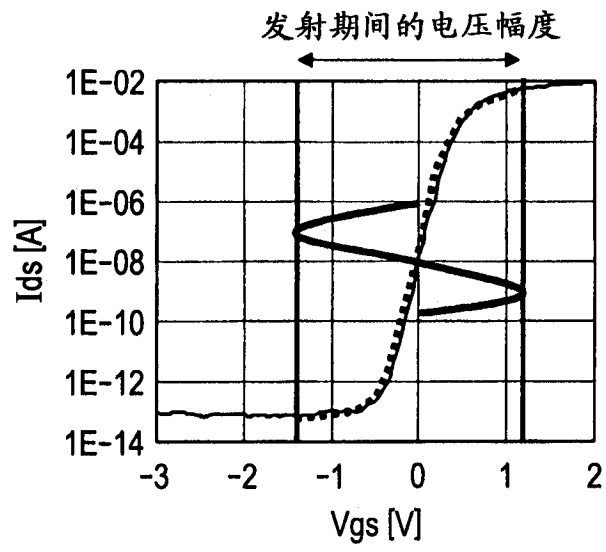


图 20B

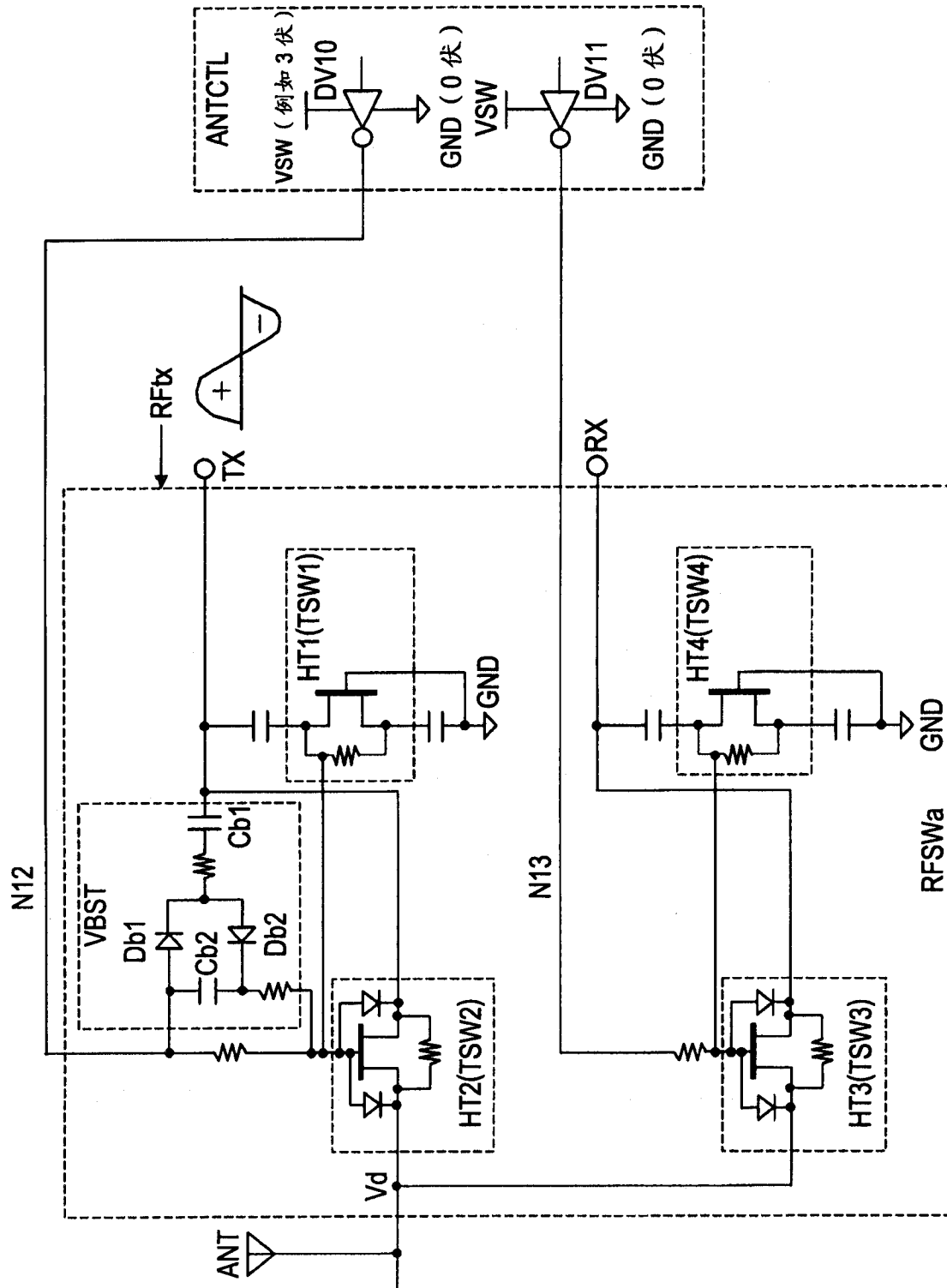


图 21

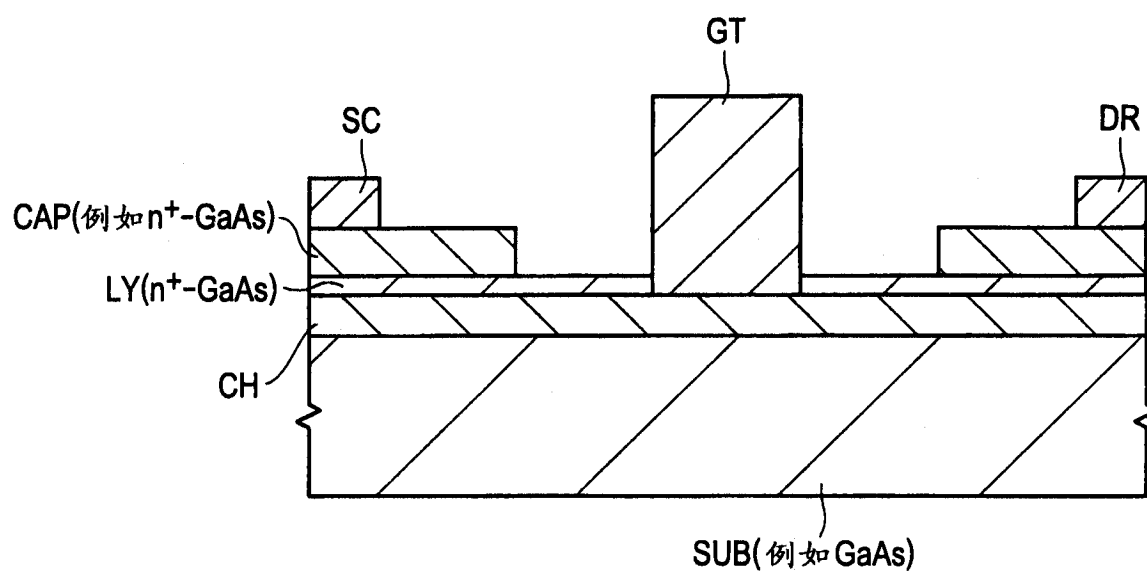


图 22