



(12) 发明专利申请

(10) 申请公布号 CN 112034754 A

(43) 申请公布日 2020.12.04

(21) 申请号 202010846912.6

(22) 申请日 2020.08.21

(71) 申请人 清能德创电气技术(北京)有限公司

地址 100070 北京市丰台区科技园外环西路26号院15号楼北栋

申请人 芜湖清能德创电子技术有限公司

(72) 发明人 赵茵茵 刘波 汤小平

(74) 专利代理机构 北京高沃律师事务所 11569

代理人 张梦泽

(51) Int.Cl.

G05B 19/042 (2006.01)

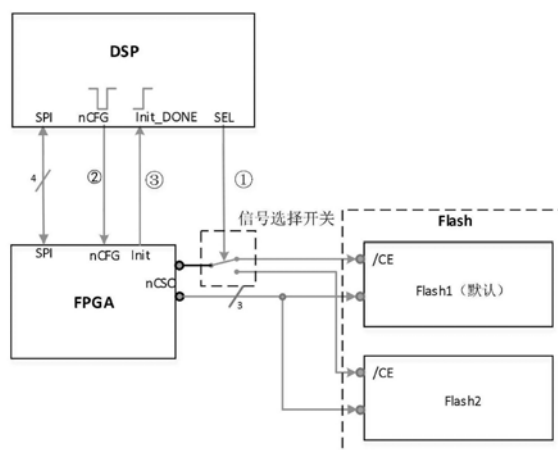
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种支持多种编码器协议的伺服驱动器

(57) 摘要

本发明涉及一种支持多种编码器协议的伺服驱动器。该支持多种编码器协议的伺服驱动器基于DSP+FPGA的伺服驱动器控制架构,使用低成本的固态存储器,无需增加额外的硬件和接口,即可实现对多种编码器通信协议的支持,使得整个系统具有结构简单、成本低廉等特点。



1. 一种支持多种编码器协议的伺服驱动器,其特征在于,包括:编码器接口、FPGA、DSP和固态存储器;

所述编码器接口与所述FPGA连接;所述FPGA分别与所述DSP、所述固态存储器连接;所述DSP与所述固态存储器连接;

所述固态存储器用于存储多种编码器通信协议的FPGA程序数据,且所述固态存储器中存储的程序数据对应的编码器通信协议均不相同;所述编码器接口用于连接待驱动编码器;所述DSP用于根据所述伺服参数生成片选信号,以开启或关闭所述固态存储器;所述FPGA用于读取所述固态存储器中存储的程序数据,用于根据驱动器的伺服参数确定连接的编码器通信协议,用于通过编码器数据解析功能模块解析待驱动编码器的传输数据,并用于通过DSP数据交互功能模块上传给所述DSP;所述DSP用于通过FPGA交互功能模块和所述FPGA进行数据交互,并用于根据所述FPGA上传的位置数据实时更新伺服驱动数据,以驱动电机平稳运行。

2. 根据权利要求1所述的支持多种编码器协议的伺服驱动器,其特征在于所述FPGA与所述DSP通过接口SPI、接口nCFG和接口Init连接;所述DSP的SEL接口通过开关选择器与所述固态存储器的/CE接口连接;所述FPGA的nCSC接口与所述固态存储器/CE接口连接。

3. 根据权利要求1所述的支持多种编码器协议的伺服驱动器,其特征在于,所述固态存储器包括:第一固态存储器和第二固态存储器;

所述第一固态存储器的/CE接口和所述第二固态存储器的/CE接口均通过开关选择器件与所述DSP的SEL接口连接;所述第一固态存储器的数据输出接口和所述第二固态存储器的数据输出接口均通过开关选择器件与所述FPGA的nCSC接口连接。

4. 根据权利要求3所述的支持多种编码器协议的伺服驱动器,其特征在于,当所述SEL接口输出值为0时,所述第一固态存储器开启;当所述SEL接口输出值为1时,所述第二固态存储器开启。

5. 根据权利要求1所述的支持多种编码器协议的伺服驱动器,其特征在于,还包括上位机;

所述上位机用于向DSP发送更新所述固态存储器中存储的编码器通信程序数据的命令,从而实现FPGA的在线升级。

6. 根据权利要求1所述的支持多种编码器协议的伺服驱动器,其特征在于,所述FPGA的个数为1。

7. 根据权利要求1所述的支持多种编码器协议的伺服驱动器,其特征在于,所述编码器接口的个数为1。

一种支持多种编码器协议的伺服驱动器

技术领域

[0001] 本发明涉及编码驱动领域,特别是涉及一种支持多种编码器协议的伺服驱动器。

背景技术

[0002] 在伺服控制系统中,常采用编码器作为位置检测原件。根据设计需求,不同的应用系统会选择不同的编码器,而不同的编码器往往支持不同的通信协议。当伺服驱动器应用在多编码器系统中,需要更换外接编码器时,需要更换驱动器或重新下载现场可编程逻辑门阵列(Field-Programmable Gate Array,FPGA)固件。

[0003] 在现有技术中,专利CN206563893U中提到了一种使用多个编码器接口电路,可同时支持多种编码器的数据传输系统。编码器模块可以通过级联的方式扩展更多的编码器通道。该专利在支持多种编码器的同时,需要外接多个编码器接口,硬件结构复杂,增加了系统成本。

[0004] 专利CN206848742U中的伺服控制器在支持多种通信协议编码器时,需要重新下载FPGA固件,无需更换伺服控制电路板。该专利需要通过重新下载支持不同通信协议的FPGA固件才能支持不同的编码器。在有些客户应用现场下载程序比较麻烦,当驱动器数量较多时,影响调试效率。

[0005] 专利CN202710997U中提到,伺服控制器支持多种通信协议编码器时,无需更换伺服控制电路板,但是需要重新下载FPGA固件。对于伺服驱动器安装复杂的客户现场,当需要更换不同通信协议的编码器时,必须拆卸设备重新下载FPGA固件,大大增加了产品维护工作量,降低了生成效率。

发明内容

[0006] 本发明的目的是提供一种在具有支持多种编码器使用功能的基础上,还具有结构简单、成本低廉等特点的支持多种编码器协议的伺服驱动器。

[0007] 为实现上述目的,本发明提供了如下方案:

[0008] 一种支持多种编码器协议的伺服驱动器,包括:编码器接口、FPGA、DSP(中文全称:数字信号处理器,英文全称:Digital Signal Process)和固态存储器(Flash);

[0009] 所述编码器接口与所述FPGA连接;所述FPGA分别与所述DSP、所述固态存储器连接;所述DSP与所述固态存储器连接;

[0010] 所述固态存储器用于存储多种编码器通信协议的FPGA程序数据,且所述固态存储器中存储的程序数据对应的编码器通信协议均不相同;所述编码器接口用于连接待驱动编码器;所述DSP用于根据所述伺服参数生成片选信号,以开启或关闭所述固态存储器;所述FPGA用于读取所述固态存储器中存储的程序数据,用于根据驱动器的伺服参数确定连接的编码器通信协议,用于通过编码器数据解析功能模块解析待驱动编码器的传输数据,并用于通过DSP数据交互功能模块上传给所述DSP;所述DSP用于通过FPGA交互功能模块和所述FPGA进行数据交互,并用于根据所述FPGA上传的位置数据实时更新伺服驱动数据,以驱动

电机平稳运行。

[0011] 优选的,所述编码器接口与所述FPGA的编码器数据解析模块连接;所述FPGA与所述DSP通过SPI接口、nCFG接口和Init接口连接;所述DSP的SEL接口通过开关选择器件与所述固态存储器的/CE信号连接;所述FPGA的nCSC接口通过开关选择器件与所述固态存储器的/CE信号连接。

[0012] 优选的,所述固态存储器包括:第一固态存储器和第二固态存储器;

[0013] 所述第一固态存储器的/CE接口和所述第二固态存储器的/CE接口均通过信号开关选择器与所述DSP的SEL接口连接;所述第一固态存储器的数据输出接口和所述第二固态存储器的数据输出接口均通过开关选择器件与所述FPGA的nCSC接口连接。

[0014] 优选的,当所述SEL接口输出值为0时,所述第一固态存储器开启;当所述SEL接口输出值为1时,所述第二固态存储器开启。

[0015] 优选的,还包括上位机;

[0016] 所述上位机用于向DSP发送更新所述固态存储器中存储的编码器通信程序数据的命令,从而实现FPGA的在线升级。

[0017] 优选的,所述FPGA的个数为1。

[0018] 优选的,所述编码器接口的个数为1。

[0019] 根据本发明提供的具体实施例,本发明公开了以下技术效果:本发明提供的支持多种编码器协议的伺服驱动器,基于DSP+FPGA的伺服驱动器控制架构,使用低成本的固态存储器,无需增加额外的硬件和接口,即可实现对多种编码器通信协议的支持,使得整个系统具有结构简单、成本低廉等特点。

附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0021] 图1为本发明提供的支持多种编码器协议的伺服驱动器的结构原理图;

[0022] 图2为本发明提供的支持多种编码器协议的伺服驱动器的控制框图;

[0023] 图3为本发明实施例中默认支持第一固态存储器的控制框图;

[0024] 图4为本发明实施例中DSP更换固态存储器后的结构示意图;

[0025] 图5为本发明实施例中编码器数据处理功能框图。

具体实施方式

[0026] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 本发明的目的是提供一种在具有支持多种编码器使用功能的基础上,还具有结构简单、成本低廉等特点的支持多种编码器协议的伺服驱动器。

[0028] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0029] 图1为本发明提供的支持多种编码器协议的伺服驱动器的结构原理图,一种支持多种编码器协议的伺服驱动器,包括:编码器接口、FPGA、DSP和固态存储器;其中,所述FPGA和所述编码器接口的个数优选为1。

[0030] 所述编码器接口与所述FPGA连接;所述FPGA分别与所述DSP、所述固态存储器连接;所述DSP与所述固态存储器连接;

[0031] 所述固态存储器用于存储多种支持编码器通信协议的程序数据,且所述固态存储器中存储的程序数据支持的编码器通信协议均不相同;所述编码器接口用于读取待驱动编码器采集到的位置数据;所述DSP用于根据所述伺服参数控制所述Flash片选信号的输入值,以开启或关闭所述固态存储器;所述FPGA用于读取所述固态存储器中存储的程序数据,通过编码器数据解析模块对当前伺服驱动器连接的编码器数据进行解析,并通过DSP数据交互模块将解析后得到的位置数据上传给DSP;所述DSP通过FPGA交互功能模块和所述FPGA进行数据交互,根据所述FPGA上传的位置数据实时更新伺服驱动数据,以驱动电机平稳运行。

[0032] 在本发明提供的上述技术方案中,所述驱动器可以支持但不限于尼康、多摩川、Biss、SSI以及Endat2.2等同步和异步协议的编码器。

[0033] 优选的,所述编码器接口与所述FPGA的编码器数据解析模块连接;所述FPGA与所述DSP通过SPI接口、nCFG接口和Init接口连接;所述DSP的SEL接口通过开关选择器与所述固态存储器的/CE接口连接;所述FPGA的nCSC接口与所述固态存储器/CE接口连接。其中,DSP和FPGA之间的SPI通信,可以使用其他任何一种通信方式。

[0034] 在基于DSP+FPGA的伺服驱动器控制架构上,固态存储器可以使用两片低成本程序存储芯片Flash1和Flash2(第一固态存储器和第二固态存储器);

[0035] 所述第一固态存储器的/CE接口和所述第二固态存储器的/CE接口均通过开关选择器件与所述DSP的SEL接口连接;所述第一固态存储器的数据输出接口和所述第二固态存储器的数据输出接口均通过开关选择器件与所述FPGA的nCSC接口连接。

[0036] 优选的,当所述SEL接口输出值为0时,所述第一固态存储器开启;当所述SEL接口输出值为1时,所述第二固态存储器开启。

[0037] 为了便于对固态存储器中的编码器通信协议进行更新,本发明提供的支持多种编码器协议的伺服驱动器还包括上位机;

[0038] 所述固态存储器植入到所述上位机中;所述上位机用于更新所述固态存储器中存储的编码器通信协议。

[0039] 本发明不仅支持异步通信协议的编码器,同时也支持同步通信协议的编码器,扩展了驱动器的适应性。

[0040] 同时,本发明亦可实现FPGA的在线升级。通过Flash的切换,可以提高FPGA在线升级的可靠性。

[0041] 下面,基于本发明提供的支持多种编码器协议的伺服驱动器的工作原理对本发明的优点进行进一步说明。

[0042] 如图2所示,基于本发明提供的技术方案,DSP具有伺服驱动、与上位通讯、故障检

测、与FPGA交互以及AD采样等功能。FPGA对编码器数据进行解析后,上传给DSP,用于伺服控制。

[0043] FPGA内部功能模块如图5所示,包含编码器数据解析模块、DSP数据交互模块以及其他辅助功能模块。

[0044] Flash1和Flash2分别存放支持不同编码器的程序,设Flash1支持的编码器类型包括A、B、C和D,而Flash2支持的编码器类型包括E、F和G。系统默认DSP中SEL=0时,选择Flash1作为FPGA默认的启动Flash,驱动器默认支持编码器类型为A、B、C和D,如图3所示。

[0045] 系统上电时,若驱动器采用默认伺服参数,则DSP根据驱动器的伺服参数输出SEL=0,即此时Flash1片选信号/CE有效。同时输出nCFG的低电平脉冲信号,FPGA从此时连接的Flash中读取程序数据,并完成自启动。当FPGA完成初始化之后,Init信号变为高电平。DSP接收到Init高电平之后,认为FPGA进入到正常工作模式,可以对外接编码器数据进行解析。此时驱动器支持的编码器类型为:编码器A、编码器B、编码器C和编码器D。

[0046] 当需要更换不同通信协议的编码器时,只需通过上位机修改伺服参数的编码器类型。DSP根据当前设置的伺服参数,判断是否令FPGA从Flash1切换到Flash2中的程序。因此若仅需要更换A、B、C和D编码器类型中的一种,则保持SEL=0;若需要更换为Flash2中的程序,则DSP中SEL的信号更改为SEL=1。在FPGA完成重启后,则可以支持编码器类型为编码器E、编码器F和编码器G。当选择Flash2时的系统功能见图4。

[0047] 当确定了启动Flash之后,FPGA正常工作时,通过编码器数据解析模块对支持的编码器进行数据解析,并通过SPI通信将实时位置值上传给DSP。

[0048] 当需要对FPGA程序在线升级时,DSP根据编码器类型设定值选择Flash片选信号/CE。

[0049] 假设当前编码器类型设置为A,客户现场需要更换编码器至类型B,则DSP输出保持SEL=0选择Flash1(图1中的①),FPGA通过SPI总线接收升级数据并写入对应的Flash1。DSP监控FPGA升级状态,并输出nCFG控制信号(图1中的②)启动FPGA的重配置。当FPGA完成重配置之后,进入到初始化阶段,此时所有的接口均为高阻。在FPGA初始化结束之后,输出初始化完成信号init_DONE(图1中的③)并自启动,可以进入到用户模式,完成设计功能。

[0050] 由于升级过程中,只对一片Flash操作,保证另外一片Flash数据不变。因此可以保证驱动器在任何时候都能够保证FPGA可以从Flash正确启动。其中,在本发明提供的技术方案中FPGA的升级方式为现有技术,其具体参见专利文件CN110737452A,在此不再进行赘述。

[0051] 相对于现有技术,本发明提供的技术方案还具有以下优点:

[0052] 1、不增加伺服驱动器硬件和结构复杂度的情况下,可支持多种编码器协议。

[0053] 2、硬件设计简单,只采用一片FPGA,一个编码器接口,即可同时支持同步通信协议和异步通信协议编码器。同时还可以完成在线升级功能,提高驱动器的适应性和可靠性。

[0054] 3、FPGA固件开发简单,具有系统成本低、开发周期短的特点。

[0055] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。

[0056] 本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处。综上所述,本说明书内容不

应理解为对本发明的限制。

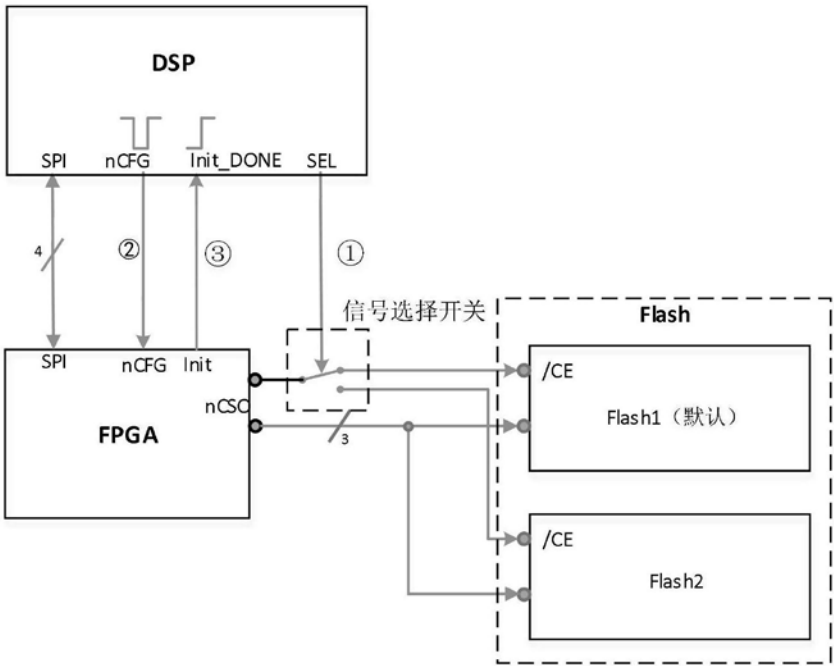


图1

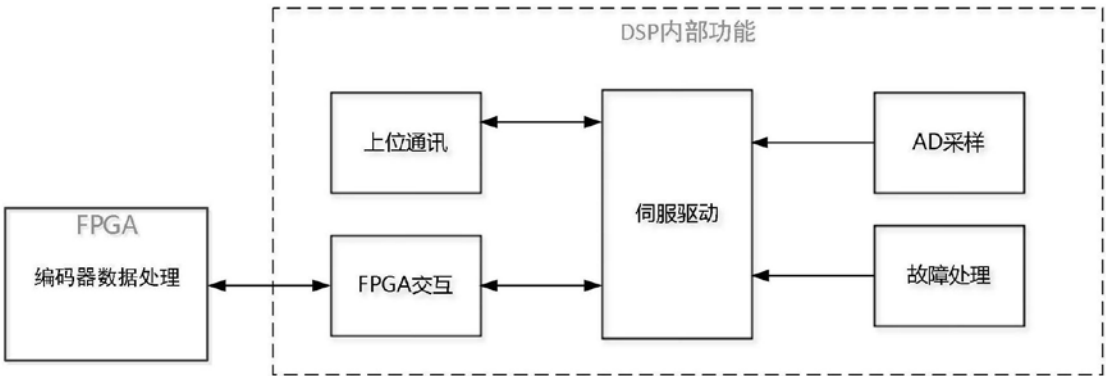


图2

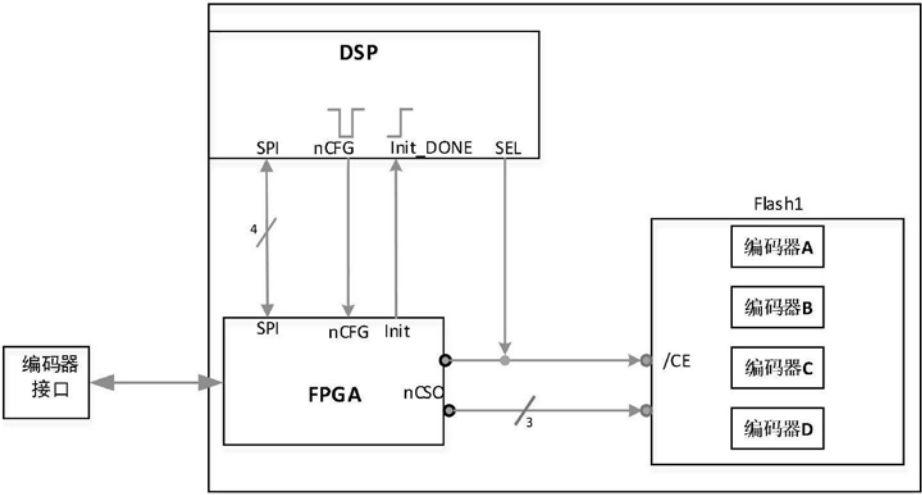


图3

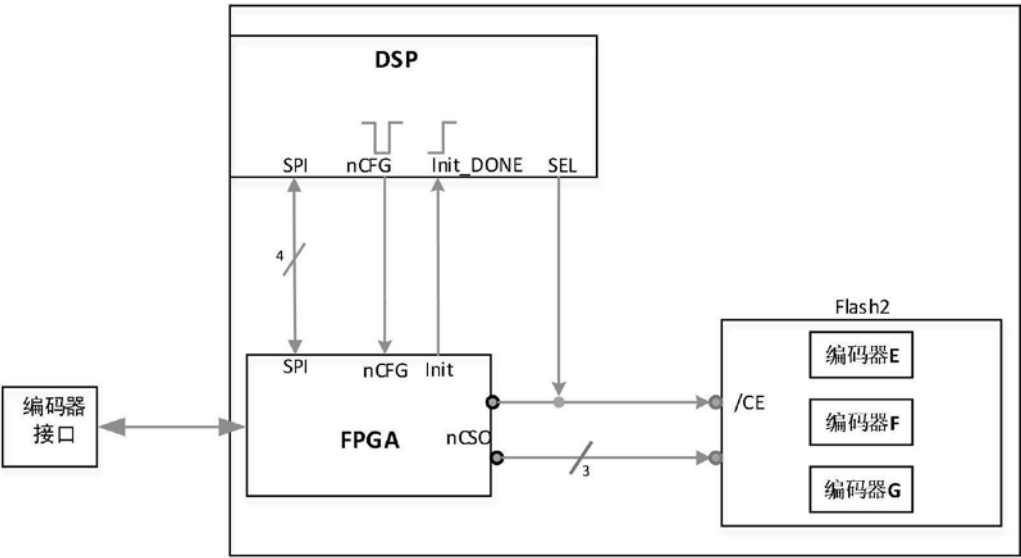


图4

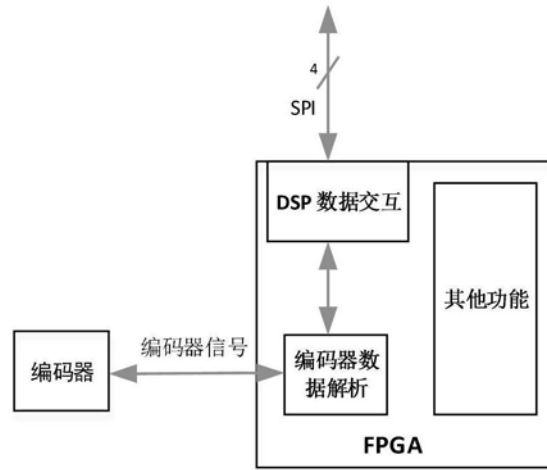


图5