

19



Bureau voor de
Industriële Eigendom
Nederland

11 1006803

12 C OCTROOI²⁰

21 Aanvraag om octrooi: 1006803

51 Int.Cl.⁶
H01L21/316, H01L21/8234

22 Ingediend: 20.08.97

41 Ingeschreven:
23.02.99

73 Octrooihouder(s):
United Microelectronics Corporation te
Hsinchu, Taiwan (TW).

47 Dagtekening:
23.02.99

72 Uitvinder(s):
Shih-Wei Sun te Taipei (TW)
Meng-Jin Tsai te Paoshan (TW)

45 Uitgegeven:
03.05.99 I.E. 99/05

74 Gemachtigde:
Ir. L.C. de Bruijn c.s. te 2517 KZ Den Haag.

54 Differentiële gate-oxidedikte door stikstofimplantatie voor gemengde- modus- en ingebedde vlsi-schakelingen.

57 Verschillende dikten van gate-oxiden kunnen worden gevormd op één enkele chip in één enkel oxidatieproces door het selectief implanteren van stikstof in het oppervlak van de chip in een patroon dat overeenkomt met de gewenste dikten in gate-oxide- dikte. Het implanteren van stikstof in een siliciumsubstraat reduceert de snelheid waarmee oxide op het oppervlak groeit. Derhalve, door het implanteren van verschillende doseringen van stikstof in het oppervlak van het substraat, kunnen dikkere of dunnere oxidelagen worden verschaft. Een verwerkings-chip met ingebed DRAM kan dan worden gevormd, waarbij de logische schakeling een dunne gate-oxide heeft en de DRAM-schakeling een dikke gate-oxide heeft, door het implanteren van de hogere dosis van stikstof in het gebied van de chip waar de logische schakelingen gevormd moeten worden. Verschillende gate-oxide- dikten worden dan verschaft door het blootstellen van zowel het deel voor de logische schakeling als het ingebedde DRAM-deel aan één enkel thermisch oxidatie-proces.

NL C 1006803

De inhoud van dit octrooi komt overeen met de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekeningen.

DIFFERENTIËLE GATE-OXIDEDIKTE DOOR STIKSTOFIMPLANTATIE VOOR GEMENGDE-
MODUS- EN INGEBEDDE VLSI-SCHAKELINGEN

De onderhavige uitvinding heeft betrekking op de fabricage van
5 geïntegreerde schakelinrichtingen die verschillende dikten van gate-
oxiden op het oppervlak van een substraat omvatten.

Veldeffecttransistoren (FET's) zijn een van de meest wijd en zijd
gebruikte inrichtingen in geïntegreerde schakelingen, omdat FET-scha-
kelingen zodanig gemaakt kunnen worden dat deze een grote verscheiden-
10 heid aan functies uitvoeren en FET-inrichtingen gefabriceerd kunnen
worden die zeer reproduceerbare en voorspelbare eigenschappen hebben.
Een ander voordeel van FET-inrichtingen is dat deze zeer klein gemaakt
kunnen worden en dicht op elkaar gepakt kunnen worden. Een typische
FET bestaat uit source- en drain-elektroden die op afstand van elkaar
15 liggen in een substraat aan elke zijde van een kanaalgebied en uit een
geleidende gate-elektrode die van het kanaalgebied door middel van een
gate-oxidelaag is gescheiden. De FET wordt gevormd op een oppervlak
van een silicium- of ander halfgeleidersubstraat dat een achtergrond-
dotering van een eerste geleidbaarheidstype heeft. Een laag van gate-
20 oxide wordt op het oppervlak van het substraat voorzien, in het alge-
meen door thermische oxidatie om zo een uniforme en dichte oxidelaag
te verschaffen die een voorspelbare dikte en een voorspelbaar en laag
niveau van gefixeerde lading heeft. De gate-elektrode wordt vervolgens
gevormd door het neerslaan en patronen aanbrengen in een laag van
25 polysilicium, die geleidend gemaakt kan worden door "in situ" dotering
tijdens het aanbrengen of door diffusie of ionenimplantatie na het
neerslaan. Vaak wordt een laag van een geleidend materiaal zoals me-
taal of metaalsilicide aangebracht op de laag van polysilicium om de
soortelijke weerstand van de gate-elektrode te reduceren. De source-
30 en drain-elektroden worden gevormd in het substraat door middel van
ionenimplantatie van onzuiverheden van het tweede geleidbaarheidstype,
waarbij de gate-elektrode als een masker fungeert, zodat de source-,
drain- en kanaalgebieden zelf-uitgericht zijn met de gate-elektrode.

FET-bedrijfskarakteristieken worden bepaald door veel verschil-
35 lende aspecten van de FET-structuur inclusief de dikte van de gate-
oxidelaag. De bovenste grens van de bedrijfsspanning van de FET wordt
grotendeels afgeleid van de spanning waarbij de gate-oxidelaag diëlek-
trische doorslag ondergaat, die op zijn beurt grotendeels wordt be-

1006803

paald door de dikte van de gate-oxidelaag. Omdat FET's die in verschillende toepassingen worden gebruikt ontworpen zijn om bij verschillende bedrijfsspanningen te werken, omvatten FET's in praktische toepassingen verschillende dikten van gate-oxidelagen om zich aan de
5 verschillende bedrijfsspanningen aan te passen. FET's kunnen ook verschillende dikten van gate-oxide hebben om ofwel hoge-snelheidsbedrijf (dunnere gate-oxide) ofwel lage lekkage (dikkere gate-oxide) mogelijk te maken. Derhalve kunnen FET's binnen geheugeninrichtingen worden gevormd die één dikte van gate-oxide hebben, terwijl FET's in logische
10 hoge-snelheids-, laagspannings-schakelingen een tweede, aanzienlijk dunnere gate-oxidelaag kunnen hebben. Meestal zijn geheugen- en logische schakelingen gescheiden op afzonderlijke chips. Wanneer geheugen- en logische schakelingen op afzonderlijke chips worden gevormd, worden de gewenste gate-oxidetolken bereikt door het gebruik van verschillen-
15 de universele thermische oxidatieprocedures tijdens de fabricage voor het groeien van de verschillende dikten van gate-oxiden. Verschillende dikten van gate-oxide worden gemakkelijk verschaft door de verschillende substraten gedurende verschillende tijdsperioden aan oxiderende omgevingen bloot te stellen.

20 Onlangs is er een toenemend aantal chipontwerpen voorgesteld, die schakelingen op één enkele chip zouden omvatten die gebruik maken van FET's met verschillende dikten van gate-oxiden, ofwel voor het verkrijgen van verschillende bedrijfsspanningen ofwel voor het variëren van andere bedrijfskarakteristieken. Er zijn bijvoorbeeld chipontwerpen
25 voorgesteld die logische schakelingen omvatten die gebruik maken van FET's die dunnere gate-oxidelagen hebben en die geheugenschakelingen omvatten die gebruik maken van FET's die dikkere gate-oxidelagen hebben. Om deze ontwerpen succesvol te implementeren is het nodig om FET's te vormen die verschillende gate-oxidetolken op dezelfde chip
30 hebben. Dit kan worden bereikt door het maskeren van delen van de chip en het uitvoeren van verschillende thermische oxidatieprocessen voor elk van de verschillende delen van de chip. Het zal duidelijk zijn dat implementatie van de veelvoudige maskeerstappen en veelvoudige thermische oxidatiestappen kenmerkend zeer gecompliceerd is. Om de integriteit van een gate-oxidelaag te handhaven is het nodig om de gate-
35 oxidelaag te bedekken met de polysiliciumlaag die gevormd zal worden in de gate-elektroden van de FET's in dat gebied voordat andere verwerkingsstappen uitgevoerd zullen worden. Als een chipontwerp FET's

1006803

vereist die veelvoudige verschillende gate-oxidedikten hebben, zou het derhalve noodzakelijk zijn om de chip te maskeren op een wijze die alleen die delen van de chip blootlegt waar FET's die een eerste dikte van gate-oxide omvatten gevormd moeten worden. De blootgelegde delen van de chip worden dan thermisch geoxideerd en er wordt polysilicium over de chip aangebracht. De polysiliciumlaag moet dan worden verwijderd over die andere delen van de chip waar andere dikten van gate-oxide gegroeid moeten worden. Dit proces wordt herhaald voor elk van de verschillende dikten van gate-oxide die gevormd moeten worden op de chip.

Deze strategie van veelvoudige maskeerstappen en veelvoudige thermische oxidatiestappen heeft echter nadelen. De processtroom die wordt gebruikt bij het vormen van FET's met verschillende dikten van gate-oxide is natuurlijk veel gecompliceerder, tijdrovender en vereist veel meer productiebronnen dan meer conventionele, uniforme gate-oxide-FET-fabricageprocessen. Dergelijke processen stellen delen van het substraat en het gate-elektrode-polysilicium bloot aan veelvoudige etsstappen en veelvoudige fotolakmaskers, die defecten aan latere verwerkingsstappen kunnen introduceren. Deze strategie vereist veelvoudige thermische oxidatiestappen, wat op zijn beurt vereist dat een deel van de gate-oxidelagen veelvoudige hoge-temperatuur-verwerkingsstappen ondergaan, die de betrouwbaarheid van de gate-oxidelagen kunnen reduceren en daardoor de betrouwbaarheid van de FET's reduceren die de gate-oxidelagen omvatten.

Het zou derhalve wenselijk zijn om een verbeterde werkwijze te verschaffen voor het vormen van verschillende dikten van gate-oxidelagen op één enkele chip.

Overeenkomstig een voorkeursuitvoeringsvorm van de onderhavige uitvinding wordt een geïntegreerde schakeling gevormd op een substraat dat een eerste gebied heeft waarop eerste MOS-inrichtingen gevormd moeten worden en een tweede gebied waarop tweede MOS-inrichtingen gevormd moeten worden. Een eerste concentratie van een eerste doteermiddel wordt verschaft in het halfgeleidersubstraat aan het oppervlak van het tweede gebied. Een tweede concentratie van een tweede doteermiddel wordt verschaft in het halfgeleidersubstraat aan het oppervlak van het tweede gebied. Het oppervlak van de halfgeleider of het substraat wordt geoxideerd om een eerste dikte van oxide op de eerste gebieden van het halfgeleidersubstraat te groeien en om een tweede,

verschillende dikte van oxide op het tweede gebied te groeien in één enkel oxidatieproces. Eerste MOS-inrichtingen worden gevormd op de eerste gebieden van het halfgeleidersubstraat die de eerste dikte van oxide omvatten en tweede MOS-inrichtingen worden gevormd op het tweede gebied van het halfgeleidersubstraat die de tweede dikte van oxide omvatten.

Overeenkomstig een andere voorkeursuitvoeringsvorm van de uitvinding wordt een geïntegreerde schakeling gevormd op een substraat dat een eerste gebied heeft waarop eerste MOS-inrichtingen die een eerste gate-oxidetdikte hebben zijn gevormd en een tweede gebied waarop tweede MOS-inrichtingen zijn gevormd. De samenstelling van het substraat wordt binnen tenminste één van het eerste gebied en het tweede gebied ingesteld zodat het eerste gebied en het tweede gebied verschillende oxide-groeikarakteristieken zullen hebben in een oxidatie-omgeving. Het substraat wordt blootgesteld aan een oxidatie-omgeving, zodat een eerste dikte van een eerste oxidelaag in het eerste gebied groeit en een tweede dikte van een tweede oxidelaag in het tweede gebied groeit na blootstelling van het eerste gebied en het tweede gebied aan een oxidatie-omgeving. Eerste MOS-inrichtingen worden gevormd op het eerste gebied van het substraat en tweede MOS-inrichtingen worden gevormd op het tweede gebied van het substraat.

Figuur 1 illustreert de snelheid van oxidegroei op verschillende stikstof-geïmplanteerde siliciumoppervlakken.

Figuren 2A-C illustreren de isolatie-inrichtingen voor drie verschillende secties van een schakeling die is gevormd overeenkomstig de onderhavige uitvinding.

Figuren 3A-C illustreren een aanvankelijke oxidatiesnelheids-modificatiestap aan de schakeling die in de figuren 2A-C is getoond.

Figuren 4A-C illustreren een verdere oxidatiesnelheids-modificatiestap die wordt uitgevoerd op de schakeling van de figuren 3A-C.

Figuren 5A-C illustreren de resultaten van een thermisch oxidatie- en polysilicium-neerslagproces overeenkomstig de onderhavige uitvinding die is toegepast op de hierboven geïllustreerde schakeling.

Figuren 6A-C illustreren verschillende delen van een schakeling die verschillende dikten van gate-oxide omvat.

Bijzondere voorkeursuitvoeringsvormen van de onderhavige uitvinding vergemakkelijken de vorming van hoge-snelheids-verwerkingsschakelingen, ingebedde schakelingen, gemengde-modus-schakelingen en andere

schakelingen die FET's met verschillende dikten van gate-oxide op één enkele chip omvatten. De oxidatiekarakteristieken van geselecteerde delen van een siliciumsubstraat worden gewijzigd zodat verschillende dikten van oxide op de verschillende delen van het substraat zullen
5 groeien wanneer de verschillende delen van het substraat tegelijkertijd worden blootgesteld aan een oxidatie-omgeving gedurende een vaste tijdsperiode. Verwerking op deze wijze maakt het mogelijk dat MOS-schakelingen die verschillende dikten van gate-oxidelagen omvatten gevormd kunnen worden in de verschillende delen van het substraat,
10 zoals gewenst is voor de specifieke complexe schakeling die wordt gevormd, terwijl het substraat aan slechts één hoge-temperatuur-oxidatiestap wordt blootgesteld. Het minimaliseren van het totale aantal keren dat elk van de gate-oxidelagen wordt blootgesteld aan hoge temperaturen tijdens het fabricageproces verbetert de kwaliteit van de
15 gate-oxidelagen in de voltooide inrichting. Bovendien wordt het proces voor het vormen van een dergelijke gecompliceerde schakeling vereenvoudigd en verkort door het uitvoeren van slechts één enkel thermisch oxideproces voor het vormen van gate-oxidelagen.

De oxidatiekarakteristieken van een siliciumsubstraat kunnen
20 bijvoorbeeld worden gewijzigd door het wijzigen van de chemische samenstelling aan het oppervlak van het siliciumsubstraat. Het opnemen zelfs van een kleine hoeveelheid stikstof in silicium reduceert de snelheid waarmee thermische oxidatie op het gemodificeerde siliciumoppervlak plaatsvindt. Dit verschijnsel wordt schematisch in figuur 1
25 geïllustreerd. Verschillende doseringen van stikstof worden in het oppervlak van het siliciumsubstraat geïmplanteerd en het siliciumsubstraat met zijn verschillende doseringen van geïmplanteerd stikstof wordt gedurende verscheidene tijdsperiodes blootgesteld aan een oxiderende omgeving. Zoals in figuur 1 te zien is, groeit een oxidelaag tot
30 een dikte van circa 100 Å op een ongedoteerd siliciumoppervlak dat gedurende twee uur is blootgesteld aan een oxiderende omgeving. Als daarentegen een dosering van $5 \times 10^{14}/\text{cm}^2$ van stikstofionen met een energie van circa 25 KeV in een siliciumsubstraat wordt geïmplanteerd, groeit een twee uur durende blootstelling aan de oxiderende omgeving
35 een oxidelaag die een dikte van slechts circa 40 Å heeft. Het is te verwachten dat zelfs dramatischere variaties in de snelheid van oxidegroei bereikt kunnen worden voor langere oxidatietijdsperiodes. Het zal voor de vakman met gebruikelijke vakkennis duidelijk zijn dat een

reeks van verschillende oxidedikten geselecteerd kan worden door het onafhankelijk variëren van de hoeveelheid stikstof die aanwezig is op het oppervlak van het siliciumsubstraat dat oxidatie ondergaat.

Een verdere beschrijving van dit verschijnsel kan worden gevonden
5 in de verhandeling door Liu, e.a., "High Performance 0.2 μm CMOS with
25 Å Gate Oxide Grown on Nitrogen Implanted Si Substrates," Procee-
dings of the IEDM 1996 499-502 (1996), welke verhandeling hierbij als
referentie is opgenomen.

Zoals in die verhandeling is beschreven blijkt dat stikstof die
10 in een siliciumsubstraat is geïmplanteerd dat achtereenvolgens wordt
blootgesteld aan een oxiderende omgeving, tijdens oxidatie in de
oxidelaag diffundeert, waarbij weinig stikstof in het substraat
achterblijft, zelfs na een kort oxidatieproces, zodat het meeste van
het stikstof zich nabij het grensvlak tussen de gegroeide oxidelaag en
15 het siliciumsubstraat verzamelt. Er kan verwacht worden dat andere
geïmplanteerde doteermiddelen of andere wijzigingen in de chemische
samenstelling van het substraat tevens variaties kunnen verschaffen in
de snelheid van oxidegroei in thermische oxidatieprocessen, op een
wijze die soortgelijk is aan de wijze die is geïllustreerd in figuur 1
20 voor stikstofimplantatie. Stikstofimplantatie heeft in het onderhavige
geval de voorkeur omdat stikstofimplantatie weinig effect heeft op de
elektrische kenmerken van het siliciumsubstraat op het doteringsniveau
dat thans wordt beschouwd wanneer de onderhavige uitvinding wordt
uitgevoerd. Als, zoals gesuggereerd door het artikel van Liu, tijdens
25 de oxidatie stikstof in de oxidelaag wordt afgescheiden, dan heeft
stikstof nog meer de voorkeur, aangezien van de oxidelaag die stikstof
omvat verwacht kan worden dat deze een hogere koppelingsgraad tussen
een gate-elektrode en een substraat in een MOSFET verschaft. Bovendien
kan, zoals geïllustreerd in figuur 1, de dikte van gate-oxide dat in
30 een vaste-tijd-blootstelling aan het oxidatieproces wordt gegroeid
over een wijd gebied worden gevarieerd, waarbij dit in het algemeen de
dikten bevat die wenselijk zijn voor gate-oxiden die gebruikt moeten
worden in verscheidene van de schakelingen die samen op één enkele
chip gecombineerd kunnen worden. Andere voorwaarden voor de energie en
35 dosering die gebruikt kunnen worden voor de stikstofimplantatie over-
eenkomstig de onderhavige uitvinding kunnen ook worden bepaald door
eenvoudige variatie van de parameters die in figuur 1 zijn geïllus-
treerd, of door de werkwijzen die in de hierboven aangegeven verhande-

ling van Liu zijn beschreven.

Een geschikte wijziging van de oxidatiekarakteristieken van een siliciumsubstraat kan derhalve worden bewerkstelligd door het implanteren van stikstof in het oppervlak van een deel van een silicium-
5 schijfje met een hoeveelheid die voldoende is om de oxidatiesnelheid met een gewenste hoeveelheid te wijzigen. Een serie van maskeer- en implantatiestappen kan dan worden gebruikt voor het vormen van gelokaliseerde gebieden op het oppervlak van het siliciumsubstraat dat verschillende oxidatiekarakteristieken heeft. Het substraat wordt dan
10 geoxideerd voor het groeien van verschillende dikten van thermische oxide die overeenkomen met de gelokaliseerde variaties in de oxidatiekarakteristieken van het substraat. Het verwerken gaat verder voor het vormen van MOS-schakelingen op de geselecteerde gebieden die bedrijfskarakteristieken hebben die behoren bij de specifieke doelstellingen
15 van de MOS-schakelingen.

Verscheidene gespecialiseerde schakelingen vereisen de nauwe samenwerking van verschillende schakelingscomponenten die fundamenteel verschillende bedrijfskarakteristieken hebben. De kernfunctie van grafische processoren en grafische accelatoren wordt bijvoorbeeld
20 uitgevoerd door schakelingen zoals microprocessoren of digitale signaalprocessoren die kenmerkend worden geïmplementeerd in logische hoge-snelheids-MOS-schakelingen met gebruikmaking van hoge-snelheids-FET's met lage bedrijfsspanningen en dunne gate-oxidelagen. Kenmerkend vereisen grafische processoren significante randschakelingen die,
25 hoewel ze niet specifiek zijn voor de functie van de grafische processor, niettemin essentieel voor het gebruik hiervan zijn. Grafische processoren, hoge-snelheids-microcontrollers en -microprocessoren kunnen bijvoorbeeld intern gebruik maken van logische hoge-snelheids-
30 en lage-bedrijfsspannings-schakelingen, maar moeten algemeen robuustere en hogere-bedrijfsspannings-I/O-schakelingen gebruiken om met andere schakelingen op andere chips gekoppeld te worden. Derhalve is het gewenst om op een gegeven logische schakeling tenminste een sectie van het substraat dat aan MOSFET's is gewijd te verschaffen die dikkere gate-oxidelagen omvatten en die geschikt zijn voor hogere bedrijfs-
35 spanningen om I/O-functies mogelijk te maken. Het verschaffen van een verschillende reeks van MOSFET's voor de I/O-schakeling heeft in grote mate de voorkeur boven het alternatief van het maken van alle logische schakelingen overeenkomstig de ontwerp-karakteristieken die vereist

zijn voor I/O-schakelingen. Een dergelijk universeel ontwerp zou het prestatievermogen van de logische schakeling op een ongewenste wijze benadelen. Conventionele strategieën van veelvoudige maskeersteps en veelvoudige thermische oxidatiestappen voor het bereiken van de verschillende bedrijfskarakteristieken van de logische en I/O-schakelingssecties kunnen echter het prestatievermogen van een of beide schakelingssecties ongewenst benadelen. Problemen ontstaan vanwege de herhaalde hoge-temperatuur-verwerkingsstappen en omdat de elevatie van maskeerlagen over delen van de chip beperkingen oplegt met betrekking tot de fotolithografietyperen die effectief gebruikt kunnen worden bij de fabricage van dergelijke inrichtingen.

Verdere moeilijkheden ontstaan wanneer secties van ingebed geheugen op dergelijke chips met hoog prestatievermogen worden gevormd. Voor optimaal prestatievermogen van een aantal ontwerpen van grafische processoren is het zeer gewenst om een hoeveelheid ingebed geheugen op de chip te verschaffen, zodat tot het geheugen toegang genomen kan worden zonder door I/O-schakelingen of een geheugen of systeembus extern van de processor te hoeven gaan, in het bijzonder wanneer er competitie voor het geheugen of de busbronnen is. Dergelijk on-chip of ingebed geheugen heeft het verdere voordeel dat het toegankelijk is bij de hogere kloksnelheden die kenmerkend intern worden gebruikt in dergelijke processoren. Derhalve is het, voor hoge-snelheids-verwerking van grote hoeveelheden data, zoals die wordt uitgevoerd in grafische processoren, gewenst om secties van ingebed dynamisch willekeurig toegankelijk geheugen (dynamic random access memory = DRAM) op te nemen voor het optimaliseren van het algehele systeemprestatievermogen. Het verschaffen van een dergelijk ingebed DRAM op de chip behelst aanzienlijke moeilijkheden, beginnend met een zelfs nog meer uitgesproken moeilijkheid bij het handhaven van voldoende velddiepte voor de fotolithografiestappen die worden gebruikt bij het fabriceren van de componenten van de DRAM. De condensatordiëlektrica voor dergelijke DRAM-condensatoren vertegenwoordigen een verdere uitdaging voor de verschaffing van ingebed DRAM in een grafische of ander type verwerkings-chip, omdat de condensatordiëlektrica vaak een of meer lagen van thermische oxide omvatten, die kenmerkend worden gevormd in hoge-temperatuur-verwerkingsstappen. Het is zeer gewenst om de topografie en hoge-temperatuur-processen te minimaliseren die behoren bij het verschaffen van veelvoudige dikten van gate-oxide op één enkele chip.

Hierdoor kunnen de verwerkingsmarges voor navolgende processen, zoals het vormen van ladingopslagcondensatoren voor ingebedde DRAM's, worden verbeterd.

5 Verdere aspecten van de onderhavige uitvinding worden nu beschreven met verwijzing naar een specifiek voorbeeld van een verwerkings-
schakeling die op één enkele chip ingebed DRAM, logische hoge- snel-
heids-schakelingen, en I/O-schakelingen omvat die bij hogere spanning-
10 kunnen werken dan de logische schakeling. De figuren 2A, 2B en 2C
illustreren verschillende secties van een substraat waarop de compo-
nenten van een verwerkingsschakeling gevormd moeten worden. Logische
hoge-snelheids-schakelingen zullen worden gevormd in sectie A, I/O-
schakelingen zullen worden gevormd in sectie B en ingebed DRAM zal
worden gevormd in sectie C. In de geïllustreerde uitvoeringsvormen
15 worden ondiepe-geul-isolatiestructuren 20 en een aantal conventionele
implantaties gevormd vóór de groei van de gate-oxidelagen. Derhalve
tonen de figuren 2A-C ondiepe-geul-isolatiegebieden 20 die worden
gevormd door het etsen van geulen in het substraat 10 en dan hervullen
van de geulen met gebruikmaking van chemische dampdepositie (chemical
vapor deposition = CVD)-oxide. Bovendien zijn isolatieputten 22, 24
20 verschaft voor de CMOS-schakelingen die in dit voorbeeld in de secties
A en B gevormd moeten worden. Na de verscheidene voorbereidende ver-
werkingsstappen wordt een aansluitvlak-oxidelaag 26 van circa 200 Å
dikte verschaft door thermische oxidatie of door CVD. Deze aansluit-
vlak-oxidelaag 26 beschermt de actieve gebieden van de inrichting
25 tijdens de navolgende verwerkings- en implantatiestappen. De implanta-
tie van de voorkeursstikstof-oxidatiesnelheidsmodifier wordt met de
meeste voorkeur uitgevoerd kort vóór de groei van de gate-oxidelaag op
het substraat 10. Met de meeste voorkeur wordt er geen thermische
oxidatiestap of andere hoge-temperatuur-stap, die normaal vergezeld
30 zou gaan van de groei van een oxidelaag, uitgevoerd na de stikstof-
implantatie en vóór de groei van het gate-oxide op het substraat. Deze
sequentie van verwerkingsstappen verdient de voorkeur vanwege de waar-
genomen neiging van de stikstof om te diffunderen in oxide dat op een
stikstof-geïmplantieerd siliciumoppervlak is gegroeid. Door het groeien
35 van de gate-oxidelaag als de eerste thermische verwerkingsstap die op
de stikstofimplantatie volgt, wordt het grootste effect op de oxida-
tiesnelheid waargenomen. Het zal verder duidelijk zijn dat, aangenomen
dat de vermelde observaties correct zijn, het onnodig is om de stik-

stofimplantatie te gloeien om de voordelen van langzamere oxidatie te bereiken. Dit is omdat de stikstof gemakkelijk blijkt te diffunderen in de aanvankelijke stadia van het oxidatieproces, en als belangrijkste effect blijkt te hebben dat deze een barrière vormt tegen zuurstof dat op het oppervlak van het siliciumsubstraat diffundeert.

Met verwijzing nu naar de figuren 3A-C worden de substraatsecties B en C waarop de I/O-schakelingen en ingebedde DRAM-schakelingen respectief gevormd moeten worden, bedekt door een fotolakmasker 28. Het fotolakmasker 28 wordt op een conventionele wijze gevormd voor het blootleggen van alleen de sectie A waarop de logische hoge-snelheids-schakelingen gevormd moeten worden. Zoals geïllustreerd is het oppervlak van het substraat 10 in sectie A alleen bedekt door de aansluitvlak-oxidelaag 26 die het substraat beschermt en kanaalvorming van de geïmplanteerde stikstofionen verhindert. Stikstofionen worden dan in het oppervlak van het substraat in sectie A geïmplanteerd tot een dosering van circa $5 \times 10^{14}/\text{cm}^2$ bij een energie van circa 25 KeV door de aansluitvlak-oxidelaag 26 heen. Er wordt geen stikstof geïmplanteerd in sectie B en C omdat deze secties worden bedekt door het fotolakmasker 28. Wanneer het met stikstof geïmplanteerde siliciumoppervlak van sectie A later gedurende twee uur wordt blootgesteld aan een oxidatie-omgeving, zal een gate-oxidelaag van circa 40 Å op het oppervlak van het substraat groeien. Een dergelijke dunne gate-oxidelaag is geschikt voor gebruik in logische hoge-snelheids-FET's met bedrijfsspanningen tussen circa 1,8-2,5 V.

Kenmerkend wordt het volgende stadium van stikstofimplantatie uitgevoerd door het wegtrekken van het bestaande fotolakmasker 28 dat is geïllustreerd in de figuren 3A-C en het vervangen van het masker door een nieuw masker dat het sectie-A-deel van het substraat bedekt dat is bestemd voor logische laagspannings-schakelingen en het sectie-C-deel van het substraat dat is bestemd voor ingebedde DRAM-schakelingen. Bij voorkeur wordt het oude fotolakmasker 28 weggetrokken in een verassingsproces van vergelijkenderwijs lage temperatuur. Met de meeste voorkeur is het verassingsproces zuurstof-gebaseerd en zal de aansluitvlak-oxidelaag 26, die het oppervlak van het substraat 10 in de secties A, B en C bedekt, niet aantasten. Op deze wijze is er geen noodzaak voor een thermisch oxidatieproces voor het verschaffen van een aansluitvlak-oxidelaag over sectie B vóór de implantatie van stikstofionen. Nadat het eerste stikstof-implantatiemasker is verwijderd,

wordt een tweede stikstof-implantatiemasker 30 verschaft in fotolak door middel van conventionele lithografie voor het bedekken van het sectie-A-deel van het substraat dat gewijd moet worden aan logische schakelingen en het sectie-C-deel van het substraat dat gewijd moet
5 worden aan ingebedde DRAM-schakelingen, zoals geïllustreerd in de figuren 4A-C. Stikstofionen worden dan door de blootgelegde aansluitvlak-oxidelaag 26 in het sectie-B-deel van het substraat 10, dat is geïllustreerd in figuur 4B, geïmplanteerd. Bij voorkeur wordt een dosis van circa $2 \times 10^{14}/\text{cm}^2$ stikstofionen verschaft door de aansluit-
10 vlak-oxidelaag bij een energie van circa 25 KeV. Wanneer het stikstof-geïmplanteerde siliciumoppervlak van sectie B later voor twee uur wordt blootgesteld aan een oxiderende omgeving, zal een gate-oxidelaag van circa 75 Å dikte op het oppervlak groeien. Deze dikte van gate-oxide is geschikt voor FET's in I/O-schakelingen die in staat zijn tot
15 bedrijf bij circa 3,3 V.

Door het selecteren van een geschikte stikstof-implantatiedosis voor het sectie-A-deel van het substraat dat gewijd moet worden aan logische schakelingen en voor het sectie-B-oppervlak van het substraat dat gewijd moet worden aan I/O-schakelingen, kan een geschikte oxida-
20 tie-tijdsperiode worden geselecteerd, zodat er geen stikstofimplantatie voorzien hoeft te worden op sectie C met het ingebedde DRAM. Door blootstelling van het niet-geïmplanteerde siliciumoppervlak van sectie C aan een oxiderende omgeving gedurende twee uur groeit een oxidelaag die een dikte van circa 100 Å heeft. Een dergelijke dikkere oxidelaag
25 verdient de voorkeur voor ingebedde DRAM's om lekkage via de overdrachts-FET van de ingebedde DRAM-cel te reduceren. Derhalve worden, in voorkeursuitvoeringsvormen van de onderhavige uitvinding, de stikstofimplantatiedoseringen en de oxidatietijd geselecteerd zodat groei van de dikste gate-oxidelaag kan worden bewerkstelligd zonder stik-
30 stof-implantatie, waardoor een maskerstep en een implantatiestap kunnen worden uitgespaard. Als dit onpraktisch is of als er de een of andere reden is voor het verschaffen van een gate-oxidelaag die stikstof omvat voor het DRAM of andere schakelingen die relatief dikke gate-oxidelagen omvatten, dan kunnen stikstofimplantaties worden uit-
35 gevoerd in alle secties van de geïllustreerde chip. Bovendien, terwijl de beschreven uitvoeringsvorm drie verschillende dikten van gate-oxiden verschaft, zou het natuurlijk mogelijk zijn om aanvullende secties van het substraatoppervlak met verschillende oxidatiekarakteristieken

te verschaffen, zodat nog verder verschillende dikten van gate-oxide opgenomen zouden kunnen in verschillende typen van MOS-schakelingen die op het substraat zijn gevormd. Verder kunnen, als andere oxidatiesnelheid-modificatoren worden geïdentificeerd die compatibel zijn met
5 MOS-schakelingen, dergelijke modificatoren selectief worden geïmplanteerd of op andere wijze worden opgenomen in het oppervlak van het siliciumsubstraat, ofwel in gebieden die verschillend zijn van de gebieden die hierboven zijn beschreven ofwel in combinatie met de stikstofoxidatiesnelheid-modificerende implantaties.

10 Wanneer alle gewenste oxidatiesnelheids-modificerende implantaties eenmaal zijn uitgevoerd, wordt het tweede fotolakmasker 30 eraf getrokken en wordt de beschermende aansluitvlak-oxidelaag 26 afgetrokken van alle substraattoepervlakken waarop een gate-oxidelaag gegroeid zal worden. Het masker 30 kan worden verwijderd door middel van veras-
15 sing en het aansluitvlak-oxide kan worden verwijderd door het substraat in een verdunde HF-oplossing te dopen. Het substraat 10 wordt dan in een oven geplaatst en de verschillende secties van het substraat worden gedurende één enkele tijdsperiode aan een gemeenschappelijke oxidatie-omgeving blootgesteld om verschillende oxidedikten op
20 de verschillende secties van het substraat te groeien. In de geïllustreerde uitvoeringsvorm kan het substraat gedurende twee uur zijn blootgesteld aan de oxiderende omgeving. Dit oxidatieproces bewerkstelligt de groei van een 40 Å dikke oxidelaag 42 in sectie A, een 75 Å dikke oxidelaag 44 in sectie B, en een 100 Å dikke oxidelaag 46 in
25 sectie C. Bij voorkeur wordt een laag van polysilicium 48 over de verschillende gate-oxidelagen 42, 44, 46 aangebracht snel na de vorming van de gate-oxidelagen. Om de gespecificeerde verwerking mogelijk te maken die wordt vereist door de schakelingen die in de verschillende secties gevormd moet worden, verdient het de voorkeur dat het poly-
30 silicium op dit moment niet wordt gedoteerd. Het polysilicium in verschillende secties kan dan worden gedoteerd tot de specifieke doteerniveaus die vereist zijn voor de verschillende typen schakelingen. Kenmerkend kan één enkele dikte van polysilicium worden aangebracht over alle geïllustreerde secties om te voldoen aan de verschillende
35 eisen voor de polysilicium gate-elektroden in de verschillende schakelingen. Als dit, aan de andere kant, niet mogelijk is, kan een dunnere laag van polysilicium van circa 1000 Å alternatief worden aangebracht. Een dergelijke dunnere laag van polysilicium zou later worden vergroot

1006803

om de polysilicium gate-elektrodedikte te bereiken die vereist is door de verschillende schakelingen. Ofwel een vergelijkenderwijs dikke ofwel een vergelijkenderwijs dunne polysiliciumlaag 48 kan worden gebruikt om de gate-oxidelagen tegen verdere verwerking te beschermen.

5 De verschafte structuur, met een polysiliciumlaag 48 van tussen 1500-3000 Å, is geïllustreerd in de figuren 5A-C.

Met verwijzing nu naar de figuren 6A-C, wordt de verwerkingsschakeling met ingebed DRAM getoond nadat de individuele logische, I/O- en DRAM-schakelingen op de respectieve secties van het substraat zijn
10 gevormd. Derhalve is een logische hoge-snelheids-schakeling die FET's omvat die zijn gevormd op een 40 Å dikke gate-oxidelaag geïllustreerd, die is gevormd binnen sectie A, een I/O-schakeling die FET's omvat die zijn gevormd op een 75 Å dikke gate-oxidelaag is geïllustreerd in sectie B, en een ingebed DRAM waarbij de overdrachts-FET's zijn ge-
15 vormd op een 100 Å dikke gate-oxidelaag is geïllustreerd in sectie C. Eerst met verwijzing naar figuur 6A, wordt een logische hoge-snelheids-schakeling getoond die compatibel is met bedrijfsspanningen in de orde van 1,8-2,5 V. Voor de geïllustreerde uitvoeringsvorm heeft het substraat 10 een P-type achtergronddotering of tenminste een op-
20 pervlaktelaag die een P-type achtergronddotering heeft. De N-put 22 is in een vroeg verwerkingsstadium gevormd om de vorming van logische CMOS-schakelingen of een combinatie van NMOS- en PMOS-schakelingen in dichte verhouding mogelijk te maken. Aan de linkerzijde van de geïllustreerde schakeling bevindt zich een NMOS FET die een gate-
25 elektrode 50 omvat op de ongeveer 40 Å dikke gate-oxidelaag die is gevormd in het selectieve oxidatieproces dat hierboven is beschreven. Source- en drain-gebieden 52, 54 zijn op de conventionele zelf-uitgerichte wijze aan elke zijde van de gate-elektrode 50 gevormd. Een PMOS-inrichting is op een soortgelijke wijze in de N-put 22 gevormd en
30 omvat de gate-elektrode 56 en de source- en drain-gebieden 58, 60, zoals geïllustreerd. De gate-elektroden 50, 56 zijn bij voorkeur gevormd, tenminste voor een deel, van de polysiliciumlaag 48 die in figuur 5A is geïllustreerd. Het vormen van patronen en het doteren van de gate-elektroden wordt op de bekende, conventionele wijze bewerk-
35 stelligd. Het is gewoonlijk wenselijk om logische hoge-snelheidsinrichtingen te vormen zoals die inrichting die is geïllustreerd in figuur 6A met gebruikmaking van multilaags-gate-elektroden inclusief een laag van metaalsilicide over een lagere polysiliciumlaag. Boven-

dien zou de logische schakeling van figuur 6A kenmerkend met silicium bewerkte source/drain-contacten omvatten om een lagere contactweerstand te bereiken. Het gebruik van met silicium bewerkte source/drain-contacten zou ook bewerkstelligd kunnen worden in de I/O-schakeling die in figuur 6B is geïllustreerd, maar zou niet gebruikt worden in de ingebedde DRAM-structuur die in figuur 6C is geïllustreerd. Als zodanig zijn er een aantal gevallen waarbij de schakelingen van de figuren 6A en 6B in grote mate gelijktijdig gevormd zouden kunnen worden. Aan de andere kant verdient het kenmerkend de voorkeur om het ingebedde DRAM van figuur 6C in een geheel afzonderlijk proces te vormen.

De schakeling van figuur 6B kan een I/O-schakeling zijn die compatibel is met bedrijfsspanningen van 3,3 V en kan, bijvoorbeeld, uit een of meer uitgangsbuffers bestaan. De specifieke schakeling die is geïllustreerd in figuur 6B is een doorsnede door een inverter die een deel van de I/O-schakeling vormt. In kenmerkende configuraties zou een gemeenschappelijk source/drain-contact verbonden kunnen zijn met een I/O-aansluitvlakje op de chip, en de gates van de inverter zouden gemeenschappelijk met een intern signaal verbonden kunnen zijn. De geïllustreerde inverter is gevormd op het P-type substraat 10 en gedeeltelijk binnen de N-put 24. Net als de N-put 22 die is geïllustreerd in figuur 6A, kan de N-put 24 in een zeer vroeg verwerkingsstadium worden gevormd, vóór de implantatie van stikstof aan sectie B van het substraat. De inverter bestaat uit een NMOS-FET die de gate-elektrode 70 en de source/drain-gebieden 72 en 74 omvat. Het PMOS FET deel van de inverter is gevormd op N-put 24 en omvat de gate-elektrode 76 en de source- en drain-gebieden 78, 80. Kenmerkend omvat de inverter met silicium bewerkte gate-elektroden 70, 76 die gedeeltelijk zijn gevormd van de polysilicium laag 48 (figuur 5B) en omvat met silicium bewerkte source/drain-gebieden 72, 74, 78 en 80. De belangrijkste verschillen tussen de logische schakeling van figuur 6A en de I/O-schakeling van figuur 6B (op een gate-niveau) is dat de I/O-schakeling van figuur 6B een dikkere gate-oxidelaag 44 van bijvoorbeeld circa 75 Å voor zowel de NMOS- als de PMOS-inrichtingen omvat. Andere verschillen kunnen ook bestaan, inclusief gate-dimensies en relatieve doteer-niveaus, al naar gelang de geschiktheid voor de verschillende functies en verschillende bedrijfsspanningen van de twee schakelingen. Natuurlijk is geen van de verbindingsschakelingen en bedradingen geïllustreerd, noch in de logische schakeling van figuur 6A, noch in de I/O-

1006803

schakeling van figuur 6B.

Figuur 6C illustreert delen van twee geheugencellen binnen een ingebedde DRAM-schakeling. Zoals hierboven kort is beschreven, is het kenmerkend om zowel de logische schakeling van figuur 6A als ook de I/O-schakeling van figuur 6B te vormen in een proces dat onafhankelijk is van het proces dat is gebruikt voor de ingebedde DRAM-schakeling van figuur 6C. Zowel de logische schakeling van figuur 6A en de I/O-schakeling van figuur 6B kunnen bijvoorbeeld worden gevormd voorafgaand aan de vorming van de ingebedde DRAM-schakeling van figuur 6C.

De ingebedde DRAM-schakeling van figuur 6C wordt gevormd beginnend met de afdekkende polysiliciumlaag 48 die in figuur 5C is geïllustreerd, die de dikkere gate-oxidelaag 46 van sectie C bedekt. Bij voorkeur wordt de polysiliciumlaag N-type gedoteerd door middel van ionenimplantatie en gloeiing, en dan wordt in de polysiliciumlaag 48 een patroon gemaakt van de gate-elektroden 90, 92 van de twee overgangsfet's voor de twee geïllustreerde ingebedde DRAM-cellen. De twee overgangsfet's die zijn gevormd op de circa 100 Å dikke gate-oxidelaag 46 hebben source/drain-gebieden 94, 96 en 98 die zijn gevormd door ionenimplantatie van N-type doteermiddelen die zelf-uitgericht zijn met de gate-elektroden 90, 92 en de ondiepe-geul-isolatiegebieden 20. Voor de geïllustreerde configuratie hebben de twee overgangsfet's een gemeenschappelijk source-gebied 96 en zijn via hun respectieve drain-gebieden 94 en 98 gekoppeld aan de onderste elektroden van ladingopslagcondensatoren. Een bitleidingscontact en verbindingsleiding 100 is gevormd in contact met het gemeenschappelijke source-gebied 96. Een relatief dik tussenlaag-diëlektricum 103 is verschaft over de overdrachts-fet en de inrichting-isolatiegebieden om het gebruik van een geplanariseerde condensator-over-bitleiding (COB)-structuur mogelijk te maken.

Ladingopslagcondensatoren zijn verschaft in contact met de drain-gebieden 94, 98 van elk van de overdrachts-fet's. De ladingopslagcondensatoren kunnen bestaan uit geplanariseerde onderste polysilicium elektroden 102, 104 in contact met de overeenkomende drain-gebieden 94, 98. Een diëlektrische condensatorlaag 106 is gevormd over de twee onderste condensatorelektroden 102, 104. Gewoonlijk kan deze diëlektrische condensatorlaag 106 het drielaags oxide/nitride/oxide-diëlektricum zijn dat bekend is als "ONO", maar in bijzondere voorkeursuitvoeringsvormen van de onderhavige uitvinding wordt een diëlektrische

ONO-laag niet gebruikt. Dit is omdat de vorming van ONO tenminste één hoge-temperatuur-oxidatieproces vereist. Met meer voorkeur is de diëlektrische condensatorlaag 106 een van de hoge diëlektrisch constante materialen die gevormd kunnen worden in een lage-temperatuur-
5 CVD-proces of metaal-organisch CVD (MOCVD)-proces, zoals tantaalpentoxide. Deze hoog diëlektrisch constante materialen verdienen de voorkeur zowel omdat ze hoge-capacitantie-ladingopslagcondensatoren met relatief eenvoudige condensatorstructuren mogelijk maken als omdat ze worden gevormd bij lagere temperaturen dan vereist zijn voor ONO. Op
10 overeenkomstige wijze zijn dergelijke hoog diëlektrisch constante materialen meer compatibel met het behoud van de gate-oxide-kwaliteit, hetgeen een accent van de onderhavige uitvinding is. Een bovenste condensatorelektrode 108 die gedoteerd polysilicium omvat wordt dan verschaft over de diëlektrische condensatorlaag 106 zoals is geïllus-
15 treerd in figuur 6C. Verscheidene verbindingen worden binnen de DRAM-schakeling en met de andere schakelingen van de verwerkingschip bewerkstelligd.

Terwijl de onderhavige uitvinding is beschreven in termen van bepaalde voorkeursuitvoeringsvormen, zal het voor de vakman met ge-
20 bruikelijke vakkennis duidelijk zijn dat verscheidene modificaties en wijzigingen van de hier beschreven werkwijzen en structuren bewerkstelligd kunnen worden zonder af te wijken van de leer van de onderhavige uitvinding. De werkwijzen van de onderhavige uitvinding zouden bijvoorbeeld toegepast kunnen worden op andere schakelingen inclusief
25 gemengde-modus-schakelingen, die zowel digitale als analoge schakelingen op één enkele chip omvatten, alsmede andere combinaties van digitale schakelingen op één enkele chip. Derhalve is de onderhavige uitvinding niet beperkt tot een hierboven beschreven specifieke uitvoeringsvorm, maar dient de reikwijdte van de onderhavige uitvinding in
30 plaats daarvan te worden bepaald door de volgende conclusies.

Conclusies

1. Werkwijze voor het vormen van een geïntegreerde schakelinrichting omvattende:
 - 5 verschaffen van een halfgeleidersubstraat dat een oppervlak heeft, waarbij het halfgeleidersubstraat een eerste gebied heeft waarop een veelheid eerste MOS-inrichtingen gevormd moet worden en een tweede gebied heeft waarop een veelheid tweede MOS-inrichtingen gevormd moet worden;
 - 10 verschaffen van een eerste concentratie van een eerste doteermiddel in het halfgeleidersubstraat op het oppervlak van het eerste gebied;
 - verschaffen van een tweede concentratie van een tweede doteermiddel in het halfgeleidersubstraat op het oppervlak van het tweede gebied;
 - 15 bied;
 - oxideren van het oppervlak van het halfgeleidersubstraat om een eerste dikte van oxide op het eerste gebied van het halfgeleidersubstraat te groeien en om een tweede, verschillende dikte van oxide op het tweede gebied te groeien in één enkel oxidatieproces; en
 - 20 vormen van eerste MOS-inrichtingen op de eerste gebieden van het halfgeleidersubstraat dat de eerste dikte van oxide omvat en vormen van tweede MOS-inrichtingen op het tweede gebied dat de tweede dikte van oxide omvat.
- 25 2. Werkwijze volgens conclusie 1, waarbij de eerste concentratie van het eerste doteermiddel bewerkstelligt dat oxide met een langzamere snelheid op het eerste gebied groeit dan oxide groeit op het tweede gebied dat de tweede concentratie van het tweede doteermiddel omvat.
3. Werkwijze volgens conclusie 2, waarbij de eerste en tweede doteermiddelen beide stikstof zijn en de eerste concentratie groter is
- 30 dan de tweede concentratie.
4. Werkwijze volgens conclusie 1, waarbij de stappen van het vormen van eerste en tweede MOS-inrichtingen het aanbrengen omvatten van een laag van polysilicium over het eerste gebied en het tweede gebied, zodat de laag van polysilicium wordt gescheiden van het oppervlak van het eerste gebied door de eerste dikte van oxide en de laag
- 35 van polysilicium wordt gescheiden van het oppervlak van het tweede gebied door de tweede dikte van oxide.
5. Werkwijze volgens conclusie 4, waarbij de eerste MOS-inrich-

1006803

tingen zijn geconfigureerd als logische schakelingen en een bedrijfs-
spanning van minder dan 3,3 V hebben.

6. Werkwijze volgens conclusie 4, waarbij de eerste MOS-inrich-
tingen bedrijfsspanningen hebben die lager zijn dan de tweede MOS-
5 inrichtingen, en waarbij de tweede MOS-inrichtingen I/O-schakelingen
omvatten.

7. Werkwijze volgens conclusie 4, waarbij de I/O-schakelingen een
inverter omvatten.

8. Werkwijze voor het vormen van een geïntegreerde schakelinrich-
10 ting omvattende de stappen van:

verschaffen van een substraat dat een eerste gebied heeft waarop
eerste MOS-inrichtingen met een eerste gate-oxidedikte gevormd zullen
worden en een tweede gebied waarop tweede MOS-inrichtingen gevormd
zullen worden;

15 instellen van de samenstelling van het substraat binnen tenminste
één van het eerste gebied en het tweede gebied, zodat het eerste ge-
bied en het tweede gebied verschillende oxide-groeikarakteristieken in
een oxidatie-omgeving zullen hebben;

blootstellen van het substraat aan een oxidatie-omgeving zodat
20 een eerste dikte van een eerste oxidelaag in het eerste gebied groeit
en een tweede dikte van een tweede oxidelaag in het tweede gebied
groeit na blootstelling van het eerste gebied en het tweede gebied aan
een oxidatie-omgeving; en

vormen van eerste MOS-inrichtingen op het eerste gebied van het
25 substraat en vormen van tweede MOS-inrichtingen op het tweede gebied
van het substraat.

9. Werkwijze volgens conclusie 8, verder omvattende de stappen
van:

30 verschaffen op het substraat van een derde gebied waarop MOS-
gebaseerde geheugeninrichtingen gevormd moeten worden die derde MOS-
inrichtingen omvatten die een derde oxide-dikte hebben;

instellen van de samenstelling van het substraat binnen het derde
gebied zodat het derde gebied een oxide-groeikarakteristiek heeft die
verschillend is van de oxide-groeikarakteristieken van zowel het eer-
35 ste gebied als het tweede gebied;

onderwerpen van het substraat aan een oxidatie-omgeving zodat een
derde dikte van een derde oxidelaag in het derde gebied groeit na
blootstelling van het derde gebied aan de oxidatie-omgeving; en

1006803

vormen van derde MOS-inrichtingen op de derde oxidelaag, waarbij de derde MOS-inrichtingen een gate-elektrode op de derde oxidelaag, eerste en tweede source/drain-gebieden aan elke zijde van de gate-elektrode, en een ladingopslagoppervlak dat is verbonden met het eerste source/drain-gebied, omvatten.

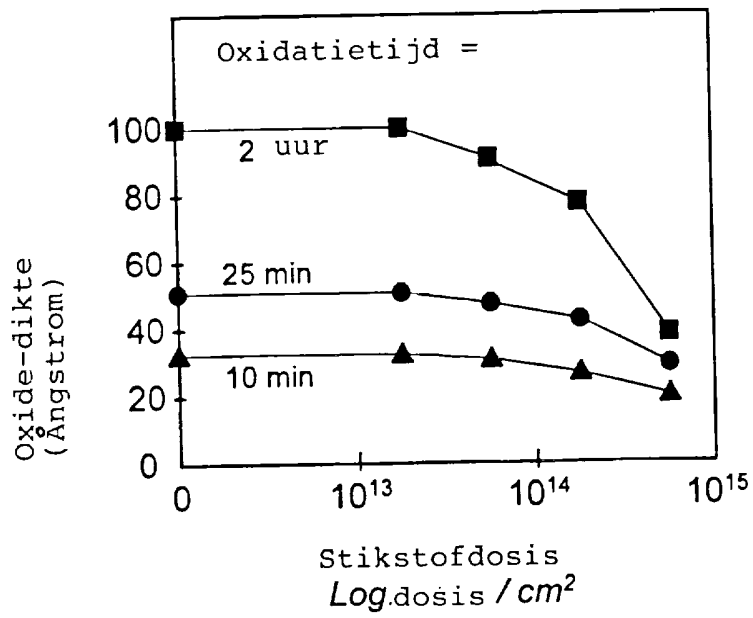


FIG. 1

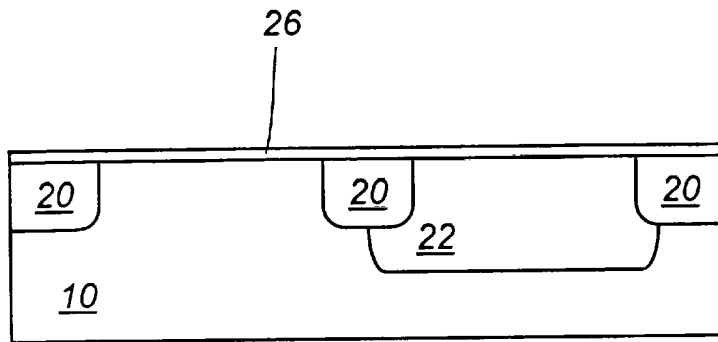


FIG. 2A

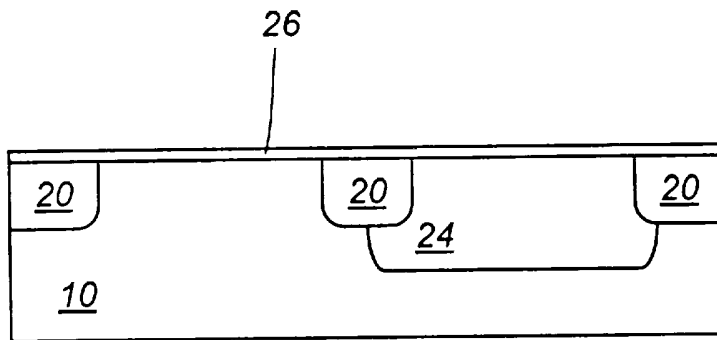


FIG. 2B

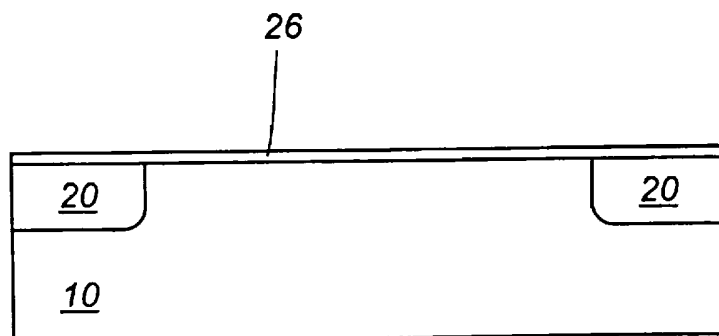


FIG. 2C

3/6

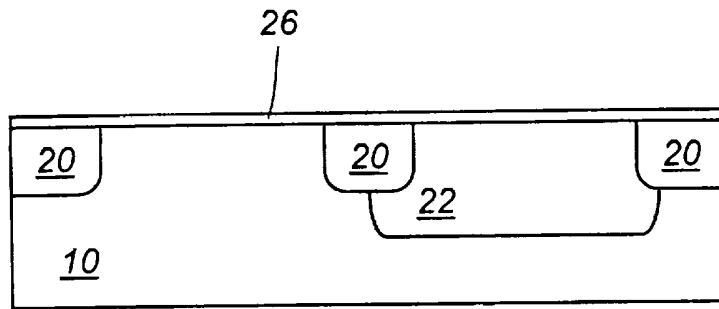


FIG. 3A

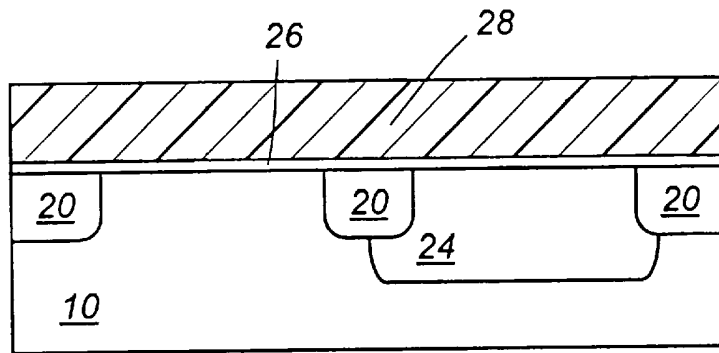


FIG. 3B

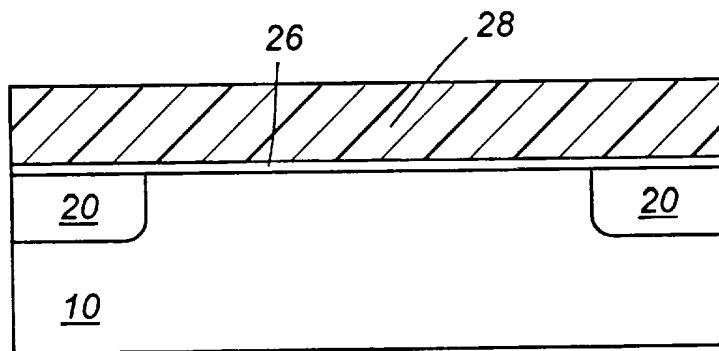


FIG. 3C

4/6

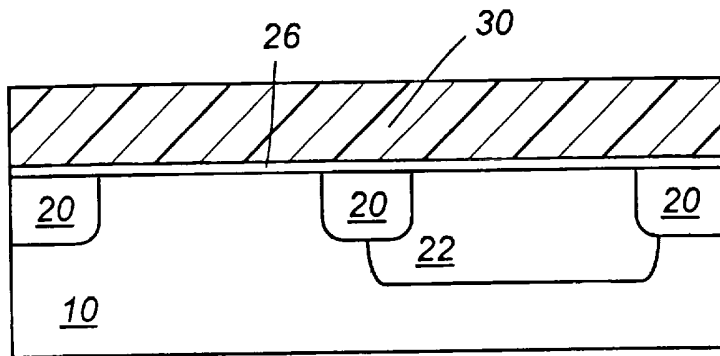


FIG. 4A

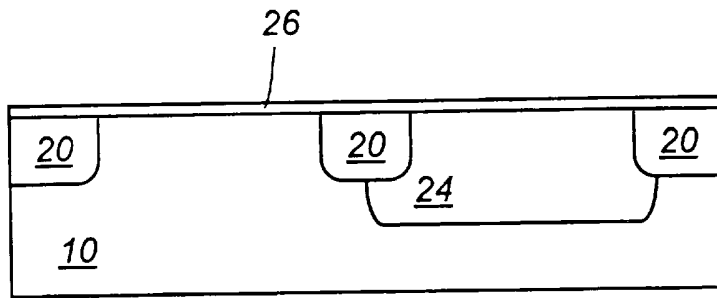


FIG. 4B

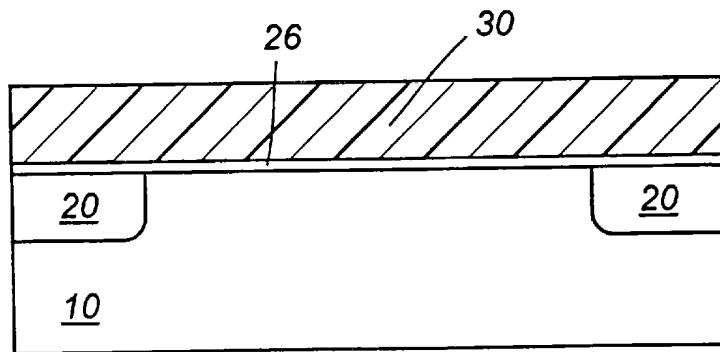


FIG. 4C

1006803

5/6

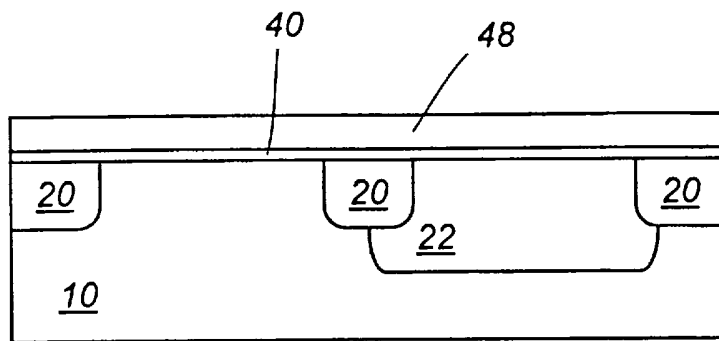


FIG. 5A

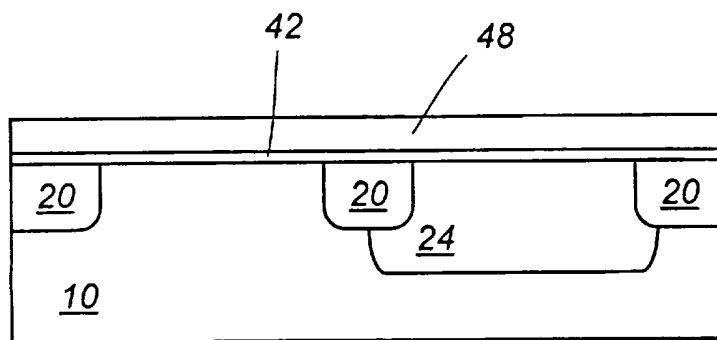


FIG. 5B

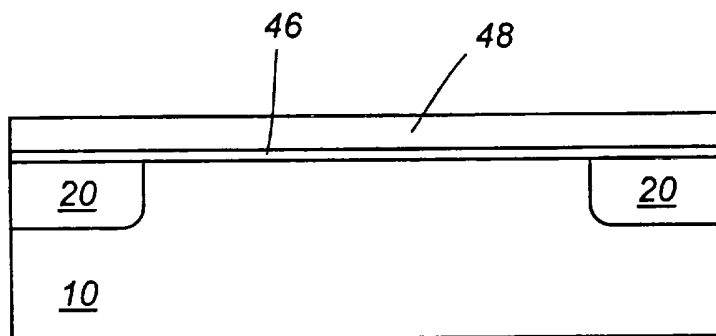


FIG. 5C

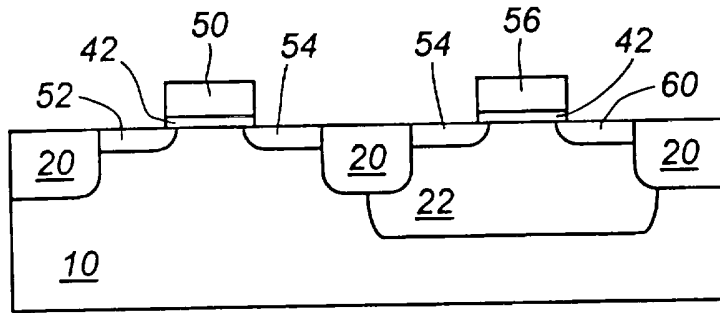


FIG. 6A

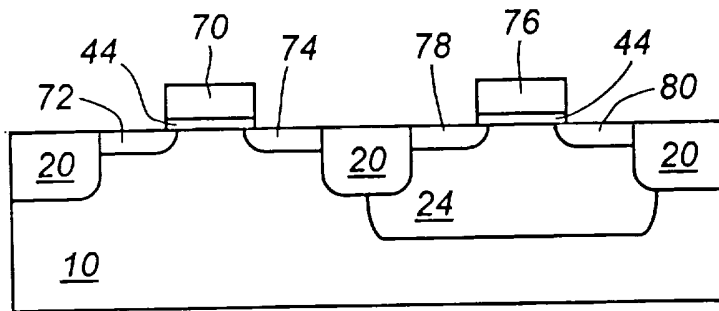


FIG. 6B

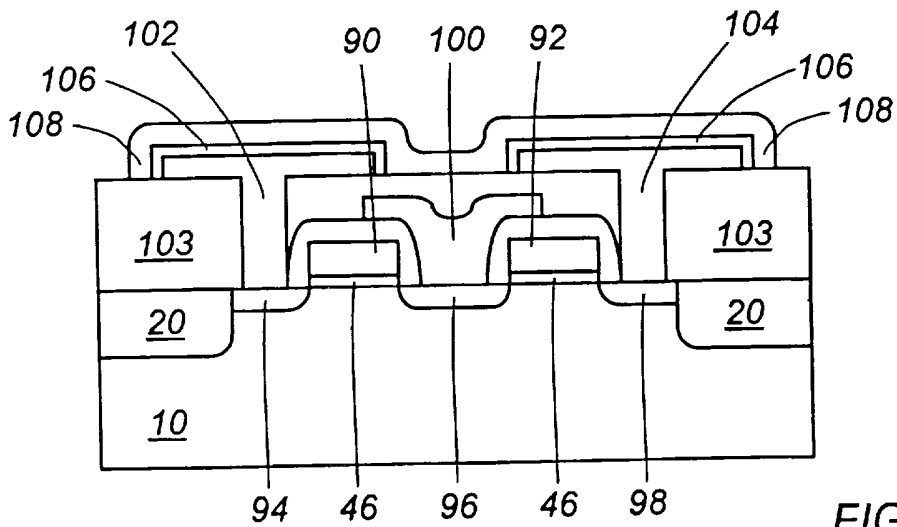


FIG. 6C



RAPPORT BETREFFENDE HET ONDERZOEK NAAR DE STAND VAN DE TECHNIEK

Octroolaanvraag Nr.:

NO 134025
NL 1006803

VAN BELANG ZIJNDE LITERATUUR			
Categorie	Vermelding van literatuur met aanduiding voor zover nodig, van speciaal van belang zijnde passages	Van belang voor conclusie(s) Nr.:	Internationale classificatie (toegekend door de Octrooiraad)
X	US 5 576 226 A (HWANG HYUN S) 19 November 1996	1-8	H01L21/8239 H01L27/105
Y	* het gehele document *	9	
Y	---	9	
Y	DOYLE B ET AL: "SIMULTANEOUS GROWTH OF DIFFERENT THICKNESS GATE OXIDES IN SILICON CMOS PROCESSING" IEEE ELECTRON DEVICE LETTERS, deel 16, nr. 7, 1 Juli 1995, bladzijde 301/302 XP000514695	9	
A	* het gehele document *	1-8	
X	---	1-8	
X	US 5 480 828 A (HSU SHUN-LIANG ET AL) 2 Januari 1996	1-8	
A	* het gehele document *	9	
X	---	1-8	
X	US 5 330 920 A (SOLEIMANI HAMID R ET AL) 19 Juli 1994	1-8	
A	* het gehele document *	9	
X	---	1-8	Onderzochte gebieden van de techniek
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 493 (E-697), 22 December 1988 & JP 63 205944 A (MATSUSHITA ELECTRONICS CORP), 25 Augustus 1988, * samenvatting *	1-8	H01L
A	-----	9	
Indien gewijzigde conclusies zijn ingediend, heeft dit rapport betrekking op de conclusies ingediend op			
1	Plaats van onderzoek 'S-GRAVENHAGE	Datum waarop het onderzoek werd voltooid 29 April 1998	Vooronderzoeker (EOB) Albrecht, C
EOB FORM 02.83 (FOA14)	CATEGORIE VAN DE VERMELDE LITERATUUR X : op zichzelf van bijzonder belang Y : van bijzonder belang in samenhang met andere documenten van dezelfde categorie A : achtergrond van de stand van de techniek O : verwijzend naar niet op schrift gestelde van de techniek P : literatuur gepubliceerd tussen voorrangs- en indieningsdatum		T : niet tijdig gepubliceerde literatuur over theorie of principe ten grondslag liggend aan de uitvinding E : andere octrooipublicatie maar gepubliceerd op of na indieningsdatum D : in de aanvraag genoemd L : om andere redenen vermelde literatuur & : lid van dezelfde octrooifamilie, corresponderende literatuur document

**AANHANGSEL BEHORENDE BIJ HET RAPPORT BETREFFENDE
HET ONDERZOEK NAAR DE STAND VAN DE TECHNIEK,
UITGEVOERD IN DE OCTROOIAANVRAGE NR.**

NO 134025
NL 1006803

Het aanhangsel bevat een opgave van elders gepubliceerde octrooiaanvragen of octrooien (zogenaamde leden van dezelfde octroofamilie), die overeenkomen met octrooischriften genoemd in het rapport.
De opgave is samengesteld aan de hand van gegevens uit het computerbestand van het Europees Octrooibureau per
De juistheid en volledigheid van deze opgave wordt noch door het Europees Octrooibureau, noch door de Octrooiraad gegarandeerd ;
de gegevens worden verstrekt voor informatiedoeleinden.

29-04-1998

In het rapport genoemd octrooigeschrift	Datum van publicatie	Overeenkomend(e) geschrift(en)	Datum van publicatie
US 5576226 A	19-11-1996	JP 2663107 B JP 7297298 A	15-10-1997 10-11-1995
US 5480828 A	02-01-1996	GEEN	
US 5330920 A	19-07-1994	EP 0631308 A	28-12-1994