



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월11일

(11) 등록번호 10-1576813

(24) 등록일자 2015년12월07일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0074516

(22) 출원일자 2008년07월30일

심사청구일자 2013년07월23일

(65) 공개번호 10-2009-0018572

(43) 공개일자 2009년02월20일

(30) 우선권주장

JP-P-2007-00213055 2007년08월17일 일본(JP)

(56) 선행기술조사문헌

JP2001133807 A*

JP2002118120 A*

JP2006128666 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시키가이샤한도오파이 에네루기 켄큐쇼 내

아라이 야스유키

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시키가이샤한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 11 항

심사관 : 신창우

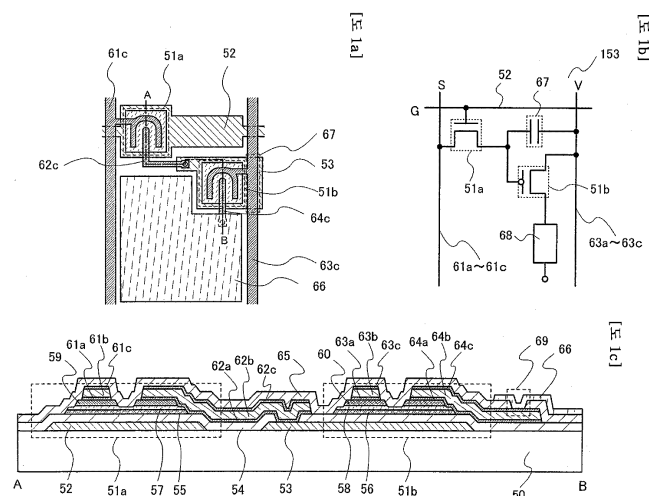
(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은, 전기 특성이 뛰어나고, 또한 신뢰성이 높은 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터를 가지는 표시 장치, 및 그것을 생산성 좋게 제작하는 방법을 제안한다.

역 스택거형의 p채널형 박막 트랜지스터와 n채널형 박막 트랜지스터를 가지고, 상기 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터는, 게이트 전극 위에 게이트 절연막, 미결정 반도체 막, 및 비정질 반도체 막이 순차로 적층되고, 비정질 반도체 막 위에 형성된 한 쌍의 n형 반도체 막 또는 p형 반도체 막과, 한 쌍의 n형 반도체 막 또는 p형 반도체 막 위에 형성된 한 쌍의 배선을 가지고, 미결정 반도체 막은 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 산소를 포함하는 표시 장치이다. 또한, n채널형 박막 트랜지스터의 이동도는, $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 이상 $45 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하이며, p채널형 박막 트랜지스터의 이동도는 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하이다.

대표도



(72) 발명자

스즈키 유키에

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내

쿠로카와 요시유키

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치에 있어서:

n채널형 박막 트랜지스터로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위에 형성되는 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위에 형성되는 제 1 미결정 반도체 막;

상기 제 1 미결정 반도체 막 위에 형성되는 제 1 비정질 반도체 막;

상기 제 1 비정질 반도체 막 위에 형성되는 한 쌍의 n형 반도체 막들; 및

상기 한 쌍의 n형 반도체 막들 위에 형성되는 한 쌍의 제 1 배선들을 포함하는, 상기 n채널형 박막 트랜지스터; 및

p채널형 박막 트랜지스터로서,

제 2 게이트 전극;

상기 제 2 게이트 전극 위에 형성되는 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위에 형성되는 제 2 미결정 반도체 막;

상기 제 2 미결정 반도체 막 위에 형성되는 제 2 비정질 반도체 막;

상기 제 2 비정질 반도체 막 위에 형성되는 한 쌍의 p형 반도체 막들; 및

상기 한 쌍의 p형 반도체 막들 위에 형성되는 한 쌍의 제 2 배선들을 포함하는, 상기 p채널형 박막 트랜지스터를 포함하고,

상기 제 1 미결정 반도체 막과 상기 제 2 미결정 반도체 막은 각각 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 농도로 산소를 함유하고,

상기 한 쌍의 n형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하고,

상기 한 쌍의 p형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하는, 표시 장치.

청구항 2

표시 장치에 있어서:

n채널형 박막 트랜지스터로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위에 형성되는 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위에 형성되는 제 1 미결정 반도체 막;

상기 제 1 미결정 반도체 막 위에 형성되는 제 1 비정질 반도체 막;

상기 제 1 비정질 반도체 막 위에 형성되는 한 쌍의 n형 반도체 막들;

상기 한 쌍의 n형 반도체 막들 위에 형성되는 제 1 도전층; 및

상기 제 1 도전층 위에 형성되는 한 쌍의 제 1 배선들을 포함하는, 상기 n채널형 박막 트랜지스터; 및

p채널형 박막 트랜지스터로서,

제 2 게이트 전극;

상기 제 2 게이트 전극 위에 형성되는 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위에 형성되는 제 2 미결정 반도체 막;

상기 제 2 미결정 반도체 막 위에 형성되는 제 2 비정질 반도체 막;

상기 제 2 비정질 반도체 막 위에 형성되는 한 쌍의 p형 반도체 막들; 및

상기 한 쌍의 p형 반도체 막들 위에 형성되는 한 쌍의 제 2 배선들을 포함하는, 상기 p채널형 박막 트랜지스터를 포함하고,

상기 제 1 미결정 반도체 막과 상기 제 2 미결정 반도체 막은 각각 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 농도로 산소를 함유하고,

상기 한 쌍의 n형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하고,

상기 한 쌍의 p형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하는, 표시 장치.

청구항 3

제 2 항에 있어서,

상기 한 쌍의 제 1 배선들은 적어도 세 개의 도전층들이 적층되는 구조를 갖는, 표시 장치.

청구항 4

표시 장치에 있어서:

n채널형 박막 트랜지스터로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위에 형성되는 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위에 형성되는 제 1 미결정 반도체 막;

상기 제 1 미결정 반도체 막 위에 형성되는 제 1 비정질 반도체 막;

상기 제 1 비정질 반도체 막 위에 형성되는 한 쌍의 n형 반도체 막들; 및

상기 한 쌍의 n형 반도체 막들 위에 형성되는 한 쌍의 제 1 배선들을 포함하는, 상기 n채널형 박막 트랜지스터; 및

p채널형 박막 트랜지스터로서,

제 2 게이트 전극;

상기 제 2 게이트 전극 위에 형성되는 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위에 형성되는 제 2 미결정 반도체 막;

상기 제 2 미결정 반도체 막 위에 형성되는 제 2 비정질 반도체 막;

상기 제 2 비정질 반도체 막 위에 형성되는 한 쌍의 p형 반도체 막들;

상기 한 쌍의 p형 반도체 막들 위에 형성되는 제 2 도전층; 및

상기 제 2 도전층 위에 형성되는 한 쌍의 제 2 배선들을 포함하는, 상기 p채널형 박막 트랜지스터를 포함하고,

상기 제 1 미결정 반도체 막과 상기 제 2 미결정 반도체 막은 각각 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 농도로 산소를 함유하고,

상기 한 쌍의 n형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하고,

상기 한 쌍의 p형 반도체 막들은 비정질 반도체 또는 미결정 반도체를 포함하는, 표시 장치.

청구항 5

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 n채널형 박막 트랜지스터 및 상기 p채널형 박막 트랜지스터의 이동도들은 각각 10 내지 $45 \text{ cm}^2/\text{V} \cdot \text{s}$ 및 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하인, 표시 장치.

청구항 6

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 n채널형 박막 트랜지스터 및 상기 p채널형 박막 트랜지스터 중 하나에 접속되는 화소 전극을 갖는 화소를 더 포함하는, 표시 장치.

청구항 7

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 n채널형 박막 트랜지스터와 상기 p채널형 박막 트랜지스터는 보호 회로를 구성하고,

상기 n채널형 박막 트랜지스터와 상기 p채널형 박막 트랜지스터는 각각 다이오드 접속되는, 표시 장치.

청구항 8

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 표시 장치는 액정 표시 장치인, 표시 장치.

청구항 9

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 한 쌍의 제 1 배선들 중 하나는 상기 제 2 게이트 전극에 접속되는, 표시 장치.

청구항 10

제 1 항, 제 2 항 및 제 4 항 중 어느 한 항에 있어서,

상기 표시 장치는 발광 표시 장치인, 표시 장치.

청구항 11

제 4 항에 있어서,

상기 한 쌍의 제 2 배선들은 적어도 세 개의 도전층들이 적층되는 구조를 갖는, 표시 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 사용한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 근년, 절연 표면을 가지는 기판 위에 형성된 반도체 박막(두께 수십nm 내지 수백nm 정도)을 사용하여 박막 트랜지스터를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC나 전기 광학 장치와 같은 전자 디바이스에 광범위로 응용되어, 특히, 화상 표시 장치의 스위칭 소자로서 개발이 지급하다.

[0003] 화상 표시 장치의 스위칭 소자로서 비정질 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터, 또는 다결정 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터 등이 사용된다. 다결정 실리콘 막의 형성 방법으로서, 펄스 발진의 엑시머 레이저 빔을 광학계에 의하여 선형으로 가공하여, 비정질 실리콘 막에 대해서 선형 빔을 주사시키면서 조사하여 결정화하는 기술이 알려진다.

[0004] 또한, 화상 표시 장치의 스위칭 소자로서 미결정 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터가 사용된다(특허 문헌 1 및 비특허 문헌 1 참조).

[0005] [특허 문헌 1] 특개평4-242724호 공보

[0006] [비특허 문헌 1] Toshiaki Arai 외, SID 07 DIGEST, 2007, 1370 페이지 내지 1373 페이지

발명의 내용

해결 하고자하는 과제

[0007] 다결정 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터는, 비정질 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터에 비교하여 이동도가 2자리수 이상 높고, 반도체 표시 장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 일체 형성할 수 있는 이점을 가진다. 그러나, 비정질 실리콘 막을 채널 형성 영역에 사용한 경우에 비교하여, 반도체 막의 결정화가 필요하기 때문에 공정이 복잡화하고, 수율이 저감하고, 비용이 높아진다는 문제가 있다. 또한, 엑시머 레이저 빔을 비정질 실리콘 막에 조사하여 형성한 다결정 실리콘 막은, 레이저 빔의 에너지의 편차에 의하여 결정립의 크기가 불균일한 경우가 있고, 이러한 다결정 실리콘을 사용하여 박막 트랜지스터를 형성하면 전기 특성이 불균일하게 된다는 문제가 있다.

[0008] 한편, 비정질 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터는, 적은 포토 마스크 수로 제작할 수 있기 때문에, 공정이 쉽지만, 임계 값의 변동이 크고 또한 이동도가 낮다. 또한, 비정질 실리콘 막을 채널 형성 영역에 사용한 박막 트랜지스터에 있어서, p채널형의 박막 트랜지스터를 제작하는 것이 어려웠다.

[0009] 또한, 미결정 실리콘 막을 채널 형성 영역에 사용한 역 스택거형의 박막 트랜지스터에 있어서는, 게이트 절연막 및 미결정 반도체 막의 계면 영역에 있어서의 결정성이 낮고, 박막 트랜지스터의 전기 특성이 나쁘다. 또한, 미결정 실리콘 막을 채널 형성 영역에 사용한 역 스택거형의 p채널형 박막 트랜지스터를 제작하는 것은 어렵다.

[0010] 상술한 문제를 감안하여, 본 발명은 전기 특성이 뛰어나고, 또한 신뢰성이 높은 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터를 가지는 표시 장치, 및 그것을 생산성 좋게 제작하는 방법을 제안한다.

과제 해결수단

[0011] 본 발명의 일 형태는, 역 스택거형의 p채널형 박막 트랜지스터와, n채널형 박막 트랜지스터를 가지고, 상기 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터는, 게이트 전극 위에 게이트 절연막, 미결정 반도체 막, 및 비정질 반도체 막이 순차로 적층되고, 비정질 반도체 막 위에 형성된 한 쌍의 n형 반도체 막 또는 p형 반도체 막과, 한 쌍의 n형 반도체 막 또는 p형 반도체 막 위에 형성된 한 쌍의 배선을 가지고, 미결정 반도체 막은, $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 산소를 포함하는 표시 장치이다. 또한, n채널형 박막 트랜지스터의 이동도는 $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 이상 $45 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하이며, p채널형 박막 트랜지스터의 이동도는 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하이다.

[0012] 또한, 상기 역 스택거형의 p채널형 박막 트랜지스터와, n채널형 박막 트랜지스터를 제작하는 공정에 있어서, 진공도가 10^{-5} Pa 보다 낮은 압력에 초고진공 배기된 챔버 내에 기판을 형성하여, 기판 온도를 100°C 내지 300°C , 바람직하게는 120°C 내지 280°C , 바람직하게는 120°C 내지 220°C 로 한 플라즈마 CVD법에 의하여, $1 \times 10^{16} \text{ atoms/cm}^3$ 이하의 산소를 포함하는 미결정 반도체 막을 형성할 수 있다.

[0013] 산소는 미결정 반도체 막의 형성을 조해(阻害)한다. 그렇지만, 성막 챔버 내를 초고진공 배기함으로써, 챔버 내의 산소 농도를 저감할 수 있기 때문에, 미결정 반도체 막의 형성을 촉진시킬 수 있다. 또한, 미결정 반도체 막 중에 있어서, 산소는 결합이 되는 것과 함께, 도너로서 작용한다. 따라서, 특히, p채널형 박막 트랜지스터에 있어서는, 도너로서 기능하는 산소의 농도를 저감할 수 있기 때문에, p채널형 박막 트랜지스터의 이동도를 상승시킬 수 있다.

[0014] 또한, 미결정 반도체 막의 형성 온도를 100°C 내지 300°C , 바람직하게는 120°C 내지 280°C , 바람직하게는 120°C 내지 220°C 로 함으로써, 게이트 절연막 및 미결정 반도체 막의 계면에 있어서의 격자 왜곡을 저감시킬 수 있고, 또한 게이트 절연막 및 미결정 반도체 막의 계면 특성을 향상시킬 수 있다. 따라서, 상기 미결정 반도체 막을 가지는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0015] 또한, 본 발명의 일 형태는, 역 스택거형의 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터를 표시 소자의 스위칭으로서 기능시킨 화소를 가지는 표시 장치이다. 표시 장치로서는, 액정 표시 장치, 발광 표시 장치 등이 있다. 액정 표시 장치는 액정 소자를 포함한다. 발광 표시 장치는 발광 소자를 포함하고, 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주(範疇)에 포함하고, 구체적으로는, 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다.

[0016] 또한, 본 발명의 일 형태는, 역 스택거형의 p채널형 박막 트랜지스터, n채널형 박막 트랜지스터 각각이 다이오드 접속된 보호 회로를, 화소부의 주변에 가지는 표시 장치이다. 보호 회로를 화소부 및 구동 회로의 사이, 또는 화소부를 끼워 구동 회로의 반대 측에 형성함으로써, 정전기 등에 의한 파괴나 열화를 방지할 수

있다.

[0017] 또한, 본 발명의 일 형태는, 미결정 반도체 막을 사용하여 형성된 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 화소부, 또한 구동 회로에 가지는 표시 장치이다. 미결정 반도체 막을 채널 형성 영역에 사용한 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 사용하여 구동 회로의 일부 또는 전체를 화소부와 같은 기관 위에 일체 형성하여, 시스템 온 패넬을 형성할 수 있다.

[0018] 또한, 표시 장치는, 표시 소자가 밀봉된 상태의 패넬과, 상기 패넬에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈을 포함한다. 또한, 본 발명은, 상기 표시 장치를 제작하는 과정에 있어서의 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기관에 관하여, 상기 소자 기관은 전류 또는 전압을 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기관은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 다양한 형태가 적합하다.

[0019] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 발광 디바이스, 또는 광원(조명 장치를 포함한다)을 가리킨다. 또한, 커넥터, 예를 들면 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선 기관이 형성된 모듈, 또는 표시 소자에 COG(Chip on Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함된다.

효 과

[0020] 본 발명에 의하여 전기 특성이 뛰어나고, 또한 신뢰성이 높은 p채널형 박막 트랜지스터 및 n채널형 박막 트랜지스터를 가지는 표시 장치를 생산성 좋게 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

[0021] 이하, 본 발명의 실시형태에 대해서 도면을 참조하여 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 나타내는 도면에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 붙여, 그 반복 설명은 생략한다.

[0022] (실시형태 1)

[0023] 본 실시형태의 표시 장치가 가지는 화소의 구성에 대해서 설명한다. 도 1a에 화소의 상면도의 일 형태를 나타내고, 도 1b에 화소의 등가 회로도의 일 형태를 나타내고, 도 1c에 도 1a의 A-B에 대응하는 화소의 단면 구조의 일 형태를 나타낸다.

[0024] 도 1a 내지 도 1c에 있어서, 제 1 박막 트랜지스터(51a) 및 제 2 박막 트랜지스터(51b)는 화소 전극에의 신호의 입력을 제어하기 위한 스위칭용 박막 트랜지스터 또는 발광 소자(68)에의 전류 또는 전압의 공급을 제어하기 위한 구동용 박막 트랜지스터에 상당한다.

[0025] 제 1 박막 트랜지스터(51a)의 게이트 전극은 주사선(52)에, 소스 또는 드레인의 한쪽은 신호선으로서 기능하는 배선(61a 내지 61c)에 접속되고, 소스 또는 드레인의 다른 쪽은 제 2 박막 트랜지스터(51b)의 게이트 전극(53)에 접속된다. 제 2 박막 트랜지스터(51b)의 소스 또는 드레인의 한쪽은 전원선으로서 기능하는 배선(63a 내지 63c)에 접속되고, 소스 또는 드레인의 다른 쪽은 표시 장치의 화소 전극(66)에 접속된다. 또한, 도 1b에 나타내는 바와 같이, 제 1 박막 트랜지스터(51a)의 소스 또는 드레인의 다른 쪽 및 제 2 박막 트랜지스터(51b)의 게이트는 용량 소자(67)에 접속되고, 용량 소자(67)는 전원선으로서 기능하는 배선(63a 내지 63c)에 접속된다.

[0026] 또한, 용량 소자(67)는, 제 1 박막 트랜지스터(51a)가 오프(OFF)일 때에, 제 2 박막 트랜지스터(51b)의 게이트/소스간 전압 또는 게이트/드레인간 전압(이하, 게이트 전압이라고 한다)을 유지하기 위한 용량 소자에 상당하여, 반드시 형성할 필요는 없다.

[0027] 본 실시형태에서는, 제 1 박막 트랜지스터(51a)를 n채널형 박막 트랜지스터로 형성하고, 제 2 박막 트랜지스터(51b)를 p채널형 박막 트랜지스터로 형성한다. 또한, 제 1 박막 트랜지스터(51a)를 p채널형의 박막 트

랜지스터로 형성하고, 제 2 박막 트랜지스터(51b)를 n채널형 박막 트랜지스터로 형성하여도 좋다.

[0028] 다음, 제 1 박막 트랜지스터(51a) 및 제 2 박막 트랜지스터(51b)의 구조에 대해서, 도 1c를 사용하여 설명한다.

[0029] 제 1 박막 트랜지스터(51a)는, 기판(50) 위에 게이트 전극(52), 게이트 전극 위에 게이트 절연막(54), 게이트 절연막 위에 미결정 반도체 막(55), 미결정 반도체 막(55) 위에 버퍼층(57), 버퍼층(57) 위에 한 쌍의 n형 반도체 막(59), 한 쌍의 n형 반도체 막(59) 위에 배선(61a 내지 61c, 62a 내지 62c)이 형성된다. 또한, 제 1 박막 트랜지스터(51a)는, 이동도가 $10\text{cm}^2/\text{V} \cdot \text{s}$ 이상 $45\text{cm}^2/\text{V} \cdot \text{s}$ 이하이다.

[0030] 제 2 박막 트랜지스터(51b)는, 기판(50) 위에 게이트 전극(53), 게이트 전극(53) 위에 게이트 절연막(54), 게이트 절연막(54) 위에 미결정 반도체 막(56), 미결정 반도체 막(56) 위에 버퍼층(58), 버퍼층(58) 위에 한 쌍의 p형 반도체 막(60), 한 쌍의 p형 반도체 막(60) 위에 배선(63a 내지 63c, 64a 내지 64c)이 형성된다. 또한, 제 1 박막 트랜지스터(51a)의 배선(62a) 및 제 2 박막 트랜지스터(51b)의 게이트 전극(53)이 게이트 절연막(54)의 콘택트 홀에 있어서 접속된다. 또한, 제 2 박막 트랜지스터(51b)의 이동도는 $0.3\text{cm}^2/\text{V} \cdot \text{s}$ 이하이다.

[0031] 본 실시형태에서는, 미결정 반도체 막(55, 56)은 각각 제 1 박막 트랜지스터(51a) 및 제 2 박막 트랜지스터(51b)의 채널 형성 영역으로서 기능하고, 또한 미결정 반도체 막(55, 56)에 포함되는 산소의 농도가 $1 \times 10^{16} \text{atoms/cm}^3$ 이하인 것을 특징으로 한다. 미결정 반도체 막 중에 있어서, 산소는 결함이 된다. 따라서, 미결정 반도체 막(55, 56)의 산소 농도를 저감시킴으로써, 막 중의 결함을 저감할 수 있기 때문에, 캐리어의 이동을 향상시킬 수 있다. 또한, 채널 형성 영역으로서 미결정 반도체 막을 사용하기 때문에, 임계 값의 변동을 억제할 수 있다. 따라서, 제 1 박막 트랜지스터(51a) 및 제 2 박막 트랜지스터(51b)의 전기 특성을 향상시킬 수 있다. 또한, p채널형 박막 트랜지스터에 있어서는, 도너로서 기능하는 산소의 농도를 저감함으로써, p채널형 박막 트랜지스터의 이동도를 상승시킬 수 있다. 따라서, 미결정 반도체 막을 채널 형성 영역에 사용한 역 스택거형의 박막 트랜지스터에 있어서도, p채널형 박막 트랜지스터를 제작할 수 있다.

[0032] 또한, 미결정 반도체 막(55) 및 n형 반도체 막(59)의 사이, 및 미결정 반도체 막(56) 및 p형 반도체 막(60)의 사이에 버퍼층(57, 58)을 가지는 것을 특징으로 한다. 버퍼층(57, 58)은 미결정 반도체 막(55, 56)의 산화 보호막으로서 기능하는 것과 함께, 고저항 영역으로서 기능한다. 따라서, 미결정 반도체 막(55, 56)에 산화물이 형성되어, 이동도가 저하하는 것을 회피(回避)하는 것과 함께, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 따라서, 표시 장치의 콘트라스트를 향상시킬 수 있다.

[0033] 또한, 본 실시형태에 있어서, 화소의 등가 회로는 도 1b에 한정되지 않고, 역 스택거형의 p채널형 박막 트랜지스터, 역 스택거형의 n채널형 박막 트랜지스터, 및 화소 전극을 가지고, 화소 전극이 역 스택거형의 p채널형 박막 트랜지스터 또는 역 스택거형의 n채널형 박막 트랜지스터에 접속되는 등가 회로를 구성하는 화소라면 좋다.

[0034] 기판(50)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 또는 알루미늄 실리케이트 유리 등, 용융법(fusion method)이나 부유법(floating method)에 의하여 형성되는 무 알칼리 유리 기판, 세라믹스 기판, 그 이외에 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(50)이 마더(mother) 유리의 경우, 기판의 크기는, 제 1 세대($320\text{mm} \times 400\text{mm}$), 제 2 세대($400\text{mm} \times 500\text{mm}$), 제 3 세대($550\text{mm} \times 650\text{mm}$), 제 4 세대($680\text{mm} \times 880\text{mm}$ 또는 $730\text{mm} \times 920\text{mm}$), 제 5 세대($1000\text{mm} \times 1200\text{mm}$ 또는 $1100\text{mm} \times 1250\text{mm}$), 제 6 세대($1500\text{mm} \times 1800\text{mm}$), 제 7 세대($1900\text{mm} \times 2200\text{mm}$), 제 8 세대($2160\text{mm} \times 2460\text{mm}$), 제 9 세대($2400\text{mm} \times 2800\text{mm}$, $2450\text{mm} \times 3050\text{mm}$), 제 10 세대($2950\text{mm} \times 3400\text{mm}$) 등을 사용할 수 있다.

[0035] 게이트 전극(52, 53) 및 용량 전극(도시하지 않는다)은, 금속 재료로 형성된다. 금속 재료로서는, 알루미늄, 크롬, 티타늄, 탄탈, 몰리브덴, 구리 등이 적용된다. 게이트 전극(52, 53) 및 용량 전극의 바람직한 예는, 알루미늄 또는 알루미늄과 배리어 금속의 적층 구조체에 의하여 형성된다. 배리어 금속으로서는, 티타늄, 몰리브덴, 크롬 등의 고용점 금속이 적용된다. 배리어 금속은 알루미늄의 힐록(hillock) 방지, 산화 방지를 위해서 형성하는 것이 바람직하다. 게이트 전극(52, 53) 위에는 반도체 막이나 배선을 형성하기 때문에, 단절/단선 방지를 위해서 단부가 테이퍼 형상이 되도록 가공하는 것이 바람직하다.

[0036] 게이트 전극(52, 53)은, 스퍼터링법, CVD법, 증착법, 인쇄법, 액적 도출법 등을 사용하여 형성한다. 또한, 스퍼터링법, CVD법 등으로 형성하는 경우는, 기판(50) 전면에 금속 재료를 형성한 후, 포토리소 그래피

공정에 의하여 형성된 레지스트 마스크를 사용하여 금속 재료막을 부분적으로 에칭하여, 게이트 전극(52, 53) 및 용량 전극을 형성한다.

[0037] 게이트 절연막(54)은, 두께가 50nm 내지 300nm의 질화실리콘, 산화실리콘, 질화산화실리콘, 산화질화실리콘, 질화알루미늄, 질화산화알루미늄 등의 절연 재료로 형성한다.

[0038] 게이트 절연막(54)의 일례는, 게이트 전극(52, 53), 및 용량 전극 위에 제 1 게이트 절연막으로서 질화실리콘막(또는 질화산화실리콘막)을 형성하고, 그 위에 제 2 게이트 절연막으로서 산화실리콘막(또는 산화질화실리콘막)을 형성하는 구성이 있다. 이와 같이, 게이트 절연막(54)을 복수의 층으로 형성함으로써, 복수의 기능을 게이트 절연막(54)에 부여할 수 있다. 예를 들면, 제 1 게이트 절연막으로서 질화실리콘막(또는 질화산화실리콘막)을 형성함으로써, 소자 기판으로부터의 불순물 확산을 방지하고, 다른 효과로서 게이트 전극(52, 53) 등의 산화 방지를 도모할 수 있다. 또한, 게이트 전극(52, 53)으로서 알루미늄을 사용하는 경우는, 알루미늄의 휘발을 방지할 수 있다. 제 2 게이트 절연막으로서 산화실리콘막(또는 산화질화실리콘막)을 형성함으로써, 그 위에 형성되는 미결정 실리콘 막과의 밀착성을 높여, 제 1 게이트 절연막의 응력 왜곡의 영향을 완화하는 효과가 있다. 제 1 게이트 절연막은 10nm 내지 100nm, 제 2 게이트 절연막은 50nm 내지 150nm의 두께로 형성하는 것이 바람직하다. 또한, 산화실리콘 막 위에 5nm 내지 10nm의 질화실리콘 막을 형성하여도 좋다. 특히, 표시 장치가 발광 표시 장치의 경우, 직류(直流)구동이기 때문에, 게이트 절연막은 고내압인 것이 바람직하다. 따라서, 게이트 절연막을 상기의 3층 구조로 되는 것이 바람직하다. 또한, 게이트 절연막에 산화질화실리콘 또는 산화실리콘을 사용함으로써, 임계 값의 변동을 억제할 수 있다.

[0039] 게이트 절연막(54)은, 스퍼터링법, CVD법, 도포법 등을 사용하여 형성한다.

[0040] 미결정 반도체 막(55, 56)은, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는, 자유 에너지적으로 안정한(즉, 열 역학적으로 안정한) 제 3 상태를 가지는 반도체이며, 단거리 질서를 가지고 격자 왜곡을 가지는 결정질의 것이며, 입경이 0.5nm 내지 50nm, 바람직하게는, 1nm 내지 20nm의 주(柱)형상 또는 침(針)형상의 결정이 기판 표면에 대해서 법선(法線; normal line) 방향으로 성장한다. 또한, 미결정 반도체와 비단결정 반도체가 혼재한다. 미결정 반도체의 대표예인 미결정 실리콘은, 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520.5cm^{-1} 보다 저파수 측에 시프트한다. 즉, 단결정 실리콘을 나타내는 520.5cm^{-1} 와 아모퍼스 실리콘을 나타내는 480cm^{-1} 의 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(未結合手; dangling bond)를 종단하기 위해서 수소 또는 할로젠을 적어도 1at.% 또는 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜 격자 왜곡을 또 촉진시킴으로써, 안정성이 높아지고 양호한 미결정 반도체 막을 얻을 수 있다. 이러한 미결정 반도체 막에 관하는 기재는, 예를 들면, 미국특허4,409,134호에서 개시된다.

[0041] 미결정 반도체 막(55, 56)의 두께는 10nm 내지 500nm(바람직하게는 100nm 내지 250nm)의 두께로 한다. 미결정 반도체 막(55, 56)의 두께를 10nm 이상 500nm 이하로 함으로써, 후에 형성되는 박막 트랜지스터는, 완전 공핍(空乏)형이 된다. 또한, 미결정 반도체(55, 56)로서, 미결정 실리콘 막이나, 게르마늄 또는 탄소가 첨가된 미결정 실리콘 막을 사용하여 형성한다.

[0042] 또한, 미결정 반도체 막은, 가전자(價電子) 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형의 전기 전도성을 나타내기 때문에, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체 막에 대해서는 p형을 부여하는 불순물 원소를 성막할 때와 동시 또는 성막한 후에 첨가함으로써, 임계 값 제어를 하여도 좋다. p형을 부여하는 불순물 원소로서는, 대표적으로는, 붕소이며, B_2H_6 , BF_3 등의 불순물 기체를 1ppm 내지 1000ppm, 바람직하게는, 1ppm 내지 100ppm의 비율로 수소화 실리콘에 혼입시키면 좋다. 그리고 붕소의 농도를 예를 들면, $1 \times 10^{14} \text{atoms}/\text{cm}^3$ 내지 $6 \times 10^{16} \text{atoms}/\text{cm}^3$ 로 하면 좋다.

[0043] 또한, 미결정 반도체 막의 질소 및 탄소의 농도를 각각 $3 \times 10^{18} \text{atoms}/\text{cm}^3$ 이하로 하는 것이 바람직하다. 미결정 반도체 막의 불순물의 농도를 저감시킴으로써, 미결정 반도체 막의 결함을 저감시킬 수 있다.

[0044] 미결정 반도체 막(55, 56)의 형성 방법에 대해서는, 실시형태 2에서 자세히 설명한다.

[0045] 버퍼층(57, 58)은, 두께 50nm 내지 400nm의 비정질 반도체 막을 사용하여 형성한다. 대표적으로는, 비정질 실리콘 막을 사용하여 형성한다. 또한, 질소, 불소, 염소, 헬륨, 아르곤, 크립톤, 또한 네온 중의 1종 이상을 포함하는 비정질 실리콘 막을 사용하여 형성한다.

- [0046] 버퍼층(57, 58)은, SiH_4 , Si_2H_6 등의 수소화 실리콘을 사용하여, 플라즈마 CVD법에 의하여 형성할 수 있다. 또한, 상기 수소화 실리콘에 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 1종 또는 복수 종의 희소 가스 원소에 의하여 희석하여 비정질 반도체 막을 형성할 수 있다. 수소화 실리콘의 유량의 1배 이상 10배 미만, 더 바람직하게는, 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 상기 원료 가스에 질소, 암모니아, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , HF , HCl 등)의 1종 이상을 첨가하여, 버퍼층(57, 58)을 형성한다.
- [0047] 또한, 스퍼터링법에 의하여 버퍼층(57, 58)을 형성할 수 있다.
- [0048] n형 반도체 막(59) 및 p형 반도체 막(60)은, 가전자 제어를 목적으로 한 일 도전형 불순물이 첨가된다. n형 반도체 막(59)에는 인 또는 비소가 첨가되고, p형 반도체 막(60)에는 붕소가 첨가된다. n형 반도체 막(59)의 대표예는, 인이 첨가된 비정질 실리콘 막 또는 미결정 실리콘 막이며, p형 반도체 막(60)의 대표예는 붕소가 첨가된 비정질 실리콘 막 또는 미결정 실리콘 막이다.
- [0049] 배선(61a 내지 61c, 63a 내지 63c)은, 게이트 전극(52)과 접속되는 주사선과 교차하는 방향으로 연장되어, 제 1 박막 트랜지스터(51a)의 소스 또는 드레인의 전위가 부여된다. 배선(62a 내지 62c)은, 제 2 박막 트랜지스터(51b)의 게이트 전극(53)과 접속되어, 제 2 박막 트랜지스터(51b)의 게이트 전극의 전위가 부여된다. 배선(64a 내지 64c)은, 화소 전극과 접속되어, 제 2 박막 트랜지스터(51b)의 드레인 혹은 소스의 전위가 부여된다.
- [0050] 배선(61a 내지 61c, 62a 내지 62c, 63a 내지 63c, 64a 내지 64c)은, 알루미늄, 구리, 또는 실리콘, 티타늄, 네오디뮴, 스칸듐 등의 내열성 향상 원소가 첨가된 알루미늄을 사용하여 형성하는 것이 바람직하다. 알루미늄 막을 스퍼터링법 또는 증착법에 의하여 형성하고, 포토리소그래피 기술을 이용하여 소정의 패턴으로 형성한다. 또한, 은, 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법, 잉크젯법, 나노 임프린트법을 사용하여 형성하여도 좋다.
- [0051] 배선(61a 내지 61c, 62a 내지 62c, 63a 내지 63c, 64a 내지 64c)은, 상기와 같이, 알루미늄, 구리 등으로 형성하면 좋지만, 하지와와의 밀착성 향상과 확산을 방지하는 배리어 층으로서 기능하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 예를 들면, 배리어 층으로서 기능하는 배선(61a 내지 64a)을 몰리브덴, 크롬, 티타늄, 탄탈, 질화 티타늄 등의 고용점 금속으로 형성하고, 배선(61b 내지 64b)을 상술한 알루미늄, 또는 내열성 향상 원소가 첨가된 알루미늄 등으로 형성하고, 배선(61c 내지 64c)을 배선(61a 내지 64a)과 동종의 도전성 재료로 형성한다.
- [0052] 보호 절연막(65)은, 버퍼층(57, 58), 배선(61a 내지 61c, 62a 내지 62c, 63a 내지 63c, 64a 내지 64c) 등을 피복하도록 형성한다. 보호 절연막(65)은, 질화실리콘, 질화산화실리콘으로 형성하는 것이 바람직하다. 보호 절연막(65)에는 배선(64c)을 노출하는 콘택트 홀(69)이 형성된다.
- [0053] 보호 절연막(65)은, 스퍼터링법 또는 CVD법에 의하여 형성된다.
- [0054] 화소 전극(66)은 콘택트 홀(69)에서 배선(64c)과 접속된다. 화소 전극(66)은 산화인듐주석, 산화아연, 산화주석 등의 투광성을 가지는 도전성 재료로 형성한다. 또한, 알루미늄, 질화알루미늄, 티타늄, 질화티타늄, 탄탈, 질화탄탈, 혹은 은 등의 차광성 도전 재료를 사용하여 형성한다. 또한, 유기 도전성 재료로 형성하여도 좋다.
- [0055] 또한, 도 1c에 있어서는, 박막 트랜지스터(51a, 51b)로서는, 배선(61a 내지 61c, 62a 내지 62c, 63a 내지 63c, 64a 내지 64c)과, n형 반도체 막(59), p형 반도체 막(60)을 분리할 때, 버퍼층(57, 58)의 일부도 에칭되어, 일부에 오목부가 형성된 채널 에치형의 박막 트랜지스터를 나타내지만, 이것에 한정되지 않는다.
- [0056] 도 2에 나타내는 바와 같이, 게이트 전극(52) 위에 게이트 절연막(54)이 형성되고, 게이트 절연막(54) 위에는 미결정 반도체 막(55)이 형성되고, 미결정 반도체 막(55) 위에는 버퍼층(71)이 형성되고, 버퍼층(71) 위에 채널 보호막(73)이 형성되고, 채널 보호막(73) 위에 한 쌍의 n형 반도체 막(75)이 형성되고, n형 반도체 막(75) 위에 한 쌍의 배선(61a 내지 61c, 62a 내지 62c)이 형성되는 채널 보호형의 박막 트랜지스터를, 제 1 박막 트랜지스터(70a)로 할 수 있다. 또한, 마찬가지로, 게이트 전극(53) 위에 게이트 절연막(54)이 형성되고, 게이트 절연막(54) 위에는 미결정 반도체 막(56)이 형성되고, 미결정 반도체 막(56) 위에는 버퍼층(72)이 형성되고, 버퍼층(72) 위에 채널 보호막(74)이 형성되고, 채널 보호막(74) 위에 한 쌍의 p형 반도체 막(76)이 형성되고, p형 반도체 막(76) 위에 한 쌍의 배선(63a 내지 63c, 64a 내지 64c)이 형성되는 채널 보호형의 박막 트랜지스터

를, 제 2 박막 트랜지스터(70b)로 할 수 있다.

[0057] 또한, 도 1c, 및 도 2에서는, 싱글 게이트 구조의 박막 트랜지스터를 나타내지만, 복수의 박막 트랜지스터가 직렬로 접속되고, 또한 복수의 박막 트랜지스터가 하나의 미결정 반도체 막을 공유하는 구성을 가지는, 멀티 게이트 구조로 하여도 좋다. 멀티 게이트 구조로 함으로써, 박막 트랜지스터의 오프 전류를 저감시킬 수 있다.

[0058] 본 실시형태에서 나타내는 표시 장치는, 화소 전극에의 신호의 입력을 제어하기 위한 스위칭용의 박막 트랜지스터 또는 발광 소자(68)에의 전류 또는 전압의 공급을 제어하기 위한 구동용의 박막 트랜지스터로서, n 채널형 박막 트랜지스터 및 p 채널형 박막 트랜지스터를 사용하여 형성한 화소를 가진다. n 채널형 박막 트랜지스터 및 p 채널형 박막 트랜지스터는, 채널 형성 영역으로서 미결정 반도체 막을 사용하기 때문에, 임계 값의 변동을 억제할 수 있다. 또한, 미결정 반도체 막의 산소 농도가 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하이다. 따라서, 결함을 저감할 수 있다. 또한, p 채널형 박막 트랜지스터에 있어서는, 도너로서 기능하는 산소의 농도를 저감시킬 수 있다. 따라서, n 채널형 박막 트랜지스터 및 p 채널형 박막 트랜지스터의 이동도를 상승시킬 수 있다. 대표적으로는, n 채널형 박막 트랜지스터의 이동도는 $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 이상 $45 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하이며, p 채널형 박막 트랜지스터의 이동도는 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ 이하로 할 수 있다.

[0059] (실시형태 2)

[0060] 본 실시형태에서는, 실시형태 1에서 나타내는 게이트 절연막, 미결정 반도체 막, 버퍼층, n형 반도체 막, p형 반도체 막, 보호 절연막 등을 형성하기 위해서 사용하는 플라즈마 CVD 장치 및 그 성막 방법에 대해서, 도 3 내지 도 5, 및 도 24를 사용하여 설명한다.

[0061] 도 3은 고주파 전력이 인가되는 플라즈마 CVD 장치의 일 구성예를 나타낸다. 반응실(400)은 알루미늄 또는 스테인리스 등의 강성(剛性)이 있는 소재로 형성되어, 내부를 진공 배기할 수 있게 구성된다. 반응실(400)에는 제 1 전극(401)과 제 2 전극(402)이 구비된다.

[0062] 제 1 전극(401)에는 고주파 전력 공급 수단(403)이 연결되고, 제 2 전극(402)은 접지(接地) 전위가 주어지, 기판을 재치(載置)할 수 있게 구성된다. 제 1 전극(401)은 절연재(416)에 의하여 반응실(400)과 절연 분리되어, 고주파 전력이 누설되지 않도록 구성된다. 또한, 도 3에서는, 제 1 전극(401)과 제 2 전극(402)에 대해서 용량 결합형(평행평판형)의 구성을 나타내지만, 고주파 전력을 인가하여 반응실(400)의 내부에 플라즈마를 생성할 수 있는 것이면, 유도 결합형 등 다른 구성을 적용할 수도 있다.

[0063] 고주파 전력 공급 수단(403)은, 고주파 전원(404), 및 그들에 대응하여 정합기(整合器)(406)가 포함된다. 고주파 전원(404)으로부터 출력되는 고주파 전력은, 제 1 전극(401)에 공급된다.

[0064] 고주파 전원(404)이 공급하는 고주파 전력은, 대체로 파장으로서 10m 이상의 고주파가 적용되어, HF 대역인 3MHz 내지 30MHz, 대표적으로는, 13.56MHz의 주파수, 또한, VHF 대역의 주파수이며, 대체로 파장이 10m 미만의 고주파가 적용되어, 30MHz 내지 300MHz의 고주파 전력이 적용된다.

[0065] 제 1 전극(401)은, 가스 공급 수단(408)에도 연결된다. 가스 공급 수단(408)은, 반응 가스가 충전되는 실린더(cylinder)(410), 압력 조정변(調整弁)(411), 스톱 밸브(412), 마스 플로 컨트롤러(413) 등으로 구성된다. 반응실(400) 내에 있어서, 제 1 전극(401)은 기판과 대향하는 면이 샤워 판 형상으로 가공되어, 다수의 세공(細孔)이 형성된다. 제 1 전극(401)에 공급되는 반응 가스는, 중공 구조인 제 1 전극의 세공으로부터 반응실(400) 내에 공급된다.

[0066] 반응실(400)에 접속되는 배기 수단(409)은, 진공 배기와, 반응 가스를 흐르는 경우에 있어서 반응실(400) 내를 소정의 압력에 유지하도록 제어하는 기능이 포함된다. 배기 수단(409)의 구성으로서는, 버터플라이(butterfly) 밸브(417), 컨덕턴스 밸브(418), 터보 분자 펌프(419), 드라이 펌프(420) 등이 포함된다. 버터플라이 밸브(417)와 컨덕턴스 밸브(418)를 병렬로 배치하는 경우에는, 버터플라이 밸브(417)를 닫혀 컨덕턴스 밸브(418)를 동작시킴으로써, 반응 가스의 배기 속도를 제어하여 반응실(400)의 압력을 소정의 범위로 유지할 수 있다. 또한, 컨덕턴스가 큰 버터플라이 밸브(417)를 열림으로써, 고진공 배기가 가능하게 된다.

[0067] 진공도로서 10^{-5} Pa 보다 낮은 압력의 초고진공 배기를 행하는 경우에는, 크라이오 펌프(cryo pump)(421)를 병용하는 것이 바람직하다. 그 이외에도, 도달 진공도로서 초고진공까지 배기하는 경우에는, 반응실(400)의 내벽을 경면(鏡面) 가공하여, 내벽으로부터의 가스 방출을 저감하기 위해서 베이킹용의 히터를 설치하여도

좋다.

- [0068] 히터 컨트롤러(415)에 의하여 온도 제어되는 기관 가열 히터(414)는 제 2 전극(402)에 형성된다. 기관 가열 히터(414)는 제 2 전극(402) 내에 형성되는 경우, 열 전도 가열 방식이 채용되어, 시즈 히터(sheathed heater) 등으로 구성된다. 제 1 전극(401)과 제 2 전극(402)의 간격은 적절히 변경할 수 있게 된다. 이 간격의 조절은, 반응실(400) 내에서 제 2 전극(402)의 높이 변경을 할 수 있도록 벨로우즈(bellows)를 사용하여 구성된다.
- [0069] 본 실시형태에 따른 플라즈마 장치의 반응실을 사용함으로써, 산화실리콘막, 질화실리콘막으로 대표되는 절연막, 미결정 실리콘막, 비정질 실리콘막으로 대표되는 반도체 막, 그 이외의 박막 트랜지스터 등으로 사용되는 각종 박막의 형성이 가능하게 된다.
- [0070] 이하에, 박막을 형성하는 방법에 대해서, 대표예로서 미결정 실리콘 막을 형성하는 공정에 대해서 도 4를 참조하여 시계열적(時系列的)으로 설명한다.
- [0071] 도 4는 미결정 실리콘 막을 형성하는 공정을 설명하는 타임 차트이며, 대표적인 일례를 나타낸다. 도 4의 설명은 반응실을 대기압으로부터 진공 배기(440)를 하는 단계로부터 나타내며, 그 후에 행해지는 프레 코트(441), 기관 반입(442), 하지 전처리(前處理)(443), 성막 처리(444), 기관 반출(445), 클리닝(446)의 각 처리를 시계열적으로 나타낸다.
- [0072] 우선, 반응실 내의 소정의 진공도까지 진공 배기한다. 진공도로서 10^{-5} Pa보다 낮은 압력의 초고진공 배기를 하는 경우에는, 터보 분자 펌프에 의한 배기를 행하여, 또한, 크라이오 펌프를 사용하여 진공 배기를 한다. 또한, 반응실을 가열 처리하여 내벽으로부터의 탈 가스 처리를 행하는 것이 바람직하다. 또한, 기관을 가열하는 히터도 동작시켜 온도를 안정화시킨다. 기관의 가열 온도는 100℃ 내지 300℃, 바람직하게는 120℃ 내지 280℃, 더 바람직하게는, 120℃ 내지 220℃에서 행한다.
- [0073] 프레 코트(441)는, 반응실의 내벽에 흡착한 기체(산소 및 질소 등의 대기 성분, 또는 반응실의 클리닝에 사용한 에칭 가스)를 제거하기 위해서 아르곤 등의 희소 가스를 도입하여 플라즈마 처리를 행하는 것이 바람직하다. 이 처리에 의하여 도달 진공도를 낮출 수 있다. 또한, 반응실의 내벽을 기관 위에 퇴적되야 하는 막과 같은 종류의 막으로 피복하는 처리가 포함된다. 본 실시형태는, 미결정 실리콘 막을 형성하는 공정을 나타낸다. 따라서, 내벽 피복막으로서 실리콘 막을 형성하는 처리가 행해진다. 프레 코트(441)는 실란 가스가 도입된 후, 고주파 전력을 인가하여 플라즈마를 생성한다. 실란 가스는 산소, 수분 등과 반응하기 때문에, 실란 가스를 흐르고, 또한 실란 플라즈마를 생성함으로써 반응실 내의 산소, 수분을 제거할 수 있다.
- [0074] 프레 코트(441)의 후, 기관 반입(442)이 행해진다. 미결정 실리콘 막이 퇴적되야 하는 기관은 진공 배기된 로드(load)실에 보관되기 때문에, 기관을 반입해도 진공도가 현저히 악화되지 않는다.
- [0075] 하지 전처리(443)는, 미결정 실리콘 막을 형성하는 경우에 있어서, 특히 유효한 처리이기 때문에, 행하는 것이 바람직하다. 즉, 유리 기관 표면, 절연막의 표면 혹은 비정질 실리콘의 표면 위에 미결정 실리콘 막을 플라즈마 CVD법에 의하여 형성하는 경우에는, 불순물이나 격자 부정합(不整合) 등에 기인하여 퇴적 초기 단계에 있어서, 비정질 층이 형성된다. 이 비정질 층의 두께를 극력 저감시켜, 가능하면, 없애기 위해서 하지 전처리(443)를 행하는 것이 바람직하다. 하지 전처리로서는, 희소 가스 플라즈마 처리, 수소 플라즈마 처리 또는 이양자의 병용에 의하여 행하는 것이 바람직하다. 희소 가스 플라즈마 처리로서는, 아르곤, 크립톤, 크세논 등, 질량수가 큰 희소 가스 원소를 사용하는 것이 바람직하다. 표면에 부착한 산소, 수분, 유기물, 금속 원소 등을 스퍼터링의 작용에 의하여 제거하기 위해서다. 수소 플라즈마 처리는, 수소 라디칼에 의하여 표면에 흡착한 상기 불순물의 제거와, 절연막 또는 비정질 실리콘 막에 대한 에칭 작용에 의하여 청정 표면을 형성하기 위해서 유효하다. 또한, 희소 가스 플라즈마 처리와 수소 플라즈마 처리를 병용함으로써, 미결정 핵 생성을 촉진하는 작용도 기대된다.
- [0076] 미결정 핵의 생성을 촉진시킨다는 의미로서는, 도 4의 파선(破線)(447)으로 나타내는 바와 같이, 미결정 실리콘 막의 형성 초기 단계에 있어서 아르곤 등의 희소 가스를 계속해서 공급하는 것은 유효하다.
- [0077] 미결정 실리콘 막을 형성하는 성막 처리(444)는, 하지 전처리(443)에 계속해서 행해지는 처리이다. 미결정 실리콘 막은, 실란 가스(불순물 반도체로 하는 경우에는, 실란에 가하여 도핑 가스가 첨가된다)와 수소 및/또는 희소 가스의 혼합 가스 내에서 글로우 방전 플라즈마에 의하여 형성한다. 실란은 수소 및/또는 희소 가스에 의하여 10배 내지 2000배로 희석된다. 기관의 가열 온도는 100℃ 내지 300℃, 바람직하게는 120℃ 내지

280℃, 더 바람직하게는 120℃ 내지 220℃로 행한다. 미결정 실리콘 막의 성장 표면을 수소로 불활성화하여, 미결정 실리콘의 성장을 촉진하기 위해서는, 120℃ 내지 220℃로 성막을 행하는 것이 바람직하다.

[0078] 글로우 방전 플라즈마의 생성은, 본 실시형태에서 나타내는 바와 같이, 1MHz 내지 20MHz, 대표적으로는 13.56MHz의 고주파 전력, 또는 20MHz보다 크고, 120MHz 정도까지의 VHF 대역의 고주파 전력을 인가함으로써 행해진다.

[0079] 이 경우, 프레 코트(441)의 처리를 행함으로써, 미결정 실리콘 막 중에 반응실을 구성하는 금속을 불순물로서 도입해 버리는 것을 방지할 수 있다. 즉, 반응실 내를 실리콘으로 피복함으로써, 반응실 내가 플라즈마에 의하여 에칭되는 것을 방지할 수 있어, 미결정 실리콘 막 중에 포함되는 불순물 농도를 저감시킬 수 있다.

[0080] 성막 처리(444)에 있어서는, 반응 가스에 헬륨을 가하여도 좋다. 헬륨은 24.5eV이며, 모든 기체 중에서 가장 높은 이온화 에너지를 가지며, 그 이온화 에너지보다 조금 낮은, 약 20eV의 준위로 준안정(準安定) 상태가 있기 때문에, 방전 지속 중에 있어서는, 이온화에는 그 차이 약 4eV밖에 필요하지 않는다. 따라서, 방전 개시 전압도 모든 기체 중의 가장 낮은 값을 나타낸다. 이러한 특성에 의하여, 헬륨은 플라즈마를 안정적으로 유지할 수 있다. 또한, 균일한 플라즈마를 형성할 수 있기 때문에, 미결정 실리콘 막을 퇴적하는 기관의 면적이 크게 되어도 플라즈마 밀도의 균일화를 도모하는 효과가 있다.

[0081] 미결정 실리콘의 성막이 종료된 후, 실란, 수소 등의 반응 가스 및 고주파 전력의 공급을 정지하여 기관 반입(445)을 행한다. 계속해서, 다른 기관에 대해서 성막 처리를 행하는 경우에는, 기관 반입(442)의 단계에 되돌아가서 같은 처리가 행해진다. 반응실 내에 부착한 피막이나 분말을 제거하기 위해서는, 클리닝(446)을 행한다.

[0082] 클리닝(446)은 NF_3 , SF_6 로 대표되는 에칭 가스를 도입하여 플라즈마 에칭을 행한다. 또한, ClF_3 와 같이, 플라즈마를 이용하지 않아도 에칭할 수 있는 가스를 도입하여 행한다. 클리닝(446)에 있어서는, 기관 가열용의 히터를 꺼, 반응실의 온도를 낮춰 행하는 것이 바람직하다. 에칭에 있어서의 반응 부생성물(反應副生成物)의 생성을 억제하기 위해서다. 클리닝(446)이 종료된 후, 프레 코트(441)에 되돌아가서 이하와 같은 처리를 행하면 좋다.

[0083] 본 실시형태에서는, 도 4를 참조하여 미결정 실리콘 막의 형성 방법에 대해서 설명했지만, 본 실시형태는 이것에 한정되지 않고, 반응 가스를 바꾸면, 각종 박막을 형성할 수 있다. 반도체 막으로서, 비정질 실리콘 막, 비정질 실리콘 게르마늄 막, 비정질 실리콘 탄화실리콘 막, 미결정 실리콘 게르마늄 막, 미결정 실리콘 탄화실리콘 막 등의 형성에 본 실시형태를 사용할 수 있다. 절연막으로서, 산화 실리콘 막, 질화 실리콘 막, 산화질화 실리콘 막, 질화산화 실리콘 막 등의 형성에 본 실시형태를 사용할 수 있다.

[0084] 또한, 산화질화실리콘 막이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것이며, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정할 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘 막이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것이며, RBS 및 HFS를 사용하여 측정할 경우에, 농도 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 포함되는 것을 가리킨다. 다만, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100at.%로 할 때, 질소, 산소, 실리콘 및 수소의 함유비율이 상기의 범위 내에 포함되는 것으로 한다.

[0085] 이상과 같이, 본 실시형태에 의하면, 산소 농도가 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하인 박막, 대표적으로는, 미결정 실리콘 막을 형성할 수 있다.

[0086] 다음, 상기 반응실이 적용되는 플라즈마 CVD 장치의 일례로서, TFT를 구성하는 게이트 절연막 및 반도체 막의 형성에 적합한 구성의 일례를 나타낸다.

[0087] 도 5는 복수의 반응실을 구비한 멀티 챔버 플라즈마 CVD 장치의 일례를 나타낸다. 이 장치는 공통실(423)과, 로드/언로드실(422), 제 1 반응실(401a), 제 2 반응실(401b), 제 3 반응실(401c)을 구비한 구성이 된다. 로드/언로드실(422)의 카세트에 장전(裝填)되는 기관은, 공통실(423)의 반응 기구(機構)(426)에 의하여 각 반응실에 반출입되는 매엽(枚葉)식의 구성이다. 공통실(423)과 각 실의 사이에는, 게이트 밸브(425)가 구비되어, 각 반응실에서 행해지는 처리가, 서로 간섭하지 않도록 구성된다.

- [0088] 각 반응실은 형성하는 박막의 종류에 따라 구분된다. 예를 들면, 제 1 반응실(401a)은 게이트 절연막 등의 절연막을 형성하여, 제 2 반응실(401b)은 채널을 형성하는 미결정 반도체 층을 형성하여, 제 3 반응실(401c)은 소스 및 드레인을 형성하는 일 도전형의 불순물 반도체 층을 형성하는 반응실로서 충당(充當)된다. 물론, 반응실의 수는 도 5에 나타난 수에 한정되지 않고, 필요에 따라, 임의로 증감(增減)할 수 있다. 또한, 하나의 반응실에서 하나의 막을 형성하여도 좋고, 하나의 반응실에서 복수의 막을 형성하도록 구성하여도 좋다.
- [0089] 각 반응실에는 배기 수단(430)으로서 터보 분자 펌프(419)와 드라이 펌프(420)가 접속된다. 배기 수단은 이들의 진공 펌프의 조합에 한정되지 않고, 대략 10^{-1} Pa로부터 10^{-5} Pa의 진공도까지 배기할 수 있는 것이라면, 다른 진공 펌프를 적용할 수 있다. 또한, 미결정 반도체 막을 형성하는 제 2 반응실(401b)은 초고진공까지 진공 배기하는 것으로서, 극저온 진공펌프(421)가 연결된다. 배기 수단(430)과 각 반응실의 사이에는 버터플라이 밸브(417)가 형성되어, 이것에 의하여 진공 배기를 차단(遮斷)시킬 수 있고, 컨덕턴스 밸브(418)에 의하여 배기 속도를 제어하여 각각의 반응실의 압력을 조절할 수 있다.
- [0090] 가스 공급 수단(408)은 실란으로 대표되는 반도체 재료 가스 또는 희소 가스 등, 프로세스에 사용하는 가스가 충전되는 실린더(410), 스톱 밸브(412), 마스 플로 컨트롤러(413) 등으로 구성된다. 가스 공급 수단(408g)은 제 1 반응실(401a)에 접속되어, 게이트 절연막을 형성하기 위한 가스를 공급한다. 가스 공급 수단(408i)은 제 2 반응실(401b)에 접속되어, 미결정 반도체 막용의 가스를 공급한다. 가스 공급 수단(408n)은 제 3 반응실(401c)에 접속되어, 예를 들면, n형 반도체 막용의 가스를 공급한다. 가스 공급 수단(408a)은 수소를 공급하여, 가스 공급 수단(408f)은 반응실 내의 클리닝에 사용하는 에칭 가스를 공급하는 계통(系統)이며, 이들은 각 반응실에 접속된다.
- [0091] 각 반응실에는 플라즈마를 형성하기 위한 고주파 전력 공급 수단(403)이 연결된다. 고주파 전력 공급 수단(403)은 고주파 전원(404)과 정합기(406)가 포함된다.
- [0092] 도 24는, 도 5의 멀티 챔버 플라즈마 CVD 장치의 구성에 제 4 반응실(401d)을 추가한 구성을 나타낸다. 제 4 반응실(401d)에는, 가스 공급 수단(408b)이 연결된다. 그 이외에도, 고주파 전력 공급 수단, 배기 수단의 구성은 마찬가지다. 각 반응실은 형성하는 박막의 종류에 따라 가려 쓸 수 있다. 예를 들면, 제 1 반응실(401a)은 게이트 절연막 등의 절연막을 형성하고, 제 2 반응실(401b)은 채널을 형성하는 미결정 반도체 층을 형성하고, 제 4 반응실(401d)에서는 채널 형성용의 반도체 층을 보호하는 버퍼층을 형성하여, 제 3 반응실(401c)은 소스 및 드레인을 형성하는 일 도전형의 불순물 반도체 층을 형성하는 반응실로서 사용할 수 있다. 각각의 박막은 최적한 성막 온도가 있기 때문에, 각 반응실의 온도를 개별로 제어할 필요가 있다. 반응실을 개별로 분할함으로써 성막 온도를 관리하는 것이 용이하게 된다. 또한, 같은 막종(膜種)을 반복하여 성막할 수 있기 때문에, 성막 이력(履歷)에 따른 잔류 불순물의 영향을 배제할 수 있다.
- [0093] 본 실시형태에서 나타내는 바와 같이, 도 5 및 도 24에서 나타내는 바와 같은 반응실을 복수개 사용하여 공통실에서 연결함으로써, 복수의 상이한 층을 대기에 노출하지 않고 연속하여 적층할 수 있다.
- [0094] 또한, 도 5 및 도 24에서 나타내지 않지만, p형 반도체 막용의 가스(대표적으로는, 디보란, 실란, 및 수소)를 공급하는 가스 공급 수단, 및 상기 가스 공급 수단이 연결되는 반응실이 형성된다.
- [0095] (실시형태 3)
- [0096] 다음, 표시 장치의 일 형태인 발광 장치에 대해서, 도 1a 내지 도 1c, 도 6a 내지 도 6c, 도 7을 사용하여 설명한다. 발광 장치로서는, 여기서는 일렉트로 루미네이션스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로 루미네이션스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인가, 무기 화합물인가에 의하여 구별되어, 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자로 불린다.
- [0097] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저(基底) 상태에 되돌아갈 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0098] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자에 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체 층으로 끼워, 또한 그것을 전극으로 끼우는 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이

용하는 국제형 발광이다.

- [0099] 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다. 또한, 박막 트랜지스터로서 도 1c에 나타내는 채널 에치형의 박막 트랜지스터를 사용하여 나타내지만, 도 2에 나타내는 채널 보호형의 박막 트랜지스터를 적절히 사용할 수 있다.
- [0100] 발광 장치의 일 형태로서는, 도 1a 및 도 1c에 나타내는 구성 및 도 1b에 나타내는 등가 회로를 가지는 화소가 있다. 대표적으로는, 도 6a에 나타내는 바와 같이, 기판(50) 위에 제 2 박막 트랜지스터(51b)의 스위칭용의 박막 트랜지스터로서 기능하는 제 1 박막 트랜지스터(51a)와, 발광 소자의 구동용의 박막 트랜지스터로서 기능하는 제 2 박막 트랜지스터(51b)와, 보호 절연막(65)의 콘택트 홀에 있어서 제 2 박막 트랜지스터(51b)의 배선(64c)에 접속하는 화소 전극(66)이 형성된다.
- [0101] 도 6a에 나타내는 바와 같이, 보호 절연막(65) 및 화소 전극(66)의 단부 위에 격벽(70)이 형성된다. 격벽(70)은 개구부를 가지며, 상기 개구부에 있어서 화소 전극(66)이 노출된다. 격벽(70)은, 실록산 폴리머 등의 유기 수지막, 또는 무기 절연막을 사용하여 형성한다. 특히, 감광성의 재료를 사용하여, 화소 전극 위에 개구부를 가지고, 그 개구부의 측벽이 연속한 곡률을 가져 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0102] 다음, 격벽(70)의 개구부에 있어서 화소 전극(66)과 접하도록, 발광층(82)이 형성되고, 발광층(82)을 덮도록 대향 전극(83)이 형성되고, 대향 전극(83) 및 격벽(70)을 덮도록 보호 절연막(84)이 형성된다.
- [0103] 발광층(82)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 또한, 제 2 박막 트랜지스터(51b)가 p채널형 박막 트랜지스터의 경우, 일 함수가 큰 도전 재료로 형성되는 양극을 화소 전극(66)으로서 사용하여, 제 2 박막 트랜지스터(51b)가 n채널형 박막 트랜지스터의 경우는, 일 함수가 작은 도전성 재료로 형성되는 음극을 화소 전극(66)으로서 사용한다.
- [0104] 격벽(70)의 개구부에 있어서, 화소 전극(66), 발광층(82), 대향 전극(83)이 중첩함으로써, 발광 소자(90)가 형성된다.
- [0105] 보호 절연막(84)은, 발광 소자(90)에 산소, 수소, 수분, 이산화 탄소가 침입하지 않도록, 질화실리콘막, 질화산화실리콘 막, DLC 막 등을 사용하여 형성한다.
- [0106] 또한, 실제로는, 외기에 노출되지 않도록, 가스 배리어성이 높고, 탈 가스가 적은 보호 필름(라미네이트 필름, 자외선경화수지 필름 등)이나 커버 재료 보호 절연막(84)을 패키징(봉입)하는 것이 바람직하다.
- [0107] 다음, 발광 소자의 구성에 대해서 도 6a 내지 도 6c를 사용하여 설명한다. 여기서는, 구동용의 박막 트랜지스터인 제 2 박막 트랜지스터(51b)가 p형의 경우를 예로 들어, 발광 소자의 단면 구조에 대해서 설명한다.
- [0108] 발광 소자는 발광을 추출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명이라면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 실시형태의 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0109] 하면 사출 구조의 발광 소자에 대해서 도 6a를 사용하여 설명한다. 구동용의 박막 트랜지스터(51b)가 p형이고, 발광 소자(90)로부터 발광되는 빛이 화소 전극(66)을 통해서 사출하는 경우의, 발광 소자의 단면도를 나타낸다. 여기서는, 화소 전극(66)은 양극으로서 기능한다. 구동용 박막 트랜지스터인 제 2 박막 트랜지스터(51b)와 전기적으로 접속된 투광성을 가지는 도전성 재료로 형성되는 화소 전극(66)이 성막되어, 화소 전극(66) 위에 발광층(82), 대향 전극(83)이 순차로 적층된다. 이 예에서는, 대향 전극(83)은 음극으로서 기능한다. 화소 전극(66)은, 일 함수가 크고, 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성하고, 예를 들면, 산화인듐주석, 산화아연, 산화주석 등의 투광성을 가지는 도전성 도전막을 사용하여도 좋다. 대향 전극(83)은 일 함수가 작고, 또한 차광성을 가지는 도전막이라면 공지의 재료를 사용할 수 있다. 예를 들면, Ca, Al, MgAg, AlLi 등이 바람직하다. 발광층(82)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 화소 전극(66) 위에 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자주입층의 순서로 적층한다. 또한, 이들의 층을 모두 형성할 필요는 없다.
- [0110] 대향 전극(83) 및 화소 전극(66)으로 발광층(82)을 끼우는 영역이 발광 소자(90)에 상당한다. 도 6a에 나타난 화소의 경우, 발광 소자(90)로부터 발광되는 빛은, 테두리 화살표로 나타내는 바와 같이, 화소 전극(6

6)측에 사출된다.

[0111] 다음, 양면 사출 구조의 발광 소자에 대해서 도 6b를 사용하여 설명한다. 도 6b에서는, 구동용의 박막 트랜지스터인 제 2 박막 트랜지스터(51b)와 전기적으로 접속된 투광성을 가지는 화소 전극(66) 위에 발광층(82), 음극(85)이 순차로 적층된다. 화소 전극(66)은 양극으로서 기능한다. 음극(85)은, 도 6a의 경우와 마찬가지로, 일 함수가 작은 도전막이라면, 공지의 재료를 사용할 수 있다. 다만, 그 막 두께는, 빛을 투과하는 정도로 한다. 예를 들면, 20nm의 막 두께를 가지는 Al 또는 MgAg를, 음극(85)으로서 사용할 수 있다. 발광층(82)은, 도 6a와 마찬가지로, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 화소 전극(66)은, 도 6a와 마찬가지로, 일 함수가 크고, 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성할 수 있다.

[0112] 화소 전극(66)과 발광층(82)과, 음극(85)이 중합하는 부분이 발광 소자(90)에 상당한다. 도 6b에 나타난 화소의 경우, 발광 소자(90)로부터 발광되는 빛은, 테두리 화살표로 나타내도록 화소 전극(66) 측과 음극(85) 측의 양측으로 사출된다.

[0113] 상면 사출 구조의 발광 소자에 대해서 도 6c를 사용하여 설명한다.

[0114] 도 6c에 구동용의 박막 트랜지스터(51b)가 p형이며, 발광 소자(90)로부터 발광되는 빛이 음극(93) 측에 통과하는 경우의, 화소의 단면도를 나타낸다. 도 6c에서는, 발광 소자(90)의 양극(91)과 구동용의 박막 트랜지스터(51b)가 전기적으로 접속되고, 양극(91) 위에 발광층(92), 음극(93)이 순차로 적층된다. 양극(91)은, 빛을 차광하는 도전 재료를 사용하여 형성한다. 대표적으로는, 알루미늄, 티타늄, 질화티타늄, 탄탈, 질화탄탈, 은 등의 차광성을 가지는 도전 재료와, 도 6a에서 나타내는 양극 재료와의 적층 구조로 하는 것이 바람직하다. 음극(93)은, 도 6a에 나타내는 일 함수가 작은 도전막을 사용할 수 있다. 다만, 그 막 두께는, 빛을 투과하는 정도로 한다. 예를 들면, 5nm 내지 20nm의 막 두께를 가지는 Al 또는 AgMg를, 음극(93)으로서 사용할 수 있다. 발광층(92)은, 도 6a에 나타내는 발광층(82)과 마찬가지로, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0115] 양극(91)과, 발광층(92)과, 음극(93)이 중합하는 부분이 발광 소자(90)에 상당한다. 도 6c에 나타난 화소의 경우, 발광 소자(90)로부터 발광되는 빛은, 테두리 화살표로 나타내도록 음극(93) 측에 사출한다.

[0116] 또한, 상면 사출 구조의 발광 소자는, 제 1 박막 트랜지스터(51a), 제 2 박막 트랜지스터(51b) 위에서도 발광할 수 있기 때문에, 발광 면적을 증대시킬 수 있다. 그러나, 발광층(92)의 아래에 존재하는 층이 요철(凹凸)을 가지면, 상기 요철에 있어서 막 두께의 분포가 불균일하게 되기 때문에, 양극(91) 및 음극(93)이 단락하여, 표시 결함이 된다. 따라서, 보호 절연막(65) 위에 평탄화 막(86)을 형성하고, 평탄화 막(86) 및 보호 절연막(65)에 형성되는 콘택트 홀에 있어서, 배선(64c)에 접속되는 양극(91)이 형성된다. 평탄화 막(86)은, 아크릴, 폴리이미드, 폴리아미드 등의 유기 수지, 또는 실록산 폴리머를 사용하여 형성하는 것이 바람직하다. 또한, 양극(91)은, 평탄화 막(86) 위에 형성되기 때문에, 보호 절연막(65)의 표면의 요철을 저감시킬 수 있다. 또한, 콘택트 홀에 있어서는, 양극(91)이 요철을 가지기 때문에, 상기 요철부분을 덮고, 또한 개구부를 가지는 격벽(70)을 형성한다. 격벽(70)의 개구부에 있어서, 양극(91)과 접하도록, 발광층(92)이 형성되고, 발광층(92)을 덮도록 음극(93)이 형성되고, 음극(93) 및 격벽(70)을 덮도록 보호 절연막(84)이 형성된다.

[0117] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대해서 설명하지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

[0118] 이상의 공정에 의하여, 발광 장치를 제작할 수 있다. 본 실시형태의 발광 장치는, 오프 전류가 적고, 전기 특성이 뛰어나고, 신뢰성이 높은 박막 트랜지스터를 사용하기 때문에, 콘트라스트가 높고, 시인성이 높은 발광 장치이다.

[0119] 다음, 본 실시형태에서 나타내는 발광 표시 장치의 화소(153)의 등가 회로의 일례를 도 1b에 나타낸다.

[0120] 화소(153)는, 제 1 박막 트랜지스터(51a), 제 1 박막 트랜지스터(51b), 용량 소자(67) 및 발광 소자(68)를 가진다. 또한, 여기서는, 제 1 박막 트랜지스터(51a)를 n채널형 박막 트랜지스터로 형성하고, 제 2 박막 트랜지스터(51b)를 p채널형의 박막 트랜지스터로 형성하는 예를 나타내지만, 이것에 한정되지 않는다. 제 1 박막 트랜지스터(51a)를 p채널형 박막 트랜지스터로 형성하고, 제 2 박막 트랜지스터(51b)를 n채널형 박막 트랜지스터로 형성하여도 좋다.

[0121] 제 1 박막 트랜지스터(51a)는, 게이트가 주사선 G1 내지 Gy 중의 어느 주사선(여기서는, "주사선 G"로

한다)에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 신호선 S1 내지 Sx 중 어느 신호선(여기서는, "신호선 S"로 한다)에 전기적으로 접속되고, 소스 또는 드레인의 다른 쪽이 용량 소자(67)의 한쪽의 전극 및 제 2 박막 트랜지스터(51b)의 게이트에 전기적으로 접속된다. 또한, 제 1 박막 트랜지스터(51a)는, 스위칭 박막 트랜지스터 또는 스위칭용 박막 트랜지스터라고 불리는 일이 있다.

[0122] 제 1 박막 트랜지스터(51b)는, 게이트가 제 1 박막 트랜지스터(51a)의 소스 또는 드레인의 다른 쪽 및 용량 소자(67)의 한쪽의 전극에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 전원 공급선 V1 내지 Vx 중의 어느 전원 공급선(여기서는, "전원 공급선 V"로 한다)에 전기적으로 접속되고, 소스 또는 드레인의 다른 쪽이 발광 소자(68)의 한쪽의 전극에 전기적으로 접속된다. 발광 소자(68)의 다른쪽의 전극은, 저전원 전위가 설정되어도 좋다. 또한, 제 2 박막 트랜지스터(51b)는, 구동용 박막 트랜지스터라고 불리는 일이 있다.

[0123] 또한, 저전원 전위란, 전원 공급선 V에 설정되는 고전원 전위를 기준으로 하여, 저전원 전위<고전원 전위를 충족시키는 전위이며, 저전원 전위로서는, 예를 들면, GND, 0V 등을 설정할 수 있다.

[0124] 용량 소자(67)의 다른 쪽의 전극은, 전원 공급선 V1 내지 Vx 중의 어느 전원 공급선(여기서는, "전원 공급선 V"로 한다)에 전기적으로 접속된다. 또한, 용량 소자(67)는, 제 2 박막 트랜지스터(51b)의 게이트 용량을 대용(代用)하여 생략한 구성으로 할 수도 있다. 제 2 박막 트랜지스터(51b)의 게이트 용량은, 소스 영역, 드레인 영역 또는 LDD 영역 등과 게이트 전극이 중첩하여 오버랩되는 영역에서 형성되어도 좋고, 채널 형성 영역과 게이트 전극의 사이에서 형성되어도 좋다.

[0125] 다음, 발광 표시 장치의 동작에 대해서 설명한다. 또한, 본 실시형태에서는 정전류 아날로그 게조 방식으로 동작시키는 발광 표시 장치에 대해서 설명한다. 또한, 정전류 구동이란, 1프레임 기간 등 영상을 유지하는 기간에 있어서, 일정의 전류로 구동시키는 것이며, 항상 같은 전류로 구동시킨다는 의미가 아니다.

[0126] 주사선 G가 선택된 화소에 있어서, 신호선 S의 전위는, 온 상태(도통 상태)가 된 제 1 박막 트랜지스터(51a)를 통하여, 용량 소자(67)의 한쪽의 전극에 입력된다. 그리고, 비디오 신호에 해당하는 전압분의 전하가 용량 소자(67)에 축적되어, 용량 소자(67)는 그 전압을 유지한다. 이 전압은 제 2 박막 트랜지스터(51b)의 게이트와 소스간 전압 V_{gs} 에 상당한다.

[0127] 그리고, 용량 소자(67)의 전극간의 전압이 제 2 박막 트랜지스터(51b)의 게이트에 인가되어, 이 인가 전압에 따라, 제 2 박막 트랜지스터(51b)를 통하여 전원 공급선 V로부터 발광 소자(68)에 전류가 흘러, 발광 소자(68)가 발광한다.

[0128] 발광 소자(68)의 발광 휘도는, 발광 소자(68)를 흐르는 전류에 대략 비례한다. 따라서, 발광 소자(68)에 흐르는 전류를 변화시킴으로써, 화소의 계조를 표현할 수 있다.

[0129] 본 실시형태에서 나타내는 발광 표시 장치에서는, 발광 소자(68)에 흐르는 전류는, 제 2 박막 트랜지스터(51b)의 게이트에 인가되는 전압에 따라, 전원 공급선 V로부터 입력된다. 여기서 일반적으로 박막 트랜지스터의 드레인과 소스간 전압 V_{ds} 와, 그 드레인 전류 I_d 는, 도 7에 나타내는 바와 같은 관계가 있다.

[0130] 도 7에는, 상이한 게이트 전압 V_{gs} 에 대응하는 복수의 그래프를 나타낸다. 게이트 전압 V_{gs} 와 제 2 박막 트랜지스터(51b)의 임계 값 전압 V_{th} 와의 절대값 $|V_{gs}-V_{th}|$ 가 클수록, 바꿔 말하면, 게이트 전압 V_{gs} 의 절대값 $|V_{gs}|$ 가 클수록, 드레인 전류 I_d 는 크게 된다.

[0131] 게이트 전압 V_{gs} 와 제 2 박막 트랜지스터(51b)의 임계 값 전압 V_{th} 와의 차이의 절대값 $|V_{gs}-V_{th}|$ 가, 드레인과 소스간 전압 V_{ds} 의 절대값 $|V_{ds}|$ 보다 큰 경우는, 박막 트랜지스터는 선형 영역에서 동작하고, 드레인과 소스간 전압 V_{ds} 의 절대값 $|V_{ds}|$ 이하의 경우는, 박막 트랜지스터는 포화 영역에서 동작한다. 포화 영역에서 동작하는 경우에는, 드레인과 소스간 전압 V_{ds} 가 변화해도 전류 값은 거의 변화하지 않고, V_{gs} 의 크기만에 따라, 전류 값이 결정한다.

[0132] 본 실시형태에서 나타내는 발광 표시 장치에서는, 발광 소자(68)의 발광시에 있어서, 제 2 박막 트랜지스터(51b)를 드레인과 소스간 전압 V_{ds} 의 절대값 $|V_{ds}|$ 가 게이트 전압 V_{gs} 와 제 2 박막 트랜지스터(51b)의 임계 값 전압 V_{th} 의 차이의 절대값 $|V_{gs}-V_{th}|$ 이상의 포화 영역에서 동작시킨다. 또한, 발광 소자(68)를 비발광으로 하는 경우에는, 제 2 박막 트랜지스터(51b)를 오프시키면 좋다.

[0133] 또한, 발광 표시 장치의 화소의 계조의 표현은, 제 2 박막 트랜지스터(51b)의 게이트에 인가되는 전압을 변화시켜(신호선 S에 입력하는 전위를 변화시켜), 발광 소자(68)에 흐르는 전류를 변화시킴으로써(정전류 아날로그 게조 방식) 행한다. 즉, 정전류 아날로그 게조 방식에서는, 신호선 S에 입력되는 아날로그 영상 신호를

변화시킴으로써(신호선 S의 전위를 변화시킴으로써) 계조 표시가 행해진다.

- [0134] 또한, 본 실시형태에 나타내는 발광 표시 장치로서는, 도 1b에 나타내는 등가 회로를 사용한 화소의 구동 방법을 나타내지만, 상기 등가 회로에 한정되지 않고, 적절히 EL의 화소의 다양한 등가 회로 및 구동 방법을 적용할 수 있다. 또한, 아날로그 계조 방식을 사용한 구동 방법에 한정되지 않고, 디지털 계조 방식을 사용한 구동 방법을 적용할 수 있고, 또한 디지털 계조 방식의 구동 방법이 가능한 화소를 구성할 수도 있다.
- [0135] 일반적으로, 발광 소자(68)의 발광시에 제 2 박막 트랜지스터(51b)를 포화 영역에서 동작시키는 경우, 화소간에서 박막 트랜지스터의 이동도나 임계값이 불균일하게 되면 그것이 그대로 드레인 전류의 편차가 되어, 발광 표시 장치의 표시의 불균일로서 생기는 문제가 있다. 특히, 다결정 반도체 막이나 비정질 반도체 막을 사용하여 박막 트랜지스터를 형성하는 경우에는, 화소마다의 박막 트랜지스터의 이동도나 임계값의 편차가 크고, 발광 표시 장치를 정전류 구동으로 동작시키는 것은 어려웠다. 이것은, 반도체 층의 결정화(레이저 결정화 등)에 있어서, 화소부를 구성하는 모든 영역에 있어서 균일한 결정 입경을 가지는 다결정 반도체 막을 얻는 것이 어렵기 때문이다.
- [0136] 한편, 본 실시형태에서 나타내는 발광 표시 장치에서는, 미결정 반도체 막을 가지는 박막 트랜지스터에 의하여 화소를 구성하는 박막 트랜지스터 등을 형성하기 때문에, 화소마다 박막 트랜지스터의 이동도나 임계값이 불균일하게 되는 것을 저감할 수 있다. 그 결과, 제 2 박막 트랜지스터(51b)를 포화 영역에서 동작시킨 경우이라도, 박막 트랜지스터의 특성의 변화가 작기 때문에, 정전류 아날로그 계조 방식으로 동작시키는 경우이라도, 발광 표시 장치의 표시의 불균일을 방지할 수 있다.
- [0137] 또한, 본 실시형태에서 나타내는 발광 표시 장치는, 정전류 구동으로 동작시켜, 발광 소자(68)의 발광을 전류로 제어하기 때문에, 발광 소자(68)의 발광을 전압으로 제어하는 정전압 구동으로 동작시키는 경우와 비교하여, 온도 변화나 발광 소자의 열화에 의하여 발광 소자의 V-I 특성이 변동한 경우이라도 일정의 휘도를 유지할 수 있다.
- [0138] (실시형태 4)
- [0139] 본 실시형태에서는, 정전 파괴(靜電破壞)를 방지할 수 있는 표시 장치의 구성에 대해서, 도 8 내지 도 10b를 사용하여 설명한다. 여기서는, 화소부와 구동 회로의 사이에 미결정 반도체 막을 가지는 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 사용하여 보호 회로를 형성한다.
- [0140] 우선, 본 실시형태의 표시 장치의 구성에 대해서 도 8을 참조하여 설명한다. 도 8은, 표시 장치가 형성된 기관(330)의 상면도를 나타낸다. 기관(330) 위에 화소부(331)가 형성된다. 또한, 입력 단자는, 기관(330) 위에 형성된 화소 회로에 대해서 신호 또는 전원 전위를 공급한다.
- [0141] 또한, 본 실시형태는 도 8에 나타내는 형태에 한정되지 않는다. 즉, 기관(330) 위에 주사선 구동 회로 또는 신호선 구동 회로가 형성되어도 좋다.
- [0142] 기관(330) 위에 형성된 주사선 측의 입력 단자(332) 및 신호선 측의 입력 단자(333)와, 화소부(331)는 종횡으로 연장된 배선에 의하여 접속되고, 상기 배선은 보호 회로(334 내지 337)에 접속된다.
- [0143] 화소부(331)와 입력 단자(332)는, 배선(339)에 의하여 접속된다. 보호 회로(334)는, 화소부(331)와, 입력 단자(332)의 사이에 배치되어, 배선(339)에 접속된다. 보호 회로(334)에 의하여 화소부(331)가 가지는 박막 트랜지스터 등의 각종 반도체 소자를 보호하여, 열화 또는 파괴되는 것을 방지할 수 있다. 또한, 배선(339)은, 도면 중에서는, 하나의 배선을 나타내지만, 배선(339)과 평행으로 형성되는 복수의 배선의 모두가 배선(339)과 같은 접속 관계를 가진다. 또한, 배선(339)은, 주사선으로서 기능한다.
- [0144] 또한, 주사선 측의 보호 회로는, 입력 단자(332)와 화소부(331)의 사이에 형성되는 보호 회로뿐만 아니라, 화소부(331)를 끼워 입력 단자(332)의 반대 측에도 형성되어도 좋다(도 8의 보호 회로(335) 참조).
- [0145] 또한, 화소부(331)와, 입력 단자(333)는 배선(338)에 의하여 접속된다. 보호 회로(336)는, 화소부(331)와 입력 단자(333)의 사이에 배치되어, 배선(338)에 접속된다. 보호 회로(336)에 의하여 화소부(331)가 가지는 박막 트랜지스터 등의 각종 반도체 소자를 보호하여, 열화 또는 파괴를 방지할 수 있다. 또한, 배선(338)은, 도면 중에서는, 하나의 배선을 나타내지만, 배선(338)과 평행으로 형성되는 복수의 배선의 모두가 배선(338)과 같은 접속 관계를 가진다. 또한, 배선(338)은, 신호선으로서 기능한다.
- [0146] 또한, 신호선 측의 보호 회로는, 입력 단자(333)와 화소부(331)의 사이에 형성되는 보호 회로(336)뿐만

아니라, 화소부(331)를 끼워 입력 단자(333)의 반대 측에도 형성되어도 좋다(도 8의 보호 회로(337)를 참조).

[0147] 또한, 보호 회로(334 내지 337)는, 모두 형성할 필요는 없지만, 적어도 보호 회로(334)는 형성할 필요가 있다. 배선(339)에 지나친 전류가 생김으로써, 화소부(331)가 가지는 박막 트랜지스터의 게이트 절연막이 파괴되어, 다수의 점 결함이 생길 가능성이 있기 때문이다.

[0148] 또한, 보호 회로(334)뿐만 아니라, 보호 회로(336)를 형성함으로써, 배선(338)에 지나친 전류가 생기는 것을 방지할 수 있다. 따라서, 보호 회로(334)만을 형성하는 경우와 비교하여, 신뢰성이 향상되고, 수율이 향상된다. 보호 회로(336)를 가짐으로써, 박막 트랜지스터를 형성한 후의 러빙 공정에서 생길 가능성이 있는 정전기에 의한 파괴를 방지할 수도 있다.

[0149] 또한, 보호 회로(335) 및 보호 회로(337)를 가짐으로써, 신뢰성을 더 향상시키고, 수율을 향상시킬 수 있다. 보호 회로(335) 및 보호 회로(337)는, 입력 단자(332) 및 입력 단자(333)와 반대 측에 형성되기 때문에, 이들은 표시 장치의 제작 공정 중에 생기는, 각종 반도체 소자의 열화 또는 파괴의 방지에 기여한다.

[0150] 또한, 도 8에서는, 기관(330)과 별도 형성한 신호선 구동 회로 및 주사선 구동 회로를 COG 방식이나 TAB 방식 등의 공지의 방식에 의하여 기관(330)에 실장한다. 또한, 주사선 구동 회로와 화소부를 기관(330) 위에 형성하고, 신호선 구동 회로는 별도 형성한 것을 실장하여도 좋다. 또한, 주사선 구동 회로의 일부 또는 신호선 구동 회로의 일부를, 화소부(331)와 함께 기관(330) 위에 형성하고, 주사선 구동 회로의 다른 부분 또는 신호선 구동 회로의 다른 부분을 실장하여도 좋다. 주사선 구동 회로의 일부가 화소부(331)와 주사선 측의 입력 단자(332)의 사이에 형성되는 경우에는, 주사선 측의 입력 단자(332)와 기관(330) 위에 주사선 구동 회로의 일부와의 사이에 보호 회로를 형성하여도 좋고, 주사선 구동 회로의 일부와 화소부(331)의 사이에 보호 회로를 형성하여도 좋고, 이들 양쪽 모두에 보호 회로를 형성하여도 좋다. 또한, 신호선 구동 회로의 일부가 화소부(331)와 신호선 측의 입력 단자(333)의 사이에 형성되는 경우에는, 신호선 측의 입력 단자(333)와 기관(330) 위의 신호선 구동 회로의 일부의 사이에 보호 회로를 형성하여도 좋고, 신호선 구동 회로의 일부와 화소부(331)의 사이에 보호 회로를 형성하여도 좋고, 이들 양쪽 모두에 보호 회로를 형성하여도 좋다. 즉, 구동 회로의 형태는 다양하기 때문에, 보호 회로는 그 형태에 맞추어 형성하는 수 및 장소를 결정한다.

[0151] 다음, 도 8에 있어서의 보호 회로(334 내지 337)에 사용되는 보호 회로의 구체적인 회로 구성의 예에 대해서 도 9a 내지 도 9f를 참조하여 설명한다.

[0152] 도 9a에 나타내는 보호 회로는, 복수의 박막 트랜지스터를 사용한 보호 다이오드(351, 353)를 가진다. 보호 다이오드(351)는, 직렬로 접속된 n채널형 박막 트랜지스터(351a) 및 n채널형 박막 트랜지스터(351b)를 가진다. n채널형 박막 트랜지스터(351a)의 소스 및 드레인의 한쪽은, n채널형 박막 트랜지스터(351a) 및 n채널형 트랜지스터(351b)의 게이트와 접속되고, 또한 전위 V_{ss} 로 유지된다. n채널형 박막 트랜지스터(351a)의 소스 또는 드레인의 다른 쪽은, n채널형 박막 트랜지스터(351b)의 소스 및 드레인의 한쪽에 접속된다. n채널형 박막 트랜지스터(351b)의 소스 또는 드레인의 다른 쪽은, 보호 다이오드(353)에 접속된다.

[0153] 보호 다이오드(353)는, 직렬로 접속된 p채널형 박막 트랜지스터(353a) 및 p채널형 박막 트랜지스터(353b)를 가진다. p채널형 박막 트랜지스터(353b)의 소스 또는 드레인의 한쪽은, p채널형 박막 트랜지스터(353a) 및 p채널형 박막 트랜지스터(353b)의 게이트와 접속되고, 또한 전위 V_{dd} 로 유지된다. p채널형 박막 트랜지스터(353b)의 소스 또는 드레인의 다른 쪽은 p채널형 박막 트랜지스터(353a)의 소스 또는 드레인의 한쪽에 접속된다. p채널형 박막 트랜지스터(353a)의 소스 또는 드레인의 다른 쪽은, 보호 다이오드(351)에 접속된다.

[0154] 또한, 본 실시형태에 있어서, 보호 다이오드(351, 353)의 각각이 가지는 박막 트랜지스터의 수 및 극성은 도 9a에 나타내는 구성에 한정되지 않는다.

[0155] 또한, 보호 다이오드(351, 353)는 순차로 직렬로 접속되고, 또한 보호 다이오드(351)와 보호 다이오드(353)의 사이는, 배선(355)에 의하여 접속된다. 또한, 배선(355)은, 표시부에 있어서 보호 대상이 되는 반도체 소자에 접속된다.

[0156] 또한, 도 9a에 나타내는 보호 회로는 도 9b에 나타내는 것으로 치환할 수도 있다. 특히, 본 실시형태에서 사용되는 보호 회로는, 내압이 높기 때문에, 도 9b와 같은 구성을 사용할 수 있다. 구체적으로는, 도 9a의 보호 다이오드(351) 대신에 다이오드 접속된 n채널형 박막 트랜지스터로 구성되는 보호 다이오드(356)를 사용하여, 보호 다이오드(353) 대신에 다이오드 접속된 p채널형 박막 트랜지스터로 구성되는 보호 다이오드(357)를 사용한 구성으로 할 수 있다.

- [0157] 도 9c에 나타내는 보호 회로는, 보호 다이오드(360), 보호 다이오드(361), 용량 소자(362), 용량 소자(363), 저항 소자(364)를 가진다. 저항 소자(364)는 2단자의 저항이며, 한쪽의 단자에는 배선(365)에 주어지는 전위 V_{in} 가, 다른 쪽의 단자에서는 전위 V_{ss} 가 주어진다. 저항 소자(364)는, 전위 V_{in} 가 주어지지 않을 때에, 배선(365)의 전위를 전위 V_{ss} 에 내리기 위해서 형성되고, 그 저항값은 배선 저항보다 충분히 크게 되도록 설정한다. 보호 다이오드(360)는, 다이오드 접속된 p채널형 박막 트랜지스터를 사용하여, 보호 다이오드(361)는, 다이오드 접속된 n채널형 박막 트랜지스터를 사용한다.
- [0158] 도 9d에 나타내는 보호 회로는, 보호 다이오드(360)를 2개의 p채널형 박막 트랜지스터로 대용(代用)하고, 보호 다이오드(361)를 2개의 n채널형 박막 트랜지스터로 대용한 등가 회로도이다.
- [0159] 또한, 도 9c 및 도 9d에 나타내는 보호 회로는, 보호 다이오드로서 다이오드 접속된 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 사용하지만, 본 실시형태는 이 구성에 한정되지 않는다.
- [0160] 또한, 도 9e에 나타내는 보호 회로는, 보호 다이오드(370, 372, 374, 376)와, 저항 소자(378)를 가진다. 저항 소자(378)는 배선(379)과 직렬로 접속된다. 보호 다이오드(370, 372)는, 각각 다이오드 접속된 n채널형 박막 트랜지스터를 사용하고, 보호 다이오드(374, 376)는, 각각 다이오드 접속된 p채널형 박막 트랜지스터를 사용한다.
- [0161] 보호 다이오드(370) 및 보호 다이오드(372) 각각의 소스 및 드레인의 한쪽은, 전위 V_{ss} 에 유지되고, 소스 및 드레인의 다른 쪽은 배선(379)에 접속된다. 보호 다이오드(374) 및 보호 다이오드(376) 각각의 소스 및 드레인의 한쪽은, 전위 V_{dd} 에 유지되고, 소스 및 드레인의 다른 쪽은 배선(379)에 접속된다.
- [0162] 또한, 보호 다이오드(370, 372, 374, 376)는, 각각 하나의 박막 트랜지스터를 나타내지만, 극성이 같은 박막 트랜지스터를 복수 직렬로 접속하여도 좋다.
- [0163] 여기서, p채널형 박막 트랜지스터로 형성된 보호 다이오드(353, 357, 360, 374, 376)의 소스 및 드레인에 있어서, V_{dd} 와 접속하는 측을 드레인으로 하여, 다른 쪽을 소스로 한다. 또한, n채널형 박막 트랜지스터로 형성된 보호 다이오드(351, 356, 361, 370, 372)의 소스 및 드레인에 있어서, V_{ss} 와 접속하는 측을 드레인으로 하여, 다른 쪽을 소스로 한다. 또한, p채널형 박막 트랜지스터로 형성된 보호 다이오드(353, 357, 360, 374, 376)의 임계값 전압을 $V_{th}(p)$ 로 나타내고, n채널형 박막 트랜지스터로 형성된 보호 다이오드(351, 356, 361, 370, 372)의 임계값 전압을 $V_{th}(n)$ 로 나타낸다. 또한, $V_{th}(p) > V_{th}(n)$ 이다.
- [0164] 또한, p채널형 박막 트랜지스터로 형성된 보호 다이오드(353, 357, 360, 374, 376)에 있어서는, V_{in} 가 $V_{dd} - V_{th}(p)$ 보다 높은 경우에 온(ON)으로 하여, V_{in} 로부터 V_{dd} 에 전류가 흐른다. 또한, n채널형 박막 트랜지스터로 형성된 보호 다이오드(351, 356, 361, 370, 372)는, V_{in} 가 $V_{ss} - V_{th}(n)$ 보다 낮은 경우에, 온으로 하여, V_{ss} 로부터 V_{in} 에 전류가 주입된다.
- [0165] 또한, n채널형 박막 트랜지스터로 형성된 보호 다이오드(351, 356, 361, 370, 372)는, V_{in} 가 V_{ss} 보다 클 때에, 역 바이어스의 전압이 가해지기 때문에, 전류가 흐르기 어렵다. 또한, p채널형 박막 트랜지스터로 형성된 보호 다이오드(353, 357, 360, 374, 376)는, V_{in} 가 V_{dd} 보다 작을 때에 역 방향 바이어스의 전압이 가해지기 때문에, 전류가 흐르기 어렵다.
- [0166] 여기서, V_{out} 가 V_{ss} 및 V_{dd} 의 사이에서 동작하는 보호 회로의 동작에 대해서 설명한다.
- [0167] 전위 V_{in} 가 전위 V_{dd} 보다 높은 경우를 고려한다. 전위 V_{in} 가 전위 V_{dd} 보다 높은 경우, 보호 다이오드(353, 357, 360, 374, 376)의 게이트 전극과 소스 전극간의 전위차 $V_{gs} = V_{dd} - V_{in} < V_{th}(p)$ 일 때, 상기 p채널형 박막 트랜지스터는 온으로 한다. 여기서, V_{in} 가 지나치게 높은 경우를 상정하기 때문에, 상기 p채널형 박막 트랜지스터는 온으로 한다. 이 때, 보호 다이오드(351, 356, 361, 370, 372)가 가지는 n형 박막 트랜지스터는, 오프로 한다. 그렇게 하면, 보호 다이오드(353, 357, 360, 374, 376)를 통하여 배선(355, 358, 365, 379)의 전위가 V_{dd} 가 된다. 따라서, 잡음(雜音) 등에 의하여 전위 V_{in} 가 전위 V_{dd} 보다 지나치게 높아져도, 배선(355, 358, 365, 379)의 전위는, 전위 V_{dd} 보다 높아지는 일은 없다.
- [0168] 한편, 전위 V_{in} 가 전위 V_{ss} 보다 낮은 경우, 보호 다이오드(351, 356, 361, 370, 372)의 게이트 전극과 소스 전극간의 전위차 $V_{gs} = V_{ss} - V_{in} > V_{th}(n)$ 일 때에, 상기 n형 박막 트랜지스터는 온으로 한다. 여기서, V_{in} 가 지나치게 낮은 경우를 상정하기 때문에, n형 박막 트랜지스터는 온으로 한다. 이 때, 보호 다이오드(353, 357, 360, 374, 376)가 가지는 p형 박막 트랜지스터는 오프로 한다. 그렇게 하면, 보호 다이오드(351, 355, 361, 370, 372)를 통하여, 배선(355, 358, 365, 379)의 전위가 V_{ss} 가 된다. 따라서, 잡음 등에 의하여, 전위 V_{in} 가

전위 V_{ss} 보다 지나치게 낮게 되어도, 배선(355, 358, 365, 379)의 전위는, 전위 V_{ss} 보다 낮게 되는 일은 없다. 또한, 용량 소자(362, 363)는, 입력 전위 V_{in} 가 가지는 펄스 상태의 잡음을 저감시켜, 잡음에 의한 전위의 급준(急峻)한 변화를 완화하는 기능을 한다.

[0169] 또한, 전위 V_{in} 가 $V_{ss}-V_{th}(n)$ 내지 $V_{dd}-V_{th}(p)$ 의 사이의 경우는, p채널형 박막 트랜지스터로 형성된 보호 다이오드(353, 357, 360, 374, 376), 및 n채널형 박막 트랜지스터로 형성된 보호 다이오드(351, 356, 361, 370, 372)는 오프가 되고, 전위 V_{in} 가 V_{out} 에 인가된다.

[0170] 이상에 설명하는 바와 같이, 보호 회로를 배치함으로써, 배선(355, 358, 365, 379)의 전위는, 전위 V_{ss} 와 전위 V_{dd} 의 사이에 대략 유지된다. 따라서, 배선(355, 358, 365, 379)이 이 범위로부터 크게 벗어나는 전위가 되는 것을 방지할 수 있다. 즉, 배선(355, 358, 365, 379)이 지나치게 높은 전위 또는 지나치게 낮은 전위가 되는 것을 방지하고, 상기 보호 회로의 후단의 회로를 파괴 또는 열화로부터 보호할 수 있다.

[0171] 또한, 도 9c 및 도 9d에 나타내는 바와 같이, 입력 단자에 저항 소자(364)를 가지는 보호 회로를 형성함으로써, 신호가 입력되지 않을 때에, 신호가 주어지는 모든 배선의 전위를 일정(여기서는 전위 V_{ss})하게 유지할 수 있다. 즉, 신호가 입력되지 않을 때는, 배선끼리를 단락시킬 수 있는 단락 링(short-circuit ring)으로서의 기능도 가진다. 따라서, 배선간에 생기는 전위차에 기인하는 정전 파괴를 방지할 수 있다. 또한, 저항 소자(364)의 저항값이 충분히 크기 때문에, 신호를 입력할 때는 배선(355, 358, 365, 379)에 주어지는 신호가 전위 V_{ss} 까지 강하(降下)하는 것을 방지할 수 있다.

[0172] 또한, 도 9f에 나타내는 보호 회로는, 저항 소자(380)와, 저항 소자(381)와, n채널형 박막 트랜지스터(382)와, p채널형 박막 트랜지스터(384)를 가진다. 도 9f에서는, 저항 소자(380)와, 저항 소자(381)와 n채널형 박막 트랜지스터(382), p채널형 박막 트랜지스터(384)는, 배선(383)에 직렬로 접속되고, 저항 소자(380)는 배선(383)에 접속된다. 배선(383)에는 전위 V_{in} 가 주어지고, n채널형 박막 트랜지스터(382), p채널형 박막 트랜지스터(384)의 각각 소스 및 드레인의 한쪽에는 전위 V_{out} 가 주어진다.

[0173] 도 9a 내지 도 9f에 나타내는 보호 회로의 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를, 실시형태 1에 나타내는 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터로 제작할 수 있다. 여기서는, 대표예로서, 도 9a에 나타내는 보호 다이오드(351)의 n채널형 박막 트랜지스터 및 보호 다이오드(353)의 p채널형 박막 트랜지스터를 도 10a 및 도 10b에 나타낸다.

[0174] 도 10a에 나타내는 바와 같이, 기판(330) 위에 n채널형 박막 트랜지스터로 형성되는 보호 다이오드(351) 및 p채널형 박막 트랜지스터로 형성되는 보호 다이오드(353)가 형성된다. n채널형 박막 트랜지스터로 형성되는 보호 다이오드(351)에 있어서는, 게이트 전극(391)과 소스 또는 드레인의 한쪽(392)이 접속된다. p채널형 박막 트랜지스터로 형성되는 보호 다이오드(353)는, 게이트 전극(393)과 소스 또는 드레인의 한쪽(394)이 접속된다. 또한, 보호 다이오드(351) 및 보호 다이오드(353)는, 배선(395)에 의하여 접속된다.

[0175] 또한, 도 10b에 나타내는 바와 같이, 보호 다이오드(351) 및 보호 다이오드(353)는, 소스 및 드레인(396, 397) 위에 형성되는 보호 절연막(398)의 콘택트 홀에 있어서, 보호 다이오드(351)의 소스 또는 드레인의 한쪽(396)과, 보호 다이오드(353)의 소스 또는 드레인의 한쪽(397)이, 화소 전극과 동시에 형성되는 배선(399)으로 접속되어도 좋다.

[0176] 도 9a 내지 도 9f에 나타내는 보호 회로의 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를, 실시형태 1에 나타내는 미결정 반도체 막을 가지는 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터로 제작함으로써, 전위의 변동에 의하여 배선(383)에 역 방향 바이어스의 전류가 흐르는 것을 방지할 수 있다. 또한, 저항 소자(380) 및 저항 소자(381)에 의하여, 배선(383)의 전위의 급격한 변동을 완화하여, 반도체 소자의 열화 또는 파괴를 방지할 수 있다.

[0177] 또한, 저항 소자만을 배선에 직렬로 접속하는 경우, 배선의 전위의 급격한 변동을 완화하여, 반도체 소자의 열화 또는 파괴를 방지할 수 있다. 또한, 보호 다이오드만을 배선에 직렬로 접속하는 경우, 전위의 변동에 의하여 배선에 역 방향의 전류가 흐르는 것을 방지할 수 있다.

[0178] 또한, 본 실시형태에 사용되는 보호 회로는 도 9a 내지 도 9f에 나타내는 구성에 한정되지 않고, 같은 기능을 하는 회로 구성이라면, 적절히 설계 변경이 가능하다.

[0179] 또한, 본 실시형태의 보호 회로가 가지는 보호 다이오드로서, 다이오드 접속된 박막 트랜지스터가 사용된다. 다이오드 접속된 상기 박막 트랜지스터로서는, 내압이 높은 박막 트랜지스터를 사용한다. 따라서, 종래

의 보호 회로에서는, 보호 회로 자체가 파괴될 수 있는 정도의 전압이 가해지는 경우이라도, 본 실시형태의 보호 회로를 가짐으로써, 배선이 지나치게 높은 전위 또는 지나치게 낮은 전위가 되는 것을 방지할 수 있다.

[0180] (실시형태 5)

[0181] 다음, 본 발명의 표시 장치의 일 형태인 표시 패널의 구성에 대해서 이하에 나타낸다.

[0182] 도 11a에 신호선 구동 회로(6013)만을 별도 형성하고, 기관(6011) 위에 형성된 화소부(6012)와 접속되는 표시 패널의 형태를 나타낸다. 화소부(6012) 및 주사선 구동 회로(6014)는, 미결정 반도체 막을 채널 형성 영역에 사용한 박막 트랜지스터를 사용하여 형성한다. 미결정 반도체 막을 채널 형성 영역에 사용한 박막 트랜지스터보다 높은 이동도를 얻을 수 있는 트랜지스터에서 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는, 단결정의 반도체를 채널 형성 영역에 사용한 트랜지스터, 다결정의 반도체를 채널 형성 영역에 사용한 박막 트랜지스터, 또는 SOI를 채널 형성 영역에 사용한 트랜지스터이라도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)에, 각각 전원 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다.

[0183] 또한, 구동 회로를 별도 형성하는 경우, 반드시 구동 회로가 형성된 기관을 화소부가 형성된 기관 위에 접촉할 필요는 없고, 예를 들면, FPC 위에 접촉하도록 하여도 좋다. 도 11b에 신호선 구동 회로(6023)만을 별도 형성하고, 기관(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속되는 표시 패널의 형태를 나타낸다. 화소부(6022) 및 주사선 구동 회로(6024)는, 미결정 반도체 막을 채널 형성 영역에 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는, FPC(6025)를 통하여 화소부(6022)와 접속된다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)에 각각 전원 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다.

[0184] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 미결정 반도체 막을 채널 형성 영역에 사용한 박막 트랜지스터를 사용하여 화소부와 같은 기관 위에 형성하고, 나머지를 별도 형성하고 화소부와 전기적으로 접속되도록 하여도 좋다. 도 11c에, 신호선 구동 회로가 가지는 아날로그 스위치(6033a)를, 화소부(6032), 주사선 구동 회로(6034)와 같은 기관(6031) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(6033b)를 별도 다른 기관에 형성하여 접촉하는 액정 표시 패널의 형태를 나타낸다. 화소부(6032) 및 주사선 구동 회로(6034)는, 미결정 반도체 막을 채널 형성 영역에 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(6033b)는, FPC(6035)를 통하여 화소부(6032)와 접속된다. 화소부(6032)와 신호선 구동 회로와, 주사선 구동 회로(6034)에 각각 전원 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다.

[0185] 도 11a 내지 도 11c에 나타내는 바와 같이, 본 실시형태의 표시 패널은, 구동 회로의 일부 또는 전부를, 화소부와 같은 기관 위에, 미결정 반도체 막을 채널 형성 영역에 사용한 역 스테거형의 박막 트랜지스터를 사용하여 형성할 수 있다.

[0186] 또한, 별도 형성한 기관의 접속 방법은, 특히 한정되지 않고, 공지의 COG법, 와이어 본딩법, 혹은 TAB법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하면, 도 11a 내지 도 11c에 나타난 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도 형성하고, 접속하도록 하여도 좋다.

[0187] (실시형태 6)

[0188] 본 발명에 의하여 얻어지는 표시 장치 등을 액티브 매트릭스형 표시 장치 모듈에 사용할 수 있다. 즉, 그들을 표시부에 내장한 전자 기기 모듈에 본 발명을 실시할 수 있다.

[0189] 이와 같은 전자 기기로서는, 비디오 카메라나 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 네비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 12a 내지 도 12d에 나타낸다.

[0190] 도 12a는 텔레비전 장치이다. 표시 모듈을 도 12a에 나타내는 바와 같이, 하우징에 내장하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 설치된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의하여 주 화면(2003)이 형성되고, 그 이외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비된다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0191] 도 12a에 나타내는 바와 같이, 케이스(2001)에 표시 소자를 이용한 표시용 패널(2002)이 내장되고, 수신기(2005)에 의하여 일반의 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통

신 네트워크에 접속함으로써 일 방향(송신자로부터 수신자) 또는 쌍 방향(송신자와 수신자간, 또는 수신자간거리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 하우징에 내장된 스위치 또는 별체의 리모트 컨트롤러(2006)에 의하여 행할 수 있어, 이 리모트 컨트롤러(2006)에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어도 좋다.

[0192] 또한, 텔레비전 장치에도, 주화면(2003) 이외에 서브 화면(2008)을 제 2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다. 이 구성에 있어서, 주화면(2003)을 시야각이 뛰어난 액정 표시 패널로 형성하고, 서브 화면을 저소비 전력으로 표시할 수 있는 발광 표시 패널로 형성하여도 좋다. 또한, 저소비 전력화를 우선시키기 위해서는, 주화면(2003)을 발광 표시 패널로 형성하고, 서브 화면을 발광 표시 패널로 형성하고, 서브 화면을 점멸할 수 있는 구성으로 하여도 좋다.

[0193] 도 13은 텔레비전 장치의 주요한 구성을 나타내는 블록도를 나타낸다. 표시 패널(900)에는, 화소부(921)가 형성된다. 신호선 구동 회로(922)와 주사선 구동 회로(923)는, 표시 패널(900)에 COG 방식에 의하여 실장되어도 좋다.

[0194] 그 이외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 튜너(924)로 수신한 신호 중에서, 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 거기서 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호에 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양에 변환하기 위한 컨트롤 회로(927) 등을 가진다. 컨트롤 회로(927)는, 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(928)를 형성하여, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로 하여도 좋다.

[0195] 튜너(924)에서 수신한 신호에 있어서, 음성 신호는, 음성 신호 증폭 회로(929)에 송신되고, 그 출력은, 음성 신호 처리 회로(930)를 거쳐 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)나 음량의 제어 정보를 입력부(932)로부터 받고, 튜너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0196] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에 있어서의 정보 표시판이나, 가두에 있어서의 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0197] 도 13b는 휴대 전화기(2301)의 일례를 나타낸다. 이 휴대 전화기(2301)는, 표시부(2302), 조작부(2303) 등을 포함하여 구성된다. 표시부(2302)에 있어서는, 상기 실시형태에서 설명한 액정 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0198] 또한, 도 12c에 나타내는 휴대형의 컴퓨터는, 본체(2401), 표시부(2402) 등을 포함한다. 표시부(2402)에, 상기 실시형태에 나타내는 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0199] 도 12d는 탁상(桌上) 조명 기구이며, 조명부(2501), 조명 갓(2502), 가변(可變) 암(arm)(2503), 지주(2504), 대(臺)(2505), 전원(2506)을 포함한다. 본 발명의 발광 표시 장치를 조명부(2501)에 사용함으로써 제작된다. 또한, 조명 기구에는 천정 고정형의 조명기구 또는 벽걸이형의 조명 기구 등도 포함된다. 상기 실시형태에 나타내는 표시 장치를 적용함으로써, 양산성을 높일 수 있고, 값싼 탁상 조명 기구를 제공할 수 있다.

[0200] [실시예 1]

[0201] 본 실시예에서는, 실시형태 1에 나타내는 화소를 제작하는 공정을 도 14a 내지 도 17b를 사용하여 설명한다. 또한, 도 14a 내지 도 16c는, 박막 트랜지스터의 제작 공정을 나타내는 단면도이며, 도 17a 및 도 17b는 일 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 상면도이다.

[0202] 도 14a에 나타내는 바와 같이, 기판(100) 위에 게이트 전극(101, 102)을 형성한다. 기판(100)은, 유리 기판을 사용한다.

[0203] 두께 150nm의 알루미늄에오디움 합금막, 및 두께 50nm 내지 150nm의 폴리브덴 막을 각각 스퍼터링법에 의하여 순차로 적층하여, 기판(100) 위에 도전막을 형성한다. 다음, 제 1 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 형성된 도전막을 에칭하여 게이트 전극(101, 102)을 형성한다.

[0204] 다음, 게이트 전극(101, 102) 위에 게이트 절연막(103)을 형성한다. 여기서는, 게이트 절연막(103)으로서 두께 50nm 내지 150nm의 질화실리콘막, 두께 50nm 내지 150nm의 산화질화실리콘막, 두께 1nm 내지 5nm의 질화실리콘막을 각각 플라즈마 CVD법에 의하여 성막한다.

- [0205] 다음, 게이트 절연막(103) 위에 20nm 내지 500nm(바람직하게는, 100nm 내지 250nm)의 두께의 미결정 실리콘 막(104)을 형성한다. 미결정 실리콘 막(104)은, 도 3에 나타내는 바와 같이, 고진공 배기를 할 수 있는 배기 수단(409)을 가지는 플라즈마 CVD 장치를 사용하여 성막함으로써, 막 중의 산소 농도가 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하인 미결정 실리콘 막을 형성할 수 있다. 여기서는, 실란 가스와 실란 가스의 유량의 10배 이상 2000배 이하, 바람직하게는 12배 이상 1000배 이하, 바람직하게는, 50배 이상 200배 이하의 유량의 수소 가스를 사용한 플라즈마 CVD법에 의하여 미결정 실리콘 막을 형성한다. 또한, 이 때의 기판(100)의 온도를 기판의 가열 온도는 100℃ 내지 300℃, 바람직하게는, 120℃ 내지 220℃로 함으로써, 게이트 절연막(103) 및 미결정 실리콘 막(104)의 계면에 있어서의 미결정 실리콘의 성장을 촉진시킬 수 있다.
- [0206] 다음, 미결정 실리콘 막(104) 위에 두께 50nm 내지 200nm의 버퍼층(105)을 형성한다. 버퍼층(105)으로서, 비정질 실리콘 막을 사용하여 형성한다. 버퍼층(105)에 형성되는 비정질 실리콘 막은, 실란 가스의 유량의 1배 이상 10배 미만, 더 바람직하게는, 1배 이상 5배 이하의 유량의 수소를 사용한 플라즈마 CVD법에 의하여 형성한다. 또한, 버퍼층(105)에 형성되는 비정질 실리콘 막을 미결정 실리콘 막(104)과 마찬가지로 고진공 배기를 할 수 있는 배기 수단(409)을 가지는 플라즈마 CVD 장치를 사용하여 성막함으로써, 결함이 적은 비정질 실리콘 막이 형성되기 때문에, 고저항의 버퍼층을 형성할 수 있고, 박막 트랜지스터의 오프 전류를 저감시킬 수 있다.
- [0207] 또한, 버퍼층(105)을 300℃ 내지 400℃의 온도에서 성막하는 것이 바람직하다. 이 성막 처리에 의하여 수소가 미결정 실리콘 막(104)에 공급되어, 미결정 실리콘 막(104)을 수소화하는 것과 같은 정도의 효과를 얻을 수 있다. 즉, 미결정 실리콘 막(104) 위에 버퍼층(105)을 퇴적함으로써, 미결정 실리콘 막(104)에 수소를 확산시켜, 덩글링 본드의 종단(終端)을 할 수 있다.
- [0208] 다음, 버퍼층(105) 위에 레지스트를 도포한 후, 제 2 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 레지스트 마스크(106, 107)를 형성한다.
- [0209] 다음, 도 14b에 나타내는 바와 같이, 레지스트 마스크(106, 107)를 사용하여 미결정 실리콘 막(104) 및 버퍼층(105)을 선택적으로 에칭하여 미결정 실리콘 막(111, 112), 버퍼층(113, 114)을 형성한다. 여기서는, 드라이 에칭법에 의하여 미결정 실리콘 막(104) 및 버퍼층(105)을 선택적으로 에칭한다. 이 후, 레지스트 마스크(106, 107)를 제거한다.
- [0210] 다음, 두께 10nm 내지 100nm, 바람직하게는, 40nm 내지 80nm의 n형 반도체 막(115)을 형성한다. N형 반도체 막(115)은, 0.2% 내지 1%의 포스핀 가스, 실란 가스, 및 수소를 사용한 플라즈마 CVD법에 의하여, 인을 포함하는 미결정 실리콘 막으로 형성한다. n형 반도체 막(115)도 도 3에 나타내는 플라즈마 CVD 장치에 의하여 형성하여도 좋다.
- [0211] 다음, n형 반도체 막(115) 위에 두께 10nm 내지 60nm의 도전막(116)을 형성한다. 도전막(116)은, 후에 형성되는 p형 반도체 막에 대해서 에칭에 대한 높은 선택 비율을 줄 수 있는 도전 재료를 사용하여 형성한다. 여기서는, 스퍼터링법에 의하여, 두께 10nm 내지 60nm의 몰리브덴 막을 형성한다.
- [0212] 다음, 제 3 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 게이트 전극(101)과 중첩하는 도전막(116) 위에 레지스트 마스크(117)를 형성한다.
- [0213] 다음, 도 14c에 나타내는 바와 같이, 레지스트 마스크(117)를 사용하여, 도전막(116) 및 n형 반도체 막(115)을 선택적으로 에칭하여, 도전막(121), n형 반도체 막(122)을 형성한다. 이 때, 버퍼층(113)의 일부도 에칭되어, 단부에 단차(段差)를 가지는 버퍼층(123)이 된다. 상기 공정에 있어서는, 게이트 전극(102) 위에 형성되는 도전막(116) 및 n형 반도체 막(115)을 에칭한다. 이 때, 에칭 공정의 종점(終点)의 확인은, 에칭 장치 내의 발광 강도 변화를 측정함으로써 판단한다. 즉, n형 반도체 막(115)을 에칭할 때의 활성종과, 버퍼층(114)을 에칭할 때의 활성종에 의하여, 플라즈마의 발광 강도가 다르다. 이 발광 강도의 변화를 측정함으로써, 에칭의 종점을 검출할 수 있다. 따라서, 버퍼층(113)의 일부, 및 버퍼층(114)의 일부가 에칭되는 것으로 그친다. 여기서, 게이트 전극(102) 위에 형성된 버퍼층을 버퍼층(124)이라고 나타낸다. 그 후, 레지스트 마스크(117)를 제거한다.
- [0214] 다음, 도 15a에 나타내는 바와 같이, 10nm 내지 100nm, 바람직하게는, 40nm 내지 80nm의 p형 반도체 막(125)을 형성한다. p형 반도체 막(125)은, 1% 내지 10%의 테트라메틸붕소, 실란, 수소 및 희소 가스(대표적으로는, 헬륨 또는 네온)를 사용한 플라즈마 CVD법에 의하여 붕소를 포함하는 미결정 실리콘 막으로 형성한다. p

형 반도체 막(125)도 도 3에 나타내는 플라즈마 CVD 장치에 의하여 형성하여도 좋다.

[0215] 다음, p형 반도체 막(125) 위에 레지스트를 도포한 후, 제 4 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 게이트 전극(102)과 중첩하는 p형 반도체 막(125) 위에 레지스트 마스크(126)를 형성한다.

[0216] 다음, 도 15b에 나타내는 바와 같이, 레지스트 마스크(126)를 사용하여, p형 반도체 막(125)을 선택적으로 에칭하여, p형 반도체 막(133)을 형성한다. 이 때, 버퍼층(124)의 일부도 에칭되어, 단부에 단차를 가지는 버퍼층(131)이 된다. 또한, 도전막(121) 위에 있어서는, p형 반도체 막이 선택적으로 에칭된다. 그러나, 도전막(121)으로 덮이지 않는 버퍼층(123)의 단부는, 더 에칭되어, 단부에 단차를 가지는 버퍼층(132)이 된다.

[0217] 다음, 제 5 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 게이트 전극(102)과 중첩하는 게이트 절연막(103)의 일부를 에칭하기 위한 레지스트 마스크(134, 135)를 형성한다.

[0218] 다음, 도 15c에 나타내는 바와 같이, 게이트 절연막(103)의 일부를 에칭하여 콘택트 홀(140)을 형성한다.

[0219] 다음, 도전막(121), p형 반도체 막(133), 게이트 절연막(103), 및 게이트 전극(102)의 노출부 위에 도전막(141a 내지 141c)을 적층하여 형성한다. 도전막(141a)으로서 두께 30nm 내지 60nm의 몰리브덴 막, 도전막(141b)으로서 두께 150nm 내지 300nm의 알루미늄 막, 도전막(141c)으로서 두께 50nm 내지 100nm의 몰리브덴 막을 각각 스퍼터링법에 의하여 형성한다.

[0220] 다음, 도전막(141c) 위에 레지스트를 도포한 후, 제 6 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 도전막(141a 내지 141c)으로부터 배선을 형성하기 위한 레지스트 마스크(142 내지 145)를 형성한다.

[0221] 다음, 도 16a에 나타내는 바와 같이, 레지스트 마스크(142 내지 145)를 사용하여 도전막(141a 내지 141c), 및 도전막(121)을 에칭한다. 여기서, 도전막(141a 내지 141c)을 웨트 에칭법에 의하여 등방적으로 에칭하기 때문에, 레지스트 마스크(142 내지 145)보다 면적이 좁은 배선(151a 내지 151d), 배선(152a 내지 152d), 배선(153a 내지 153c), 배선(154a 내지 154c)이 형성된다.

[0222] 다음, 레지스트 마스크(142 내지 145)를 사용하여, n형 반도체 막(122) 및 p형 반도체 막(133)을 에칭하여 한 쌍의 n형 반도체 막(155, 156) 및 한 쌍의 p형 반도체 막(157, 158)을 형성한다. 여기서, 레지스트 마스크(142 내지 145)를 사용하여 드라이 에칭법에 의하여 이방적으로 에칭하기 때문에, 배선(151a 내지 151d), 배선(152a 내지 152d), 배선(153a 내지 153c), 배선(154a 내지 154c)과, 한 쌍의 n형 반도체 막(155, 156), 한 쌍의 p형 반도체 막(157, 158)의 단부의 위치가 어긋나며, 한 쌍의 n형 반도체 막(155, 156), 및 한 쌍의 p형 반도체 막(157, 158)의 단부가, 배선(151a 내지 151d), 배선(152a 내지 152d), 배선(153a 내지 153c), 배선(154a 내지 154c)보다 외측에 돌출(突出)된다.

[0223] 또한, 상기 에칭 공정에 있어서, 버퍼층(132, 131)의 일부가 오버 에칭됨으로써, 완전히 분리된 한 쌍의 n형 반도체 막(155, 156) 및 한 쌍의 p형 반도체 막(157, 158)을 형성할 수 있다. 일부 오버 에칭되어, 오목부(n형 반도체 막 또는 p형 반도체 막과 겹치는 영역보다 막 두께가 얇은 버퍼층의 영역)가 형성된 버퍼층을 버퍼층(159, 160)이라고 나타낸다. 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 n형 반도체 막(155, 156), 및 한 쌍의 p형 반도체 막(157, 158)의 형성 공정과, 버퍼층의 오목부를 동일 공정으로 형성할 수 있다. 버퍼층의 오목부의 깊이를 버퍼층의 가장 막 두께가 두꺼운 영역의 1/2 내지 1/3으로 함으로써, 소스 영역 및 드레인 영역의 거리를 뺄 수 있기 때문에, 소스 영역 및 드레인 영역의 사이에서의 리크 전류를 저감시킬 수 있다. 이 후, 레지스트 마스크(142 내지 145)를 제거한다.

[0224] 또한, 도 16a는 도 17a의 A-B의 단면도에 상당한다. 배선(151c, 153c)은 각각 배선(152c, 154c)을 둘러싸는 형상(구체적으로는, U자형 또는 C자형)이다. 따라서, 캐리어가 이동하는 영역의 면적을 증가시킬 수 있기 때문에, 전류량을 증가시킬 수 있고, 막막 트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극보다 좁은 상면 면적에서 미결정 실리콘 막(111, 112), 버퍼층(113, 114)이 형성되고, 또한 게이트 전극 위에서 미결정 반도체 막, 소스 전극 및 드레인 전극이 중첩되기 때문에, 미결정 실리콘 막(111, 112), 버퍼층(113, 114)에 있어서 게이트 전극의 요철(凹凸)의 영향이 적고, 피복물의 저감 및 리크 전류의 발생을 억제할 수 있다.

[0225] 이상의 공정에 의하여, 채널 에치형의 제 1 박막 트랜지스터(155a) 및 제 2 박막 트랜지스터(155b)를 형성할 수 있다.

[0226] 다음, 도 16b에 나타내는 바와 같이, 배선(151a 내지 151d), 배선(152a 내지 152d), 배선(153a 내지 153c), 배선(154a 내지 154c), 한 쌍의 n형 반도체 막(155, 156) 및 한 쌍의 p형 반도체 막(157, 158), 버퍼층

(159, 160), 미결정 실리콘 막(111, 112), 및 게이트 절연막(103) 위에 보호 절연막(161)을 형성한다. 보호 절연막(161)은, 플라즈마 CVD법에 의하여 두께 50nm 내지 200nm의 질화 실리콘 막을 형성한다.

[0227] 다음, 보호 절연막(161) 위에 레지스트를 도포한 후, 제 7 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 보호 절연막(161)에 레지스트 마스크(162, 163)를 형성한다.

[0228] 다음, 도 16c에 나타내는 바와 같이, 레지스트 마스크(162, 163)를 사용하여 보호 절연막(161)의 일부를 에칭하여 콘택트 홀(164)을 형성한다.

[0229] 다음, 상기 콘택트 홀에 있어서 배선(154c)에 접하는 화소 전극(165)을 형성한다. 여기서는, 스퍼터링 법에 의하여 두께 50nm 내지 100nm의 ITO를 성막한다. 다음, 제 8 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, ITO 위에 레지스트 마스크를 형성한 후, ITO를 선택적으로 에칭하여 화소 전극(165)을 형성한다.

[0230] 또한, 도 16c는, 도 17b의 A-B 단면도에 상당한다.

[0231] 이상에 의하여, 표시 장치에 사용할 수 있는 소자 기판을 형성할 수 있다.

[0232] [실시예 2]

[0233] 본 실시예에서는, 상기 실시예와 다른 박막 트랜지스터의 제작 방법에 대해서, 도 18a 내지 도 23d를 사용하여 설명한다. 여기서는, 상기 실시예보다 포토 마스크 수를 삭감할 수 있는 프로세스를 사용하여 박막 트랜지스터를 제작하는 공정에 대해서 나타낸다.

[0234] 도 14a와 마찬가지로, 도 18a에 나타내는 바와 같이, 기판(100) 위에 도전막을 형성하고, 도전막 위에 레지스트를 도포하고, 제 1 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여, 게이트 전극(101, 102)을 형성한다. 다음, 게이트 전극(101, 102) 위에 게이트 절연막(103), 미결정 실리콘 막(104), 버퍼층(105)을 순차로 형성한다.

[0235] 다음, 버퍼층(105) 위에 n형 반도체 막(115)을 형성하고, n형 반도체 막(115) 위에 도전막(116)을 형성한다.

[0236] 다음, 도전막(116) 위에 레지스트를 도포한 후, 제 2 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 도전막(116)에 레지스트 마스크(171)를 형성한다.

[0237] 다음, 도 18b에 나타내는 바와 같이, 도전막(116), 및 n형 반도체 막(115)을 선택적으로 에칭하여, n형 반도체 막(172), 도전막(173)을 형성한다. 이 때, 레지스트 마스크(171)에 덮이지 않는 버퍼층(105)의 일부도 에칭된다. 도전막(173)에 덮이는 영역은, 도전막(173)에 덮이지 않는 영역과 비교하여 두꺼운 버퍼층(174)이 된다. 이 때, 에칭 공정의 종점의 검출은, 도 15b에 나타내는 에칭과 마찬가지로, 에칭 장치 내의 발광 강도 변화를 측정함으로써 판단한다.

[0238] 다음, 10nm 내지 100nm, 바람직하게는, 40nm 내지 80nm의 p형 반도체 막(125)을 형성한다.

[0239] 다음, 제 3 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 게이트 전극(102)과 중첩하는 p형 반도체 막(125) 위에 레지스트 마스크(175)를 형성한다.

[0240] 다음, 도 18c에 나타내는 바와 같이, 레지스트 마스크(175)를 사용하여 p형 반도체 막(125)을 선택적으로 에칭하여 p형 반도체 막(180)을 형성한다. 이 때, 버퍼층(174)의 일부도 에칭되어, 버퍼층(176, 177)이 된다. 또한, 미결정 실리콘 막(104)도 에칭되어, 미결정 실리콘 막(178, 179)이 된다.

[0241] 다음, 레지스트를 도포한 후, 제 4 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 도 19a에 나타내는 바와 같이, 게이트 전극(102)과 중첩하는 게이트 절연막(103)의 일부를 에칭하기 위한 레지스트 마스크(181, 182)를 형성한다.

[0242] 다음, 도 19b에 나타내는 바와 같이, 게이트 절연막(103)의 일부를 에칭하여 콘택트 홀(183)을 형성한다.

[0243] 다음, 도전막(173), p형 반도체 막(180), 게이트 절연막(103), 및 게이트 전극(102)의 노출부 위에, 도 15c와 마찬가지로 도전막(141a 내지 141c)을 형성한다.

[0244] 다음, 도전막(141c) 위에 레지스트(184)를 도포한다.

[0245] 다음, 제 4 포토 마스크로서 다게조 마스크(185)를 사용하여 레지스트(184)에 빛을 조사하여, 레지스트

(184)를 노광한다.

- [0246] 여기서, 다계조 마스크(185)를 사용한 노광에 대해서 도 23a 내지 도 23d를 사용하여 설명한다.
- [0247] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행할 수 있는 마스크이며, 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수(枚數)를 삭감할 수 있다.
- [0248] 다계조 마스크의 대표예로서는, 도 23a에 나타내는 바와 같은 그레이 톤(gray tone) 마스크(185a), 도 23c에 나타내는 바와 같은 하프 톤(half tone) 마스크(185b)가 있다.
- [0249] 도 23a에 나타내는 바와 같이, 그레이 톤 마스크(185a)는, 투광성을 가지는 기관(231) 및 그 위에 형성되는 차광부(232) 및 회절격자(回折格子)(233)로 구성된다. 차광부(232)에 있어서는, 빛의 투과량이 0%이다. 한편, 회절격자(233)는 슬릿, 도트, 메시(mesh) 등의 광 투과부의 간격을 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 함으로써, 빛의 투과량을 제어할 수 있다. 또한, 회절격자(233)는, 주기적인 슬릿, 도트, 메시, 또는 비주기적인 슬릿, 도트, 메시의 양쪽 모두를 사용할 수 있다.
- [0250] 투광성을 가지는 기관(231)으로서는, 석영 등을 사용할 수 있다. 차광부(232) 및 회절격자(233)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0251] 그레이 톤 마스크(185a)에 노광광(露光光)을 조사하는 경우, 도 23b에 나타내는 바와 같이, 차광부(232)에 있어서는, 광 투과량(234)은 0%이며, 차광부(232) 및 회절격자(233)가 형성되지 않는 영역에서는, 광 투과량(234)은 100%이다. 또한, 회절격자(233)에 있어서는, 10% 내지 70%의 범위로 조정할 수 있다. 회절격자(233)에 있어서는 빛의 투과량의 조정은, 회절격자(233)의 슬릿, 도트, 또는 메시의 간격 및 피치의 조정에 의하여 가능하다.
- [0252] 도 23c에 나타내는 바와 같이, 하프 톤 마스크(185b)는, 투광성을 가지는 기관(231) 및 그 위에 형성되는 반 투과부(235) 및 차광부(236)로 구성된다. 반 투과부(235)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부(236)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0253] 하프 톤 마스크(185b)에 노광광을 조사하는 경우, 도 23d에 나타내는 바와 같이, 차광부(236)에 있어서는, 광 투과량(237)은 0%이며, 차광부(236) 및 반 투과부(235)가 형성되지 않는 영역에서는, 광 투과량(237)은 100%이다. 또한, 반 투과부(235)에 있어서는, 10% 내지 70%의 범위로 조정할 수 있다. 반 투과부(235)에 있어서는 빛의 투과량은, 반 투과부(235)의 재료로 조정할 수 있다.
- [0254] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 20a에 나타내는 바와 같이, 막 두께가 다른 영역을 가지는 레지스트 마스크(186, 187)를 형성할 수 있다.
- [0255] 다음, 레지스트 마스크(186, 187)에 의하여, 미결정 반도체 막(178, 179), 버퍼층(176, 177), n형 반도체 막(172), 도전막(173), p형 반도체 막(180), 및 도전막(141a 내지 141c)을 에칭하여, 2개의 박막 트랜지스터를 분리한다. 이 결과, 도 20b에 나타내는 바와 같은 미결정 실리콘 막(197, 198), 버퍼층(195, 196), n형 반도체 막(193), p형 반도체 막(194), 및 도전막(191a 내지 191d, 192a 내지 192c)을 형성할 수 있다.
- [0256] 다음, 레지스트 마스크(186, 187)를 애싱(ashing)한다. 이 결과, 레지스트의 면적이 축소되어, 두께가 얇게 된다. 이 때, 막 두께의 얇은 영역의 레지스트(게이트 전극(101, 102)의 일부와 중첩하는 영역)는 제거되어, 도 20c에 나타내는 바와 같이, 분리된 레지스트 마스크(201 내지 204)를 형성할 수 있다.
- [0257] 다음, 레지스트 마스크(201 내지 204)를 사용하여, 도전막(191a 내지 191d, 192a 내지 192c)을 에칭하여 분리한다. 이 결과, 도 21a에 나타내는 바와 같은 한 쌍의 배선(211a 내지 211d, 212a 내지 212d, 213a 내지 213c, 214a 내지 214c)을 형성할 수 있다. 레지스트 마스크(201 내지 204)를 사용하여 도전막(191a 내지 191d, 192a 내지 192c)을 웨트 에칭하면, 도전막(191a 내지 191d, 192a 내지 192c)의 단부가 등방적으로 에칭된다. 이 결과, 레지스트 마스크(201 내지 204)보다 면적이 작은 배선(211a 내지 211d, 212a 내지 212d, 213a 내지 213c, 214a 내지 214c)을 형성할 수 있다.
- [0258] 다음, 레지스트 마스크(201 내지 204)를 사용하여, n형 반도체 막(193), p형 반도체 막(194)을 에칭하여, 한 쌍의 n형 반도체 막(215, 216), 한 쌍의 p형 반도체 막(217, 218)을 형성한다. 여기서, 드라이 에칭법에 의하여 이방적으로 n형 반도체 막(193) 및 p형 반도체 막(194)을 에칭하기 때문에, 배선(211a 내지 211d,

212a 내지 212d, 213a 내지 213c, 214a 내지 214c)과, 한 쌍의 n형 반도체 막(215, 216), 한 쌍의 p형 반도체 막(217, 218)의 단부의 위치가 어긋나며, 한 쌍의 n형 반도체 막(215, 216), 한 쌍의 p형 반도체 막(217, 218)의 단부가 배선(211a 내지 211d, 212a 내지 212d, 213a 내지 213c, 214a 내지 214c)보다 외측에 돌출된다.

[0259] 또한, 상기 에칭 공정에 있어서, 버퍼층(176, 177)의 일부가 오버 에칭됨으로써, 완전히 분리된 한 쌍의 n형 반도체 막(215, 216) 및 한 쌍의 p형 반도체 막(217, 218)을 형성할 수 있다. 일부 오버 에칭되어, 오목부가 형성된 버퍼층을 버퍼층(219, 220)이라고 나타낸다. 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 n형 반도체 막(215, 216), 및 한 쌍의 p형 반도체 막(217, 218)의 형성 공정과, 버퍼층의 오목부를 동일 공정으로 형성할 수 있다. 버퍼층의 오목부의 깊이를 버퍼층의 가장 막 두께가 두꺼운 영역의 1/2 내지 1/3으로 함으로써, 소스 영역 및 드레인 영역의 거리를 뺄 수 있기 때문에, 소스 영역 및 드레인 영역의 사이에서의 리크 전류를 저감시킬 수 있다. 이 후, 레지스트 마스크(201 내지 204)를 제거한다. 또한, 도 21b는 도 22a의 A-B의 단면도에 상당한다.

[0260] 이상의 공정에 의하여, 채널 에치형의 박막 트랜지스터(221a, 221b)를 형성할 수 있다.

[0261] 다음, 도 21b에 나타내는 바와 같이, 배선(211a 내지 211d, 212a 내지 212d, 213a 내지 213c, 214a 내지 214c), 한 쌍의 n형 반도체 막(215, 216), 한 쌍의 p형 반도체 막(217, 218), 버퍼층(219, 220), 미결정 실리콘 막(197, 198), 및 게이트 절연막(103) 위에 보호 절연막(161)을 형성한다.

[0262] 다음, 보호 절연막(161) 위에 레지스트를 도포한 후, 제 5 포토 마스크를 사용한 포토리소 그래피 공정에 의하여, 보호 절연막(161)에 레지스트 마스크(222, 223)를 형성한다.

[0263] 다음, 도 21c에 나타내는 바와 같이, 레지스트 마스크(222)를 사용하여 보호 절연막(161)의 일부를 에칭하여 콘택트 홀(223)을 형성한다.

[0264] 다음, 상기 콘택트 홀에 있어서 배선(214c)에 접하는 화소 전극(224)을 형성한다. 여기서는, 스퍼터링 법에 의하여 두께 50nm 내지 100nm의 알루미늄 막을 형성한다.

[0265] 다음, 제 6 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 알루미늄 막 위에 레지스트 마스크를 형성한 후, 알루미늄 막을 선택적으로 에칭하여 화소 전극(224)을 형성한다.

[0266] 또한, 도 21c는, 도 22b의 A-B의 단면도에 상당한다.

[0267] 이상에 의하여, 표시 장치에 사용할 수 있는 소자 기관을 형성할 수 있다.

도면의 간단한 설명

[0268] 도 1a 내지 도 1c는 본 발명의 표시 장치의 구성을 설명하는 상면도, 등가 회로도, 및 단면도.

[0269] 도 2는 본 발명의 표시 장치의 구성을 설명하는 단면도.

[0270] 도 3은 플라즈마 CVD 장치의 반응실의 구성을 설명하는 도면.

[0271] 도 4는 본 발명의 표시 장치의 제작 방법을 설명하는 타임 차트(time chart)의 도면.

[0272] 도 5는 복수의 반응실을 구비한 멀티 챔버 플라즈마 CVD 장치의 구성을 나타내는 도면.

[0273] 도 6a 내지 도 6c는 본 발명의 표시 장치의 구성을 설명하는 단면도.

[0274] 도 7은 본 발명의 표시 장치의 동작을 설명하는 도면.

[0275] 도 8은 본 발명의 표시 장치의 구성을 설명하는 상면도.

[0276] 도 9a 내지 도 9f는 본 발명의 표시 장치에 적용할 수 있는 보호 회로의 구성을 설명하는 등가 회로도.

[0277] 도 10 a 및 도 10b는 본 발명의 표시 장치에 적용할 수 있는 보호 회로의 구성을 설명하는 단면도.

[0278] 도 11a 내지 도 11c는 본 발명의 표시 패널의 구성을 설명하는 사시도.

[0279] 도 12a 내지 도 12d는 본 발명의 표시 장치를 사용한 전자 기기를 설명하는 사시도.

[0280] 도 13은 본 발명의 표시 장치를 사용한 전자 기기를 설명하는 도면.

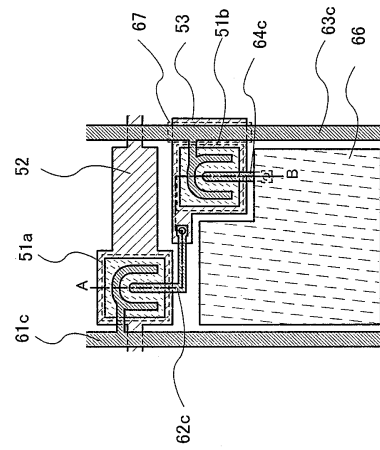
[0281] 도 14a 내지 도 14c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.

[0282]	도 15a 내지 도 15c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0283]	도 16a 내지 도 16c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0284]	도 17a 및 도 17b는 본 발명의 표시 장치의 제작 방법을 설명하는 상면도.	
[0285]	도 18a 내지 도 18c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0286]	도 19a 및 도 19b는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0287]	도 20a 내지 도 20c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0288]	도 21a 내지 도 21c는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.	
[0289]	도 22a 및 도 22b는 본 발명의 표시 장치의 제작 방법을 설명하는 상면도.	
[0290]	도 23a 내지 도 23d는 본 발명에 적용할 수 있는 다계조 마스크를 설명하는 도면.	
[0291]	도 24는 복수의 반응실을 구비한 멀티 챔버 플라즈마 CVD 장치의 구성을 나타내는 도면.	
[0292]	<도면의 주요 부분에 대한 부호의 설명>	
[0293]	50: 기판	51a: 제 1 박막 트랜지스터
[0294]	51b: 제 2 박막 트랜지스터	52: 게이트 전극
[0295]	53: 게이트 전극	54: 게이트 절연막
[0296]	55: 미결정 반도체 막	56: 미결정 반도체 막
[0297]	57: 버퍼층	58: 버퍼층
[0298]	59: n형 반도체 막	60: p형 반도체 막
[0299]	61a: 배선	61b: 배선
[0300]	61c: 배선	62a: 배선
[0301]	62b: 배선	62c: 배선
[0302]	63a: 배선	63b: 배선
[0303]	63c: 배선	64a: 배선
[0304]	64b: 배선	64c: 배선
[0305]	65: 보호 절연막	66: 화소 전극
[0306]	67: 용량 소자	68: 표시 소자
[0307]	69: 콘택트 홀	153: 화소

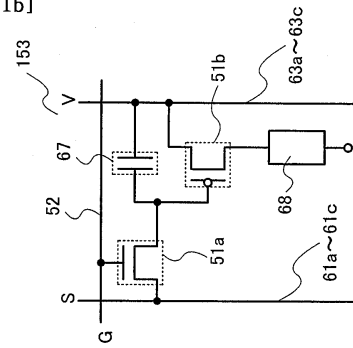
도면

도면1

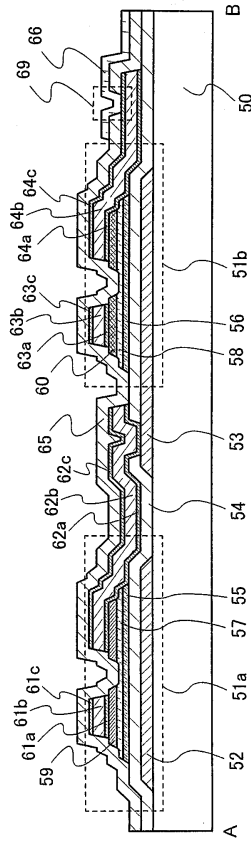
[도 1a]



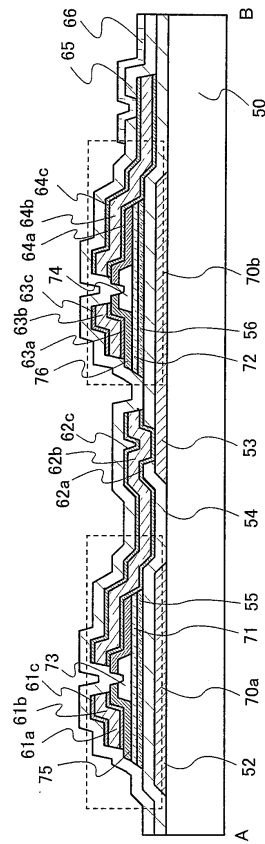
[도 1b]



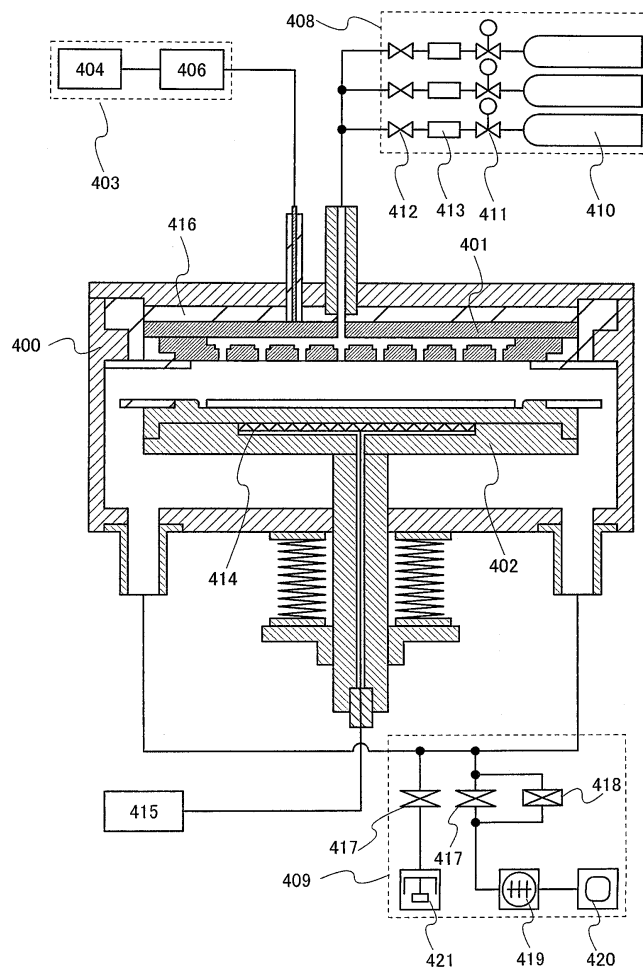
[도 1c]



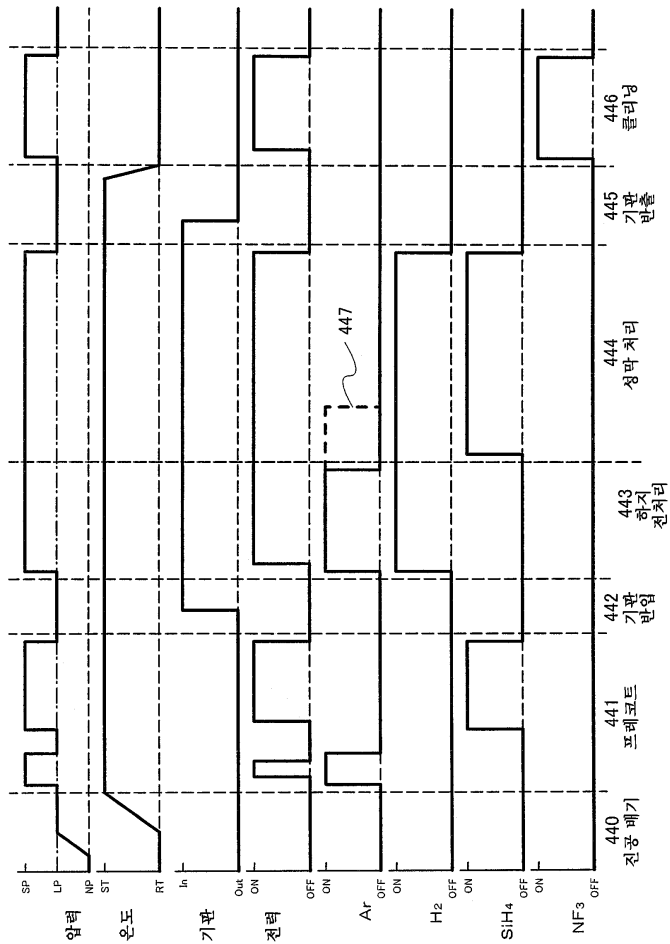
도면2



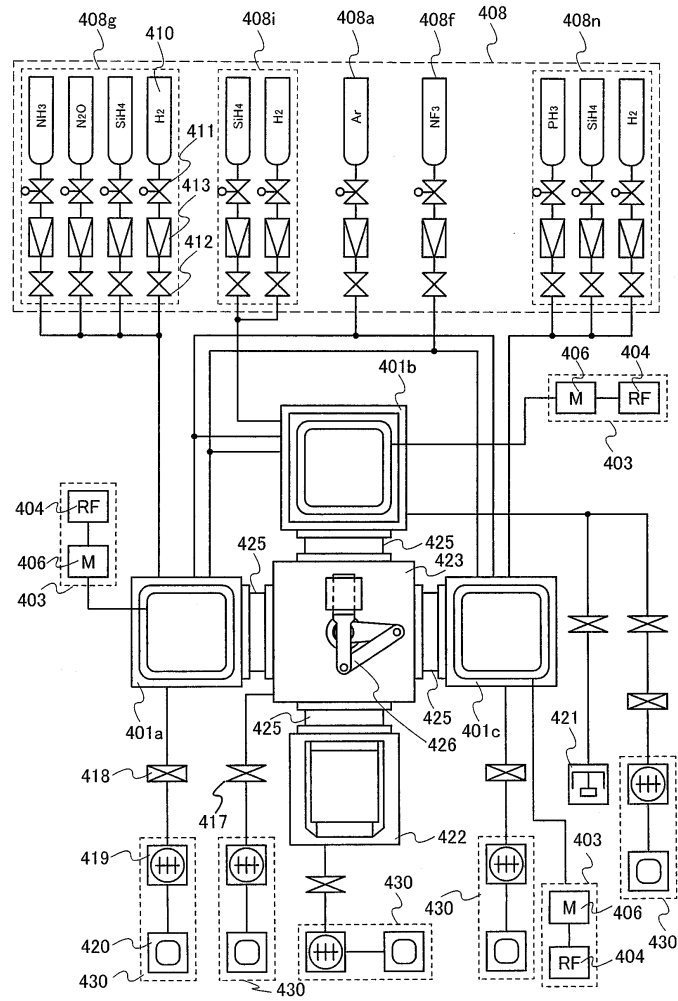
도면3



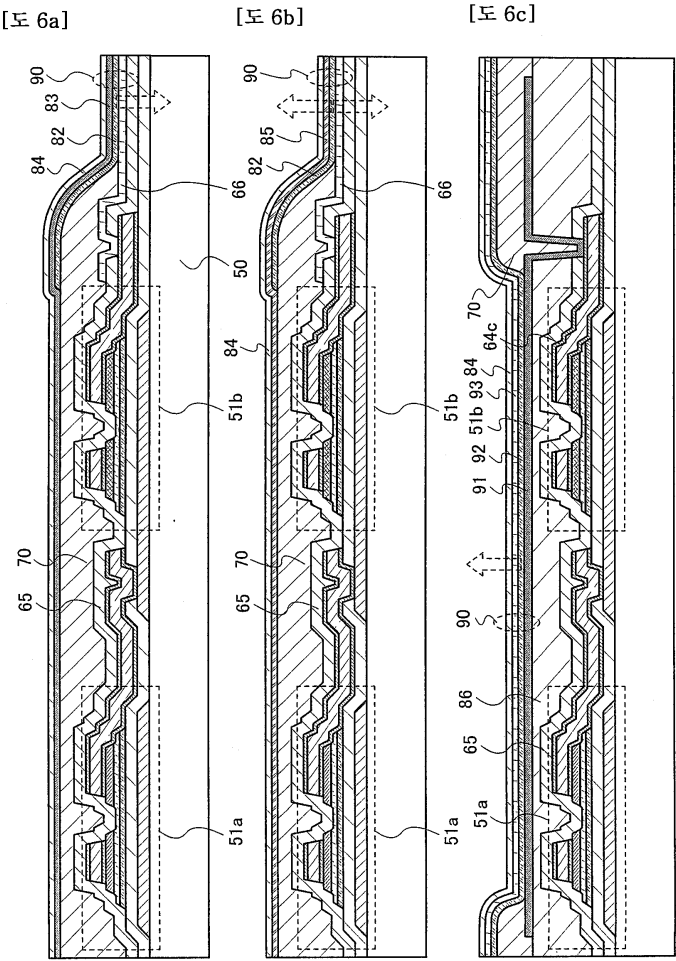
도면4



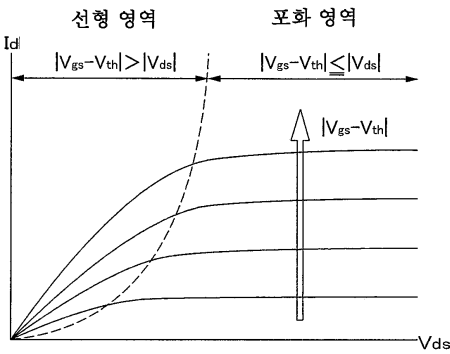
도면5



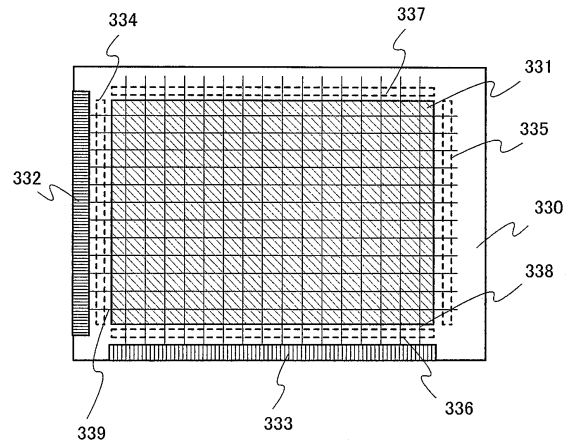
도면6



도면7

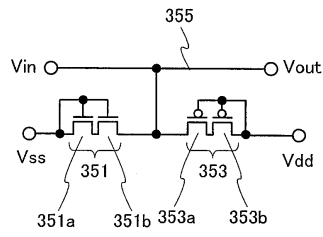


도면8

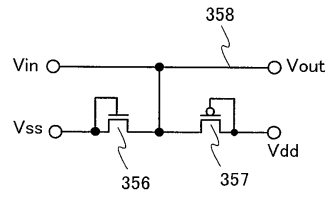


도면9

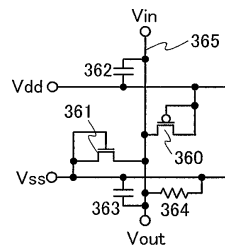
[도 9a]



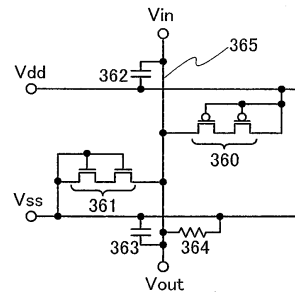
[도 9b]



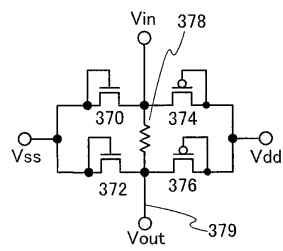
[도 9c]



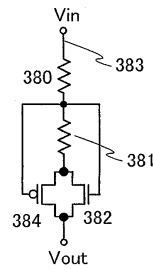
[도 9d]



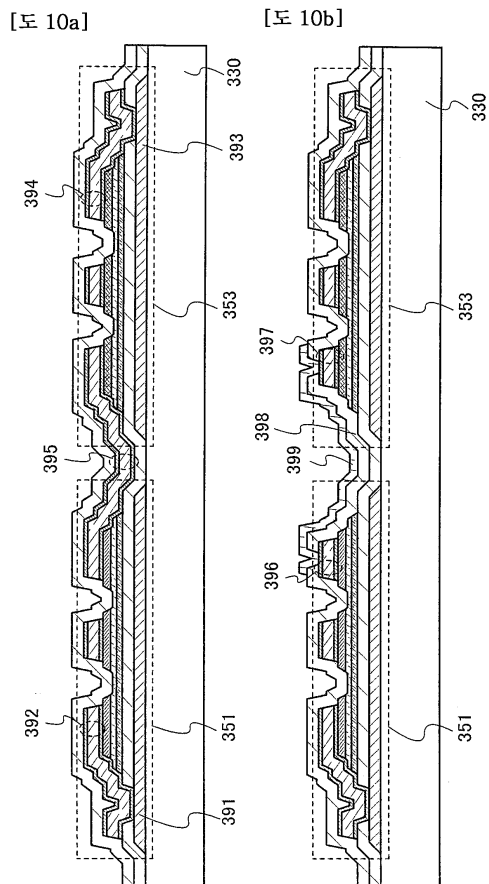
[도 9e]



[도 9f]

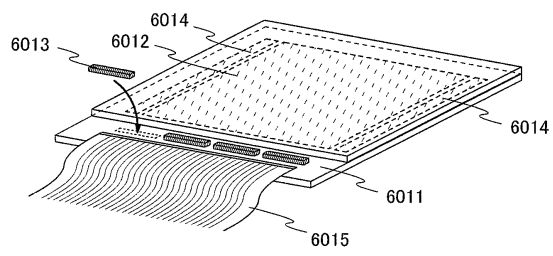


도면10

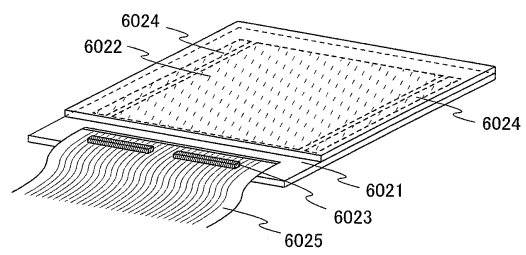


도면11

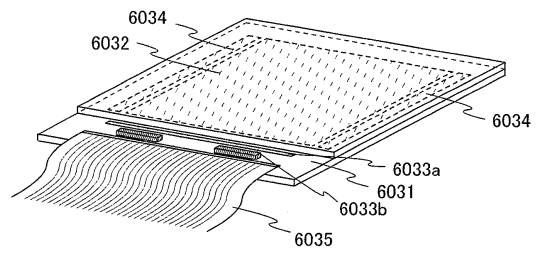
[도 11a]



[도 11b]

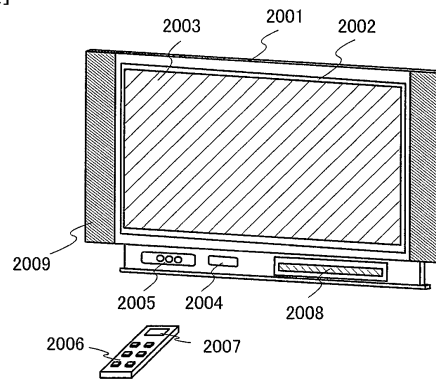


[도 11c]

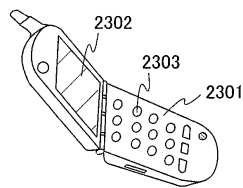


도면12

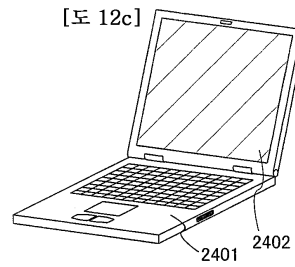
[도 12a]



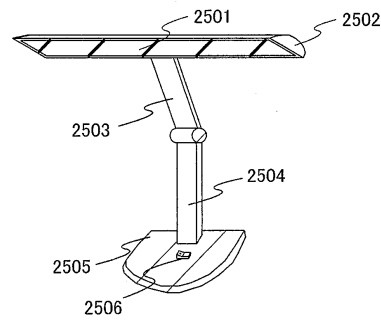
[도 12b]



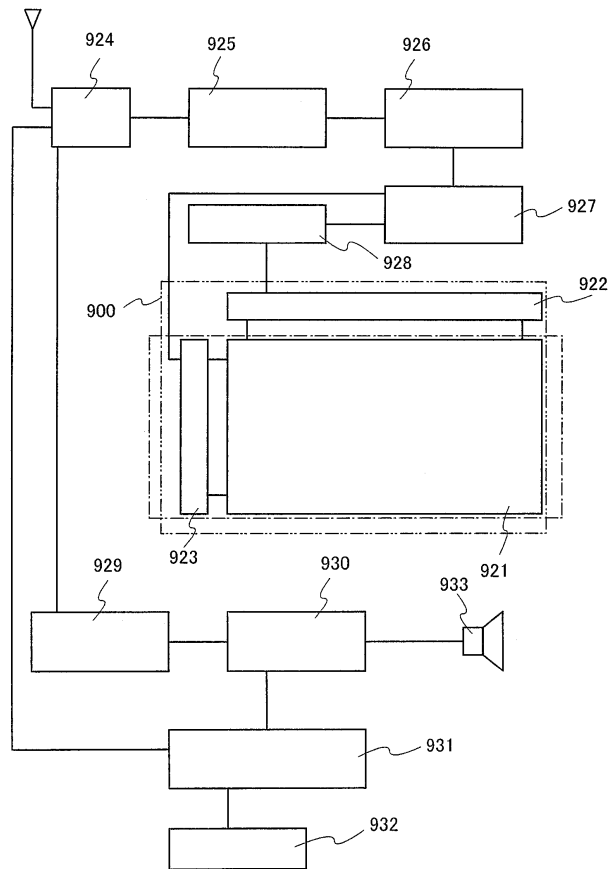
[도 12c]



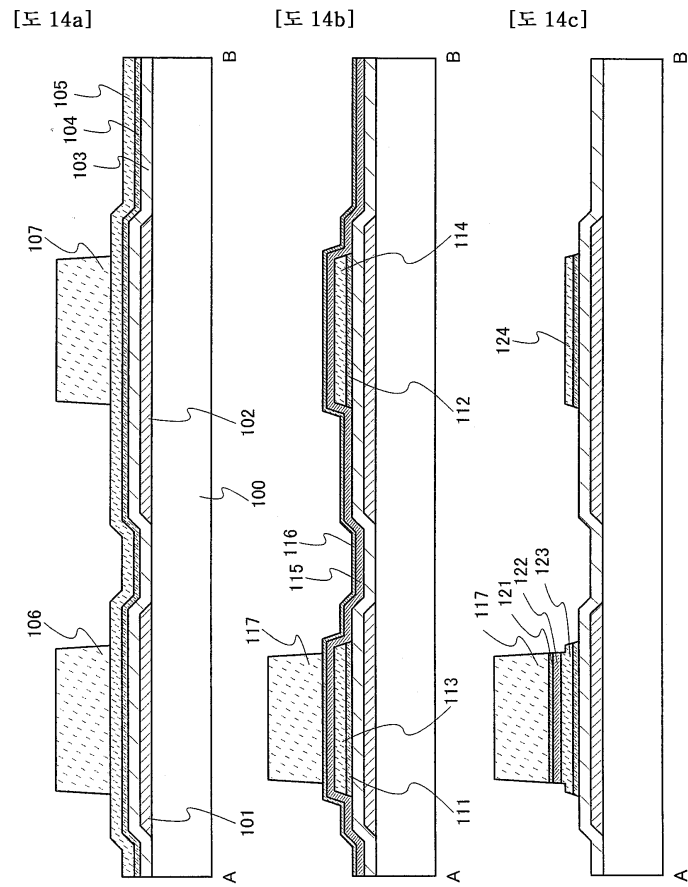
[도 12d]



도면13

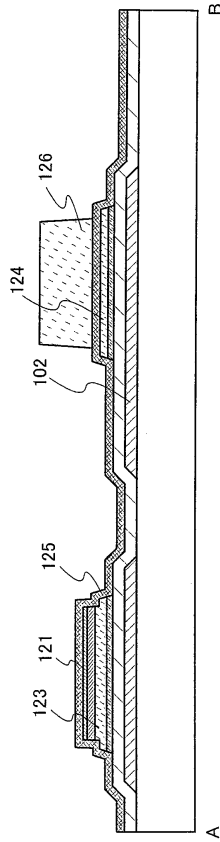


도면14

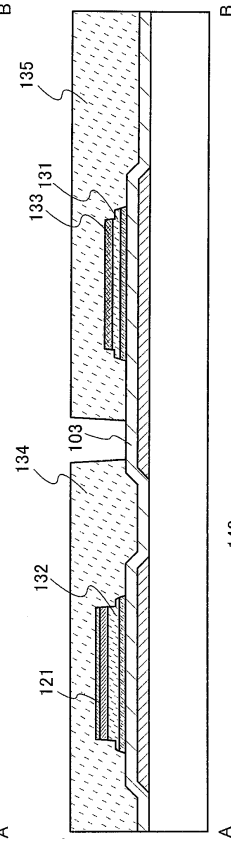


도면15

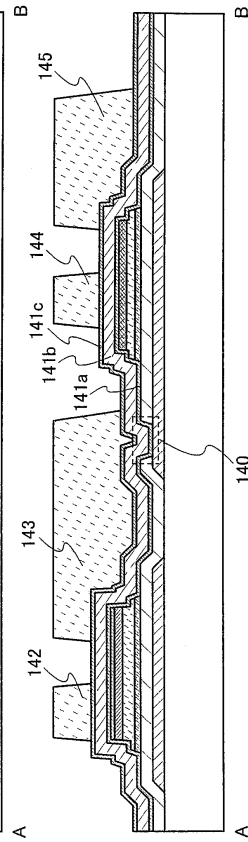
[도 15a]



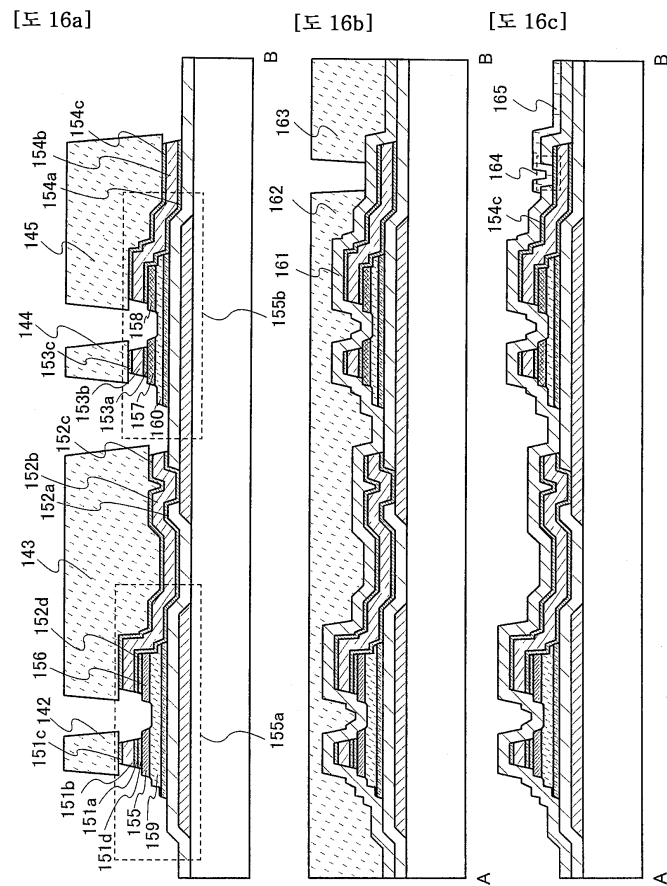
[도 15b]



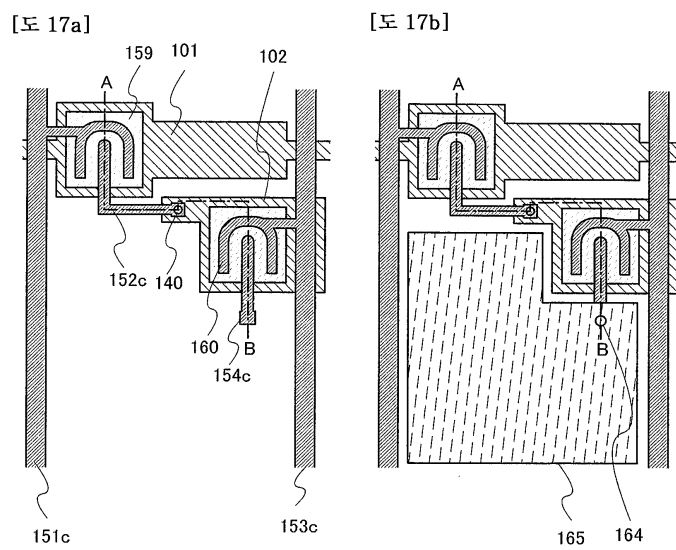
[도 15c]



도면16

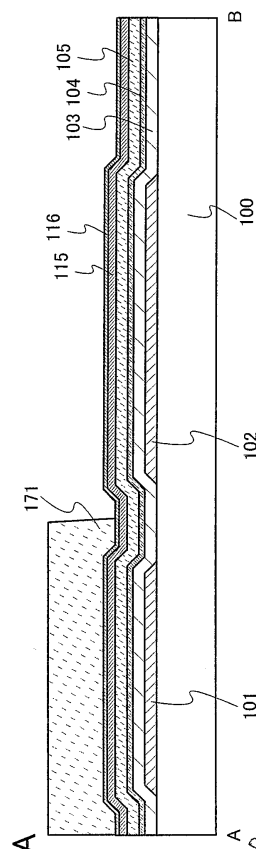


도면17

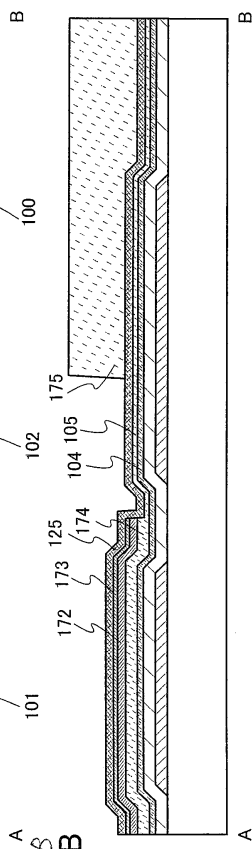


도면18

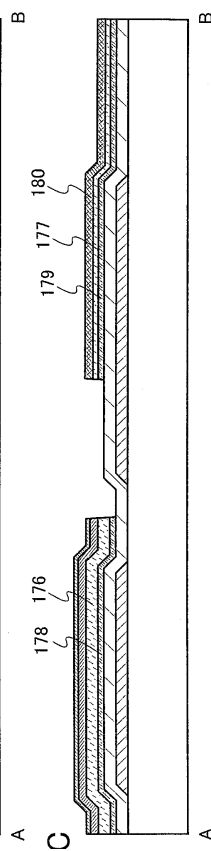
[도 18a]



[도 18b]

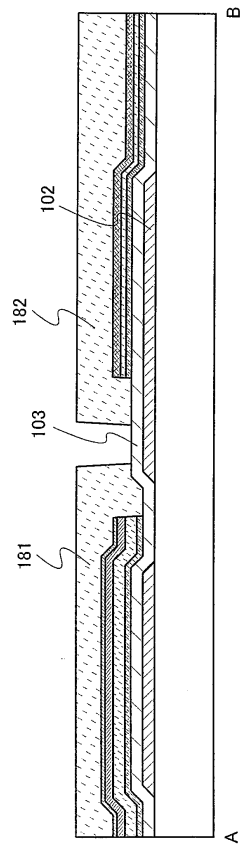


[도 18c]

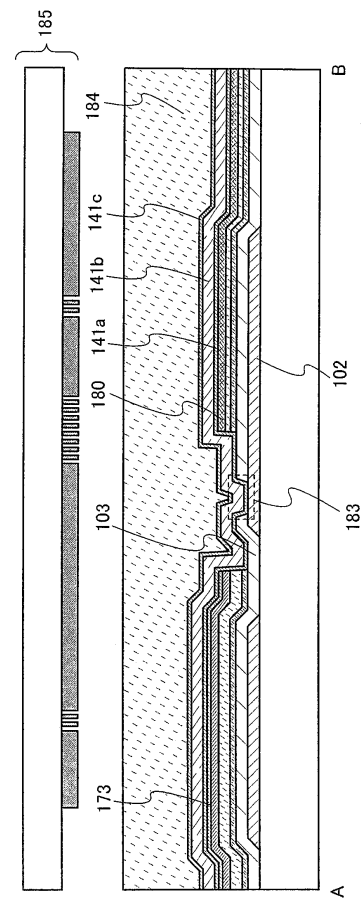


도면19

[도 19a]

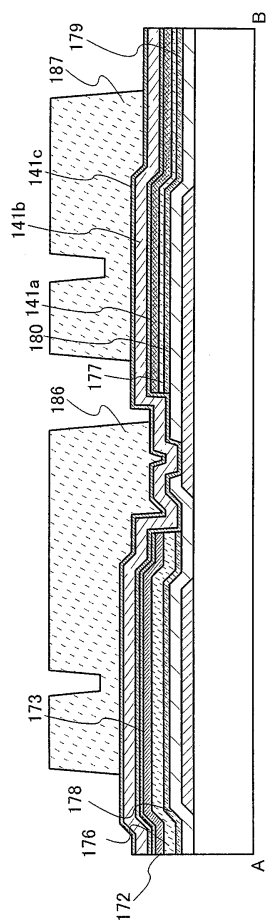


[도 19b]

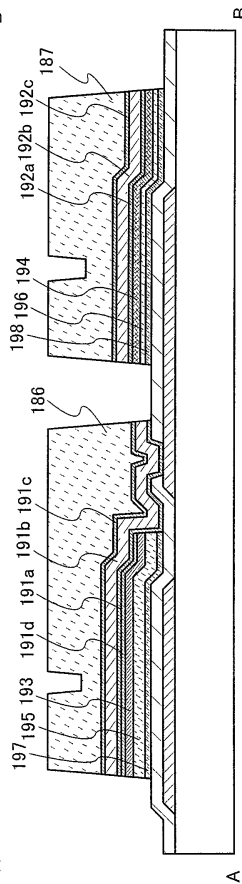


도면20

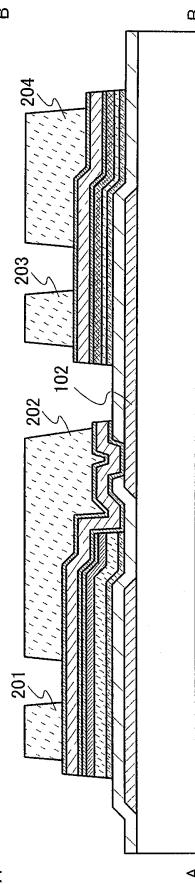
[도 20a]



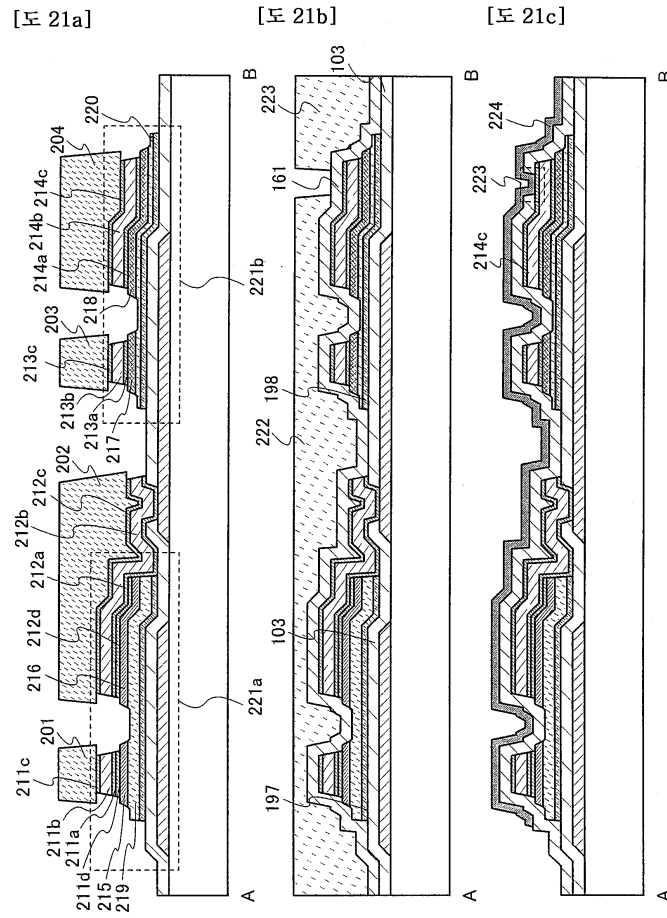
[도 20b]



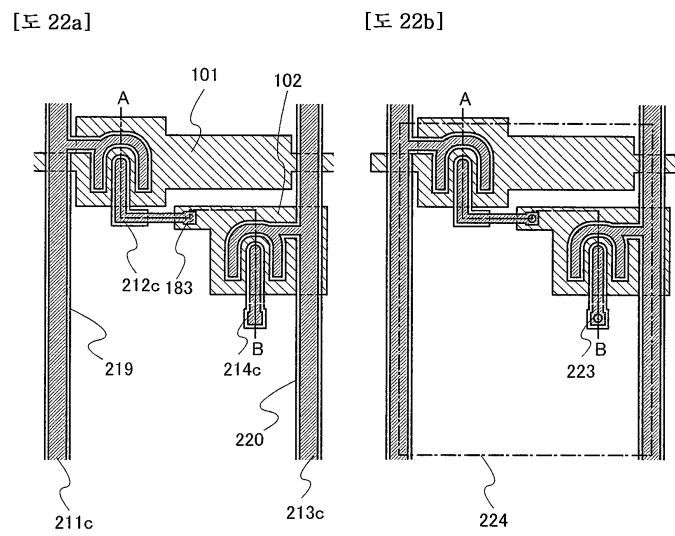
[도 20c]



도면21

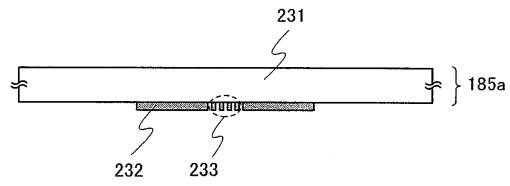


도면22

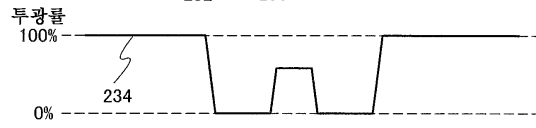


도면23

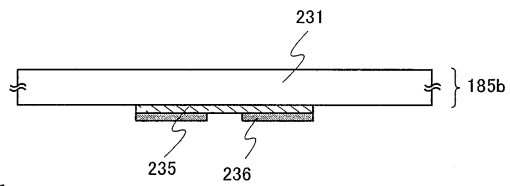
[도 23a]



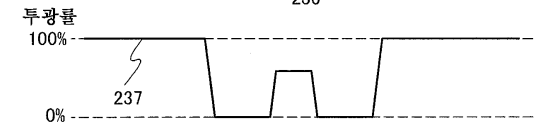
[도 23b]



[도 23c]



[도 23d]



도면24

