

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4939234号
(P4939234)

(45) 発行日 平成24年5月23日 (2012.5.23)

(24) 登録日 平成24年3月2日 (2012.3.2)

(51) Int.Cl.

F I

G O 6 F 12/16 (2006.01)

G O 6 F 12/16 3 1 O B

G O 6 F 3/08 (2006.01)

G O 6 F 12/16 3 2 O K

G O 6 F 3/08 H

請求項の数 20 (全 26 頁)

(21) 出願番号 特願2007-3050 (P2007-3050)
 (22) 出願日 平成19年1月11日 (2007.1.11)
 (65) 公開番号 特開2008-171163 (P2008-171163A)
 (43) 公開日 平成20年7月24日 (2008.7.24)
 審査請求日 平成21年6月26日 (2009.6.26)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100093861
 弁理士 大賀 真司
 (72) 発明者 田中 勝也
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所システム開発研究所
 内
 (72) 発明者 中村 崇仁
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所システム開発研究所
 内
 審査官 野田 佳邦

最終頁に続く

(54) 【発明の名称】 フラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用いたストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法

(57) 【特許請求の範囲】

【請求項 1】

フラッシュメモリコントローラと少なくとも一個のフラッシュメモリチップと、
 からなり、

前記フラッシュメモリコントローラは、

前記フラッシュメモリチップの論理ページアドレスと物理ページアドレスを変換するアドレス変換テーブルを格納するメモリ備え、

前記フラッシュメモリコントローラは、データの読み書き時の第1の動作と、動作停止、電源電圧低下及び動作周波数低減のいずれかにより前記第1の動作より低消費電力で動作する待機状態時の第2の動作とを制御する

フラッシュメモリモジュールにおいて、

前記第2の動作時に前記アドレス変換テーブルのデータ検証を行うことを特徴とするフラッシュメモリモジュール。

【請求項 2】

請求項1記載のフラッシュメモリモジュールにおいて、

前記第2の動作時は、前記フラッシュメモリコントローラは、前記アドレス変換テーブルのデータ検証を行う第1の期間と、前記フラッシュメモリコントローラの動作を停止させる第2の期間を交互に実行し、

前記第1の期間が前記第2の期間より短いことを特徴とするフラッシュメモリモジュール。

【請求項 3】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記論理ページアドレスと前記物理ページアドレスは、エラー訂正情報を付加して前記アドレス変換テーブルに格納し、

前記アドレス変換テーブルのデータ検証時には、前記アドレス変換テーブルに格納されている前記論理ページアドレスと前記物理ページアドレスと前記エラー訂正情報を検証することによりエラー有無を判定し、

前記アドレス変換テーブルにエラーが有り判定された場合に、

前記エラー訂正情報により訂正可能なエラーならば、前記エラー訂正情報から訂正した値を前記アドレス変換テーブルに格納し、

前記エラー訂正情報のみで訂正不能ならば、前記フラッシュメモリチップから必要なデータを読み出し、前記アドレス変換テーブルを再構築することを特徴とするフラッシュメモリモジュール。

10

【請求項 4】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記フラッシュメモリコントローラと接続された上位装置からの指示により前記第 1 の動作から前記第 2 の動作へ移行することを特徴とするフラッシュメモリモジュール。

【請求項 5】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記フラッシュメモリコントローラ内の制御により前記第 1 の動作から前記第 2 の動作へ移行することを特徴とするフラッシュメモリモジュール。

20

【請求項 6】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記第 2 の動作時に前記アドレス変換テーブルのデータ検証を行うか否かを設定することと特徴とするフラッシュメモリモジュール。

【請求項 7】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記フラッシュメモリコントローラの消去回数平準化処理完了を待って、前記第 1 動作から前記第 2 の動作への移行及び前記アドレス変換テーブルのデータ検証を開始することを特徴とするフラッシュメモリモジュール。

30

【請求項 8】

請求項 1 記載のフラッシュメモリモジュールにおいて、

前記メモリは、S R A Mであることを特徴とするフラッシュメモリモジュール。

【請求項 9】

フラッシュメモリチップと、前記フラッシュメモリチップへのデータの読み書きを制御するフラッシュメモリコントローラとを備えるフラッシュメモリモジュールと、

前記フラッシュメモリチップへ読み書きされるデータを一時的に格納するキャッシュメモリを備えるストレージコントローラと、
を備え、

前記フラッシュメモリコントローラは、

前記フラッシュメモリチップの論理ページアドレスと物理ページアドレスを変換するアドレス変換テーブルを格納するメモリを備え、

40

データの読み書き時の第 1 の動作と、動作停止、電源電圧低下及び動作周波数低減のいずれかにより前記第 1 の動作より低消費電力で動作する待機状態時の第 2 の動作とを制御する、

ストレージ装置において、

前記フラッシュメモリコントローラは、前記第 2 の動作時に前記アドレス変換テーブルのデータ検証を行うことを特徴とするストレージ装置。

【請求項 10】

請求項 9 記載のストレージ装置において、

50

前記ストレージコントローラからのコマンド受信により前記フラッシュメモリコントローラは前記第 1 の動作から前記第 2 の動作へ移行することを特徴とするストレージ装置。

【請求項 1 1】

請求項 9 記載のストレージ装置において、

前記フラッシュメモリコントローラ内部の制御により、前記フラッシュメモリコントローラは前記第 1 の動作から前記第 2 の動作へ移行することを特徴とするストレージ装置。

【請求項 1 2】

請求項 9 記載のストレージ装置において、

複数の前記フラッシュメモリモジュールを組み合わせて R A I D グループを構成し、前記 R A I D グループ内の 1 つのフラッシュメモリモジュールが前記第 1 の動作から前記第 2 の動作へ移行すると、前記 R A I D グループ内の他のフラッシュメモリモジュールも前記第 2 の動作へ移行するように、前記ストレージコントローラがコマンドを発行することを特徴とするストレージ装置。

【請求項 1 3】

請求項 1 2 記載のストレージ装置において、

前記ストレージコントローラへの接続時にアドレス変換テーブルを構築後、前記第 2 の動作で前記構築されたアドレス変換テーブルのデータ検証を行うスベアのフラッシュメモリモジュールを備え、

前記複数のフラッシュメモリモジュールのいずれかに障害が生じたときは、その障害の生じたフラッシュメモリモジュールに代えて、その障害が発生したフラッシュメモリモジュールと同じ R A I D グループのフラッシュメモリモジュールから前記スベアのフラッシュメモリモジュールへデータをリビルドすることを特徴とするストレージ装置。

【請求項 1 4】

請求項 1 3 記載のストレージ装置において、

前記フラッシュメモリモジュールは、

前記論理ページアドレスと前記物理ページアドレスは、エラー訂正情報を付加して前記アドレス変換テーブルに格納し、

前記アドレス変換テーブルのデータ検証時に、前記アドレス変換テーブルに格納されている前記論理ページアドレスと前記物理ページアドレスと前記エラー訂正情報を検証することによりエラー有無を判定し、

前記アドレス変換テーブルにエラーが有りと判定された場合に、

前記エラー訂正情報により訂正可能なエラーならば、前記エラー訂正情報から訂正した値を前記アドレス変換テーブルに格納し、

前記エラー訂正情報のみで訂正不能ならば、前記フラッシュメモリチップから必要なデータを読み出し、前記アドレス変換テーブルを再構築するように構成され、

前記フラッシュメモリモジュールに障害が生じたか否かは、前記エラー訂正情報のみで訂正不能なエラーが、前記データ検証時に所定回以上あったか否かで判定されることを特徴とするストレージ装置。

【請求項 1 5】

請求項 9 記載のストレージ装置において、

前記フラッシュメモリモジュールは、前記フラッシュメモリチップへ読み書きするデータを送受信するための第 1 のネットワークと、前記第 2 の動作を行う消費電力制御のためのデータを送受信するための第 2 のネットワークで、前記ストレージコントローラと接続することを特徴とするストレージ装置。

【請求項 1 6】

フラッシュメモリチップと、このフラッシュメモリチップの論理ページアドレスと物理ページアドレスを変換するアドレス変換テーブルを格納するメモリを備え、前記フラッシュメモリチップへのデータの読み書きを制御するとともに、前記データの読み書き時の第

10

20

30

40

50

１の動作と、動作停止、電源電圧低下及び動作周波数低減のいずれかにより前記第１の動作より低消費電力で動作する待機状態時の第２の動作とを制御するフラッシュメモリコントローラとを備えるフラッシュメモリモジュールと、

前記フラッシュメモリチップへ読み書きされるデータを一時的に格納するメモリを備えるストレージコントローラと、

を備えるストレージ装置のデータ検証方法において、

前記第２の動作時に前記アドレス変換テーブルのデータ検証を行うステップを

備えることを特徴とするストレージ装置のデータ検証方法。

【請求項１７】

請求項１６記載のストレージ装置のデータ検証方法において、

前記ストレージコントローラからのコマンド受信により前記第１の動作から前記第２の動作へ移行するステップを

備えることを特徴とするストレージ装置のデータ検証方法。

【請求項１８】

請求項１６記載のストレージ装置のデータ検証方法において、

前記フラッシュメモリコントローラ内部の制御により、前記第１の動作から前記第２の動作へ移行するステップを

備えることを特徴とするストレージ装置のデータ検証方法。

【請求項１９】

請求項１６記載のストレージ装置のデータ検証方法において、

複数の前記フラッシュメモリモジュールを組み合わせて構成されたＲＡＩＤグループ内の１つのフラッシュメモリモジュールが前記第１の動作から前記第２の動作へ移行すると、前記ＲＡＩＤグループ内の他のフラッシュメモリモジュールも前記第２の動作へ移行するステップを

備えることを特徴とするストレージ装置。

【請求項２０】

請求項１９記載のストレージ装置のデータ検証方法において、

前記複数のフラッシュメモリモジュールのいずれかに障害が生じたときは、その障害の生じたフラッシュメモリモジュールに代えて、その障害が発生したフラッシュメモリモジュールと同じＲＡＩＤグループのフラッシュメモリモジュールからアドレス変換テーブルの構築後前記第２の動作でそのアドレス変換テーブルのデータ検証を行うスペアのフラッシュメモリモジュールへデータをリビルドするステップを

備えることを特徴とするストレージ装置のデータ検証方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、フラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用いたストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法に関し、特に、フラッシュメモリモジュール内に記録されたデータにアクセスするために使用するアドレス変換テーブルを検証するものに適用しても好適なものである。

【背景技術】

【０００２】

ストレージ装置は、一般的に、ランダムアクセス可能な不揮発性記録媒体を備える。このランダムアクセス可能な不揮発性記録媒体として、例えば、磁気ディスク又は光ディスク等が用いられる。

【０００３】

また、半導体技術の進歩に伴って、例えば、フラッシュメモリのような一括消去可能な不揮発性半導体記録媒体が開発されている。フラッシュメモリモジュールは、モジュール内のフラッシュメモリコントローラが論理ページアドレスを物理ページアドレスにアドレ

10

20

30

40

50

ス変換テーブルを参照し変換してフラッシュメモリチップにデータを記録する。このフラッシュメモリモジュールを記録媒体とするストレージ装置は、磁気ディスクのような小型ディスクドライブを多数備えるストレージ装置と比べ、寿命、省電力及びアクセス時間等に優れていると考えられている。

【 0 0 0 4 】

なお、フラッシュメモリモジュールにおけるアドレス変換テーブルの不正マッピング防止方法が知られている（特許文献 1 参照）。この従来技術は、有効な論理ページアドレスが無効な論理ページアドレスにデータ化けた場合の、不正マッピングを防止する技術である。

【特許文献 1】特開 2 0 0 3 - 3 3 7 7 5 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

フラッシュメモリモジュールを記録媒体として用いたストレージ装置は、既述のように磁気ディスク等を用いたストレージ装置に比べ、省電力を図ることができると考えられている。しかしながら、現在市販されている 2 . 5 インチのハードディスクドライブと、2 . 5 インチハードディスクドライブ互換フラッシュメモリモジュールの消費電力値の例を比較すると、データ読み書き動作時（R / W 時）は、フラッシュメモリモジュールの消費電力値が 2 . 9 ワット、ハードディスクドライブの消費電力値が 2 . 3 ワットであり、フラッシュメモリモジュールの消費電力値がハードディスクドライブの消費電力値より少し大きい。また、アイドル時は、フラッシュメモリモジュールの消費電力値が 2 . 2 ワット、ハードディスクドライブの消費電力値が 1 . 2 ワットであり、フラッシュメモリモジュールの消費電力値がハードディスクドライブの消費電力値の約 2 倍となっているという結果が得られている。

【 0 0 0 6 】

フラッシュメモリチップ自体は、アイドル時のチップ当たりの消費電力値はサブミリワット級であり、非常に低消費電力である。従って、アイドル時のフラッシュメモリモジュールの消費電力の大部分は、フラッシュメモリコントローラによるものであると考えられる。このため、フラッシュメモリチップの低消費電力特性を活かすためには、アイドル時のフラッシュメモリコントローラの低消費電力化が必須となる。

【 0 0 0 7 】

フラッシュメモリコントローラは、通常、C M O S L S I（Complementary Metal Oxide Semiconductor Large Scale Integration）である。C M O S L S I は、電源電圧あるいは動作周波数を下げることにより、低消費電力化が可能である。従って、フラッシュメモリコントローラの低消費電力化を行うには、フラッシュメモリコントローラの電源低電圧化、動作停止あるいは動作周波数の低下が考えられる。

【 0 0 0 8 】

一方、フラッシュメモリコントローラ内のアドレス変換テーブルは R A M に格納されるが、この R A M は高速アクセス特性が要求されるため例えば S R A M（Static Random Access Memory）が用いられる。S R A M は、非常に小さい確率ではあるが、放射線等の影響によりソフトエラーが発生する場合がある。メモリコントローラの低消費電力化を図ると、その低消費電力動作時には、アドレス変換テーブルに書き込まれたデータのソフトエラーの発生率は増加する。

【 0 0 0 9 】

このように発生するソフトエラーに対処するため、一般的には、アドレス変換テーブルに格納されるデータにエラー訂正情報を付加し、データの読み出し時にアドレスデータとそのデータに付加されたエラー訂正情報を検証することにより、ソフトエラーからデータを保証している。言い換えると、S R A M 内のアクセスしたデータに関しては、エラー訂正情報によりデータ保証されるが、アクセスしないデータに関しては、エラー保証がされないことになる。したがって、フラッシュメモリコントローラにおいて、動作停止による

10

20

30

40

50

低消費電力動作時には、S R A Mに格納したアドレス変換テーブルにアクセスしないため、低消費電力動作時に発生したソフトエラーを検出・訂正するデータ検証を行うことができない。また、動作周波数を低下させた低消費電力動作の場合も、アドレス変換テーブル内のデータにアクセスしない限り、ソフトエラーは検出できない。

【 0 0 1 0 】

低消費電力動作時に発生したソフトエラーは、通常動作に復帰後に、アドレス変換テーブル内のエラーデータにアクセスして初めて検出することができる。このため低消費電力動作が長期間に及ぶ場合は、アドレス変換テーブル内にソフトエラーが蓄積し、エラー訂正情報からはエラー訂正ができなくなる場合もある。このような場合、フラッシュメモリコントローラに接続されているフラッシュメモリチップにアクセスしてアドレス情報を読み出し、アドレス変換テーブルをS R A M内に再構築する必要がある。このアドレス変換テーブルを再構築するためにはフラッシュメモリ1チップ当たり1～2秒程度は必要となる。このため、フラッシュメモリコントローラに多数のチップを接続している場合は、アドレス変換テーブルの再構築に長時間要することになる。低消費電力動作から通常動作への復帰にアドレス変換テーブルの再構築のための時間がかかることは、高速アクセスを必要とされるストレージ装置にとって許容できない。

【 0 0 1 1 】

上述の特許文献1では、低消費電力化に対する考慮がない。さらに、アドレス変換テーブル内に起こりうる一般的なソフトエラーに対処できない。つまり、特許文献1に記載された技術は有効な論理ページアドレスが無効な論理ページアドレスにデータ化けした場合の不正マッピングを防止する技術であるが、一般的には有効な論理ページアドレスが無効な論理ページアドレスにデータ化けするとは限らない。例えば、有効な論理ページアドレスが別の有効な論理ページアドレスにデータ化けすることもある。この場合、特許文献1の技術では、アドレス変換テーブルのエラーを検証することができない。

【 0 0 1 2 】

本発明は、以上の点を考慮してなされたもので、低消費電力動作時にフラッシュメモリモジュール内のアドレス変換テーブルのデータを検証することにより、低消費電力動作から通常動作へ瞬時に復帰が可能なフラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用いたストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法を提案しようとするものである。

【課題を解決するための手段】

【 0 0 1 3 】

本発明は、フラッシュメモリコントローラと少なくとも一個のフラッシュメモリチップとからなり、フラッシュメモリコントローラは、フラッシュメモリチップの論理ページアドレスと物理ページアドレスを変換するアドレス変換テーブルを格納するメモリ備えるとともにフラッシュメモリコントローラは、データの読み書き時の第1の動作と、動作停止、電源電圧低下及び動作周波数低減のいずれかにより第1の動作より低消費電力で動作する待機状態時の第2の動作とを制御するフラッシュメモリモジュールにおいて、第2の動作時にアドレス変換テーブルのデータ検証を行うことを特徴とするものである。

【 0 0 1 4 】

このフラッシュメモリモジュールにおいては、動作停止、電源電圧低下及び動作周波数低減のいずれかによる低消費電力動作時にアドレス変換テーブルのデータの検証を行うことにより、アドレス変換テーブル内のデータエラーを検出・訂正することができ、エラー訂正情報により訂正不可能なエラーの発生を防止して低消費電力動作から通常動作へ瞬時に復帰ができる。

【発明の効果】

【 0 0 1 5 】

本発明によれば、低消費電力動作時にフラッシュメモリモジュール内のアドレス変換テーブルのデータを検証することにより、低消費電力動作から通常動作へ瞬時に復帰が可能なフラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用い

10

20

30

40

50

たストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法を提供できる。

【発明を実施するための最良の形態】

【0016】

以下、本発明を適用したフラッシュメモリモジュール、ストレージ装置及びフラッシュメモリモジュールのアドレス変換テーブル検証方法についての一実施の形態について図面を参照して説明する。

【0017】

図1は、ストレージ装置100の構成を示すブロック図である。ストレージ装置100は、ストレージコントローラSC及びフラッシュメモリモジュールP00からP33を備える。

10

【0018】

ストレージコントローラSCは、チャンネルアダプタCA0、CA1、キャッシュメモリCM0、CM1、ストレージアダプタSA0、SA1及び相互接続網NW0、NW1を備える。なお、チャンネルアダプタCA0、CA1、キャッシュメモリCM0、CM1及びストレージアダプタSA0、SA1は、二つずつを図示しているが、いくつ備えられていてもよい。

【0019】

相互接続網NW0及びNW1は、例えばスイッチ等であり、ストレージコントローラSCを構成する装置を相互に接続する。具体的には、相互接続網NW0及びNW1は、チャンネルアダプタCA0、キャッシュメモリCM0及びストレージアダプタSA0を相互に接続する。同様に、相互接続網NW0、NW1は、チャンネルアダプタCA1、キャッシュメモリCM1及びストレージアダプタSA1を相互に接続する。

20

【0020】

チャンネルアダプタCA0は、図2で後述するが、チャンネルC00、C01、C02、C03を介して、外部の上位装置（図示省略）に接続されている。同様に、チャンネルアダプタCA1は、チャンネルC10、C11、C12、C13を介して、外部の上位装置（図示省略）に接続されている。なお、上位装置は、例えば、本実施の形態のストレージ装置100にデータを読み書きする計算機である。

【0021】

キャッシュメモリCM0、CM1は、チャンネルアダプタCA0、CA1及びストレージアダプタSA0、SA1から受信したデータを一時的に記憶する。

30

【0022】

ストレージアダプタSA0は、図3で後述するが、フラッシュメモリモジュールP00等に接続されている。具体的には、ストレージアダプタSA0は、チャンネルD00を介して、フラッシュメモリモジュールP00～P03に接続されている。また、ストレージアダプタSA0は、チャンネルD01を介して、フラッシュメモリモジュールP10～P13に接続されている。また、ストレージアダプタSA0は、チャンネルD02を介して、フラッシュメモリモジュールP20～P23に接続されている。また、ストレージアダプタSA0は、チャンネルD03を介して、フラッシュメモリモジュールP30～P33に接続されている。

40

【0023】

同様に、ストレージアダプタSA1は、フラッシュメモリモジュールP00等に接続されている。具体的には、ストレージアダプタSA1は、チャンネルD10を介して、フラッシュメモリモジュールP00～P03に接続されている。また、ストレージアダプタSA1は、チャンネルD11を介して、フラッシュメモリモジュールP10～P13に接続されている。また、ストレージアダプタSA1は、チャンネルD12を介して、フラッシュメモリモジュールP20～P23に接続されている。また、ストレージアダプタSA1は、チャンネルD13を介して、フラッシュメモリモジュールP30～P33に接続されている。

【0024】

50

チャンネルアダプタC A 0、C A 1及びストレージアダプタS A 0、S A 1は、保守端末S V Pに接続されている。保守端末S V Pは、ストレージ装置1 0 0の管理者から入力された設定情報を、チャンネルアダプタC A 0、C A 1及び/又はストレージアダプタS A 0、S A 1に送信する。

【0 0 2 5】

なお、ストレージ装置1 0 0は、ストレージアダプタS A 0及びチャンネルアダプタC A 0に代わって、一つのアダプタを備えていても良い。この場合、当該一つのアダプタが、ストレージアダプタS A 0及びチャンネルアダプタC A 0の処理を行う。

【0 0 2 6】

V D E V 0 ~ V D E V 3は、R A I D (Redundant Arrays of Inexpensive Disks)グループである。例えばR A I DグループV D E V 0は、フラッシュメモリモジュールP 0 0、P 1 0、P 2 0、P 3 0からなる。R A I Dグループに属するフラッシュメモリモジュールの一つ、例えばフラッシュメモリモジュールP 0 0でエラーが発生してデータを読み出せなくなった場合は、同じR A I Dグループに属する他のフラッシュメモリモジュールP 1 0、P 2 0、P 3 0からデータをリビルドすることができる。

【0 0 2 7】

フラッシュメモリモジュールP 0 0 ~ P 3 3はネットワークN 0 0を介してストレージアダプタS A 0と接続している。同様に、フラッシュメモリモジュールP 0 0 ~ P 3 3はネットワークN 0 1を介してストレージアダプタS A 1と接続している。ストレージコントローラS Cは、ネットワークN 0 0及びN 0 1を介して、フラッシュメモリモジュールP 0 0 ~ P 3 3の電力制御を行う。また、ストレージアダプタS A 0及びS A 1は、フラッシュメモリモジュールP 0 0 ~ P 3 3の低消費電力動作の条件設定及び低消費電力動作状況の監視を行うことができる。

【0 0 2 8】

図2は、チャンネルアダプタC A 0の構成を示すブロック図である。チャンネルアダプタC A 0は、ホストチャンネルインターフェース2 1、キャッシュメモリインターフェース2 2、ネットワークインターフェース2 3、プロセッサ2 4、ローカルメモリ2 5及びプロセッサ周辺制御部2 6を備える。

【0 0 2 9】

ホストチャンネルインターフェース2 1は、チャンネルC 0 0、C 0 1、C 0 2、C 0 3を介して、外部の上位装置(図示省略)と接続するインターフェースである。また、ホストチャンネルインターフェース2 1は、チャンネルC 0 0、C 0 1、C 0 2、C 0 3上のデータ転送プロトコルと、ストレージコントローラS Cの内部のデータ転送プロトコルとを相互に変換する。

【0 0 3 0】

キャッシュメモリインターフェース2 2は、相互結合網N W 0、N W 1と接続するインターフェースである。ネットワークインターフェース2 3は、保守端末S V Pと接続するインターフェースである。なお、ホストチャンネルインターフェース2 1とキャッシュメモリインターフェース2 2とは、信号線2 7によって接続されている。

【0 0 3 1】

プロセッサ2 4は、ローカルメモリ2 5に記憶されているプログラムを実行することによって、各種処理を行う。具体的には、プロセッサ2 4は、上位装置(図示省略)と相互結合網N W 0、N W 1との間のデータ転送を制御する。

【0 0 3 2】

ローカルメモリ2 5は、プロセッサ2 4によって実行されるプログラムを記憶する。また、ローカルメモリ2 5は、プロセッサ2 4によって参照されるテーブルを記憶する。なお、当該テーブルは、管理者によって設定又は変更される。

【0 0 3 3】

この場合、管理者は、テーブルの設定又はテーブルの変更に関する情報を、保守端末S V Pに入力する。保守端末S V Pは、入力された情報を、ネットワークインターフェース

10

20

30

40

50

23を介してプロセッサ24に送信する。プロセッサ24は、受信した情報に基づいて、当該テーブルを作成又は変更する。そして、プロセッサ24は当該テーブルをローカルメモリ25に格納する。

【0034】

プロセッサ周辺制御部26は、ホストチャネルインターフェース21、キャッシュメモリインターフェース22、ネットワークインターフェース23、プロセッサ24及びローカルメモリ25間のデータ転送を制御する。プロセッサ周辺制御部26は、例えば、チップセット等である。なお、チャネルアダプタCA1も、チャネルアダプタCA0と同一の構成である。よって、説明を省略する。

【0035】

図3は、ストレージアダプタSA0の構成を示すブロック図である。ストレージアダプタSA0は、キャッシュメモリインターフェース31、ストレージチャネルインターフェース32、ネットワークインターフェース33、プロセッサ34、ローカルメモリ35及びプロセッサ周辺制御部36を備える。

【0036】

キャッシュメモリインターフェース31は、相互結合網NW0、NW1と接続するインターフェースである。

【0037】

ストレージチャネルインターフェース32は、チャネルD00、D01、D02、D03と接続するインターフェースである。また、ストレージチャネルインターフェース32は、チャネルD00、D01、D02、D03上のデータ転送プロトコルと、ストレージコントローラSCの内部のデータ転送プロトコルとを相互に変換する。なお、キャッシュメモリインターフェース31とストレージチャネルインターフェース32とは、信号線37によって接続されている。

【0038】

ネットワークインターフェース33は、ストレージアダプタSA0と保守端末SVPとフラッシュメモリモジュールP00～P33とを接続するインターフェースである。

【0039】

プロセッサ34は、ローカルメモリ35に記憶されているプログラムを実行することによって、各種処理を行う。

【0040】

ローカルメモリ35は、プロセッサ34によって実行されるプログラムを記憶する。また、ローカルメモリ35は、プロセッサ34によって参照されるテーブルを記憶する。なお、当該テーブルは、管理者によって設定又は変更される。

【0041】

この場合、管理者は、テーブルの設定又はテーブルの変更に係る情報を、保守端末SVPに入力する。保守端末SVPは、入力された情報を、ネットワークインターフェース33を介してプロセッサ34に送信する。プロセッサ34は、受信した情報に基づいて、テーブルを作成又は変更する。そして、プロセッサ34は当該テーブルをローカルメモリ35に格納する。

【0042】

プロセッサ周辺制御部36は、キャッシュメモリインターフェース31、ストレージチャネルインターフェース32、ネットワークインターフェース33、プロセッサ34及びローカルメモリ35間のデータ転送を制御する。プロセッサ周辺制御部36は、例えば、チップセット等である。なお、ストレージアダプタSA1も、ストレージアダプタSA0と同一の構成である。よって、説明を省略する。

【0043】

図4は、フラッシュメモリモジュールP00の構成を示すブロック図である。フラッシュメモリモジュールP00は、フラッシュメモリコントローラMC、フラッシュメモリMEM及び電源(PS)408を備える。フラッシュメモリMEMはデータを記憶する。フ

10

20

30

40

50

ラッシュメモリコントローラMCは、フラッシュメモリMEMに対してデータを読み書きあるいは消去する。電源408は、フラッシュメモリモジュールP00外部から供給された電力を、フラッシュメモリモジュールP00内部で使用する電圧に変換または調整して、フラッシュメモリコントローラMC、フラッシュメモリMEM等へ供給する。

【0044】

フラッシュメモリコントローラMCは、プロセッサ(μP)401、インターフェース部(DKCI/F)402、内部バス(BUS)403、メモリ(RAM)404、メモリ(ROM)407、電力制御部(PCTL)409、フラッシュメモリインターフェース部(FMI/F)410及びデータ転送部(DMA)411を備える。

【0045】

フラッシュメモリMEMは、複数のフラッシュメモリチップ405を備える。フラッシュメモリチップ405は、複数のブロック406を含み、データを記憶する。ブロック406は、図5で後述するが、フラッシュメモリコントローラMCがデータを一括消去する単位である。

【0046】

インターフェース部402は、チャンネルD00を介して、ストレージコントローラSC内のストレージアダプタSA0に接続されている。また、インターフェース部402は、チャンネルD10を介して、ストレージコントローラSC内のストレージアダプタSA1に接続されている。

【0047】

インターフェース部402は、ストレージアダプタSA0及びストレージアダプタSA1からの命令を受信する。ストレージアダプタSA0及びストレージアダプタSA1からの命令は、例えば、Serial-ATAコマンドやSCSIコマンドである。具体的には、インターフェース部402は、ストレージアダプタSA0及びストレージアダプタSA1からデータを受信する。そして、インターフェース部402は、受信したデータをメモリ404に格納する。また、インターフェース部402は、メモリ404に格納されているデータを、ストレージアダプタSA0及びストレージアダプタSA1へ送信する。

【0048】

メモリ404は、例えば、SRAMであり、高速に読み書きできる。メモリ404は、インターフェース部402が送受信するデータを一時的に記憶する。また、メモリ407は不揮発性メモリであり、プロセッサ401によって実行されるプログラムを記憶する。当該プログラムは、プロセッサ401が実行可能となるように、ストレージ装置100の起動時にメモリ407からメモリ404へコピーされる。また、メモリ404は、プロセッサ401によって参照されるテーブルを記憶する。

【0049】

当該テーブルは、例えば、フラッシュメモリMEMの論理ページアドレスと物理ページアドレスとの変換テーブルである。論理ページアドレスは、フラッシュメモリモジュールP00外から(例えばストレージアダプタSA0から)、フラッシュメモリMEMの読み書きする単位であるページにアクセスするためのアドレスである。物理ページアドレスは、フラッシュメモリコントローラMCが、フラッシュメモリMEMの読み書きする単位であるページにアクセスするためのアドレスである。

【0050】

内部バス403は、プロセッサ401、インターフェース部402、メモリ404、メモリ407、データ転送部411及びフラッシュメモリインターフェース部410を相互に接続し、データの転送路として機能する。

【0051】

電力制御部409は、フラッシュメモリコントローラMCの消費電力を制御する。電力制御部409は、ネットワークN00及びN01を介してストレージアダプタSA0及びSA1と接続している。

【0052】

10

20

30

40

50

フラッシュメモリインターフェース部 410 は、フラッシュメモリコントローラ MC とフラッシュメモリチップ MEM を接続するインターフェースである。

【0053】

データ転送部 411 は、プロセッサ 401 の命令により、フラッシュメモリチップ MEM に対する読み書きデータの転送を制御する。なお、データ転送部 411 の機能をプロセッサ 401 が実行する場合は、データ転送部 411 を省略することができる。

【0054】

プロセッサ 401 は、メモリ 404 に格納されているプログラムを実行することによって、各種処理を行う。例えば、プロセッサ 401 は、メモリ 404 に格納されているフラッシュメモリ MEM の論理ページアドレスとフラッシュメモリ MEM の物理ページアドレスとのアドレスを変換するアドレス変換テーブル（図 7 を参照して後述する。）を参照して、フラッシュメモリ MEM にデータを読み書きする。

【0055】

図 7 は、メモリ 404 に格納するアドレス変換テーブルを示す図である。論理ページアドレス 701 と、各論理ページアドレス 701 に対応する物理ページアドレス 702 と、エラー訂正情報 703 が、アドレス変換テーブル T1 を構成する。エラー訂正情報 703 は、例えばハミングコード（Hamming code）であり、アドレス変換テーブル T1 に格納した論理ページアドレス 701 と物理ページアドレス 702 とエラー訂正情報 703 により発生したエラーの検出と訂正が可能である。

【0056】

また、プロセッサ 401 は、フラッシュメモリモジュール P00 内のブロック 406 に対して、後述するリクラメーション処理（ブロック再生処理）及び後述するウェアレベリング処理（消去回数平準化処理）を行う。

【0057】

なお、他のフラッシュメモリモジュール P01 ~ P33 も、フラッシュメモリモジュール P00 と同一の構成である。よって、説明を省略する。

【0058】

図 5 は、フラッシュメモリモジュール P00 のブロック 406 の説明図である。ブロック 406 は、複数のページ 501 を含む。ブロック 406 は、一般的に、数十程度のページ 501（例えば 64 ページ等）を含む。

【0059】

ページ 501 は、フラッシュメモリコントローラ MC がデータを読み出しあるいは書き込む単位である。例えば、NAND 型フラッシュメモリでは、フラッシュメモリコントローラ MC は、（20 ~ 30 μ s / ページ）の速度でデータを読み出し、（0.2 ~ 0.3 ms / ページ）の速度でデータを書き込む。また、フラッシュメモリコントローラ MC は、（2 ~ 4 ms / ブロック）の速度でデータを消去する。

【0060】

ページ 501 は、データ部 502 及び冗長部 503 を含む。ページ 501 は、例えば、ページ当たり容量が 2112 バイトであり、2048 バイトのデータ部 502 及び 64 バイトの冗長部 503 を含む。データ部 502 は、通常のデータを記憶する。冗長部 503 は、当該ページ 501 の管理情報及びエラー訂正情報を記憶する。

【0061】

管理情報は、オフセットアドレス及びページステータスを含む。なお、オフセットアドレスは、当該ページ 501 が属するブロック 406 内における相対的なアドレスである。また、ページステータスは、当該ページ 501 が有効ページ、無効ページ、未使用ページ又は処理中のページのいずれであることを示す。

【0062】

エラー訂正情報は、当該ページ 501 のエラーを検出及び訂正するための情報であり、例えば、ハミングコードである。

【0063】

10

20

30

40

50

ページ内冗長部 503 は、通常、フラッシュメモリコントローラ MC のみがアクセス可能であり、ストレージアダプタ SA0、SA1 からは、ページデータ部 502 のみがアクセス可能である。言い換えると、論理ページアドレスはページ内データ部 502 のメモリ空間をマッピングする。

【0064】

なお、フラッシュメモリモジュール P00 は、特性上、ブロック 406 内のデータ「1」を「0」に書き換えることはできるが、「0」を「1」に書き換えることができない。つまり、データを直接書き換えることができない。フラッシュメモリコントローラ MC は、ブロック内の未使用ページにデータを書き込む。未使用ページが無くなり書き込みができなくなったブロックの有効データを他のブロックへ退避させ、該ブロックを消去して再びデータを書き込める状態にすることを、リクラメーション処理（ブロック再生処理）という。

10

【0065】

このように、フラッシュメモリモジュール P00 におけるデータの書換えは、ブロック 406 の消去が伴う。しかし、ブロック 406 を 1 つ消去するのにかかる時間は、1 ページ 501 の書込みにかかる時間に比べて約 1 桁長い。従って、ページ 501 のデータの書換えのために毎回ブロック 406 を 1 つ消去すると、フラッシュメモリモジュール P00 のデータ書換え性能は悲観的に悪くなる。つまりフラッシュメモリモジュール P00 では、消去時間を隠蔽できるアルゴリズムでデータを書き込むことが必要である。

【0066】

20

また、フラッシュメモリモジュール P00 において、上記ブロック 406 を消去する回数には制限がある。例えば、ブロック 406 は、1 つ当たりの消去回数は、10 万回までしか保証されていない。したがって、データの書換えが集中して消去回数が増大したブロック 406 は、データ消去ができなくなり使用不能となる。このため、フラッシュメモリモジュール P00 を記録媒体として使用するストレージ装置 100 では、特定のブロック 406 に消去が集中しないように消去回数平準化処理が行われている。

【0067】

以上述べた消去時間隠蔽と消去回数平準化のため、フラッシュメモリモジュール P00 内ではデータ書込みの際に、論理ページアドレスから物理ページアドレスにアドレスを変換するアドレス変換処理が行われている。具体的には、フラッシュメモリコントローラ MC は、特定の物理ページアドレスに書き込みが集中するのをさけるため、上位装置（図示省略）からデータ書込み先アドレスとして受信した論理ページアドレスを、アドレス変換テーブル T1 を参照して実際のフラッシュメモリチップ 405 での書き込み先アドレスである物理ページアドレスへ変換している。このため、フラッシュメモリモジュール P00 では、アドレス変換テーブル T1 のデータ保証が常に求められている。

30

【0068】

上述のリクラメーション処理やウエアレベリング処理のため、フラッシュメモリモジュール P00 に書き込んだデータは、ストレージコントローラ SC からの指示とは独立に、フラッシュメモリモジュール P00 内で移動することがある。このデータ移動の結果を、フラッシュメモリコントローラ MC が前述の論理ページアドレスと物理ページアドレスのアドレス変換テーブルに正しく反映しないと、ストレージコントローラ SC が正しいデータにアクセスできなくなる。

40

【0069】

ところが、放射線等によるアドレス変換テーブル T1 のデータ化けにより、アドレス変換テーブル T1 のデータにソフトエラーが生じると、フラッシュメモリモジュール P00 内において、データを書き込む先あるいは読み出し先のアドレスにエラーが発生することになり、ストレージコントローラ SC が正しいデータを読み出すことができなくなる。

【0070】

次にフラッシュメモリコントローラ MC の消費電力制御について説明する。図 6 は、フラッシュメモリコントローラ MC の消費電力制御に関わる構成要素の説明図である。電力

50

制御部 409 は、低消費電力化時の動作条件を設定するレジスタ 606 を有する。レジスタ 606 に格納するデータは後述する（図 8、図 9）。レジスタ 606 に格納するデータは、ネットワーク N00 と N01 を介して、ストレージアダプタ SA0 と SA1 から設定及び監視が可能である。

【0071】

電源 408 は、レジスタ 606 に格納された設定条件を、信号線 604 を介して読み取り、その設定条件に従ってフラッシュメモリコントローラ MC 内のプロセッサ 401、インターフェース部 402、メモリ 404、メモリ 407、フラッシュメモリインターフェース部 410、データ転送部 411 へ、チップ電源配線 601 を介して電力を供給する。また電源 408 は、基板バイアス制御部 608 へ、チップ電源配線 603 を介して基板バイアス用電力を供給する。そして、基板バイアス制御部 608 は、レジスタ 606 に格納された設定条件を、信号線 607 を介して読み取り、その設定条件に従ってフラッシュメモリコントローラ MC 内のプロセッサ 401、インターフェース部 402、メモリ 404、メモリ 407、フラッシュメモリインターフェース部 410、データ転送部 411 へ、チップ電源配線 605 を介して基板バイアス用電力を分配する。

【0072】

クロック制御部 615 は、レジスタ 606 に格納された設定条件を、信号線 611 を介して読み取り、その設定条件に従って信号線 616 から入力した基準クロック信号を変換し、フラッシュメモリコントローラ MC 内のプロセッサ 401、インターフェース部 402、電力制御部 409、フラッシュメモリインターフェース部 410、データ転送部 411 へ、信号線 612、613、614 を介して変換したクロック信号を分配する。

【0073】

プロセッサ 401 は、電力制御部 409 に対して割込み許可あるいは不許可を判定するための信号を、信号線 610 を介して伝送する。また、電力制御部 409 は、信号線 609 を介してプロセッサ 401 に対して動作停止信号あるいは動作再開信号を伝送する。

【0074】

インターフェース部 402 は、インターフェース部 402 に対する低消費電力化コマンド、例えば Serial-ATA の Slumber コマンド等を受信した場合に、信号線 602 を介して低消費電力化コマンド受信を電力制御部 409 へ通知する。

【0075】

図 8 と図 9 は、電力制御部 (PCTL) 409 内のレジスタ 606 に格納するデータを説明する図である。電力制御部 409 内のレジスタ 606 は、詳細にはレジスタ A (図 8) とレジスタ B (図 9) の 2 種類がある。

【0076】

図 8 は、レジスタ A に格納するデータを説明する図である。レジスタ A は、主に、フラッシュメモリモジュール P00 ~ P33 の低消費電力動作への移行条件を制御するパラメータを格納する。パラメータ 801 は、フラッシュメモリモジュール P00 ~ P33 が自発的に低消費電力動作に移行するか、あるいはストレージアダプタ SA0, SA1 等からのコマンド受信により低消費電力動作に移行するか、あるいはそれら両方を低消費電力化動作の契機とするか、を設定する。

【0077】

パラメータ 802 は、低消費電力動作時に、アドレス変換テーブル T1 のデータ検証を行うか否かを設定する。アドレス変換テーブル T1 のデータ検証を行わない場合は、データ検証を行う場合よりも低消費電力となるが、通常動作に復帰する際には、フラッシュメモリチップ 405 からのアドレス情報再読み込みが必要となる。

【0078】

パラメータ 803 は、パラメータ 801 において低消費電力動作への移行を自発モードと設定した場合の、移行条件を格納する。例えば、パラメータ 803 に格納した時間内にフラッシュメモリモジュール P00 ~ P33 へのアクセスが無く、且つパラメータ 801 が自発モードに設定されていた場合に、フラッシュメモリモジュール P00 ~ P33 は自

10

20

30

40

50

動的に低消費電力動作へ移行する。

【 0 0 7 9 】

パラメータ 8 0 4 は、現状の動作が通常動作あるいは低消費電力動作かを示す。パラメータ 8 0 4 を調べることで、ストレージアダプタ S A 0 , S A 1 等は、フラッシュメモリモジュール P 0 0 ~ P 3 3 の動作状態を知ることができる。また、パラメータ 8 0 5 は、アドレス変換テーブル T 1 に発生した、エラー訂正情報 7 0 3 だけでは訂正不能なエラーの発生回数を示す。

【 0 0 8 0 】

図 9 は、レジスタ B に格納するデータを説明する図である。レジスタ B は、フラッシュメモリモジュール P 0 0 ~ P 3 3 の低消費電力時の動作条件を制御するパラメータを格納する。レジスタ B における項目 9 0 1 から 9 0 6 は、フラッシュメモリコントローラ M C 内部の電力制御対象を示す。また、項目 9 0 7 から 9 0 9 は、低消費電力化のために変化させる動作条件を示す。項目 9 0 7 と 9 0 8 は、低消費電力化時にプロセッサ 4 0 1、インターフェース部 4 0 2、メモリ 4 0 4、メモリ 4 0 7、フラッシュメモリインターフェース部 4 1 0、データ転送部 4 1 1 へ供給する電源電圧と基板バイアスの条件を示す。電源電圧と基板バイアスに関しては後述する。項目 9 0 9 は、低消費電力化時のプロセッサ 4 0 1、インターフェース部 4 0 2、メモリ 4 0 4、メモリ 4 0 7、フラッシュメモリインターフェース部 4 1 0、データ転送部 4 1 1 の動作周波数を示す。動作周波数は低くするほど低消費電力化効果が大きいが、動作を停止させる場合には周波数を “ 0 ” と設定する。項目 9 0 2 と 9 0 3 は、メモリ (R A M 4 0 4 , R O M 4 0 7) に対する制御パラメータである。メモリ (R A M 4 0 4 , R O M 4 0 7) に対しては、アクセスする信号の周波数で動作周波数が決まるため、低消費電力化時の動作周波数の設定は不要である。

【 0 0 8 1 】

図 1 0 は、電源電圧と基板バイアスの説明図である。インバータ回路 I N V には、正のチップ内電源 V D D 1 あるいは V D D 2 と、負のチップ内電源 V S S 1 あるいは V S S 2 と、正の基板バイアス V S U B 1 あるいは V S U B 2 と、負の基板バイアス V S U B 3 あるいは V S U B 4 を供給する。ここで、V D D 1、V S S 1、V S U B 1、V S U B 3 は、通常動作時に回路へ供給する電源電圧を表すこととする。そして V D D 2、V S S 2、V S U B 2、V S U B 4 は、低消費電力動作時に回路へ供給する電源電圧を表すこととする。

【 0 0 8 2 】

例えば、通常動作時は、 $V D D 1 = V S U B 1$ 、 $V S S 1 = V S U B 3$ となる所定の電圧で電力を回路へ供給する。それに対して低消費電力動作時は、 $V D D 1 > V D D 2$ かつ $V D D 2 < V S U B 2$ 、 $V S S 2 = V S S 1$ かつ $V S S 2 > V S U B 4$ となる条件の電圧で電力を供給する。電源電圧低下は回路の動作電力を低下させ、適切な基板バイアス印加は、リーク電流低減による消費電力を低下させる効果がある。

【 0 0 8 3 】

図 1 1 は、ストレージアダプタ S A 0 あるいは S A 1 内で管理するフラッシュメモリモジュール管理テーブル T 2 を説明する図である。ストレージアダプタ S A 0 と S A 1 は、ネットワーク N 0 0 または N 0 1 を介してフラッシュメモリモジュール P 0 0 ~ P 3 3 へアクセスし、レジスタ A、B の内容を監視または設定変更することができる。図 1 1 のフラッシュメモリモジュール管理テーブル T 2 は、各フラッシュメモリモジュール P 0 0 ~ P 3 3 のレジスタ A、B 内に格納したパラメータを管理するため、フラッシュメモリモジュール識別子 1 0 0 1、各フラッシュメモリモジュールのレジスタ A の内容 1 0 0 2、及び各フラッシュメモリモジュールのレジスタ B の内容 1 0 0 3 を格納する。

図 1 2 は、ストレージアダプタ S A 0 あるいは S A 1 内で管理する R A I D グループ管理テーブル T 3 を説明する図である。

【 0 0 8 4 】

図 1 2 の R A I D グループ管理テーブル T 3 は、R A I D グループ識別子 1 2 0 1 と、各 R A I D グループを構成するフラッシュメモリモジュール識別子の集合 1 2 0 2 を格納

10

20

30

40

50

する。このRAIDグループ管理テーブルT3は、図17、図18を用いて説明するフローチャートにおいて使用する。

【0085】

図13は、フラッシュメモリモジュールP00の低消費電力動作を説明するフローチャートである。なお、他のフラッシュメモリモジュールP01～P33については、フラッシュメモリモジュールP00と同様な動作を行うために説明を省略する。図13のフローチャートでは、フラッシュメモリモジュールP00の低消費電力動作への移行条件が、外部からのコマンド受信を契機とする場合を示す。

【0086】

ステップST101において、インターフェース部402は、例えばストレージアダプタSA0あるいはSA1から、低消費電力化コマンドを受信する。このコマンドは、例えばS-ATAのSlumberコマンドである。インターフェース部402は、低消費電力化コマンド受信を電力制御部409へ通知する。

【0087】

ステップST102において、電力制御部409は、プロセッサ401が割込み許可状態か否かを信号線610によりチェックする。

【0088】

ステップST103において、割込み不許可ならば(ST103:NO)、再びステップST102に戻り割込み許可を待つ。割込み不許可の要因としては、例えば、プロセッサ401がフラッシュメモリチップ405の消去回数平準化処理を実行中であることがある。なぜならば、プロセッサ401が読み書きのアクセスが無い期間において、消去回数平準化処理を実行する場合があるからである。本実施の形態のフラッシュメモリモジュールP00は、消去回数平準化処理の実行中は、低消費電力動作へ移行せず、消去回数平準化処理完了まで待機する。すなわち、以下で説明するように、フラッシュメモリモジュールP00は、消去回数平準化処理が完了した後、通常動作から低消費電力動作への移行及びアドレス変換テーブルT1のデータ検証が行われる。

【0089】

ステップST103において、プロセッサ401が割込み許可であった場合は(ST103:YES)、ステップST104に進む。ステップST104において、電力制御部409はプロセッサ401に対して動作停止指示を、信号線609を介して送信する。

【0090】

ステップST105において、電力制御部409は、レジスタ606の設定内容に従い、電源電圧、基板バイアス電圧、クロック周波数を変更する。

【0091】

ステップST106において、プロセッサ401はアドレス変換テーブルT1のデータ検証を実行する。このステップST106の内容の詳細は図14のフローチャートを用いて後述する。

【0092】

ステップST107において、インターフェース部402が低消費電力動作から通常動作への復帰コマンド(アクティブコマンド)を受信したか否かをチェックする。アクティブコマンドを受信した場合は(ST107:YES)、ステップST109へ進む。

【0093】

ステップST109において、電力制御部409は電源電圧、基板バイアス電圧、クロック周波数を通常動作のための状態へ戻す。ステップST110において、電力制御部409はプロセッサ401に対して動作再開を指示する。

【0094】

ステップST107においてアクティブコマンドの受信がなかった場合は(ST107:NO)、ステップST108において、所定時間待機する。所定時間内はステップST107を繰り返し、一定の周期でステップST106のアドレス変換テーブルT1のデータ検証を実行する。電力制御部409の消費電力がプロセッサ401の消費電力より十分

10

20

30

40

50

小さい場合に、プロセッサ401によるアドレス変換テーブルT1のデータチェックのための動作期間の割合を少なくすることで、フラッシュメモリコントローラMCの低消費電力化を図ることができる。

【0095】

図15は、アドレス変換テーブルT1のデータ検証の低デューティ実行を説明するタイムチャートである。プロセッサ401は、アドレス変換テーブルT1のデータ検証を一部分ずつ($1/n$)、テーブル検証期間より停止期間の方が長くなるように、つまり、低デューティで実行する。

【0096】

図15に示すように、プロセッサ401がアドレス変換テーブルT1のデータ検証を所定範囲ずつ行う周期をTとする。そして、その周期Tの内、プロセッサ401がアドレス変換テーブルT1の所定範囲をデータ検証する期間をtとする。周期Tと期間t、あるいは周期Tと所定範囲は、以下の3つの条件が成立するように設定する。

【0097】

まず、1つ目の条件である周期Tの設定条件について説明する。本実施の形態のフラッシュメモリモジュールP00~P33が、アドレス変換テーブルT1のデータ検証を伴う低消費電力動作から通常動作へ移行するのに要する時間は、周期Tと、プロセッサ401動作時にフラッシュメモリモジュールP00~P33がアクティブコマンドを受信してから通常動作へ移行するのに要する時間の和である。その和が、ストレージ装置100の仕様として許容できる待ち時間以下となるように、周期Tを設定する。

【0098】

次に、2つ目の条件である期間tあるいは期間t内データ検証範囲の設定条件aについて説明する。プロセッサ401が所定範囲のデータ検証に要する時間と消費する電力を考慮して、アドレス変換テーブルT1のデータの検証を伴う低消費電力動作中の平均消費電力がストレージ装置100として許容できる消費電力以下となるように、周期Tと期間t、あるいは周期Tと期間t内にプロセッサ401が実行するデータ検証の範囲を決定する。

【0099】

次に、3つ目の条件である期間tあるいは期間t内データ検証範囲の設定条件bについて説明する。ストレージ装置100に搭載した全てのフラッシュメモリモジュールP00~P33内のアドレス変換テーブルT1に、統計的に1ビットのソフトエラーが起こりうると予想される期間内に、アドレス変換テーブルT1内の全データの検証を少なくとも1回完了するように、周期Tと期間t、あるいは周期Tと期間t内にプロセッサ401が実行するデータ検証の範囲を決定する。

【0100】

図14は、本発明の実施の形態のフラッシュメモリモジュールP00が、低消費電力動作中に行うアドレス変換テーブルT1のデータ検証(ステップST106)を説明するフローチャートである。

【0101】

ステップST201において、電力制御部409はプロセッサ401とメモリ404の動作条件を通常動作に変更し、プロセッサ401へ動作再開を指示する。なお、プロセッサ401とメモリ404が低消費電力動作のままでもアドレス変換テーブルT1のデータ検証が可能ならば、動作条件を変更しなくても良い。ステップST202において、プロセッサ401はデータ検証のアドレス変換テーブルT1内データへのポインタを、レジスタへセットする。

【0102】

ステップST203においてテーブルに格納されている論理ページアドレスと物理ページアドレスとエラー訂正情報をチェックし、ステップST204においてエラーの有無を判定する。このステップST204においてエラーが無い場合は(ST204:NO)ステップST208へ進む。ステップST208において、所定のデータ量のチェックが完

10

20

30

40

50

了した場合は (S T 2 0 8 : Y E S) ステップ S T 2 0 9 へ進む。

【 0 1 0 3 】

本実施の形態のフラッシュメモリモジュール P 0 0 では、一度にアドレス変換テーブル T 1 内全てのデータを連続して検証するのではなく、複数回に分けてデータ検証を行うことにより、平均的な消費電力を低減している。ステップ S T 2 0 9 において、電力制御部 4 0 9 はプロセッサ 4 0 1 へ対して、動作停止を指示する。このとき、ステップ S T 2 0 1 においてプロセッサ 4 0 1 とメモリ 4 0 4 を通常動作へ変更していた場合は、再びプロセッサ 4 0 1 とメモリ 4 0 4 を低消費電力動作へ変更する。

【 0 1 0 4 】

ステップ S T 2 0 8 において所定量のデータ検証が完了していない場合は (S T 2 0 8 : N O)、ステップ S T 2 1 0 において、次のアドレス変換テーブル T 1 内のデータを指すポインタをレジスタにセットし、ステップ S T 2 0 3 に戻る。

10

【 0 1 0 5 】

ステップ S T 2 0 4 においてエラーが検出された場合は (S T 2 0 4 : Y E S)、ステップ S T 2 0 5 においてエラー訂正可能性を判定する。データに付加しているエラー訂正情報からエラーが訂正可能な場合は (S T 2 0 5 : Y E S)、ステップ S T 2 0 7 へ進み、エラー訂正を実行する。

【 0 1 0 6 】

エラー訂正情報からではエラー訂正不能な場合は、例えばエラー発生ビット数が多い場合は (S T 2 0 5 : N O)、ステップ S T 2 0 6 のテーブル再構成処理を実行する。そして、処理は、ステップ S T 2 0 2 へ戻る。

20

【 0 1 0 7 】

次に、テーブル再構成処理 (ステップ S T 2 0 6) について説明する。図 1 6 はテーブル再構成処理を説明するフローチャートである。

【 0 1 0 8 】

ステップ S T 3 0 1 において、電力制御部 4 0 9 はレジスタ A のパラメータ 8 0 5 の、訂正不能エラー発生回数をインクリメントする。そして、ステップ S T 3 0 2 において、パラメータ 8 0 2 の値が所定の値以下であるか否かを判定する。エラー発生回数が所定回数に達した場合は (S T 3 0 2 : Y E S)、処理はステップ S T 3 0 3 へ進む。

【 0 1 0 9 】

30

ステップ S T 3 0 3 は、エラー発生回数が所定回数に達したフラッシュメモリモジュール (障害モジュール) を交換し、スペアのフラッシュメモリモジュール (図示を省略) にデータをリビルドする。このリビルドは、障害モジュールと同じ R A I D グループに属するフラッシュメモリモジュールのデータを、ストレージアダプタ S A 0 又は S A 1 が読み出して排他的論理和計算を行い、障害モジュールに格納されていたデータを再生する処理である。

【 0 1 1 0 】

また、スペアのフラッシュメモリモジュールは、予めストレージアダプタ S A 0、S A 1 に接続しておくと、リビルドを早く実行できる。スペアのフラッシュメモリモジュールは、ストレージアダプタ S A 0、S A 1 へ接続した際に、そのフラッシュメモリモジュール内のフラッシュメモリコントローラにアドレス変換テーブル T 1 を作成しておき、作成後は図 1 3 のアドレス変換テーブル T 1 のデータ検証 (S T 1 0 6、図 1 4) の実行を伴う低消費電力動作で待機状態にしておく。このようにスペアのフラッシュメモリモジュールを待機状態にしておくことにより、必要になったときに直ぐに使用可能となる。

40

【 0 1 1 1 】

ステップ S T 3 0 2 でエラー回数が所定回数以下の場合は (S T 3 0 2 : N O)、処理はステップ S T 3 0 4 へ進む。ステップ S T 3 0 4 において、プロセッサ 4 0 1 は、フラッシュメモリモジュール P 0 0 の先頭物理ページアドレスへのポインタをレジスタにセットする。

【 0 1 1 2 】

50

ステップ S T 3 0 5 において、プロセッサ 4 0 1 は該当物理ページアドレスから論理ページアドレス情報を読み出し、アドレス変換テーブル T 1 へアドレス情報を格納する。

【 0 1 1 3 】

ステップ S T 3 0 7 において、プロセッサ 4 0 1 のポインタが、最終物理ページアドレスに達したかを判定する。ステップ S T 3 0 7 において最終物理ページアドレスへ達していない場合は (S T 3 0 7 : N O)、ステップ S T 3 0 6 で、次の物理ページアドレスにアクセスするため、ポインタを進める。

【 0 1 1 4 】

ステップ S T 3 0 7 において、最終物理ページアドレスまでアドレス調査が完了した場合は (S T 3 0 7 : Y E S)、処理を完了する。

10

【 0 1 1 5 】

また、レジスタ A のパラメータ 8 0 5 のエラー回数が所定回数に達する場合としては、過去のデータ検証結果を含む累積で所定の回数に達する場合と、あるいは一回のチェックで複数のエラーが発生し所定回数に達する場合が考えられる。

【 0 1 1 6 】

次に、本実施の形態のストレージ装置 1 0 0 が、R A I D グループ (V D E V 0 ~ V D E V 3) 内の全フラッシュメモリモジュールに対して低消費電力動作へ移行させる方法を説明する。図 1 7 はこの方法を説明するフローチャートである。

【 0 1 1 7 】

ストレージアダプタ S A 0 又は S A 1 は、R A I D グループ内の複数フラッシュメモリモジュール (例えば、V D E V 0 : フラッシュメモリモジュール P 0 0 , P 1 0 , P 2 0 , P 3 0) に対して、ほぼ同期してデータの読み書きを実行する。従って、低消費電力化するか否かも R A I D グループ内のフラッシュメモリモジュールは同期する。例えば、フラッシュメモリモジュール P 0 0 の低消費電力化が自発モードに設定されていた場合を考える。

20

【 0 1 1 8 】

ステップ S T 4 0 1 においてストレージアダプタ S A 0 又は S A 1 は、あるフラッシュメモリモジュール、例えばフラッシュメモリモジュール P 0 0 の低消費電力動作への移行を検出する。これは、ストレージアダプタ S A 0 , S A 1 が各フラッシュメモリモジュール P 0 0 ~ P 3 3 のレジスタ A を監視することにより可能となる。

30

【 0 1 1 9 】

ステップ S T 4 0 2 においてストレージアダプタ S A 0 又は S A 1 は、図 1 2 で説明した R A I D グループ管理テーブル T 3 にアクセスして、低消費電力動作へ移行したフラッシュメモリモジュール P 0 0 と同じ R A I D グループ (V D E V 0) に属するフラッシュメモリモジュール P 1 0 , P 2 0 , P 3 0 を調査する。

【 0 1 2 0 】

ステップ S T 4 0 3 において、該当 R A I D グループ (V D E V 0) 内で低消費電力動作へ移行していないフラッシュメモリモジュールの有無を判定する。

【 0 1 2 1 】

ステップ S T 4 0 3 において、低消費電力動作へ移行していないフラッシュメモリモジュールがある場合は (S T 4 0 3 : Y E S)、ステップ S T 4 0 4 へ進み、ストレージアダプタ S A 0 又は S A 1 は、該当 R A I D グループ内の低消費電力動作へ移行していないフラッシュメモリモジュールに対して、低消費電力化コマンドを発行する。そして、処理はステップ S T 4 0 3 へ戻る。

40

【 0 1 2 2 】

ステップ S T 4 0 3 において、低消費電力動作へ移行していないフラッシュメモリモジュールがない場合、すなわち、R A I D グループ (V D E V 0) 内全てのフラッシュメモリモジュール P 1 0 , P 2 0 , P 3 0 が低消費電力動作へ移行した場合は (S T 4 0 3 : N O)、処理を終了する。

【 0 1 2 3 】

50

低消費電力動作時から通常動作へ復帰する場合についても、RAIDグループ(VDEV0～VDEV3)内のフラッシュメモリモジュールは同期する。従って、図17と実質的に同様のフローチャートで、RAIDグループ内全てのフラッシュメモリモジュールの通常動作への復帰が可能となる。

【0124】

続いて、RAIDグループ単位で低消費電力動作から通常動作へ移行する方法について説明する。図18はこの方法を示すフローチャートである。

【0125】

ステップST501においてストレージアダプタSA0又はSA1は、RAIDグループのあるフラッシュメモリモジュール(例えば、VEDV0:フラッシュメモリモジュールP00)に対して低消費電力動作から通常動作への移行を指示する。つまり、ストレージアダプタSA0又はSA1がフラッシュメモリモジュールP00へアクティヴコマンドを発行する。

10

【0126】

ステップST502において、ストレージアダプタSA0又はSA1は、図12で説明したRAIDグループ管理テーブルT3にアクセスして、通常動作への移行を指示したフラッシュメモリモジュールと同じRAIDグループに属するフラッシュメモリモジュールを調査する。例えば、フラッシュメモリモジュールP00が通常動作への移行を指示されたのであれば、フラッシュメモリモジュールP10、P20、P30が調査される。

【0127】

20

ステップST503において、当該RAIDグループ内で低消費電力動作から通常動作へ移行していないフラッシュメモリモジュールの有無を判定する。

【0128】

ステップST503において、当該RAIDグループ内で低消費電力動作から通常動作へ移行していないフラッシュメモリモジュールがある場合は(ST503:YES)、ステップST504において、ストレージアダプタSA0又はSA1は、該当RAIDグループ内の低消費電力動作から通常動作へ移行していないフラッシュメモリモジュールに対してアクティヴコマンドを発行する。そして、処理はステップST503へ戻る。

【0129】

ステップST503において、当該RAIDグループ内で低消費電力動作から通常動作へ移行していないフラッシュメモリモジュールがない場合は、すなわち、RAIDグループ内全てのフラッシュメモリモジュールP10、P20、P30が通常動作へ移行した場合は(ST503:NO)、処理を終了する。

30

【0130】

このように、RAIDグループ内の複数のフラッシュメモリモジュールを同期して低消費電力化することにより、ストレージアダプタSA0又はSA1はRAIDグループ単位でフラッシュメモリモジュールの電力を管理できるので、消費電力低減効果が大きく、またストレージアダプタSA0又はSA1の管理付加が軽減する。

【0131】

以上説明したように、本実施の形態のフラッシュメモリモジュールP00～P33は、フラッシュメモリコントローラMCとフラッシュメモリチップ405からなり、フラッシュメモリコントローラMCは、フラッシュメモリチップ405の論理ページアドレスと物理ページアドレスを変換するアドレス変換テーブルT1を格納するメモリ(SRAM)404を備え、フラッシュメモリコントローラMCは、データの読み書き時の通常動作である第1の動作と、動作停止、電源電圧低下及び動作周波数低減のいずれかによりデータ読み書き時の通常動作より低消費電力で動作する待機状態時の低消費電力動作とを制御する。

40

【0132】

このフラッシュメモリモジュールP00～P33は、低消費電力動作時にアドレス変換テーブルT1のデータの検証を行うことにより、低消費電力動作時にアドレス変換テーブ

50

ル T 1 内のデータに発生したソフトエラーを検出・訂正することができる。すなわち、低消費電力動作時にフラッシュメモリモジュール P 0 0 ~ P 3 3 の低消費電力化とフラッシュメモリコントローラ M C 内のアドレス変換テーブル T 1 のデータ保護が可能となる。このため、低消費電力動作から通常動作に復帰する際に、エラーが蓄積した場合に必要なアドレス変換テーブル T 1 の再構成を行う必要がなくなり、低消費電力動作しているフラッシュメモリモジュール P 0 0 ~ P 3 3 が通常動作へ瞬時に復帰することができる。

【 0 1 3 3 】

また、フラッシュメモリコントローラ M C は、アドレス変換テーブル T 1 のデータ検証を行うデータ検証期間 t と、フラッシュメモリコントローラ M C の動作を停止させる動作停止期間を交互に実行し、データ検証期間 t を動作停止期間より短くしている。このため、データの検証は低デューティで実行される。

10

【 0 1 3 4 】

また、スペアのフラッシュメモリモジュールをストレージアダプタ S A 0 又は S A 1 を接続させておくことにより、フラッシュメモリモジュール P 0 0 ~ P 3 3 のいずれかにエラー訂正情報によってはエラー訂正不可能なフラッシュメモリモジュール（障害モジュール）が生じた場合にも、同じ R A I D グループの他のフラッシュメモリモジュールからデータをスペアのフラッシュメモリモジュールに移行してリビルドを行うことができ、直ぐに通常動作へ復帰することができる。

【 0 1 3 5 】

なお、上述の実施の形態においては、本発明を図 5 及び図 6 のように構成されたフラッシュメモリモジュール P 0 0 ~ P 3 3 及びそのフラッシュメモリモジュール P 0 0 ~ P 3 1 を用いたストレージ装置 1 0 0 に適用するようにして説明した場合について述べたが、本発明はこれに限られず、この他種々の構成のフラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用いたストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法に広く適用することができる。

20

【産業上の利用可能性】

【 0 1 3 6 】

本発明は、種々のフラッシュメモリモジュール、そのフラッシュメモリモジュールを記録媒体として用いたストレージ装置及びそのフラッシュメモリモジュールのアドレス変換テーブル検証方法に広く適用することができる。

30

【図面の簡単な説明】

【 0 1 3 7 】

【図 1】本発明に係わるストレージ装置の構成を示すブロック図。

【図 2】本発明に係わるチャネルアダプタの構成を示すブロック図。

【図 3】本発明に係わるストレージアダプタの構成を示すブロック図。

【図 4】本発明に係わるフラッシュメモリモジュールの構成を示すブロック図。

【図 5】本発明に係わるフラッシュメモリモジュールにおけるブロックの説明図。

【図 6】本発明に係わるフラッシュメモリコントローラの消費電力制御に係わる構成要素の説明図。

【図 7】本発明に係わるアドレス変換テーブルを示す図。

40

【図 8】本発明に係わるレジスタに格納するデータの一例を示す図。

【図 9】本発明に係わるレジスタに格納するデータの一例を示す図。

【図 10】本発明に係わる電源電圧と基板バイアスの説明図。

【図 11】本発明に係わるフラッシュメモリモジュール管理テーブルを示す図。

【図 12】本発明に係わる R A I D グループ管理テーブルを示す図。

【図 13】本発明に係わるフラッシュメモリモジュールの低電力動作を説明するフローチャート。

【図 14】本発明に係わる低電力動作中に行うアドレス変換テーブルのデータ検証を説明するフローチャート。

【図 15】本発明に係わるアドレス変換テーブルのデータ検証の低デューティ実行を説明

50

する図。

【図 1 6】本発明に係わるテーブル再構成処理について説明するフローチャート。

【図 1 7】本発明に係わる R A I D グループ内の全てのフラッシュメモリモジュールを低消費電力動作へ移行させる方法を説明するフローチャート。

【図 1 8】本発明に係わる R A I D グループ内の全てのフラッシュメモリモジュールを通常動作へ移行させる方法を説明するフローチャート。

【符号の説明】

【 0 1 3 8 】

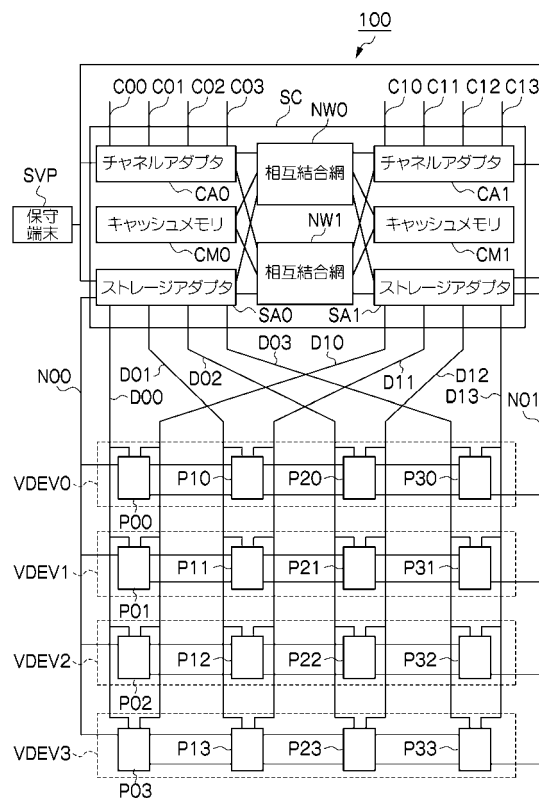
S C ... ストレージコントローラ、	
C A 0、C A 1 ... チャンネルアダプタ	10
C M、C M 0、C M 1 ... キャッシュメモリ	
S A、S A 0、S A 1 ... ストレージアダプタ	
P 0 0、P 0 1、P 0 2、P 0 3、P 1 0、P 1 1、P 1 2、P 1 3、P 2 0、P 2 1、	
P 2 2、P 2 3、P 3 0、P 3 1、P 3 2、P 3 3 ... フラッシュメモリモジュール	
M C ... フラッシュメモリコントローラ	
M E M ... フラッシュメモリ	
C 0 0、C 0 1、C 0 2、C 0 3、C 1 0、C 1 1、C 1 2、C 1 3、D 0 0、D 0 1、	
D 0 2、D 0 3、D 1 0、D 1 1、D 1 2、D 1 3 ... チャンネル	
V D E V 0、V D E V 0、V D E V 0、V D E V 0 ... R A I D グループ	
N 0 0、N 0 1 ... ネットワーク	20
N W 0、N W 1 ... 相互結合網	
S V P ... 保守端末	
2 1 ... ホストチャンネルインターフェース	
2 2 ... キャッシュメモリインターフェース	
2 3 ... ネットワークインターフェース	
2 4 ... プロセッサ	
2 5 ... ローカルメモリ	
2 6 ... プロセッサ周辺制御部	
2 7 ... 信号線	
3 1 ... キャッシュメモリインターフェース	30
3 2 ... ストレージチャンネルインターフェース	
3 3 ... ネットワークインターフェース	
3 4 ... プロセッサ	
3 5 ... ローカルメモリ	
3 6 ... プロセッサ周辺制御部	
3 7 ... 信号線	
1 0 0 ... ストレージ装置	
4 0 1 ... プロセッサ	
4 0 2 ... インターフェース部	
4 0 3 ... 内部バス	40
4 0 4、4 0 7 ... メモリ	
4 0 5 ... フラッシュメモリチップ	
4 0 6 ... ブロック	
4 0 8 ... 電源	
4 0 9 ... 電力制御部	
4 1 0 ... フラッシュメモリインターフェース部	
4 1 1 ... データ転送部	
5 0 1 ... ページ	
5 0 2 ... ページデータ部	
5 0 3 ... ページ冗長部	50

6 0 1、6 0 3、6 0 5 ... チップ電源配線
6 0 2、6 0 4、6 0 7、6 0 9、6 1 0、6 1 1、6 1 2、6 1 3、6 1 4 ... 信号線
6 0 8 ... 基板バイアス制御部
6 0 6 ... レジスタ
6 1 5 ... クロック制御部
6 1 6 ... 基準クロック配線
V D D、V S S ... チップ内電源
V S U B 1、V S U B 2 ... 基板バイアス
I N V ... インバータ回路
T 1 ... アドレス変換テーブル
T 2 ... フラッシュメモリモジュール管理テーブル
T 3 ... R A I D グループ管理テーブル

10

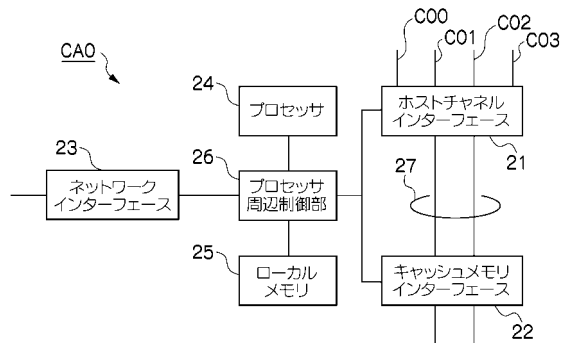
【圖 1】

图 1



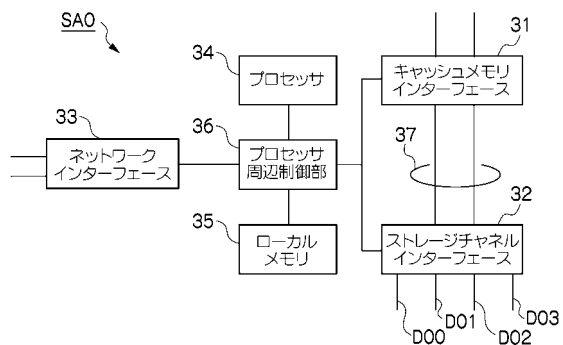
【圖 2】

图2



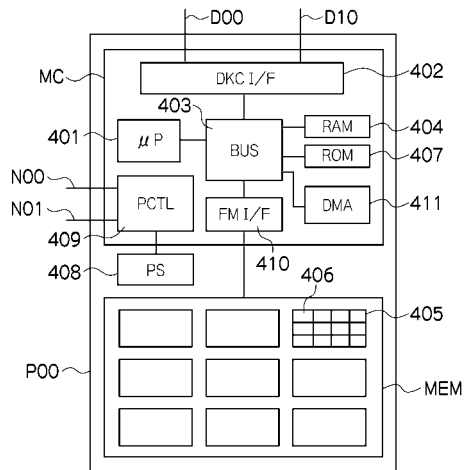
【 図 3 】

图3



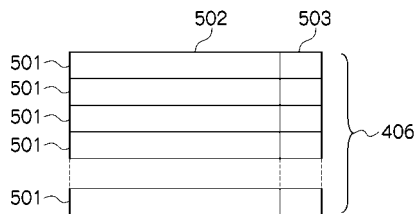
【 図 4 】

图4



【圖 5】

图5



【 圖 7 】

图7

[illegible]

【圖 8】

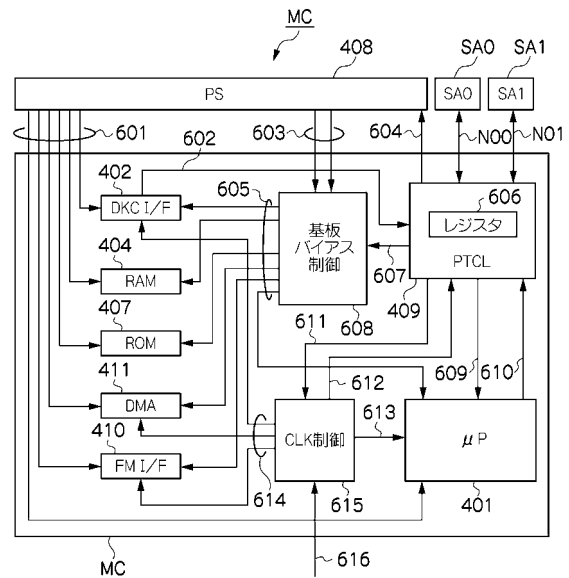
图8

レジスタA

801	802	803	804	805
マスター /スレーブ	チェック 有無	判定時間	ステータス	訂正不能 エラー回数

【 図 6 】

图6



【 図 9 】

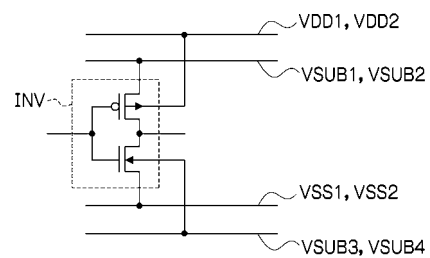
图9

レジスタB

	901	902	903	904	905	906
パラメータ	DKC I/F	RAM	ROM	DMA	FM I/F	μ P
電源電圧						
基板バイアス						
動作周波数						

【 図 1 0 】

图10



【図 1 1】

図11

T2

1001	1002	1003
フラッシュメモリモジュール	PTCLレジスタA	PTCLレジスタB
P00		
P01		
P02		
P03		
P10		
P11		
P12		
P13		
P20		
P21		
P22		
P23		
P30		
P31		
P32		
P33		

【図 1 2】

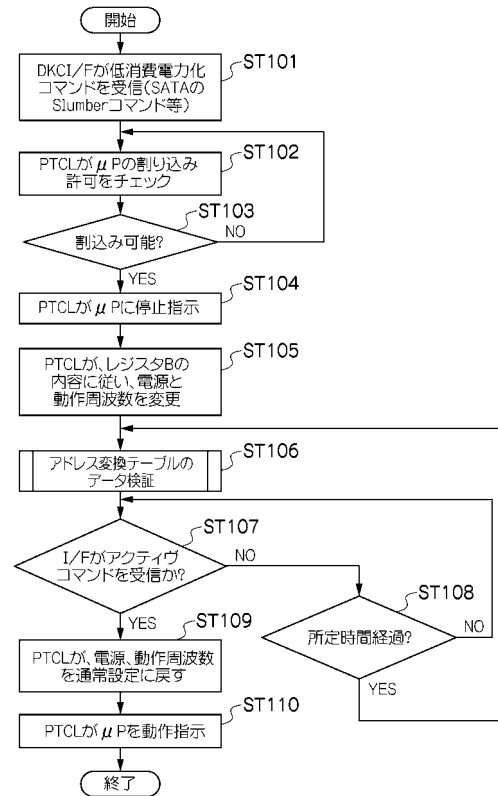
図12

T3

1201	1202
RAID Gr	フラッシュメモリモジュール
VDEV 0	{P00, P10, P20, P30}
VDEV 1	{P01, P11, P21, P31}
VDEV 2	{P02, P12, P22, P32}
VDEV 3	{P03, P13, P23, P33}

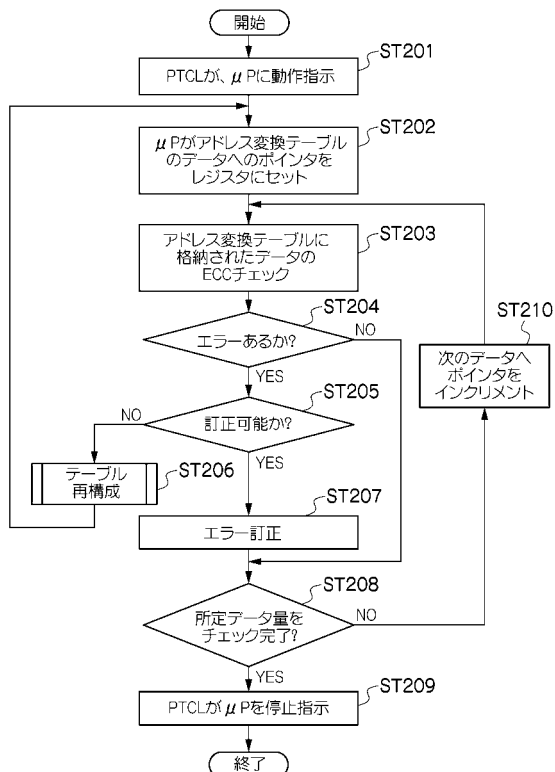
【図 1 3】

図13



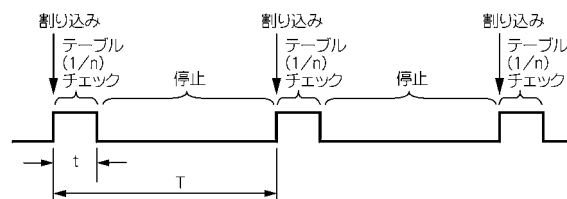
【図 1 4】

図14



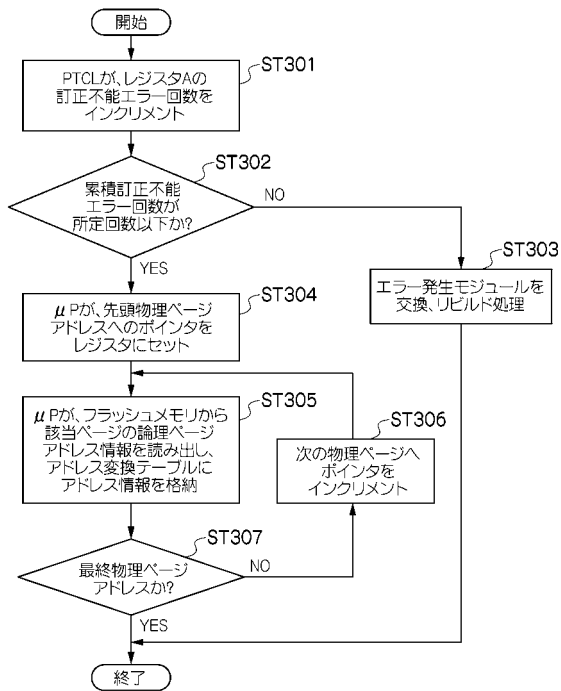
【図 1 5】

図15



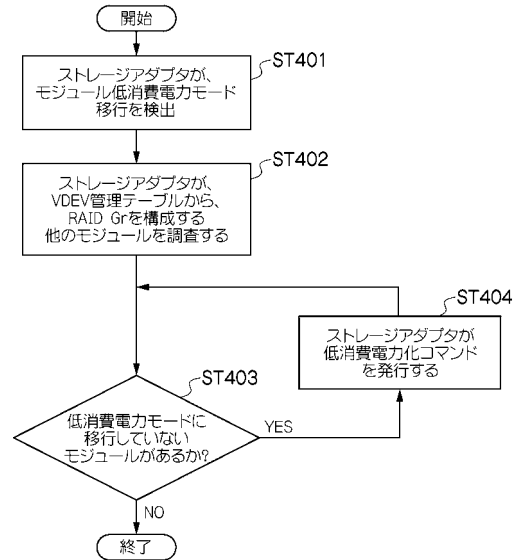
【図 16】

図16



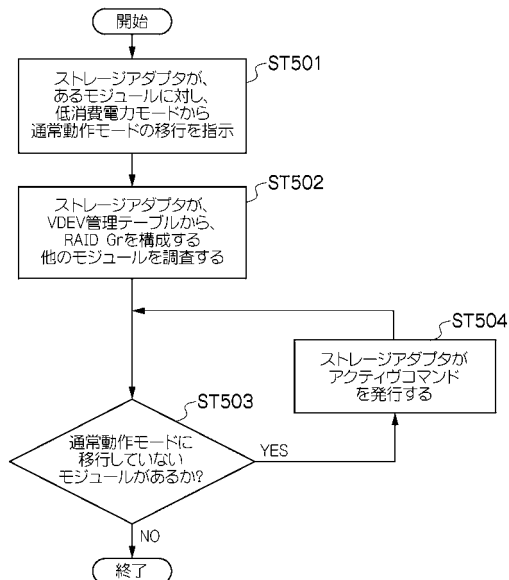
【図 17】

図17



【図 18】

図18



フロントページの続き

(56)参考文献 特開平07-056817(JP,A)
特開平11-053267(JP,A)
特開昭63-056751(JP,A)
特開2003-167795(JP,A)
特開平07-056694(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F	1 2 / 1 6
G 0 6 F	3 / 0 8
G 1 1 C	2 9 / 4 2