

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3676596号

(P3676596)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 5 A

H O 1 L 27/108

請求項の数 12 (全 9 頁)

(21) 出願番号	特願平10-327950	(73) 特許権者	390039413
(22) 出願日	平成10年11月18日(1998.11.18)		シーメンス アクチエンゲゼルシャフト
(65) 公開番号	特開平11-220100		Siemens Aktiengesell-
(43) 公開日	平成11年8月10日(1999.8.10)		lschaft
審査請求日	平成13年7月11日(2001.7.11)		ドイツ連邦共和国 D-80333 ミュ-
(31) 優先権主張番号	19752968.2		ンヘン ヴィッテルスバッハーブラッツ
(32) 優先日	平成9年11月28日(1997.11.28)		2
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100075166
			弁理士 山口 巖
		(72) 発明者	エンメリッヒ ヘルタグノリ
			ドイツ連邦共和国 80799 ミュンヘ-
			ン ノルデントシュトラッセ 5
		(72) 発明者	グスタフ ベックマン
			ドイツ連邦共和国 01471 ラーデブ
			ルク プーヒェンヴェーク 1
			最終頁に続く

(54) 【発明の名称】 メモリセル装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

コンデンサ電極(14)の多結晶の半導体材料と単結晶の半導体領域(19)とが接触する電気接続部が設けられるメモリセルを有するメモリセル装置において、電気接続部の範囲にアモルファス材料から成るアイランド(13)が配設され、隣接するアイランド間の間隙を介して多結晶の半導体材料と単結晶の半導体領域(19)とが直接接触することを特徴とするメモリセル装置。

【請求項2】

隣接するアイランド(13)との間隔とアイランド(13)の直径との比が最大で10:1となるようにアイランド(13)が配列されていることを特徴とする請求項1記載の装置。

10

【請求項3】

コンデンサ電極(14)がトレンチコンデンサとして形成されているメモリコンデンサの部分であり、単結晶の半導体領域(19)が半導体基板(10)内に配設されている選択トランジスタのソース/ドレイン領域であることを特徴とする請求項1又は2記載の装置。

【請求項4】

単結晶の半導体領域(19)が少なくとも電気接続部の範囲に単結晶シリコンを有しており、コンデンサ電極(14)が少なくとも電気接続部の範囲に多結晶のシリコンを有しており、アイランド(13)がSiO₂を有することを特徴とする請求項1乃至3のい

20

れか1つに記載の装置。

【請求項5】

アイランド(13)が単結晶の半導体領域(19)の表面に平行に0.5~50nmの範囲の寸法と、隣接するアイランド(13)との間に0.5~50nmの間隔を有し、単結晶の半導体領域(19)の表面に垂直方向に0.5nm~15nmの厚さを有することを特徴とする請求項1乃至4のいずれか1つに記載の装置。

【請求項6】

コンデンサ電極の多結晶の半導体材料と単結晶の半導体領域との間に電気接続部が形成されているメモリセルを有するメモリセル装置の製造方法において、単結晶の半導体領域(1)の表面上の電気接続部の範囲にアモルファス層(2)を所定の厚さに形成し、アモルファス層(2)上にコンデンサ電極の多結晶の半導体材料(3)を施し、アモルファス層(2)からアモルファス材料から成るアイランド(2')を形成する熱処理を行うことを特徴とするメモリセル装置の製造方法。

10

【請求項7】

隣接するアイランド(2')との間隔がアイランド(2')の直径に対し最大で10:1となるようにアイランド(2')を形成することを特徴とする請求項6記載の方法。

【請求項8】

単結晶の半導体領域(1)の表面をエッチングにより露出させ、該表面を炉内の酸化雰囲気中で所定の温度及び酸化時間で熱酸化してアモルファス層(2)を形成し、引き続き上記炉内でアモルファス層(2)上に多結晶半導体材料(3)を析出させることを特徴とする請求項6又は7記載の方法。

20

【請求項9】

熱酸化を多結晶の半導体材料(3)の析出温度よりも低い温度で行うことを特徴とする請求項8記載の方法。

【請求項10】

単結晶の半導体領域(1)が少なくとも電気接続部の範囲にシリコンを有し、コンデンサ電極が少なくとも電気接続部の範囲に多結晶のシリコンを有し、アモルファス層をSiO₂から形成し、アモルファス層を500~625℃の温度及び4~8分の酸化時間での熱処理により形成し、アイランド(2')を形成するための熱処理を950~1150℃で行うことを特徴とする請求項8又は9のいずれか1つに記載の方法。

30

【請求項11】

アイランド(2')が単結晶の半導体領域(1)の表面に平行に0.5~50nmの範囲の寸法及び隣接するアイランド(2')との間に0.5~50nmの範囲の間隔を有し、単結晶の半導体領域(1)の表面に垂直方向に0.5nm~15nmの範囲の厚さを有することを特徴とする請求項6乃至10のいずれか1つに記載の方法。

【請求項12】

請求項6乃至11のいずれか1つに記載の方法により製造される、コンデンサ電極の多結晶の半導体材料と単結晶の半導体領域との間に電気接続部が設けられるメモリセルを特徴とするメモリセル装置。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明はメモリセル装置及びその製造方法に関する。

【0002】

【従来の技術】

メモリセル装置、特にDRAM装置では情報は電荷の形で個々のメモリセルに蓄積される。この場合電荷はしばしばメモリコンデンサ内に蓄積される。その際電荷は限られた時間だけメモリコンデンサ内に保持されている。最近のDRAM装置ではメモリコンデンサ内における保持時間は約2~3秒である。蓄積された情報を更に長く保持するには情報は周期的に更新(いわゆるリフレッシュ)される。

50

【0003】

メモリセル装置内で個々のメモリセルが著しく変動する保持時間を有することが判明している。このことは、これらのメモリセルにおける保持時間が例えば10ミリ秒間の極めて短い値と通常の2～3秒の保持時間との間で変動することを意味する。可変保持時間誤差とも云われるこの誤差は予知できないものである。

【0004】

【発明が解決しようとする課題】

本発明の課題は、蓄積される電荷の保持時間の変動を低減させるメモリセル装置を提供することにある。更にこのようなメモリセル装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】

この課題は本発明の請求項1に記載のメモリセル装置並びに請求項6に記載のその製造方法により解決される。本発明の実施態様は従属請求項から明らかにする。

【0006】

コンデンサ電極の多結晶の半導体材料と単結晶の半導体領域との間に電気接続部が存在するメモリセルを有するメモリセル装置において、この多結晶の半導体材料と単結晶の半導体領域との間の電気接続部の範囲にアモルファス材料から成るアイランドが配設されている。これらのアモルファス材料から成るアイランドはコンデンサ電極の単結晶の半導体領域と多結晶の半導体材料との間の界面を安定化させる。それにより製造プロセス中、特に熱処理工程中に多結晶の半導体材料と単結晶の半導体領域との界面が変化し、一方ではエ

【0007】

ピタキシャル成長が単結晶の半導体領域の表面から出発して多結晶の半導体材料内へと、また他方では結晶成長が多結晶の半導体材料から単結晶の半導体領域内へと生じることが回避される。

【0008】

アイランドが電気接続部の範囲で不規則な格子内に面状に配置されていると有利である。アイランドの形状は多様なものにすることができる。例えばアイランドは球状、楕円体状、回転楕円体状又は不規則な形状を有している。特に種々のアイランドがそれぞれ異なって形成されていてもよい。

【0009】

本発明は以下に記載する考察から出発するものである。可変保持時間の誤差作用はコンデンサ電極の単結晶の半導体領域と多結晶の半導体材料との間に電気接続部が存在するメモリセル内に認められる。この作用は特に、単結晶の半導体基板内に選択トランジスタが配設されそのソース／ドレイン領域の1つがトレンチ内に配設されている多結晶の半導体材料から成るコンデンサ電極と電氣的に接続されているメモリセルの場合に観察される。この作用は積層コンデンサを有するメモリセルの場合にも発生する。

【0010】

単結晶の半導体領域内に可変保持時間の誤差作用を有するメモリセルが単結晶の半導体領域と多結晶の半導体材料との間の界面から始まる結晶欠陥を示すことは研究されている。この欠陥は多結晶の半導体材料と単結晶の半導体領域との不安定な界面の結果として認められるものである。

【0011】

本発明では多結晶の半導体材料と単結晶の半導体領域との間にアモルファス材料から成るアイランドが配置されている。これらのアイランドは単結晶の半導体領域の表面上にも多結晶の半導体材料の表面上にも機械的応力を生じさせる。これらの表面に対するこの機械的応力は熱処理中に単結晶の半導体領域の表面からエピタキシャル成長が、また多結晶の半導体材料から結晶成長が始まるのを阻止する。多結晶の半導体材料から始まる結晶成長により多結晶の半導体材料内に存在する結晶格子の欠陥は単結晶の半導体領域内に伝達される。単結晶の半導体領域の表面から始まり多結晶の半導体材料内へ進むエピタキシャル成長も単結晶の半導体領域内に結晶の欠陥を生じさせる。とりわけ転位を生じる可能性の

10

20

30

40

50

あるこれらの欠陥は本発明によるメモリセル装置内にアモルファス材料から成るアイランドを備えることにより回避される。

【0012】

同時に多結晶の半導体材料と単結晶の半導体領域との間のアモルファス材料から成るアイランドは、キャリアがアモルファス材料から成るアイランド間を通して多結晶の半導体材料から単結晶の半導体領域内に到達することができるので、電氣的接触を保証する。更に多結晶の半導体材料と単結晶の半導体領域との間にドーパントの拡散が起こり得る。

【0013】

アモルファス材料から成るアイランドには絶縁材料特に SiO_2 又は Si_3N_4 も、また導電材料特にタングステン又は他の高融点金属も適している。

10

【0014】

単結晶の半導体領域は、少なくとも電気接続部の範囲に単結晶のシリコンを有する特に半導体基板の部分である。半導体基板としてはとりわけ単結晶のシリコンウェハ又は SOI 基板の単結晶のシリコン層が適している。

【0015】

アモルファス材料から成るアイランドは酸化物、特に酸化シリコンから形成されると有利である。

【0016】

メモリセル装置を製造する際に電気接続部の範囲の単結晶の半導体領域の表面上にアモルファス層が所定の厚さで施されると有利である。その上に多結晶の半導体材料が施される。その際アモルファス層は、多結晶の半導体材料が多結晶で成長することを保証する。アモルファス材料から成るアイランドの形成にはアモルファス層がアイランドに分解する熱処理を行うと有利である。

20

【0017】

その前は1つにつながっている酸化物層から熱処理によりこのような酸化物アイランドを形成することは、バイポーラトランジスタに関連して既にシャバー (H. Schaber) その他による「IEDM1987」第170～173頁から公知である。その場合このような熱処理は、露出するシリコン表面に無秩序に形成されまたバイポーラトランジスタではエミッタの表面にエミッタとエミッタ端子との間の抵抗値を高めることになるいわゆる自然の酸化物層又は堆積酸化物層を裂開するために使用される。バイポーラトランジスタの堆積酸化物層の熱による裂開によりエミッタ抵抗は改善される。しかしアモルファス材料から成るアイランドが単結晶の半導体材料中に欠陥を生じさせる作用についてはシェバーその他による「IEDM1987」第170～173頁には言及されていない。

30

【0018】

単結晶の半導体領域は特に選択トランジスタのソース／ドレイン領域である。コンデンサ電極は特に半導体基板内にエッチングされるトレンチ内に配設されており、コンデンサ電極の他にコンデンサ誘電体及び対向電極としてトレンチに隣接する半導体基板部分を有するいわゆるトレンチコンデンサの部分である。コンデンサ電極は選択トランジスタが配設されている半導体基板の表面にも配置可能であり、積層コンデンサの部分である。

【0019】

隣接するアイランド間の間隔をアイランドの直径に対して最大で10：1、有利には最大で2：1～1：1の割合になるように配置すると有利である。この配置は、アイランドにより惹起される応力が一様に電気接続部の範囲の単結晶半導体領域の表面に分配され、従ってこの範囲全体にわたり欠陥の形成を阻止することを保証する。

40

【0020】

アイランドは単結晶の半導体領域の表面に平行に0.5～50nmの範囲の寸法を有する。隣接するアイランドとの間隔も同様に0.5～50nmである。単結晶の領域の表面に垂直方向にアイランドは0.5～15nmの厚さを有する。その際単結晶の半導体領域の表面とはアイランドが配置されている表面である。この表面は特にコンデンサ電極が配設されているトレンチの壁の上方部分にあり、半導体基板の主面に対し垂直に方向付けされ

50

ている。

【0021】

有利な一実施態様によれば、アイランドは単結晶の半導体領域の表面に平行に8～20 nmの範囲の寸法を有する。隣接するアイランドとの間隔は約12 nmである。単結晶の半導体領域の表面に垂直方向にアイランドは約8 nmの厚さを有する。

【0022】

メモリセル装置を製造する際にアモルファス層を熱酸化により形成すると有利である。アモルファス層を所定の厚さに調整して製造することを保証するために、その際酸化雰囲気中で所定の温度及び時間が維持される。その際この酸化雰囲気は、残留ガス中の酸素、大気中特に空気中の酸素によっても、又は適切に添加された酸素を有する反応ガスによっても形成することができる。その場合アモルファス層の層厚の制御のために、この熱酸化を比較的低温で、特に500～625℃の範囲の温度で行うと有利である。

10

【0023】

アイランドを形成するための熱処理は950～1150℃の範囲で行うと有利である。その際このように高温で自然にアイランドが形成されることを利用し、その直径及び間隔はアモルファス層の厚さにより予め規定される。

【0024】

アモルファス材料から成るアイランドは別の方法でも、例えば統計的に形成されたマスク又は電子ビームリソグラフィにより構造化されるアモルファス層の析出により形成することもできる。

20

【0025】

【発明の実施の形態】

本発明を図示の実施例に基づき以下に詳述する。

【0026】

SOI基板の埋封された絶縁層の表面に配設されている単結晶シリコンウェハ又は単結晶のシリコン層の部分である単結晶半導体領域1の表面上にアモルファス層2及びその上にポリシリコン層3を施す(図1参照)。アモルファス層2はSiO₂から0.5 nmの厚さに形成される。

【0027】

アモルファス層2を形成するにはまず単結晶の半導体領域1の表面をフッ化水素酸でのエッチングにより洗浄する。その際露出する半導体表面に自然に形成されまた無秩序に成長する酸化物(堆積酸化物ともいう)は完全に除去される。引続きフリーエッチングされた表面を有する単結晶の半導体領域1を炉内に装入する。炉内に装入時に半導体の露出表面は周囲の空気に曝され、その際新たに自然の酸化物が形成される。形成された自然酸化物の厚さは単結晶半導体領域1のドーピング、結晶方位及び炉の装填時間により左右される。単結晶の半導体領域を 10^{17} cm^{-3} のヒ素のドーピング及び炉の装填時間が1時間であると、単結晶の半導体領域1が<100>方位の場合自然酸化物は0.3 nmの層厚で形成される。炉内への装入は500℃程度のできるだけ低温で行われる。

30

【0028】

炉内に装入後に炉を閉鎖し、アモルファス層2を精確な温度調整及び時間設定によりその最終層厚に形成する。500℃で6分間の酸化時間で全層厚が0.5 nmのアモルファス層2が形成される。アモルファス層2の一部は炉内に装入中に形成された自然酸化物である。

40

【0029】

アモルファス層2を形成する際の炉内の酸化雰囲気としては、炉の閉鎖後に残留し酸素を含んでいる環境雰囲気を使用する。

【0030】

所定の厚さのアモルファス層2を形成した後に炉内の酸化雰囲気を排気する。炉を以後のポリシリコン層3の析出に必要な625℃の析出温度に上げる。この析出はシリコンを含有するロセスガス、例えばシランを使用して行われる。この析出の際のプロセスガスは酸

50

素を含んでいないので、アモルファス層 2 の厚さはそのまま維持される。ポリシリコン層 3 は 300 nm の厚さに析出される。

【0031】

950℃～1150℃の温度範囲での熱処理によりその時まで1つにつながっていたアモルファス層 2 は裂開され、この層からアモルファス材料から成るアイランド 2' が形成される。アイランド 2' は単結晶の半導体領域 1 の表面とポリシリコン層 3 との間に配列されている。個々のアイランド 2' は球状、楕円体又は不規則な形状を有している。更にこの配列は一様でない被覆を有する。

【0032】

アモルファス層を 0.5 nm の層厚に形成し、1100℃で5秒間熱処理すると単結晶の半導体領域 1 の表面に平行に 8 nm～20 nm のほぼ楕円体形のアイランド 2' が形成され、その際隣接するアイランド 2' との間隔は 12 nm となる。アイランド 2' の厚さは単結晶領域 1 の表面に垂直方向に 8 nm となる。このアイランド 2' の配列は一方では単結晶の半導体領域 1 とポリシリコン 3 との間に熱力学的に安定な界面を保証する。また他方ではこの配列はポリシリコン層 3 と単結晶の半導体領域 1 との間に一定の電氣的接触を有する電気接続を可能にする。

【0033】

ポリシリコン層 3 の析出とアイランド 2' を形成するための熱処理との間に通常多数の他の処理工程が行われる。アイランド 2' を形成するための熱処理は特にドーパントの活性化及び／又は拡散のための熱処理と同時に行ってもよい。

【0034】

アモルファス層 2 を形成するための酸化雰囲気は適切な酸素の供給によっても形成することができる。それには特に単結晶の半導体領域の装入後に酸素が供給される真空スルースを有する炉を使用する。更に無秩序に成長させた自然酸化物を除去するため単結晶の半導体領域 1 の表面をフリーエッチングする炉を使用することもできる。引続き適切な酸素の供給によりアモルファス層 2 を調整下に成長させる。炉としては、アモルファス層 2 とポリシリコン層 3 の形成を同一の室内で行う炉でも、複数の室を有する炉であってもよい。アモルファス層 2 はまたポリシリコン 3 を析出するのと同じ温度で形成してもよい。この場合もちろん酸化時間及び酸素の供給を極めて精確に調整する必要がある。

【0035】

図 3 に示すように、それぞれ 1 つのトレンチコンデンサと 1 つの選択トランジスタを有するメモリセルを有するメモリセル装置の製造には、<100>方位の p ドープされたシリコン基板 10 内にマスクによる異方性エッチングにより深さ 8 μm のトレンチ 11 を形成する。

【0036】

トレンチ 11 の表面にコンデンサ誘電体 12 を形成する。このコンデンサ誘電体 12 は、第 1 の SiO₂ 層、Si₃N₄ 層及び第 2 の SiO₂ 層から成る全層厚が 5 nm の三重層として形成される。

【0037】

コンデンサ誘電体 12 はそれぞれトレンチ 11 の一方の側面の上方範囲 11' では除去され、従って一方の側面の上方範囲 11' では単結晶シリコン基板 10 の表面は露出されている。側面上方範囲 11' の単結晶シリコン基板 10 の露出表面上に図 1 及び 2 に基づき説明したように、SiO₂ から成る厚さ 0.5 nm のアモルファス層が調整下に形成され、この層からその後の処理過程でアモルファス材料から成るアイランド 13 が形成される。SiO₂ から成るアモルファス層の形成は図 1 及び 2 に関連して上述したようにして行われる。

【0038】

ドーパされたポリシリコン層の析出によりトレンチ 11 をほぼ満たすポリシリコンから成るコンデンサ電極 14 が形成される。多結晶シリコンから成るコンデンサ電極 14 と単結晶のシリコン層 10 との間には側面上方部分 11' に調整された厚さで成長させたアモル

10

20

30

40

50

ファス層が配設される。従ってコンデンサ電極 1 4 を形成するポリシリコン層は調整下に多結晶性に成長する。

【0039】

次にLOCOSプロセス又はシャロートレンチ絶縁（STI）プロセスでそれぞれ2つの隣接するトレンチ11の側面上方部分11'を囲む絶縁構造15を形成する。

【0040】

次に単結晶シリコン基板10の主面に熱酸化により12.5nmの層厚で形成されるゲート誘電体16を設ける。

【0041】

次にワード線17を形成し、その際2つの隣接するトレンチ11間に2つのワード線17が配設される。ワード線17は例えばSiO₂から成るワード線絶縁部18で囲まれる。 10

【0042】

リン及び／又はヒ素の注入によりワード線17と隣接するトレンチ11との間にはそれぞれソース／ドレイン領域19を、2つのワード線17間には共通のソース／ドレイン領域20を形成する。

【0043】

次に1100℃及び5秒間の熱処理が行われ、その際一方ではソース／ドレイン領域19、20のドーパントを活性化及び拡散させ、他方では側面上方部分11'に配設されているアモルファス層の裂開によりアモルファス材料から成るアイランド13が形成される。アモルファス材料から成るアイランド13はほぼ楕円体形をしており、側面上方部分11'に平行に8nm～20nmの寸法を有する。側面上方部分11'の垂直方向にアモルファス層は約8nmの厚さを有する。隣接するアイランド13との間隔は約12nmである。アイランド13は、コンデンサ電極14と単結晶のソース／ドレイン領域19との界面がシリコン基板10内で安定し、特にソース／ドレイン領域19、20及びシリコン基板10内にこの界面から始まる何らの欠陥も形成しない。なお図3のアイランド13は概略的なものであり、著しく拡大されて示されている。実際には図示のものより多数のアイランドが形成されている。 20

【0044】

次にこのメモリセル装置を公知の方法で完成する。特にパッシベーション層21を析出し、そこにビット線接触部22を共通のソース／ドレイン領域20に対して形成する。 30

【0045】

メモリセル装置内の各メモリセルはそれぞれ1つのトレンチコンデンサと1つの選択トランジスタを有する。トレンチコンデンサはそれぞれコンデンサ電極14、コンデンサ誘電体12及びそれを囲むpドーパされている基板材料から構成される。選択トランジスタはそれぞれソース／ドレイン領域19、20及びその間に配設されるゲート誘電体16及び相応するワード線17から構成される。コンデンサ電極14はソース／ドレイン領域19の1つと電氣的に接続され、その際これらの電気接続部の範囲にアモルファス材料から成るアイランド13が配設される。

【図面の簡単な説明】

【図1】アモルファス層及び多結晶の半導体層を有する単結晶の半導体領域の断面図。 40

【図2】熱処理によりアイランドを形成した後の多結晶の半導体層を有する単結晶の半導体領域の断面図。

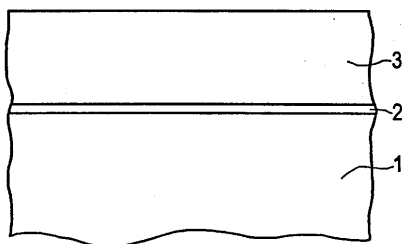
【図3】それぞれ選択トランジスタとトレンチコンデンサが設けられるメモリセルを有するメモリセル装置の断面図。

【符号の説明】

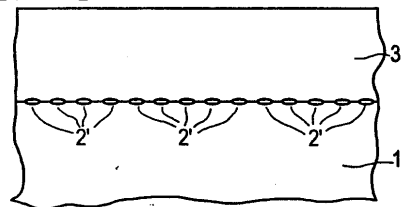
- 1 単結晶の半導体領域
- 2、12 アモルファス層（コンデンサ誘電体）
- 2'、13 アイランド
- 3 ポリシリコン層
- 10 半導体（シリコン）基板

- 1 1 トレンチ
- 1 1 ' トレンチの側面上方部分
- 1 4 多結晶半導体材料
- 1 5 絶縁構造
- 1 6 ゲート誘電体
- 1 7 ワード線
- 1 8 ワード線絶縁部
- 1 9 単結晶半導体領域（ソース／ドレイン領域）
- 2 0 共通のソース／ドレイン領域
- 2 1 パッシベーション層
- 2 2 ビット線接触部

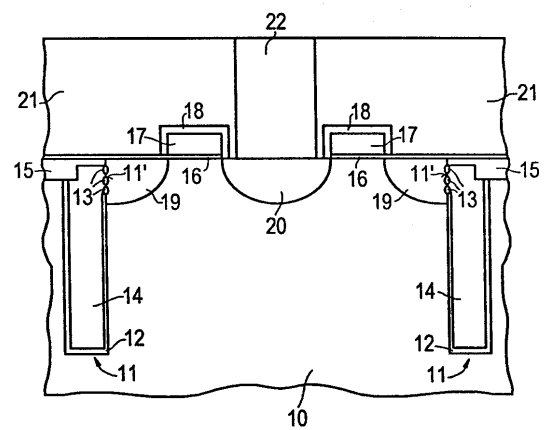
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 ミヒャエル ビアンコ

ドイツ連邦共和国 81737 ミュンヘン ウンターハッヒンガー シュトラーセ 29

(72)発明者 ヘルムート クローゼ

アメリカ合衆国 12603 フェアウェイ ポーグキープシー 18

審査官 柴山 将隆

(56)参考文献 特開平09-092799 (JP, A)

特開平10-093046 (JP, A)

特開平03-273639 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8242

H01L 27/108