DEUTSCHE DEMOKRATISCHE REPUBLIK

PATENTSCHRIFT

(12) Wirtschaftspatent

(19) DD (11) 231 896 A1

Erteilt gemäß § 17 Absatz 1 Patentgesetz

4(51) H 01 L 29/66
H 01 L 27/14
H 04 N 3/14

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 01 L / 266 477 0 (22) 21.08.84 (44) 08.01.86

(71) VEB Werk für Fernsehelektronik, 1160 Berlin, Ostendstraße 1–5, DD
(72) Korneffel, Burghard, Dr. rer. nat. Dipl.-Phys., DD

(54) Ladungsgekoppeltes Bauelement

(57) Die Erfindung betrifft ein neuartiges Konzept zur Realisierung eines ladungsgekoppelten Bauelements, die vielfältige Anwendung in der Mikroelektronik und in der Optoelektronik, sowohl in Form einzelner Zeilen als auch in zu flächenförmigen Anordnungen zusammengefaßten Zeilen, findet. Der Erfindung lag die Aufgabe zugrunde, ein Zweiphasen-CCD mit selbstjustierenden Barrierengebieten zu konstruieren, wobei bei relativ unkomplizierter Technologie eine elektrische Trennung von aus einer Ebene strukturierten Elektroden nicht notwendig und ein kleines Raster möglich ist. Zur Lösung dieser Aufgabe werden erfindungsgemäß 3-Elektroden-Ebenen verwendet, wobei die zweite Elektroden-Ebene nicht von der ersten Elektroden-Ebene isoliert wird. Darüberhinaus wird in Teilen des Substrates, wo zunächst ein Barrierenimplant eingebracht worden war, durch ein später eingebrachtes Kompensationsimplant wiederum ein zur Speicherung von Ladungsträgern geeignetes Potential erzeugt.

ISSN 0433-6461

16 Seiten

Titel der Erfindung

Ladungsgekoppeltes Bauelement

Anwendungsgebiet der Erfindung

Die Erfindung beinhaltet ein neuartiges Konzept zur Realisierung eines ladungsgekoppelten Bauelementes. Solcherart Bauelemente finden vielfältige Anwendung in der Mikroelektronik und in der Optoelektronik, sowohl in der Form einzelner Zeilen als auch in zu flächenförmigen Anordnungen zusammengefaßten Zeilen.

Charakteristik der bekannten technischen Lösungen

Von den verschiedenen bekannten CCD-Typen sind diejenigen mit 2 Phasen besonders vorteilhaft betreffs ihrer Ansteuerung. In einer bekannten Ausführungsvariante, siehe z. B. die Fairchild-CCD-Typenreihe wie auch die Bauelemente L 110, L 133 und L 211 des VEB WF Berlin, werden mit einer ersten poly-Si-Ebene die Speicherelektroden hergestellt, und mit einer zweiten poly-Si-Ebene die Transferelektroden realisiert. Dabei überdecken die Transferelektroden die zwischen den Speicherelektroden strukturierten Spalte. Vor Abscheiden der zweiten poly-Si-Ebene wird in die Spalten, selbstjustiert durch die Kanten der Speicherelektroden, ein Dotand vom Substratleitungstyp implantiert, wodurch die für den späteren Zweiphasenbetrieb notwendigen Potentialbarrierengebiete fixiert sind. Jeweils eine Speicherelektrode und eine Transferelektrode bilden

ein Elektrodenpaar. Die Elektrodenpaare werden abwechselnd mit der ersten und zweiten Taktphase verbunden. Dazu muß jede der Speicherelektroden elektrisch von ihren Nachbar-Speicherelektroden getrennt sein. Die gleiche Forderung gilt für die Transferelektroden.

Außerdem muß die Isolation zwischen Speicherelektrode und sie überlappender, jedoch mit der anderen Taktphase verbundenen Transferelektrode perfekt sein.

Diese letzten Forderungen sind im technologischen Prozeß nicht immer einfach realisierbar. Die elektrische Trennung der Transferelektroden untereinander wird oft durch das Entstehen bzw. Stehenbleiben von sogenannten Poly-Si-Fäden nicht erreicht. Es gibt in der Fachliteratur bereits Vorschläge, z. B. die US-PS 4027381, 4027382 und 4035906, bei einem 2-Phasen-CCD die Elektroden jeder Taktphase aus jeweils nur einer aufgebrachten Elektrodenebene herauszujustieren und somit Probleme wie das des Entstehens von poly-Si-Fäden zu umgehen. Dabei werden vornehmlich zwei Grundvarianten angewandt:

1. Gateoxidstufen in Verbindung mit einer Barrierenimplantation sowie

2. vor Aufbringen der ersten Elektrodenebenen eine erste Barrierenimplantation, wobei das Implant später in gewissen Teilgebieten infolge eines Oxydationsprozesses größtenteils vom Oxid aufgezehrt wird, sowie eine nachfolgende zweite Barrierenimplantation. Solcherart Technologien sind kompliziert. Da das Aufzehren eines Barrierenimplantes durch ein Oxid nicht vollständig erfolgt, entstehen Probleme durch Potentialinhomogenitäten in der realisierten CCD-Zelle.

Das kleinstmögliche Raster wird bei der eingangs erwähnten Technologie, wo Transferelektroden die zwischen Speicher-

elektroden strukturierten Spalten überdecken, durch minimal realisierbare Spaltenlänge und minimal benötigte Überlappung zwischen Speicher- und Transferelektrode bestimmt. Beträgt z. B. die minimale Spaltlänge zwischen den Transferelektroden 4 /um, die minimale Überlappung 2 /um, so ergeben sich 8 /um als minimale Länge für die Speicherelektrode. Bei einem 4 /um-Spalt zwischen den Speicherelektroden wird somit ein minimales Raster von 12 /um erreicht.

Ziel der Erfindung

Es ist das Ziel der Erfindung, die zum bekannten Stand der Technik angegebenen Nachteile zu vermeiden, ohne den technologischen Aufwand auf ein unvertretbar hohes Maß zu vergrößern.

Darlegung des Wesens der Erfindung

Der Erfindung lag die Aufgabe zugrunde, ein Zweiphasen-CCD mit selbstjustierten Barrierengebieten zu konstruieren, wobei bei relativ unkomplizierter Technologie eine elektrische Trennung von aus einer Ebene strukturierten Elektroden nicht notwendig ist und darüberhinaus ein kleineres Raster ermöglicht wird.

Zur Lösung dieser Aufgabe werden erfindungsgemäß 3-Elektroden-Ebenen verwendet, wobei die zweite Elektroden-Ebene nicht von der ersten Elektroden-Ebene isoliert wird. Darüberhinaus wird in Teilen des Substrates, wo zunächst ein Barrierenimplant eingebracht worden war, durch ein später eingebrachtes Kompensationsimplant wiederum ein zur Speicherung von Ladungsträgern geeignetes Potential erzeugt.

Ein Halbleitersubstrat wird mit einem geeigneten Isolierfilm überzogen, auf diesen wird eine erste Elektrodenebene abgeschieden. Vorher kann in das Substrat eine Dotierungs-

zone von zum Substrat umgekehrten Leitungstyp eingebracht worden sein, um einen Transport der Signalladung in einem Volumenkanal (BCCD) zu gewährleisten. Fehlt diese Dotierungszone, so wird der Ladungstransport an der Oberfläche stattfinden. Ebenfalls vorher können geeignete Kanal-Stopper-Gebiete eingebracht worden sein.

Aus der ersten Elektrodenebene wird eine erste Elektrodenkonfiguration herausstrukturiert. Diese erste Elektrodenebene kontrolliert im späteren Betrieb Speichergebiete. Danach wird großflächig eine Implantation mit einem Dotanden vom Substratleitungstyp durchgeführt. Die erste Elektrodenkonfiguration dient dabei als Implantationsmaske. Dosis und Energie dieser Implantation werden vorzugsweise so gewählt, daß mit dieser Implantation versehene Gebiete, welche nicht von der noch später zu diskutierenden Kompensationsdotierung erfaßt werden, im Betriebsfall des zukünftigen CCD-Registers als Transfergebiete dienen können, d. h. es wird in diesen Gebieten eine Potentialbarriere gegenüber den Speichergebieten erzeugt. Danach wird eine zweite Elektrodenebene abgeschieden, die nicht von der ersten Elektrodenkonfiguration isoliert zu werden braucht. Aus der zweiten Elektrodenebene wird die zweite Elektrodenkonfiguration herausstrukturiert, dergestalt, daß jeweils eine Elektrode der zweiten Konfiguration eine Elektrode der ersten Konfiguration an einer Kante überlappt. In Transportrichtung des CCD-Registers ist dabei in diesem Stadium zwischen den einzelnen Elektrodenpaaren aus erster und zweiter Ebene eine von Elektrodenmaterial freie Fläche vorhanden. Nunmehr wird über eine geeignete Maske, sie kann z. B. aus Fotolack hergestellt sein, in einen Teil des von keinem Elektrodenmaterial bedeckten Gebietes ein Dotand vom zum Substrat umgekehrten Leitungstyp implantiert.

Dosis und Implantationsenergie werden dabei so bemessen, daß die potentialbarrierenerzeugende Wirkung des früher implantierten Dotanden vom Substratleitungstyp (bei dieser

letzteren Implantation) kompensiert wird. Für diese Kompensation ist es nicht notwendig, daß das Implantationsprofil der Kompensationsdotierung identisch demjenigen Profil des früher implantierten Dotanden vom Substratleitungstyp ist. Es genügt, wenn das Potential in den von der Kompensationsdotierung erfaßten Gebieten im Betriebsfall des zukünftigen CCD-Registers einen Wert erreicht, der für die Speicherung von Ladungsträgern ausreicht, d. h., daß diese Gebiete im Betriebsfall als Speichergebiete dienen können.

Die Implantationsmaske hat zur ersten und zweiten Elektrodenkonfiguration folgende prinzipielle Positionierung: Maskiert wird ein Streifen, der sich an diejenige Seiten der Elektrode der ersten Konfiguration anschließt, die nicht von den Elektroden der zweiten Konfiguration bedeckt sind. Längs der Transportrichtung des CCD-Registers ergibt sich nach Ausführung der Kompensationsdotierung eine nachstehend beschriebene Folge von Gebieten: Elektrode der zweiten Konfiguration mit darunter liegender Barrierendotierung, Elektrode der ersten Konfiguration mit darunter liegender "Speicher"-Dotierung, elektrodenfreies Gebiet mit Barrierendotierung, elektrodenfreies Gebiet mit Barrierendotierung plus Kompensationsdotierung, Elektrode der zweiten Konfiguration mit darunter liegender Barrierendotierung usw.

Nunmehr werden die Elektrodenpaare aus erster und zweiter Ebene mit einem geeigneten Isolierfilm überzogen. Danach wird die dritte Elektrodenebene aufgebracht und aus ihr die dritte Elektrodenkonfiguration herausstrukturiert. Diese Strukturierung ist relativ grob, längs der Transportrichtung des CCD-Registers kann diese dritte Konfiguration zusammenhängend bleiben.

Im weiteren erfolgen die üblichen Schritte wie Einbringen von Source- und Draingebieten, mögliche Abscheidung von weiteren isolierenden Schichten, Strukturierung von Kon-

taktfenstern und Aufbringen sowie Strukturieren einer Leitbahnebene. Im Betrieb des CCD-Registers werden sämtliche Elektrodenpaare aus erster und zweiter Ebene an die eine Taktphase sowie die gesamte dritte Elektrodenkonfiguration an die zweite Taktphase angeschlossen. Da jede der aufgebrachten Elektrodenebenen an einer einheitlichen Taktphase liegt, braucht innerhalb einer Ebene keine elektrische Trennung der einzelnen Elektroden voneinander zu erfolgen.

Probleme, wie sie bei oben aufgeführten bekannten technischen Lösungen auf Grund von poly-Si-Fäden entstehen, gibt es bei dieser Erfindung nicht.

Die dritte Elektrodenkonfiguration braucht keine "Feinstrukturierung" längs des CCD-Registers aufzuweisen.

Dieser Umstand vereinfacht die Herstellung.

Die im CCD-Register wirksamen Potentialbarrieren sind, wie aus dem oben aufgeführten klar hervorgeht, selbstjustiert eingebracht. Ein Zweiphasen-CCD wäre ohne solche Selbstjustage mit zu großen Nachteilen behaftet.

Jedoch auch die Kontaktierung wird vereinfacht und platzsparend. Die dritte Elektrodenkonfiguration kann bei fehlender "Feinstrukturierung" problemlos im Bereich der aktiven Registerfläche kontaktiert werden. Die Breite der CCD-Register kann dadurch minimal gestaltet werden, was von besonderen Vorteil bei flächenförmigen Anordnungen von CCD-Registern ist, bei denen zwischen den einzelnen Zeilen elektrodenlose Fotosensoren angeordnet sind, die CCD-Register also nur einzeln, längs der Transportrichtung kontaktierbar sind.

Der oben erläuterte Gedanke der Kompensationsdotierung, wobei der Begriff Kompensation sich auf das Potential bezieht, kann im Sinne dieser Erfindung auch allgemeiner an-

gewandt werden. So ist es z. B. oft notwendig, unter einzelnen Elektroden selbstjustiert potentialbarrierenerzeugende Gebiete zu realisieren. Für solch einen Zweck würde innerhalb des oben geschilderten Ablaufes die erwähnte zweite Elektrodenkonfiguration nicht die erste Konfiguration überlappen, bzw. es braucht keine erste Elektrodenkonfiguration vorhanden zu sein. Nach Ausführung der (sogenannten) Kompensationsdotierung sind dann unter den Elektroden der zweiten Konfiguration selbstjustiert potentialbarrierenerzeugende Gebiete vorhanden.

Besonders vorteilhaft lassen sich mit den in dieser Schrift bisher geäußerten Gedanken BCCD's konstruieren, bei denen Teilgebiete durch flache (vertikale) Kanal-Stopper-Schichten überdeckt sind. Ein Vertreter solcher BCCD's wird in der US-PS 4229752 beschrieben, die dort angewandte extrem dünne Kanal-Stopper-Schicht wird als "Virtual Phase" bezeichnet.

Die Herstellung des BCCD wird dabei soweit (wie oben beschrieben) geführt, daß die ersten beiden, voneinander nicht isolierten, Elektrodenkonfigurationen strukturiert und das Kompensationsimplant eingebracht wurden. Danach wird, ohne zusätzliche Maske, ein Dotand vom zum Substrat umgekehrten Leitungstyp mit hoher Energie und ein Dotand vom Substratleitungstyp mit niedriger Energie implantiert. Der Dotand vom Substratleitungstyp wird im Oberflächenbereich des Halbleiters positioniert. Die dabei entstandene flache Kanal-Stopper-Schicht schirmt das Halbleiterinnere gegen äußere Felder ab. Eine zusätzliche dritte Elektrodenebene ist überflüssig. Der zusätzlich eingebrachte Dotand vom zum Substrat umgekehrten Leitungstyp sorgt für das notwendige Potential im Volumenkanal des von der flachen Kanal-Stopper-Schicht überdeckten Gebietes.

An die ersten beiden, nicht voneinander isolierten Elektrodenkonfigurationen, wird die Taktspannung angelegt.

Es sei ausdrücklich darauf hingewiesen, daß für das gemäß dieser Erfindung realisierte 2-Phasen-CCD keine Stufen im Gateisolator benötigt werden. Beispielsweise kann mit einer einmalig auf das Substrat aufgebrachten Doppelschicht aus Oxid und Nitrid gearbeitet werden. Im Falle der Anordnung einer flachen (vertikalen) Kanal-Stopper-Schicht würde bereits ein einmalig aufgewachsenes Oxid als Gateisolator genügen.

Ein minimales Raster kann folgendermaßen abgeschätzt werden: Die Überlappung der Elektroden der zweiten Ebene mit denen der ersten Ebene betrage minimal 2 µm. Da die Kante der Elektroden der zweiten Ebene auf die Mitte der Elektroden der ersten Ebene justiert werden kann, erhält man als minimale Gatelänge für die Elektroden der ersten Ebene einen Wert von 4 µm. Mit einem Barrierengebiet von 4 µm Länge ergibt sich ein minimales Raster von 8 µm.

Ausführungsbeispiel

Die Erfindung soll an einem Ausführungsbeispiel anhand der Zeichnung erläutert werden.

Es zeigen: Fig. 1: Einzelne Etappen der Herstellung einer ersten Ausführungsvariante

Fig. 2: Zweite Ausführungsvariante

Im Ausführungsbeispiel wird von einem p-leitenden Si-Substrat ausgegangen. Selbstverständlich ist die Erfindung auch mit n-leitenden Substraten realisierbar. Die entsprechend einzubringenden Dotierungen sind dann jeweils vom entgegengesetzten Leitungstyp. Desweiteren wird als Elektrodenmaterial polykristallines Silizium angegeben. Selbstverständlich können auch andere geeignete Materialien, insbesondere Silizide, verwendet werden.

Die Fig. 1a-c zeigen Schnitte längs der Transportrichtung des zukünftigen ladungsgekoppelten Schieberegisters. In ein p-leitendes Si-Substrat 10 wurde großflächig in den späteren aktiven Gebieten eine n-Dotierung 11 eingebracht (Fig. 1a). Die Dosis dieser n-Dotierung 11 wurde so bemessen, daß im späteren Betrieb des CCD-Schieberegisters das Gebiet 11 vollständig an beweglichen Ladungsträgern verarmen kann.

Die zur lateralen Begrenzung des Schieberegisters notwendigen Kanal-Stopper-Gebiete sind in den Schnittzeichnungen von Fig. 1 und 2 nicht darstellbar. Die Kanal-Stopper-Gebiete sind genügend hoch p-dotierte Gebiete oder eine Kombination von hoher p-Dotierung mit dickem Feldoxid. Die aktiven Gebiete wurden mit dem Gateisolator 13 überzogen. Sehr gut eignet sich als Gateisolator 13 eine Doppelschicht aus thermisch aufgewachsenen SiO_2 und chemisch abgeschiedenem Si_3N_4. Aus der ersten abgeschiedenen und dotierten poly-Si-Schicht wurde die erste Elektrodenkonfiguration 12 herausstrukturiert. Nun erfolgte großflächig eine Bor-Implantation, die Elektroden 12 dienten als Maske, und es entstanden die leicht p-dotierten Gebiete 14. Durch diese Gebiete 14 werden für den späteren 2-Phasen-Betrieb notwendige Potentialbarrieren erzeugt.

Als nächstes wird die zweite poly-Si-Schicht aufgebracht, dotiert und aus ihr die Elektrodenkonfiguration 15 herausstrukturiert (siehe Fig. 1b). Zwischen den Elektroden 15 und den Elektroden 12 wird keine Isolation benötigt. Nach Herstellung der Lackmaske 16 erfolgt eine Phosphor-Implantation. Infolge der Maskierung über die Elektroden 12 und 15 sowie die Lackmaske 16 gelangt das Implant nur in den Bereichen 17 in das Halbleitersubstrat.

Dosis und Energie dieser Phosphorimplantation sind so bemessen, daß die potentialbarrierenerzeugende Wirkung der Gebiete 14 im vom Phosphorimplant erreichten Gebiete 17

kompensiert wird.

Für diese Kompensation ist es nicht notwendig, daß das Implantationsprofil dieser Phosphorimplantation identisch demjenigen Profil der die Gebiete 14 erzeugenden Borimplantation ist. Es genügt, wenn das Potential in den Gebieten 17 durch Wirken der Phosphor- und Borimplantation sowie der in einem frühen Prozeßschritt eingebrachten Kanaldotierung im CCD-Betriebsmodus annähernd den gleichen Wert erreicht wie in den Gebieten 11.

Nach Ablösen der Lackmaske 16 werden die Elektroden 12 und 15 gemeinsam mit einem Isolierfilm 28 überzogen. Das kann durch thermische Oxydation des poly-Si erfolgen. Nun wird die dritte poly-Si-Schicht aufgebracht und aus ihr die Elektrodenkonfiguration 18 herausstrukturiert (siehe Fig. 1c). Die Dotierung der poly-Si-Elektroden 18 kann während der später durchzuführenden Source- und Draindiffusion erfolgen.

Die Strukturierung der dritten poly-Si-Schicht ist relativ grob, längs der Transportrichtung des CCD-Registers kann die Elektrode 18 zusammenhängend bleiben.

Zur weiteren Fertigstellung des CCD-Registers erfolgen die üblichen Schritte wie Source- und Draindiffusion, Abscheidung von Silox, Strukturierung von Kontaktfenstern und Aufbringen einer Al-Leitbahnebene.

Zum Betrieb werden an die Elektrode 18 die eine Taktphase und an die miteinander leitend verbundenen Elektroden 12 und 15 die andere Taktphase gelegt. In Fig. 1d sind die maximalen Potentiale im leeren Ladungstransportkanal unter der Annahme dargestellt, daß an die Elektroden 12 und 15 ein DC-Potential (z. B. 6 V) und an die Elektrode 18 eine Impulsspannung (z. B. U_{low} = 0 V, U_{high} = 12 V) gelegt wurden. Unter den Elektroden 12 und 15 hat dann das Poten-

tial den Verlauf 19, in dem von der Elektrode 18 kontrollierten Bereich wechselt das Potential im Rhytmus der Taktspannung vom Verlauf 20 für U_{low} zum Verlauf 21 für U_{high}.

In Fig. 2a ist der Aufbau einer zweiten Ausführungsvariante skizziert, bei dem Teilgebiete mit einer flachen Kanal-Stopper-Schicht bedeckt sind. Das CCD wird danach, wie oben bei der ersten Variante beschrieben, bis zu der Stufe hergestellt, wie sie in Fig. 1b festgehalten ist. Nach Ablösen der Lackmaske 16 wird eine Phosphorimplantation bei hoher Energie durchgeführt. Die Elektroden 12 und 15 dienen dabei als Maskierung. Die Dosis ist derart bemessen, daß im späteren Betriebsfalle das maximale Potential im leeren Ladungstransportkanal des Gebietes 22 etwa einen Wert 25 erreicht, den man im Gebiet 11 erhalten würde, wenn die Elektrode 12 auf einem DC-Potential (z. B. 6 V) läge, welches dem arithmetischen Mittel aus High- und Lowpegel des benötigten Taktspannungshubes entspräche. Die nachfolgend ausgeführte Borimplantation bei niedriger Energie erzeugt eine flache p-leitende Kanal-Stopper-Schicht 24 im unmittelbaren Oberflächenbereich der nicht maskierten, nur mit dem Gateisolator überzogenen Halbleiterbereiche. Die Schicht 24 ist verbunden mit den zur lateralen Eingrenzung dienenden Kanal-Stopper-Gebieten und liegt somit elektrisch auf Substratpotential. Eine dritte Elektrodenkonfiguration ist überflüssig. Die Dotierungsgebiete 23 erzeugen annähernd die gleichen Potentialbarrieren wie die Gebiete 14, wenn die Schicht 24 hauchdünn ist. Wenn die Tiefenausdehnung der Schicht 24 nicht gegenüber der Tiefe der Dotierungszone 14 vernachlässigbar ist, so ist die vom Gebiet 23 erzeugte Potentialbarriere kleiner als die vom Gebiet 14 hervorgerufene. Zur weiteren Fertigstellung des in Fig. 2a skizzierten CCD-Registers erfolgen die üblichen Schritte wie oben anhand der ersten Ausführungsvariante erwähnt. Es sei betont, daß die Elektroden 12 und 15 nicht thermisch oxydiert werden müssen. Zur Isolation gegen die

Al-Leitbahnebene genügt die üblicherweise aufgebrachte Silox-Schicht.

Im Betrieb der zweiten Variante wird an die (miteinander verbundenen) Elektroden 12 und 15 die Taktphase gelegt.

In Fig. 2b sind die Verläufe des maximalen Potentials im leeren Transportkanal dargestellt. Der Verlauf 26 stellt sich ein, wenn an den Elektroden 12 und 15 der Lowpegel der Taktspannung liegt, der Verlauf 27 ergibt sich durch Wirken des Highpegels. Der Verlauf 25 wird durch die auf Substratpotential liegende dünne p-leitende Schicht 24 und die unter ihr liegenden Dotierungen bestimmt.

Erfindungsanspruch

1. Ladungsgekoppeltes Bauelement, gekennzeichnet dadurch, daß nach Strukturierung einer ersten Elektrodenebene großflächig (mit der ersten Elektrodenkonfiguration als Maske) eine potentialbarrierenerzeugende Dotierung (Dotierung vom Substratleitungstyp) eingebracht und danach eine zweite Elektrodenebene aufgebracht ist, wobei die aus dieser zweiten Ebene herausstrukturierten Elektroden diejenigen der ersten Ebene teilweise überlappen und von diesen nicht isoliert zu sein brauchen, und daß in gewissen Substratgebieten, wo zunächst eine Barrierendotierung eingebracht worden war, eine sogenannte Kompensationsdotierung (vom zum Substrat entgegengesetzten Leitungstyp) eingebracht ist, daß als Maskierung dabei die ersten beiden Elektrodenkonfigurationen und eine zusätzliche Maske dienen, wobei Dosis und Profil der letzterwähnten Kompensationsdotierung derart gewählt sind, daß die von der Kompensationsdotierung erfaßten Gebiete als Speichergebiete eines CCD-Schieberegisters fungieren können, d. h., daß im späteren Betrieb des Bauelementes im Ladungstransportkanal der von der Kompensationsdotierung erfaßten Gebiete ein zur Speicherung von Ladungsträgern geeignetes Potential erzeugbar ist.

2. Ladungsgekoppeltes Bauelement nach Punkt 1, gekennzeichnet dadurch, daß zur Einstellung des benötigten Potentials in den nicht von der ersten und zweiten Elektrodenebene bedeckten aktiven Gebieten eine dritte Elektrodenebene aufgebracht ist, wobei vorzugsweise über

dem gesamten CCD-Schieberegistergebiet diese dritte Elektrodenkonfiguration als eine zusammenhängende Schicht ausgebildet ist.

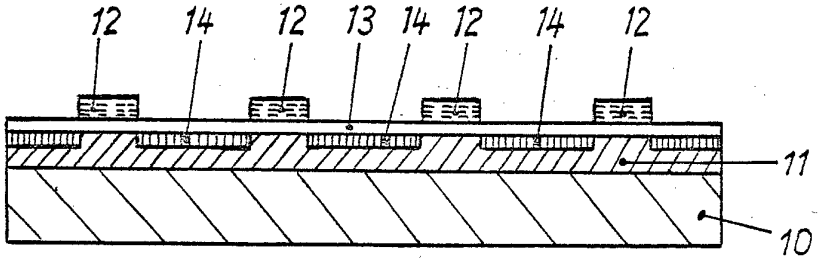
3. Ladungsgekoppeltes Bauelement nach Punkt 1, gekennzeichnet dadurch, daß zur Einstellung des benötigten Potentials in den nicht von der ersten und zweiten Elektrodenebene bedeckten aktiven Gebieten eine flache Kanal-Stopper-Schicht (vom Substratleitungstyp) in den Oberflächenbereich des Halbleiters eingebracht ist, wodurch sich eine Deckelektrode in diesen Gebieten erübrigt.

4. Ladungsgekoppeltes Bauelement nach Punkt 1 und 2 oder 1 und 3, gekennzeichnet dadurch, daß unter einzelnen Elektroden selbstjustiert potentialbarrierenerzeugende Gebiete realisiert werden, indem nach (großflächigem) Einbringen einer Barrierendotierung (Dotierung vom Substratleitungstyp) eine Elektrodenebene aufgebracht wird, aus ihr die einzelnen Elektroden strukturiert werden und schließlich die in Punkt 1 erwähnte sogenannte Kompensationsdotierung eingebracht wird, wobei die einzelnen Elektroden (und mögliche andere strukturierten Schichten) als Maskierung dienen.

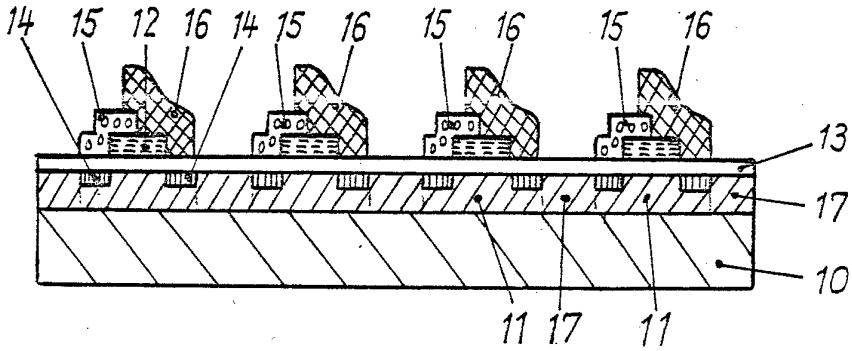
Hierzu 1 Seite Zeichnungen

Fig. 1

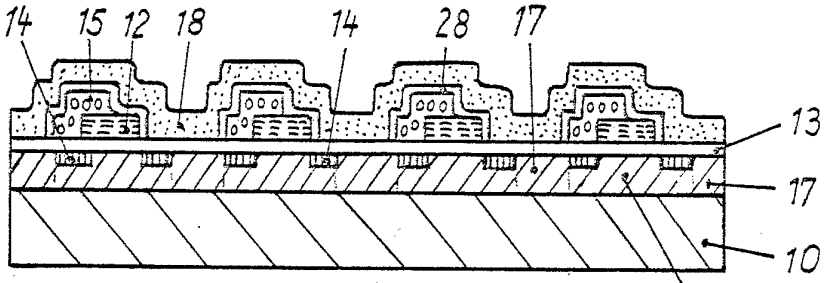
a)



b)



c)



d)

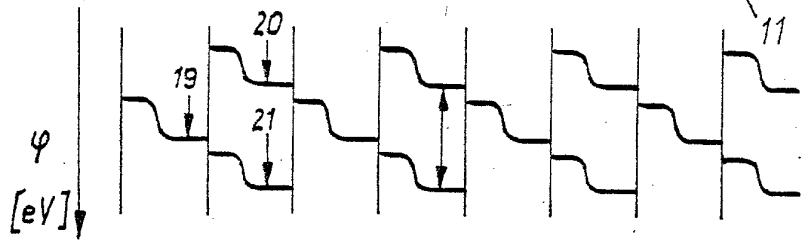
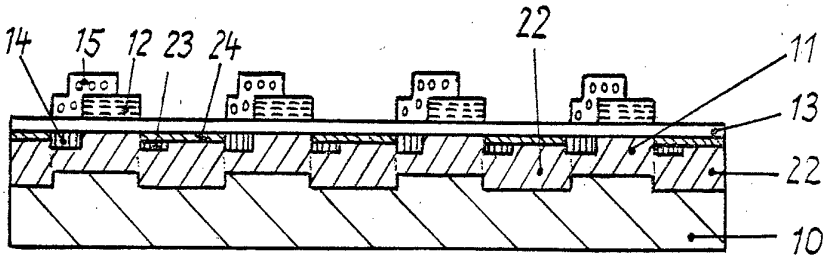


Fig. 2

a)



b)

