

公告本

發明專利說明書

101年11月15日修正替換頁

中文說明書替換頁(101年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096141224

※ 申請日期：96.11.1

※IPC 分類：G11C 16/04 (2006.01)

G11C 29/42 (2006.01)

一、發明名稱：(中文/英文)

管理一快閃記憶體陣列之方法，從一快閃記憶體陣列讀取資料之方法，及快閃記憶體系統

METHOD OF MANAGING A FLASH MEMORY ARRAY, METHOD OF READING DATA FROM A FLASH MEMORY ARRAY, AND FLASH MEMORY SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克科技公司

SANDISK TECHNOLOGIES INC

代表人：(中文/英文)

阿薩 勒 富斯泰科

LE FUSTEC, ASA

住居所或營業所地址：(中文/英文)

美國德克薩斯州布蘭諾市北達拉斯公園路6900號雙城中心

TWO LEGACY TOWN CENTER, 6900 NORTH DALLAS PARKWAY,
PLANO, TEXAS 75024, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 伊戈 布蘭德曼
BRANDMAN, YIGAL
2. 凱文 M 康利
CONLEY, KEVIN M.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年11月03日；11/556,615

2. 美國；2006年11月03日；11/556,626

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種使用在記憶體壽命期間調整之一或多個讀取電壓來讀取資料的非揮發性記憶體陣列。可在記憶體壽命內一起調整程式化目標電壓與讀取電壓，以將記憶體狀態映射至一越來越寬的臨限窗。個別記憶體狀態係映射至變寬的子範圍，從而減低錯誤。

六、英文發明摘要：

Data is read from a nonvolatile memory array using one or more read voltages that are adjusted during memory life. Programming target voltages and read voltages may be adjusted together over memory life to map memory states to an increasingly wide threshold window. Individual memory states are mapped to sub-ranges that are made wider, reducing errors.

七、指定代表圖：

(一)本案指定代表圖為：第 (11) 圖。

(二)本代表圖之元件符號簡單說明：

1149	記憶體系統
1151	ECC模組
1153	ECC編碼器
1155	ECC解碼器
1157	統計單元
1159	調整單元
1161	調變/解調變電路
1163	調變器
1165	解調變器
1167	記憶體陣列

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體系統並係關於操作非揮發性記憶體系統之方法。

【先前技術】

非揮發性記憶體系統用於各種應用。某些非揮發性記憶體系統係嵌入一更大系統內，例如一個人電腦。其他非揮發性記憶體系統係可卸除地連接至一主機系統並可在不同主機系統之間互換。此類可卸除式記憶體系統之範例包括記憶卡與USB快閃驅動器。依據若干熟知的標準，已採用商用方式實施包括非揮發性記憶卡的電子電路卡。記憶卡係與個人電腦、行動電話、個人數位助理(PDA)、數位靜態相機、數位攝影機、可攜式音訊播放器及其他主機電子裝置一起使用，以儲存大量資料。此類卡通常包含一可再程式化非揮發性半導體記憶體單元陣列以及一控制器，該控制器控制並支援該記憶體單元陣列之操作並與卡所連接的一主機介接。若干同一類型的卡可在設計用以接受該類型卡的主機卡槽中互換。然而，許多電子卡標準的發展已產生不同類型的卡，其在各種程度上彼此不相容。依據一標準所製造的卡通常不可與設計成採用另一個標準之卡操作的主機使用。記憶卡標準包含PC卡、CompactFlash™卡(CF™卡)、SmartMedia™卡、MultiMediaCard(MMC™)、安全數位(SD)卡、miniSD™卡、用戶識別模組(SIM)、Memory Stick™、Memory Stick Duo卡及microSD/

TransFlash™ 記憶體模組標準。市面上可購得若干有 SanDisk 公司之商標 "Cruzer®" 的 USB 快閃驅動器產品。USB 快閃驅動器通常較大且形狀不同於以上說明的記憶卡。

在讀取資料時儲存於一非揮發性記憶體系統內之資料可能包含錯誤位元。傳統重建損壞資料的方法包括應用錯誤校正碼(ECC)。在將資料寫入至記憶體系統時，簡單的錯誤校正碼藉由儲存額外同位位元來編碼資料，該等同位位元將位元群組之同位設定為一所需邏輯值。若在儲存期間資料係錯誤，則位元群組之同位可能變化。在從記憶體系統讀取資料之後，位元群組之同位旋即係再次藉由ECC來計算。因為資料損壞，所計算同位可能不匹配所需同位條件，而ECC可偵測損壞。

ECC可具有至少兩個功能：錯誤偵測與錯誤校正。此等功能之各功能之能力通常以可偵測為錯誤的並隨後校正之位元數目來測量。偵測能力可與校正能力相同或大於其。一典型ECC可偵測的錯誤位元數目高於其可校正的錯誤位元數目。有時將一資料位元及同位位元之集合稱為一字。一早期範例係(7,4)漢明碼(Hamming code)，其能夠最多偵測每字(在此範例中7位元)兩個錯誤並能夠在該七位元字中校正一錯誤。

更複雜的ECC可校正每字一個以上單一錯誤，但重建資料在計算上變得愈加複雜。慣例係在某可接受較小錯誤復原之概率下復原資料。然而隨著錯誤數目不斷增加，可靠

資料復原之機率也在迅速減小或額外硬體及/或效能的相關聯成本變得極高。

在半導體記憶體裝置中，包括EEPROM系統，資料可表示為電晶體之臨限電壓。一般而言，不同數位資料儲存值對應於不同電壓範圍。若由於某些原因在讀取操作期間電壓位準偏離其較佳範圍，則會發生錯誤。該錯誤可藉由ECC來偵測且在某些情況下可校正此等錯誤。

【發明內容】

在一快閃記憶體陣列中，於第一次，複數個記憶體狀態係映射至一第一臨限窗，其中該複數個記憶體單元之個別記憶體單元係映射至該第一臨限窗之子範圍，於隨後第二次，該複數個記憶體狀態係映射至一第二臨限窗，其中該複數個記憶體狀態之個別記憶體狀態係映射至該第二臨限窗之子範圍，該第二臨限窗比該第一臨限窗寬。

從一快閃記憶體陣列讀取資料之一方法包括：藉由比較複數個記憶體單元之臨限電壓與第一預定電壓來從該記憶體讀取第一資料位元；在一ECC解碼器中解碼該等第一資料位元；以及隨後藉由比較記憶體單元之臨限電壓與第二預定電壓來從該複數個記憶體單元讀取第二資料位元，該等第二預定電壓係從該等第一資料位元在該ECC解碼器中之解碼來決定。

一快閃記憶體系統包含：一快閃記憶體陣列，其包括程式化至複數個程式化狀態的複數個單元；以及一讀取電路，其係連接至該記憶體陣列，該讀取電路在一第一模式

中比較一記憶體單元臨限電壓與第一複數個預定電壓以區分複數個程式化狀態並在一第二模式中比較該記憶體單元臨限電壓與第二複數個預定電壓以區分複數個程式化狀態，該第二複數個預定電壓之最高電壓比該第一複數個預定電壓之最高電壓高。

一快閃記憶體系統包含：一記憶體陣列，其包括複數個非揮發性記憶體單元；一ECC解碼器，其解碼來自該記憶體陣列之資料；一讀取電路，其係連接至該記憶體陣列，該讀取電路比較一記憶體單元之一臨限電壓與至少一預定電壓以決定該記憶體單元之一程式化狀態；以及一調整電路，其回應來自該ECC解碼器之資訊來增加或減小該至少一預定電壓。

【實施方式】

在許多非揮發性記憶體中，讀取自一記憶體陣列之資料可能有錯。即，程式化至一記憶體陣列之輸入資料之個別位元可能稍後被讀取為在一不同邏輯值下。圖1顯示一指示一記憶體單元狀態之實體參數(臨限電壓 V_T)與該記憶體單元可能係程式化之邏輯值之間的關係。在此範例中，僅將兩個狀態儲存於單元內。因而，單元儲存一資料位元。程式化至邏輯0狀態之單元一般具有一臨限電壓，其高於在邏輯1(未程式化)狀態下的單元。在一替代性方案中，邏輯1狀態係記憶體單元之未程式化狀態。圖1之垂直軸指示基於期望臨限電壓分佈在任一特定臨限電壓下讀取一單元之概率。針對程式化至邏輯1之單元顯示一第一概率函

數，並針對程式化至邏輯0之單元顯示一第二概率函數。然而，此等函數在其間具有某種程度的重疊。在讀取此類單元中使用一區別電壓 V_D 。具有一低於 V_D 之臨限電壓之單元係視為處於狀態1，而該些具有一高於 V_D 之臨限電壓之單元係視為處於狀態0。如圖1所示，此可能不總是正確的。因為函數之間的重疊，存在一非零概率，即程式化至一邏輯1狀態之一記憶體單元將被讀取為具有一大於 V_D 之臨限電壓，故將讀取為處於一邏輯0狀態。同樣地，存在一非零概率，即一程式化至一邏輯0狀態之一記憶體單元將被讀取為具有一邏輯1狀態。

函數之間的重疊因若干原因而發生，包括記憶體陣列內的實體缺陷及稍後在記憶體陣列內進行程式化或讀取操作對已程式化單元所造成之干擾。重疊還可能因一般不能將大量單元保持於一極緊密臨限電壓範圍內而發生。特定程式化技術可允許臨限電壓之函數變窄(具有更小的標準偏差)。然而，此類程式化可能花費更多時間。在某些記憶體系統中，一個以上位元係儲存於一記憶體單元內。一般而言，需要在一記憶體單元內儘可能多地儲存位元。為有效率地使用可用臨限電壓範圍，用於相鄰狀態之函數可以係使其明顯重疊。

非揮發性記憶體系統普遍採用ECC方法來克服讀取自一記憶體陣列之資料中發生之錯誤。此類方法一般依據一編碼系統，從要儲存於一記憶體陣列內之輸入資料計算某些額外ECC位元。其他ECC方案可採用一更複雜的方式將輸

入資料映射至輸出資料。該等ECC位元一般連同輸入資料一起儲存，但可單獨儲存。該輸入資料與ECC位元稍後一起從非揮發性記憶體讀取，且一解碼器同時使用該資料及ECC位元來檢查是否存在任何錯誤。在某些情況下，此類ECC位元還可用於識別一出錯位元。該錯誤位元係接著藉由改變其狀態(從"0"變成"1"或從"1"變成"0")加以校正。將ECC位元附著至資料位元並非用以將資料儲存於一非揮發性記憶體內之前編碼資料之唯一方式。例如，可依據一方案來編碼資料位元，該方案提供以下變換：00至1111、01至1100、10至0011及11至0000。

圖2顯示儲存於一記憶體系統200中的輸入資料之一範例。輸入資料係首先藉由一ECC單元201接收，其包括一編碼器203。該輸入資料可以係要儲存於記憶體系統200中之主機資料或可以係藉由一記憶體控制器產生之資料。圖2之範例顯示四個輸入資料位元1001。接著，編碼器203使用一編碼方案從該等輸入資料位元計算ECC位元(1111)。一編碼方案之範例係產生ECC位元，其係用於選定資料位元群組之同位位元。

接著，將該等輸入資料位元與該等ECC位元兩者傳送至一調變/解調變單元205，其包括一調變器207。調變器207將藉由ECC單元201傳送之數位資料轉換成一其係寫入至一記憶體陣列209之形式。在一方案中，該數位資料係轉換成複數個記憶體單元中之複數個臨限電壓值。因而，用於將數位資料轉換成一記憶體單元中之一儲存臨限電壓的

各種電路可視為形成一調變器。在圖2之範例中，每一記憶體單元可保持一資料位元。因而，每一記憶體單元可在兩個範圍之一者中具有一臨限電壓，一範圍表示一邏輯"1"狀態而另一範圍表示一邏輯"0"狀態，如圖1所示。儲存一邏輯"1"狀態的記憶體單元具有小於 $V_D(<V_D)$ 之一臨限電壓而儲存一邏輯"0"狀態的記憶體單元具有大於 $V_D(>V_D)$ 之一臨限電壓。單元可程式化並驗證至一高於 V_D 之標稱臨限電壓，以至少最初確保在程式化至該等二邏輯狀態之單元之間存在某較佳間隔。

資料可儲存於記憶體陣列209中某時間週期。在此時間期間，可能會發生各種事件，引起記憶體單元之臨限電壓變化。特定言之，涉及程式化及讀取之操作可能要求電壓以影響其他先前程式化單元之一方式施加至字線及位元線。此類干擾在裝置之尺寸係減小使得相鄰單元之間的交互作用較明顯之情況下尤其普遍。電荷還可能在較長時間週期內丟失。此類資料保持失效還可引起資料在讀取時變化。由於此類變化，可能讀出資料位元而具有不同於最初程式化之資料位元之狀態。在圖2之範例中，一輸入資料位元211係讀取為具有一小於 $V_D(<V_D)$ 之臨限值，而其最初係寫入時具有一大於 $V_D(>V_D)$ 之臨限值。

記憶體單元之臨限電壓係藉由調變/解調變單元205中之一解調變器213轉換成資料位元。此係藉由該調變器執行之程序的反向程序。解調變器213可包括感測放大器，其從記憶體陣列209中之一記憶體單元讀取一電壓或電流並

從該讀取導出該單元之狀態。在圖2之範例中，一具有一小於 $V_D (< V_D)$ 之臨限電壓之記憶體單元提供一解調變輸出 "1" 而一具有一大於 $V_D (> V_D)$ 之臨限電壓之記憶體單元提供一解調變輸出 "0"。此提供所示的輸出序列 11011111。此序列之第二位元 208 由於儲存於記憶體陣列 209 中而出錯。

解調變器 213 之輸出係傳送至 ECC 單元 201 中之一解碼器 215。解碼器 215 從資料位元與 ECC 位元決定是否存在任何錯誤。若存在處於該碼之校正能力內的小量錯誤，則校正該等錯誤。若存在大量錯誤，則其可以係識別但若其處於該碼之偵測能力內則不校正。若錯誤數目超過該碼之偵測能力，則無法偵測到該等錯誤，或可能造成一錯誤校正。在圖2之範例中，該第二位元中的錯誤係偵測並校正。此從解碼器 215 提供一輸出 (1001)，其與該輸入序列相同。記憶體系統 200 之解碼係視為硬輸入硬輸出解碼，因為解碼器 215 僅接收表示輸入資料位元與 ECC 位元之資料位元，且解碼器 215 輸出一校正的資料位元之序列，其對應於輸入資料位元 (或若錯誤數目過高則無法提供一輸出)。

圖3與4顯示記憶體系統 200 之一替代性記憶體系統。圖3顯示與圖1之該些函數類似的函數，其中 $V_D = 0$ ，且低於 V_D 之臨限電壓表示邏輯 0，而高於 V_D 之電壓表示邏輯 1。代替顯示一單一電壓 V_D 將臨限電壓分成兩個不同範圍的係，此處藉由實際電壓數目來指示該等臨限電壓。對應於邏輯 "1" 之函數係在 0 伏特以上居中，而對應於邏輯 "0" 之函數係在 0 伏特以下居中。

圖4顯示一記憶體系統421，其使用一與記憶體系統200之資料儲存程序類似的資料儲存程序(使用相同輸入資料位元與ECC位元)，但具有一不同讀取程序。特定言之，代替簡單決定一臨限電壓是否高於或低於一特定值的係，記憶體系統421讀取臨限電壓，如圖3所示。將明白不必讀取實際臨限電壓。可使用其他單元操作之構件來儲存與擷取資料(例如電流感測)。電壓感測僅用作一範例。一般而言，臨限電壓指一電晶體開啟之一閾極電壓。圖4顯示一讀取發生，其比先前範例提供更詳細的資訊。此可視為一比圖2之讀取具有一更高解析度(及一解析超過用於程式化之狀態之解析度)之讀取。如先前範例，錯誤發生於讀取資料中。此處，對應於第二位元及第三位元之讀數出錯。第二位元及第三位元係邏輯"0"並係藉由程式化一單元以具有一小於 V_D 之臨限電壓來儲存，但該等單元係讀取為具有臨限電壓0.05伏特及0.10伏特，其係高於 V_D ($V_D=0$ 伏特)。

藉由一系列讀取操作從圖4之記憶體陣列423讀取的原始電壓係傳送至一調變/解調變單元427中之一解調變器425。該等原始電壓具有藉由該類比至數位轉換之解析度所指示之一有限解析度。此處，原始資料係轉換成概率資料。特定言之，將各單元讀數轉換成一對應位元係一或零之概率。來自該記憶體陣列之該系列讀數(0.75、0.05、0.10、0.15、1.25、1.0、3.0及0.5伏特)不僅可指示單元之狀態，而且還可用於提供關於該狀態的確定程度。此可表

示為使用一特定位元程式化一記憶體單元之一概率。因而，接近0伏特之讀數可提供低概率值，而愈遠離0伏特之讀數提供愈高概率值。所示概率值係對數概率比(以下所詳細解釋)。此對於在一邏輯0狀態之單元提供負數，而對於在一邏輯1狀態之單元提供正數，數字量值指示正確識別狀態之概率。第二概率值及第三概率值(0.1、0.2)指示邏輯"1"。第二值及第三值指示相當低的概率。

將概率值傳送至一ECC單元431中之一解碼器429(在一些情況下，從原始值獲得概率值可視為在該解碼器內執行)。ECC單元431還包括編碼器432。該解碼器429對概率值執行解碼操作。此一解碼器可視為一軟輸入解碼器。一般而言，軟輸入係指一輸入，其包括關於要解碼資料之某品質資訊。提供作為一軟輸入之額外資訊一般允許一解碼器獲得更佳結果。一解碼器可使用一軟輸入來執行解碼計算以提供計算概率值作為一輸出。此係視為一軟輸出且此一解碼器係視為一軟輸入軟輸出(SISO)解碼器。此輸出可接著再次用作對該SISO解碼器之輸入以迭代該解碼並改良結果。一SISO解碼器可形成一更大解碼器之部分，該更大解碼器提供一硬輸出至另一單元。SISO解碼器一般提供較佳效能，且在某些情況下可提供比硬輸入硬輸出解碼更佳的效能。特定言之，對於相同的附加項量(ECC位元之數目)，一SISO解碼器可提供更大的錯誤校正能力。為有效率地使用一SISO解碼器，可實施一適當編碼/解碼方案且解調變係調適以有效率地獲得一軟輸入，而沒有過多複雜

性且不需要過多時間用於從記憶體陣列讀取資料。

在一具體實施例中，用於一SISO解碼器之一軟輸入係藉由使用一解析度在一非揮發性記憶體陣列中讀取資料來提供，該解析度解析比用於程式化該記憶體之狀態更大數目的狀態。因而，可藉由將一記憶體單元程式化至兩個臨限電壓範圍之一者來寫入資料並隨後藉由解析三個或更多臨限電壓範圍來讀取。一般而言，用於讀取之臨限電壓範圍之數目將係用於程式化之臨限電壓範圍之數目的數倍(例如，多達兩倍)。然而，並非永遠為該情況。

一ECC單元可形成為一專用電路或此功能可由一控制器中的韌體來執行。一般而言，一控制器係一特定應用積體電路(ASIC)，其具有被設計用於特定功能(例如ECC)之電路並還具有韌體來管理控制器操作。因而，一編碼器/解碼器可藉由記憶體控制器中之一硬體及韌體組合來形成。或者，一編碼器/解碼器(ECC單元)可位於該記憶體晶片上。該等調變/解調變單元可能在一記憶體晶片上、在一控制器晶片上、在一分離晶片或某組合上。一般而言，一調變/解調變單元將包括該記憶體晶片上之至少某些組件(例如連接至一記憶體陣列之周邊電路)。儘管圖4指示臨限電壓係讀取至一高解析度(一類比讀取)，所選擇之解析度程度可能取決於若干因素，包括所使用之非揮發性記憶體的類型。

圖5顯示ECC單元431(尤其係解碼器429)的更詳細視圖。解碼器429包括一SISO解碼器532與一軟硬轉換器534。

SISO解碼器一般接受原始概率資料，並在該原始概率資料上執行ECC計算以提供計算概率資料。該計算概率資料可視為一軟輸出。在許多情況下，接著提供此類軟輸出作為對該SISO解碼器之一輸入，使得執行一第二解碼迭代。一SISO解碼器可執行連續迭代，直至獲得至少一預定條件。例如，一預定條件可能係所有位元均具有一大於一特定最小值之概率。一預定條件還可以係概率值之一集合(例如一平均概率值)。一預定條件可能係從一迭代至下一迭代之結果的收斂(即保持迭代，直至幾乎不存在從額外迭代之改良)。一預定條件可以係完成預定數目次的迭代。還可使用此等條件之組合。解碼係使用資料中之一編碼圖案來執行，該圖案係在儲存資料之前藉由編碼器432在資料上執行編碼之結果。編碼器432與解碼器429兩者皆係視為ECC單元431之部分。

有效率的解碼取決於具有一適當編碼/解碼方案。已知各種方案係用於以適合於隨後以一SISO解碼器(例如SISO解碼器532)解碼之一方式來編碼資料。編碼/解碼方案包括但不限於渦輪碼、產品碼、BCH碼、李德-所羅門碼(Reed-Solomon codes)、迴旋碼(參見美國專利申請案第11/383,401號與第11/383,405號)、漢明碼及低密度同位檢查(LDPC)碼。LDPC碼與渦輪碼及其可如何與SISO解碼一起使用的詳細說明係提供於2006年9月28日申請之標題為"非揮發性記憶體之軟輸入軟輸出解碼器"的美國專利申請案第11/536,286號與標題為"非揮發性記憶體之軟輸入軟輸

出解碼的方法"的美國專利申請案第11/536,327號中。

在某些情況下，可關於藉由一ECC解碼器實施之校正來收集統計。可將此類統計用於調整一記憶體陣列之操作參數。2006年9月28日申請的美國專利申請案第11/536,347號與第11/536,372號說明具有調整的操作參數之非揮發性記憶體系統及用於調整此類參數的方法。

可進行調整的一非揮發性記憶體之一操作參數之一範例係程式化記憶體狀態之間之一區別電壓。圖6顯示針對程式化至邏輯1與程式化至邏輯0的單元之讀取臨限電壓的概率函數635a、635b。一第一區別電壓 V_D 係顯示於提供大量錯誤之一位置，因為任何具有一高於 V_D 之臨限電壓的單元皆係視為程式化至邏輯0，即使如圖6所示，此一單元實際上係程式化至邏輯1的概率仍較為顯著。使用 V_D 作為一區別電壓意味著大量單元係讀取為處於邏輯0，儘管其係程式化至邏輯1。一般藉由ECC來校正此類資料位元。程式化至邏輯0之一單元將係讀取為具有邏輯1的概率極低，故此類位元之ECC校正較為罕見。因而，此情況中之一ECC解碼器會執行0至1校正多過1至0校正。

一第二區別電壓 $V_{D'}$ 係顯示於該邏輯1函數與該邏輯0函數交叉之一臨限電壓。因而，在一單元具有一 $V_{D'}$ 之臨限電壓之處，該單元係程式化至邏輯1與程式化至邏輯0的概率相等。此係一區別電壓的最佳位置。即使該區別電壓處於 $V_{D'}$ ，仍存在一定的一單元之臨限電壓將指示錯誤邏輯狀態的概率。然而，概率較低並且隨後讀取為具有邏輯1

的程式化至邏輯0之單元數目等於隨後讀取為具有邏輯0的程式化至邏輯1之單元數目。當一區別電壓不在其最佳值時(例如處於 V_D)，可能需要調整該區別電壓以使其處於其最佳(例如 $V_{D'}$)，或至少使其更接近其最佳值。偵測一區別電壓不在其最佳值之一方式係藉由一ECC解碼器對於對應於該區別電壓之各側上的記憶體狀態之位元的校正。

一ECC解碼一般可從在該區別之各側上的邏輯狀態之間進行的校正之數目來指示一區別電壓是否位於一最佳位置。若一區別電壓不在其最佳位置，則該ECC解碼可指示(從來自該區別電壓之各側上之狀態的校正之數目)應移動該區別電壓的方向。ECC解碼還可由從較高狀態(在此範例中係邏輯0)至較低狀態(在此範例中係邏輯1)之校正比較從較低狀態至較高狀態之校正的個別數目來指示應移動一區別電壓的量。可將適合電路用於從使用初始區別電壓讀取之資料的ECC校正來決定是否應調整區別電壓。若要進行此類調整，則該等電路可指示其應係調整的方向並還可實施其應係調整的量。

儘管圖6僅顯示表示一儲存資料位元的兩個程式化狀態，但在某些組態中可將記憶體單元程式化至表示一個以上儲存資料位元的三個或更多狀態。圖7A顯示一記憶體單元之一臨限電壓範圍(臨限窗)係分成個別表示程式化狀態的八個子範圍的範例。三個資料位元係儲存於此一單元中。在比較該單元之臨限電壓與七個區別電壓 V_a 至 V_g 之一第一讀取傳遞(R1)期間，該單元係讀取為處於該等八個子

範圍 737a 至 h 之一者中。該等區別電壓 V_a 至 V_g 位於預期針對相鄰狀態之概率函數將交叉之處。除比較該單元之臨限電壓與該等區別電壓 V_a 至 V_g 以外，還在一第二讀取傳遞 (R2) 中比較該臨限電壓與中間電壓 V_h 至 V_o 。該等中間電壓 V_h 至 V_o 處於區別電壓 V_a 至 V_g 之間並在該第一讀取傳遞 R1 之各子範圍 737a 至 737h 內提供進一步解析度。一第三讀取傳遞 (R3) 係使用額外中間電壓 V_p 至 V_{ee} 加以執行，該等額外中間電壓進一步在子範圍 737a 至 h 內解析。在某些情況下，還可執行更多的讀取傳遞以實現一高解析度。可將兩個或更多讀取傳遞之結果用於提供具有一高解析度的一記憶體單元之一臨限電壓。此可以係視為一種類比至數位轉換之形式。可將各讀取之結果鎖存於暫存器中，其係形成為該記憶體陣列的周邊電路。當已執行所有必要的讀取時，將該等暫存器之內容用於提供一臨限電壓值 (或等效物)，其係傳送至其他電路，例如一 ECC 解碼器。或者，可將從各讀取之一輸出從一記憶體晶片傳送至別處的電路 (例如一控制器 ASIC 中)，其中執行類比至數位轉換。由於效率考慮，傳送此類資料可與進一步讀取並聯進行。

在某些記憶體系統中，可回應 ECC 校正進行其他調整。例如，在使用一查詢表來將臨限電壓與機率值 (與特定位元相關聯) 相關之處，可調整該查詢表以平衡不同狀態之間的校正之數目。因而，臨限電壓與機率之相關係依據 ECC 校正之觀察而動態更新。

如圖 6 之二狀態記憶體單元，可調整圖 7A 之範例中的區

別電壓以平衡相鄰狀態之間的校正。例如，可調整一區別電壓 V_c 以使得從該 100 狀態至該 101 狀態之校正數目與從該 101 狀態至該 100 之校正數目更為相等。一般而言，在該等區別電壓係調整之處，該等第二讀取傳遞 R2 與第三讀取傳遞 R3 之中間電壓亦係調整。一般而言，此類中間電壓係以一圖案配置以獲得關於該單元之臨限電壓的有用資訊。可將此類資訊用於提供關於該記憶體單元之狀態的機率值。執行諸如 R1、R2 及 R3 之類的分離讀取傳遞並不總是必要的且在某些情況下一單一序列之電壓比較係執行為包括區別電壓與中間電壓之一單一讀取。在另一範例中，可執行一二進制搜尋。

因為在圖 7A 之範例中存在兩個以上的記憶體狀態，故藉由 ECC 之校正及此類校正之分析可能更複雜。僅監視從 1 至 0 與從 0 至 1 的位元之校正數目一般不夠。對於每一單元三個位元，1 至 0 校正多於 0 至 1 校正可能意味著一區別電壓在某些情況下應係增加或在其他情況下應係減小，取決於位元至記憶體狀態的映射。例如，為調整 100 狀態與 101 狀態之間的區別電壓，僅需要考慮該最低有效位元的校正，因為其他位元針對此等狀態兩者係相同的。從 0 至 1 之校正數目高於從 1 至 0 之校正數目（針對單元中之最低有效位元具有如更高位元之 1 與 0）可指示臨限電壓 V_c 過高並應係降低。一統計單元可相對於用於表示校正位元與未校正位元之記憶體狀態來追蹤校正以便進行適當調整。

圖 7B 顯示配置於一區別電壓 V_{readn} 周圍的中間讀取電壓

V1至V6之一圖案的範例。特定言之，圖7B顯示在Vreadn之各側上一電壓差 δ 處的中間電壓V1與V2，在Vreadn之各側上一電壓差 2δ 處的中間電壓V3與V4及在Vreadn之各側上一電壓差 3δ 處的中間電壓V5與V6。可按如圖7A的增加解析度之讀取來將一單元之臨限電壓與Vreadn及V1至V6相比較，或可按增加或減小電壓之順序或按任一其他方便的順序進行比較。一般而言，在Vreadn係調整以平衡相鄰狀態之間的ECC校正之處，將因此調整中間電壓V1至V6以保持從Vreadn的相同偏移。

可依據藉由一ECC解碼器進行之校正在任一方向上進行區別電壓之調整。因而，與一特定程式化狀態相關聯的臨限電壓範圍可以係加寬或變窄並可在電壓上向上偏移或在電壓上向下偏移。一般而言，在快閃記憶體中針對一特定程式化狀態的概率函數對於記憶體使用而變得更寬。圖8顯示針對相同單元的兩個概率函數839a至839b，函數839a顯示與臨限電壓 V_T 成函數關係的概率之壽命分佈之開端，而函數839b顯示與臨限電壓 V_T 成函數關係的概率之壽命分佈之末端。如所示，壽命分佈之開端839a比壽命分佈之末端839b窄。將明白，來自記憶體單元的真實資料顯示與圖8之該些分佈類似的分佈，其中y軸指示以不同臨限電壓讀取的單元數目。在本說明中將概率用於y軸。

圖9A與9B顯示在一記憶體係使用時處理與程式化記憶體狀態相關聯的概率分佈之加寬之一方式。圖9A顯示在該記憶體之壽命的早期與四個程式化狀態相關聯的四個概率

分佈 941a 至 d。區別電壓 V7、V8 及 V9 位於分佈 941a 至 d 之間。圖 9A 顯示在相鄰分佈 941a 至 d 之間無顯著重疊，從而指示在此情況下一較大容限係使用且錯讀一單元的機會較低。

圖 9B 顯示在該單元已經歷若干記憶體操作(例如讀取、程式化及抹除)之後於該記憶體之壽命的較晚階段與相同單元的相同四個程式化狀態相關聯的概率分佈 943a 至 d。該等分佈 943a 至 d 與分佈 941a 至 d 相比已變寬並顯示一定重疊使得可能存在錯讀儲存資料之一顯著概率。區別電壓 V7 至 V9 係用於區別記憶體狀態之間，如前所述。因而，記憶體狀態仍係映射至相同的臨限窗(V10 至 V11)，且個別記憶體狀態仍係映射至臨限窗 V10 至 V11 內的相同子範圍。在分佈繼續變寬之處，於某一點從該記憶體讀取之資料中的錯誤數目超過一 ECC 解碼器的能力而該記憶體不再可用。在此範例中，將區別電壓 V7 至 V9 最初設定於提供比所需更大之容限的位準。此在整個記憶體之壽命中使用一臨限窗 V10 至 V11。然而，使用此較寬臨限窗可能不必要地給該記憶體施加應力，因為需要較高的電壓來將記憶體單元程式化至較高的臨限窗，例如 V9 與 V11 之間。

圖 10A 與 10B 顯示在該記憶體之壽命中最初使用一較小臨限窗 V15 至 V16 而稍後使用一較大臨限窗 V15' 至 V16' 的替代性配置。最初，記憶體單元狀態係映射至一較窄的臨限窗(總臨限電壓範圍)V15 至 V16 而隨後其係映射至一更寬的臨限窗(總臨限電壓範圍)V15' 至 V16'。圖 10A 顯示比圖 9A

之類似記憶體狀態941a至d更靠近在一起的四個記憶體狀態之概率函數1045a至d。此係程式化至配置以更靠近在一起的目標電壓的結果。一程式化目標電壓係在一程式化操作期間一記憶體單元係驗證為實現的記憶體單元臨限電壓(一般而言，一旦一記憶體單元係驗證為達到該目標電壓，便禁止該單元之進一步程式化，同時其他單元係進一步程式化)。程式化目標電壓(尤其係該最高程式化目標電壓)低於圖9A中之目標電壓，故可減低程式化電壓(例如在NAND記憶體中分別供應至選定與未選定字線的 V_{prog} 與 V_{pass})。區別電壓 V_{12} 至 V_{14} 在讀取期間針對各記憶體狀態定義更窄的臨限電壓子範圍。因而，記憶體狀態係映射之臨限窗 V_{15} 至 V_{16} 在此範例中比臨限窗 V_{10} 至 V_{11} 窄。

在該記憶體已使用一段時間之後，概率函數變得更寬，從而導致圖10B之概率函數1047a至d。因而，若程式化目標電壓與區別電壓仍保持相同，則會發生概率函數之間的較高重疊程度並會引起大量錯誤。為克服此問題，圖10B顯示調整的區別電壓 $V_{12'}$ 至 $V_{14'}$ ，其間隔寬於區別電壓 V_{12} 至 V_{14} 之間隔。記憶體狀態係映射至圖10B中之臨限窗($V_{15'}$ 至 $V_{16'}$)，其比早先相同記憶體狀態係映射的臨限窗(V_{15} 至 V_{16})寬。因而，圖10A與10B之記憶體藉由增加記憶體狀態係映射之總臨限電壓範圍來針對個別記憶體狀態補償變寬的概率分佈。此方案之一優點係在該記憶體之壽命的早期更低電壓係用於程式化與讀取而此等更低電壓為進行讀取與程式化的記憶體單元提供更小的應力。此類減

低的應力可減緩記憶體單元的磨損並增加產品壽命。將記憶體狀態重新映射至臨限窗可包括調整程式化目標電壓以及讀取電壓。程式化目標電壓隨著該記憶體系統走過其壽命而更寬地間隔。

圖 10A 與 10B 顯示在讀取操作期間使用的區別電壓 V_{12} 至 V_{14} 與 V_{12}' 至 V_{14}' ，不過亦可使用其他讀取電壓來提供一更高解析度的讀取，其在與記憶體狀態相關聯的臨限電壓子範圍內解析，如上所述。一般而言，程式化目標電壓與讀取電壓皆可依據一預定方案一起調整或可以回應方式個別地調整，例如回應來自一 ECC 解碼器之資訊。調整可在整個記憶體之壽命中以較小增量發生或在該記憶體壽命期間僅發生有限次數。在一範例中，讀取電壓與程式化目標電壓係回應資料品質是否處於一臨限位準之一決定來增加預定量。例如，該臨限位準可取決於所需校正數目、藉由一反覆式解碼器之反覆次數或在執行一高解析度讀取時針對記憶體狀態之機率值。

在另一範例中，可回應所執行的臨限數目次抹除操作來進行調整。在針對各區塊保持一抹除計數之處，針對該區塊之程式化與讀取電壓可在達到一特定抹除計數時予以改變。在此一系統中，不同區塊使用不同程式化與讀取電壓，且該記憶體系統使用下列方式來持續追蹤何區塊已調整電壓：使用該區塊內之附加項位元；或藉由該控制器保持之一表；或以使用一專用電路、該控制器之一部分或其他適合結構之某種其他適合方式。此一系統不必具有決定

資料品質之一ECC解碼器。

可在一記憶體之壽命內一起改變讀取電壓與程式化目標電壓。然而，可對讀取電壓進行一些改變而不改變目標電壓。例如，可對區別電壓進行改變以平衡相鄰狀態之間的錯誤校正，其中校正之總速率係可接受的。

一般而言，當調整一讀取電壓時，其保持於該調整電壓直至進行一隨後調整。然而，在一些情況下，可能需要在讀取電壓中進行一暫時調整。例如，在資料係從一記憶體讀取並發現品質較差(例如藉由ECC指示之低機率值或一較高的錯誤數目)之處，可以藉由該較差品質資料之ECC校正所決定之一方式來調整一或多個讀取電壓並可再次讀取該資料。此可允許獲得較佳品質資料以使得可以解碼該資料。然而，可能不必將此類讀取電壓保持於其調整位準。此方案可用於從一記憶體擷取以其它方式不可擷取資料。一般而言，接著將此類資料重新寫入至另一位置以使其不進一步劣化。接著可抹除該原始區塊。此可以係藉由一記憶體控制器實施之一擦除操作之部分或可作為一常規讀取操作之部分發生(例如回應一主機讀取命令)。程式化目標電壓一般在此種調整期間保持不變。美國專利第5,657,332與6,751,766號中給出錯誤處理之範例。

圖11顯示依據本發明之一具體實施例之一記憶體系統1149，其包括具有一ECC編碼器1153、一ECC解碼器1155及一統計單元1157之一ECC模組1151。該統計單元1157收集關於藉由該ECC解碼器1155實施之校正的統計資訊。該

ECC解碼器1155可包括一SISO解碼器或一硬輸入硬輸出解碼器，或可包括兩者。在一範例中，一SISO解碼器與一硬輸入硬輸出解碼器串連(該統計單元可收集關於藉由兩個解碼器解碼的統計)。可使用兩個編碼方案，例如用於SISO解碼之一LDPC碼與用於硬輸入硬輸出解碼之一BCH碼。該統計單元可收集統計資料，其指示該資料之總品質並還可指示藉由該ECC解碼系統實施之校正數目，或可指示不同記憶體狀態之間的校正比率。該統計單元之一輸出係提供至一調變/解調變電路1161中之一調整單元1159。該調整單元1159對藉由一調變器1163在將資料程式化至一記憶體陣列1167中所使用的操作參數(例如針對特定記憶體狀態之目標電壓)與藉由一解調變器1165在從該記憶體陣列1167讀取資料中所使用的操作參數(例如讀取電壓)進行適當改變。

上述各種範例參照快閃記憶體。然而，各種其他非揮發性記憶體目前在使用中且本文所述技術可應用於任一適當非揮發性記憶體系統。此類記憶體系統可包括(但不限於)基於鐵電儲存器(FRAM或FeRAM)之記憶體系統、基於磁阻儲存器(MRAM)之記憶體系統及基於相變(PRAM或"OUM"("相變化記憶體"))之記憶體。

本文參照之所有專利、專利申請案、文章、書籍、說明書、其他公開案、文件及事物由於所有目的全部以引用方式併入本文中。在任何併入之公開案、文件或事物與本文件之正文間之一術語之定義或使用之任何不一致或衝突之

範圍內，應優先採用該術語在本文件中之定義或使用。

雖然已就特定較佳具體實施例而說明本發明之各種態樣，但是應明白本發明有權在所附申請專利範圍之全部範疇內受到保護。

【圖式簡單說明】

圖1顯示在一非揮發性記憶體中程式化至一邏輯1狀態及一邏輯0狀態之單元之臨限電壓之概率函數，包括用於區別邏輯1與邏輯0狀態之一電壓 V_D 。

圖2顯示一記憶體系統之組件，其包括一記憶體陣列、調變器/解調變器電路及編碼器/解碼器電路。

圖3顯示程式化至一邏輯1狀態及一邏輯0狀態之單元之讀取臨限電壓之概率函數，顯示臨限電壓值。

圖4顯示一記憶體系統之組件，其包括一記憶體陣列、調變器/解調變器電路及編碼器/解碼器電路，一解調器變提供概率值至一解碼器。

圖5顯示一ECC單元，其具有一軟輸入軟輸出(SISO)解碼器。

圖6顯示具有兩個範例性區別電壓之一記憶體單元之一邏輯1狀態與一邏輯0狀態的概率函數。

圖7A顯示八個記憶體狀態之概率函數，表示三個資料位元，使用三個讀取傳遞提供記憶體狀態之間的區別與記憶體狀態內的額外解析度。

圖7B顯示包括一區別電壓與額外讀取電壓之讀取電壓在該區別電壓之各側上以增量方式之一範例性配置。

圖 8 顯示針對記憶體單元狀態之一概率函數如何隨著該記憶體係使用而改變，該概率分佈隨著使用變得更寬。

圖 9A 顯示於記憶體壽命之一較早階段四個記憶體狀態與解析該些狀態之區別電壓的概率函數。

圖 9B 顯示於記憶體壽命之一較晚階段具有相同區別電壓的圖 9A 之四個記憶體狀態的概率函數。

圖 10A 顯示依據區別電壓比先前範例更緊密地間隔之另一具體實施例的於記憶體壽命之一較早階段四個記憶體狀態之概率函數。

圖 10B 顯示於記憶體壽命之一較晚階段具有比圖 10A 之區別電壓間隔更寬的調整區別電壓的圖 10A 之四個記憶體狀態的概率函數。

圖 11 顯示包括一 ECC 解碼器、收集關於藉由該 ECC 解碼器之校正的統計資訊及回應來自該統計單元之一信號調整操作參數(例如讀取電壓或程式化目標電壓)之一調整單元的記憶體系統。

【主要元件符號說明】

200	記憶體系統
201	ECC 單元
203	編碼器
205	調變/解調變單元
207	調變器
208	第二位元
209	記憶體陣列

211	輸入資料位元
213	解調變器
215	解碼器
421	記憶體系統
423	記憶體陣列
425	解調變器
427	調變/解調變單元
429	解碼器
431	ECC單元
432	編碼器
532	SISO解碼器
534	軟硬轉換器
635a	概率函數
635b	概率函數
737a	子範圍
737b	子範圍
737c	子範圍
737d	子範圍
737e	子範圍
737f	子範圍
737g	子範圍
737h	子範圍
839a	概率函數/開端
839b	概率函數/末端

941a	概 率 分 佈
941b	概 率 分 佈
941c	概 率 分 佈
941d	概 率 分 佈
943a	概 率 分 佈
943b	概 率 分 佈
943c	概 率 分 佈
943d	概 率 分 佈
1045a	概 率 函 數
1045b	概 率 函 數
1045c	概 率 函 數
1045d	概 率 函 數
1047a	概 率 函 數
1047b	概 率 函 數
1047c	概 率 函 數
1047d	概 率 函 數
1149	記 憶 體 系 統
1151	ECC模 組
1153	ECC編 碼 器
1155	ECC解 碼 器
1157	統 計 單 元
1159	調 整 單 元
1161	調 變 / 解 調 變 電 路
1163	調 變 器

1165	解調變器
1167	記憶體陣列

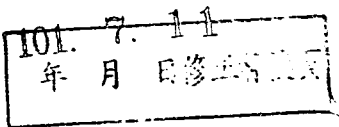
十、申請專利範圍：

1. 一種管理一快閃記憶體陣列之方法，其包含：

於一第一次，將一記憶體單元之複數個記憶體狀態映射至一第一臨限窗，其中該複數個記憶體狀態之個別記憶體狀態係映射至該第一臨限窗之子範圍；以及

於一第二次，將該記憶體單元之該複數個記憶體狀態映射至一第二臨限窗，其中該複數個記憶體狀態之個別記憶體狀態係映射至該第二臨限窗之子範圍，該第二臨限窗比該第一臨限窗寬。

2. 如請求項1之方法，進一步包含藉由解析該第一臨限窗或該第二臨限窗之該等子範圍並在該等子範圍內額外進行解析來讀取該記憶體單元。
3. 如請求項2之方法，進一步包含將該讀取之結果提供至一軟輸入軟輸出解碼器，其使用該讀取之該等結果作為一軟輸入以依據一編碼方案計算一軟輸出。
4. 如請求項3之方法，其中從映射至該第一臨限窗到映射至該第二臨限窗的改變係回應由該軟輸入軟輸出解碼器獲得之資訊。
5. 如請求項1之方法，其中從映射至該第一臨限窗到映射至該第二電壓範圍之改變係回應該快閃記憶體陣列之一部分，其包含抹除次數超過一預定次數的記憶體單元。
6. 如請求項1之方法，其中該快閃記憶體陣列係在一可卸除式記憶卡中，其包括一記憶體控制器與一用於連接至一主機之介面。



7. 如請求項1之方法，其中對應於一記憶體狀態之該第二臨限電壓範圍之一子範圍的上限與下限不同於對應於該記憶體狀態之該第一臨限電壓範圍之一子範圍的上限與下限。
8. 一種從一快閃記憶體陣列讀取資料之方法，其包含：
藉由比較複數個記憶體單元之臨限電壓與第一預定電壓，從該記憶體陣列讀取第一資料位元；
在一錯誤修正碼(ECC)解碼器中解碼該等第一資料位元；以及
隨後藉由比較記憶體單元之臨限電壓與第二預定電壓，從該複數個記憶體單元讀取第二資料位元，該等第二預定電壓係從在該ECC解碼器中執行之該等第一資料位元之該解碼加以決定。
9. 如請求項8之方法，其中該ECC解碼器係一軟輸入軟輸出解碼器。
10. 如請求項8之方法，其中該等第一預定電壓包括一第一區別電壓，其區別一第一程式化記憶體狀態與一第二程式化記憶體狀態。
11. 如請求項10之方法，其中該等第二預定電壓包括一第二區別電壓，其區別該第一程式化記憶體狀態與該第二程式化記憶體狀態，該第二區別電壓係從該第一程式化記憶體狀態與該第二程式化記憶體狀態中之資料的ECC校正加以決定。
12. 如請求項11之方法，其中該第二區別電壓經選擇以平衡

藉由該ECC解碼器從該第一程式化記憶體狀態至該第二程式化記憶體狀態之校正數目與藉由該ECC解碼器從該第二程式化記憶體狀態至該第一程式化記憶體狀態之校正數目。

13. 如請求項8之方法，其中該等第二預定電壓包括一比該等第一預定電壓之任一者高之電壓。
14. 如請求項8之方法，進一步包含使用第一複數個目標電壓來將該等第一資料位元程式化至該記憶體陣列，且隨後調整該第一複數個目標電壓。
15. 一種管理包括程式化至各種臨限電壓之記憶體單元之一快閃記憶體陣列的方法，其包含：

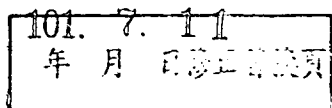
藉由將一記憶體單元之臨限電壓識別為處於個別地對應於記憶體狀態之複數個第一臨限電壓範圍之一者內，並在該等第一臨限電壓範圍之若干者內進行額外解析來讀取該記憶體單元，以提供一輸出；

使用一軟輸入軟輸出解碼器在該記憶體單元之該輸出上執行ECC校正；

隨後抹除與程式化該記憶體單元；以及

隨後藉由將該記憶體單元之臨限電壓識別為處於個別地對應於該等記憶體狀態的複數個第二臨限電壓範圍之一者內來讀取該記憶體單元，該複數個第二臨限電壓範圍之該一者具有一依據該軟輸入軟輸出解碼器執行之該ECC校正而定義的限制。

16. 如請求項15之方法，其中該限制經選擇以平衡在具有在



該限制之任一側上處於第二臨限電壓範圍內之臨限電壓之單元中之資料的校正。

17. 如請求項15之方法，其中該限制高於該等第一臨限電壓範圍之一者之一對應限制。

18. 如請求項15之方法，其中該等第二臨限電壓範圍之個別臨限電壓範圍比該等第一臨限電壓範圍之個別臨限電壓範圍寬。

19. 如請求項15之方法，其中對應於該等記憶體狀態之一特定記憶體狀態之該複數個第二臨限電壓範圍之一個別臨限電壓範圍比對應於該等記憶體狀態之該特定記憶體狀態之該複數個第一臨限電壓範圍之該個別臨限電壓範圍延伸得更高。

20. 如請求項19之方法，其中該個別臨限電壓範圍比對應於該等記憶體狀態之該特定記憶體狀態之該複數個第一臨限電壓範圍之該臨限電壓範圍寬。

21. 一種管理一快閃記憶體陣列之方法，其包含：

在一第一模式中，將複數個記憶體單元程式化至第一複數個目標電壓，該第一複數個目標電壓之個別目標電壓對應於記憶體狀態；

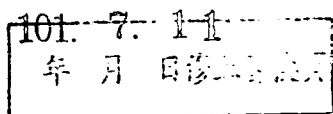
在該第一模式中，藉由比較該複數個記憶體單元之臨限電壓與第一複數個區別電壓來讀取該複數個記憶體單元，以決定個別單元之記憶體狀態；

隨後在一第二模式中，將該複數個記憶體單元程式化至第二複數個目標電壓，該第二複數個目標電壓之個別

目標電壓對應於該等記憶體狀態；以及

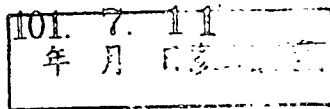
在該第二模式中，藉由比較該複數個記憶體單元之臨限電壓與第二複數個區別電壓來讀取該複數個記憶體單元，以決定個別單元之記憶體狀態。

22. 如請求項21之方法，其中對應於一特定記憶體狀態之該第二複數個目標電壓之一個別目標電壓大於對應於該特定記憶體狀態之該第一複數個目標電壓之一個別目標電壓。
23. 如請求項21之方法，其中該第二複數個區別電壓係從該第一複數個區別電壓個別地偏移。
24. 如請求項21之方法，其中該第二複數個區別電壓在比該第一複數個區別電壓更大的電壓範圍上延伸。
25. 一種快閃記憶體系統，其包含：
 - 一快閃記憶體陣列，其包括程式化至複數個程式化狀態的複數個記憶體單元；
 - 一讀取電路，其係連接至該快閃記憶體陣列，該讀取電路在一第一模式中比較一記憶體單元臨限電壓與第一複數個預定電壓以區分該複數個程式化狀態，並在一第二模式中比較該記憶體單元臨限電壓與第二複數個預定電壓以區分該複數個程式化狀態，該第二複數個預定電壓之最高電壓係高於該第一複數個預定電壓之最高電壓。
26. 如請求項25之快閃記憶體系統，進一步包含一程式化電路。



27. 如請求項26之快閃記憶體系統，其中該程式化電路：在該第一模式中將單元程式化至個別地對應於程式化狀態的第一複數個目標電壓；及在該第二模式中將單元程式化至個別地對應於程式化狀態的第二複數個目標電壓。
28. 如請求項27之快閃記憶體系統，進一步包含保持一記錄，其指示該快閃記憶體陣列之一部分是否係在該第一模式中或在該第二模式中被程式化。
29. 如請求項27之快閃記憶體系統，其中該第二複數個目標電壓之該最高電壓高於該第一複數個目標電壓之該最高電壓。
30. 如請求項27之快閃記憶體系統，其中該第二複數個目標電壓之間隔係寬於該第一複數個目標電壓之間隔寬。
31. 如請求項25之快閃記憶體系統，其中該讀取電路進一步在該複數個程式化狀態之個別狀態內進行區分，以提供關於單元狀態之機率資訊。
32. 如請求項25之快閃記憶體系統，進一步包含一軟輸入軟輸出解碼器。
33. 如請求項32之快閃記憶體系統，其中該快閃記憶體系統回應藉由該軟輸入軟輸出解碼器產生之一信號來從該第一模式改變至該第二模式。
34. 如請求項25之快閃記憶體系統，進一步包含一抹除計數指示器，且其中當藉由該抹除計數指示器保持之一抹除計數超過一預定值時，該快閃記憶體系統從該第一模式改變至該第二模式。

35. 如請求項25之快閃記憶體系統，其中該快閃記憶體系統係在具有一主機介面之一可卸除式記憶卡中。
36. 一種快閃記憶體系統，其包含：
- 一記憶體陣列，其包括複數個非揮發性記憶體單元；
 - 一ECC解碼器，其解碼來自該記憶體陣列之資料；
 - 一讀取電路，其係連接至該記憶體陣列，該讀取電路比較一記憶體單元之一臨限電壓與至少一預定電壓，以決定該記憶體單元之一程式化狀態；以及
 - 一調整電路，其回應來自該ECC解碼器之資訊而增加或減小該至少一預定電壓。
37. 如請求項36之快閃記憶體系統，其中該ECC解碼器係一軟輸入軟輸出解碼器。
38. 如請求項37之快閃記憶體系統，其中該讀取電路將一軟輸入提供至該軟輸入軟輸出解碼器。
39. 如請求項36之快閃記憶體系統，其中該讀取電路比較該臨限電壓與兩個預定電壓，該兩個預定電壓定義與該程式化狀態相關聯之一臨限電壓範圍，而該調整電路加寬該臨限電壓範圍。
40. 如請求項36之快閃記憶體系統，進一步包含一程式化電路，其將該複數個非揮發性記憶體單元程式化至複數個目標電壓。
41. 如請求項36之快閃記憶體系統，其中該調整電路回應來自該ECC解碼器之資訊而增加或減小該複數個目標電壓之至少一者。



42. 如請求項41之快閃記憶體，其中該調整電路增加該複數個目標電壓，並一起增加該至少一預定電壓。
43. 一種快閃記憶體系統，其包含：
 - 一快閃記憶體單元陣列；
 - 一軟輸入軟輸出解碼器；
 - 一讀取電路，其係連接至該記憶體陣列並提供一輸入至該軟輸入軟輸出解碼器，該讀取電路在一第一模式中比較一記憶體單元之一臨限電壓與第一複數個預定電壓以區分該複數個記憶體狀態，並在一第二模式中比較該記憶體單元之該臨限電壓與第二複數個預定電壓以區分該複數個記憶體狀態，該第二複數個預定電壓之最高電壓係高於該第一複數個預定電壓之最高電壓，該第二複數個預定電壓係藉由該軟輸入軟輸出解碼器執行之校正加以決定。
44. 如請求項43之快閃記憶體系統，其中該快閃記憶體系統回應藉由該軟輸入軟輸出解碼器執行之校正，從該第一模式改變至該第二模式。
45. 如請求項43之快閃記憶體系統，進一步包含一程式化電路，其將快閃記憶體單元程式化至目標電壓。
46. 如請求項45之快閃記憶體系統，其中該程式化電路：在該第一模式中將複數個快閃記憶體單元程式化至第一複數個目標電壓；並在該第二模式中將複數個快閃記憶體單元程式化至第二複數個目標電壓，該第二複數個目標電壓之最高電壓係高於該第一複數個目標電壓之最高電壓。

47. 如請求項46之快閃記憶體系統，進一步包含一指示器，其指示該記憶體陣列之一部分是否係在該第一模式中或在該第二模式中加以程式化。

十一、圖式：

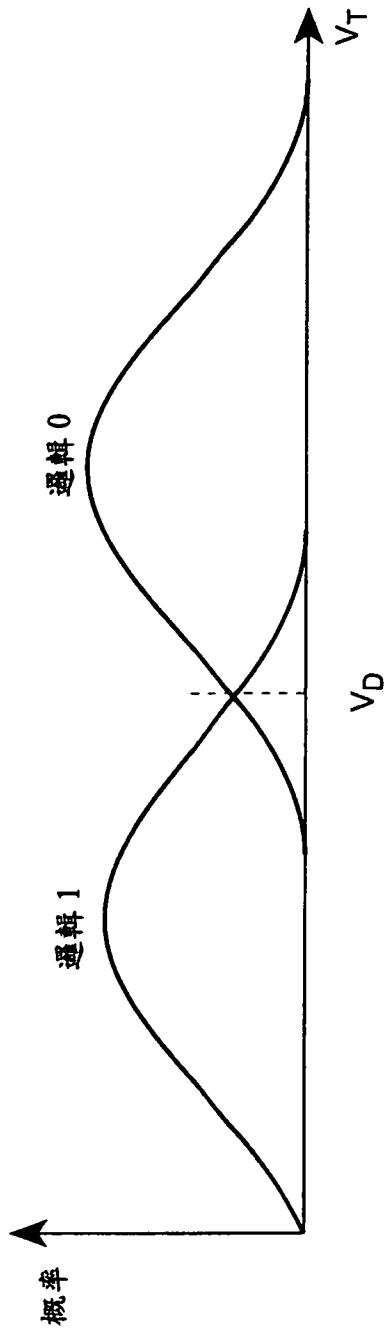


圖 1

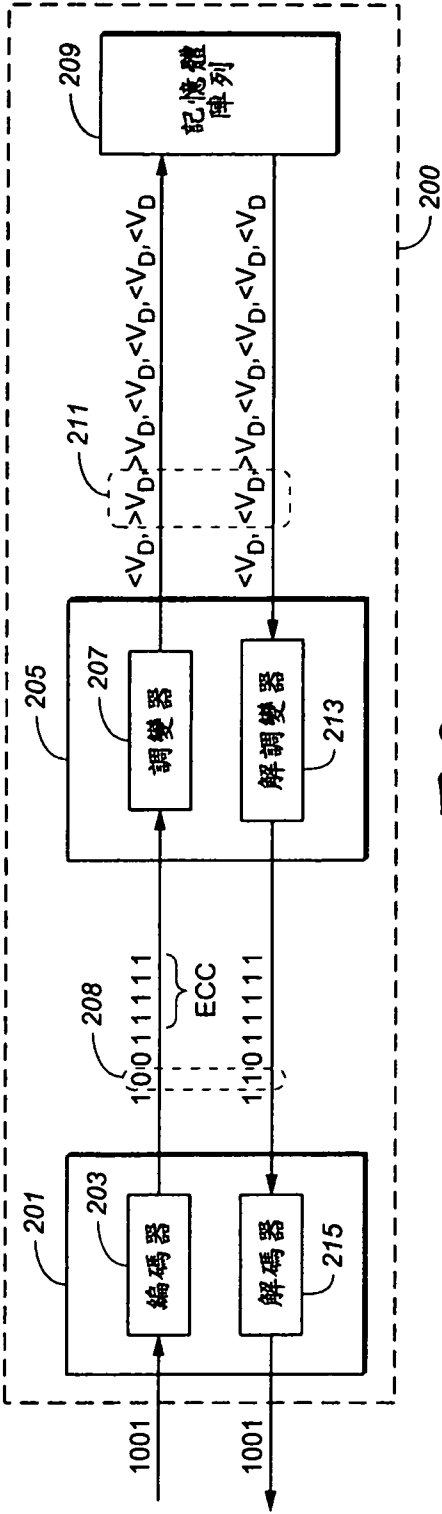


圖 2

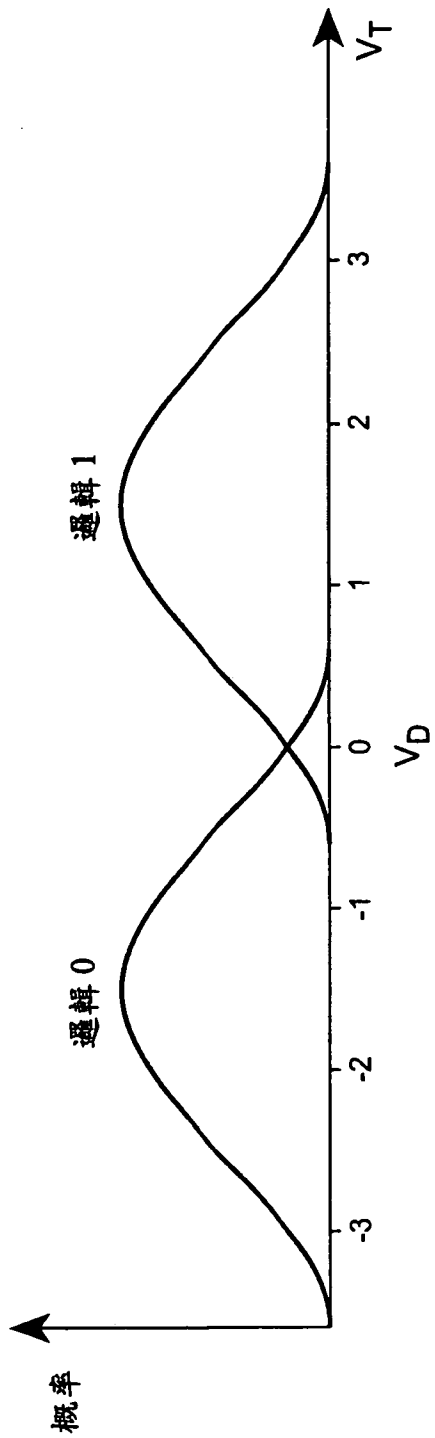


圖 3

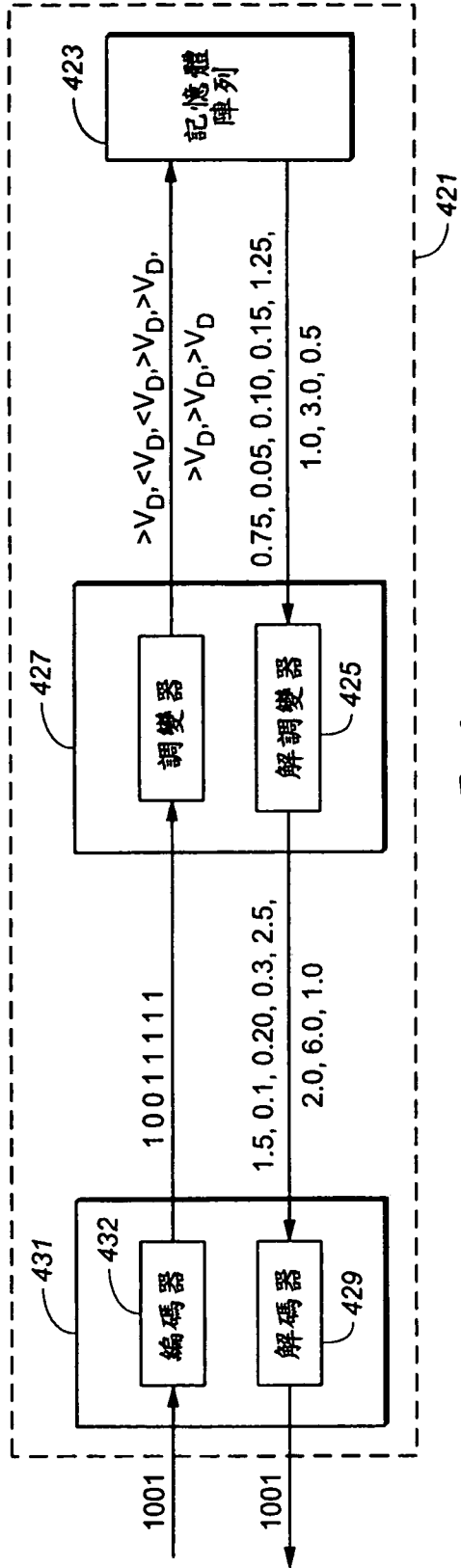


圖 4

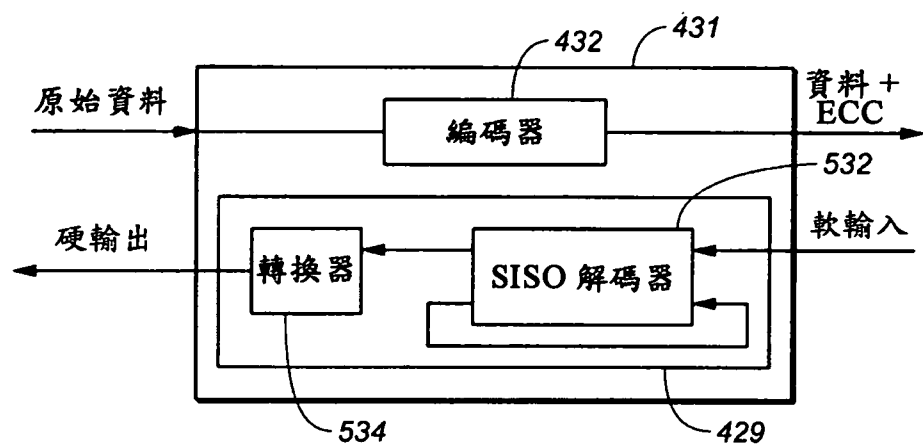


圖 5

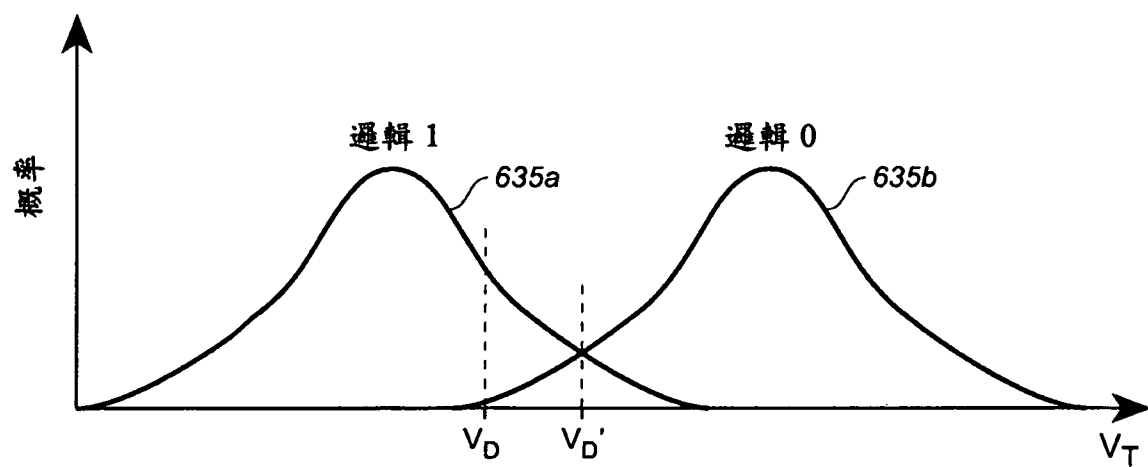


圖 6

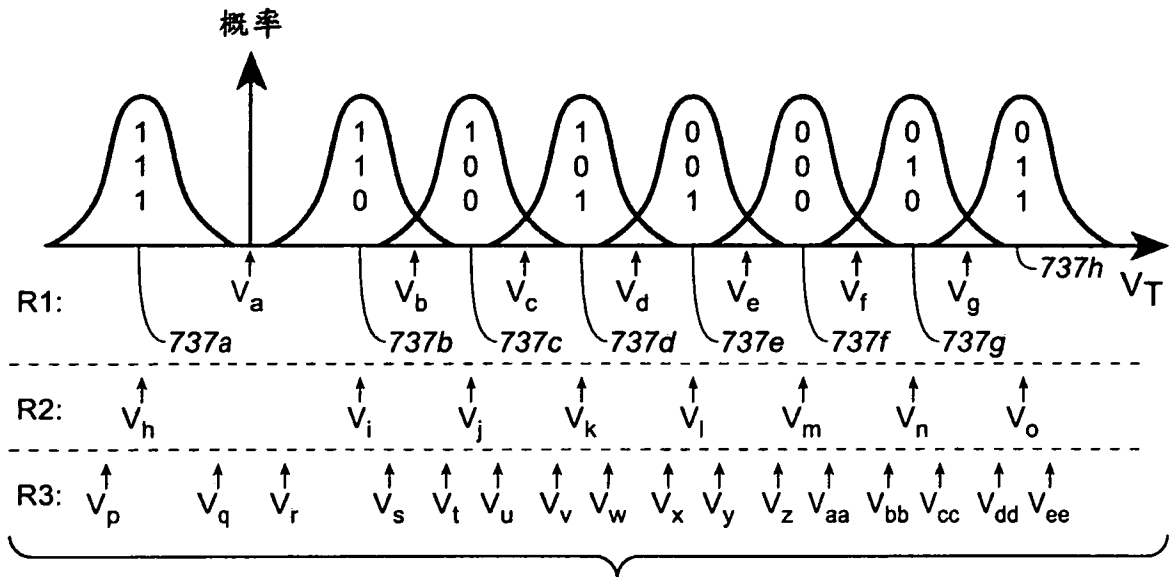


圖 7A

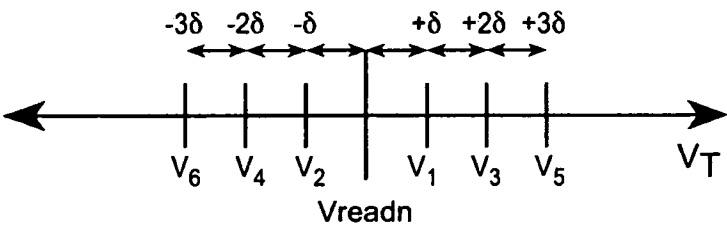


圖 7B

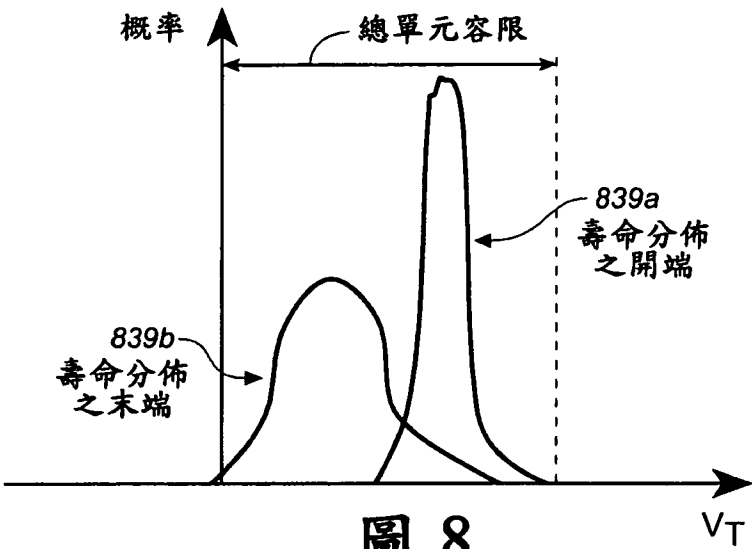


圖 8

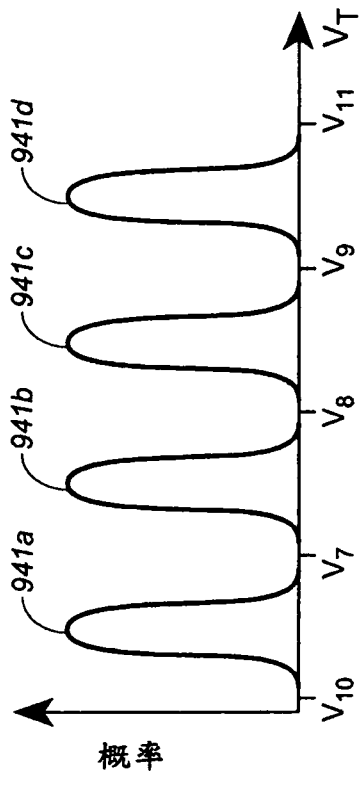


圖 9A

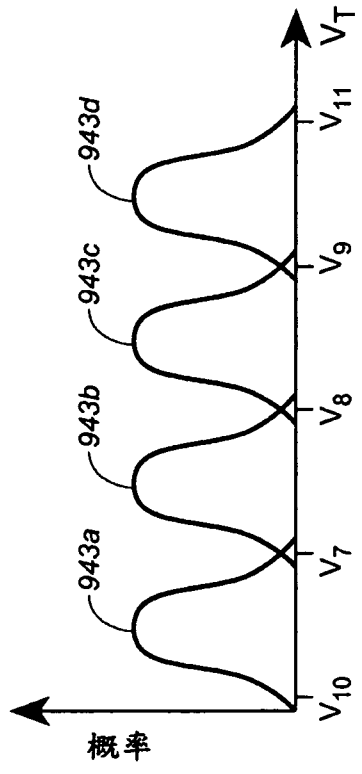


圖 9B

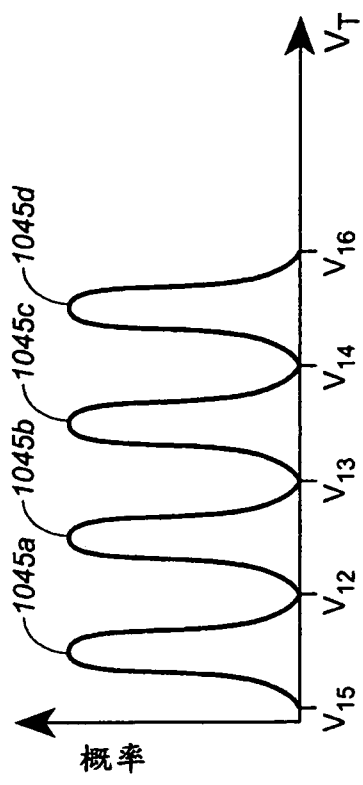


圖 10A

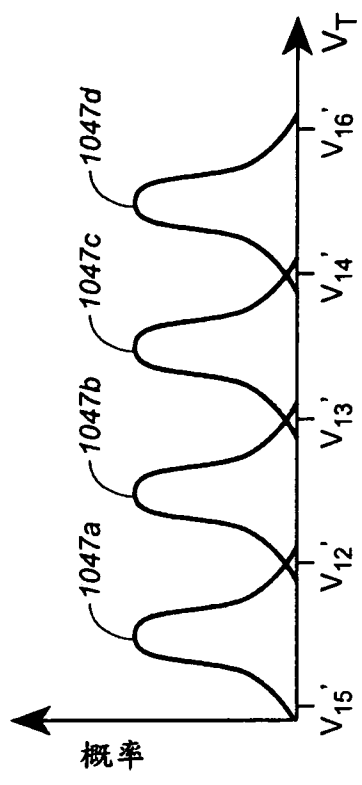


圖 10B

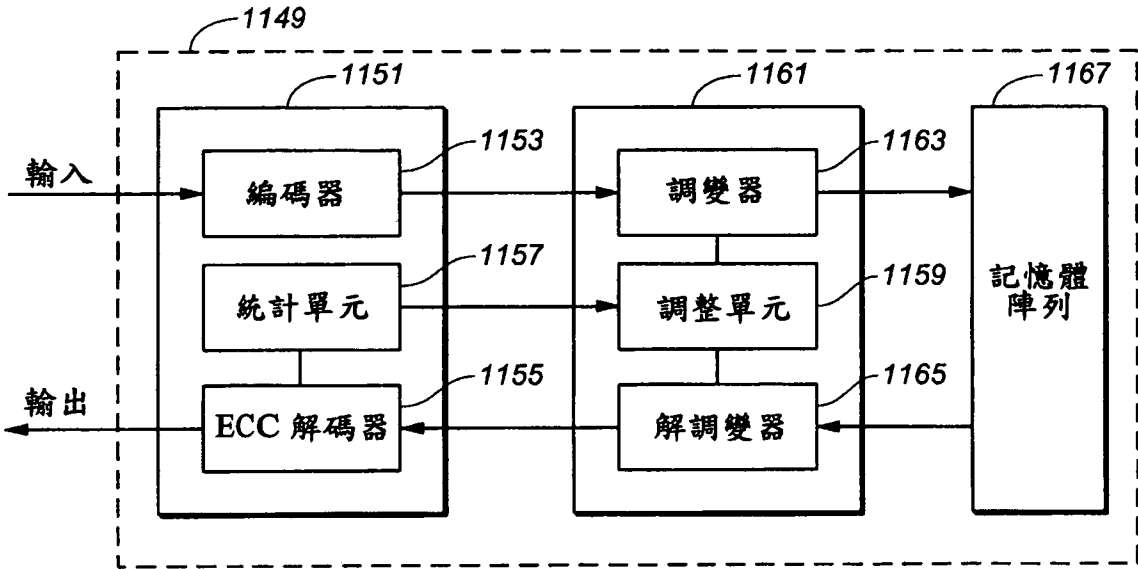


圖 11