



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 603 06 782 T2** 2006.11.30

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 518 246 B1**

(51) Int Cl.⁸: **G11C 11/16** (2006.01)

(21) Deutsches Aktenzeichen: **603 06 782.4**

(86) PCT-Aktenzeichen: **PCT/US03/13179**

(96) Europäisches Aktenzeichen: **03 724 302.9**

(87) PCT-Veröffentlichungs-Nr.: **WO 2004/003922**

(86) PCT-Anmeldetag: **29.04.2003**

(87) Veröffentlichungstag
der PCT-Anmeldung: **08.01.2004**

(97) Erstveröffentlichung durch das EPA: **30.03.2005**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **12.07.2006**

(47) Veröffentlichungstag im Patentblatt: **30.11.2006**

(30) Unionspriorität:

186141 28.06.2002 US

(73) Patentinhaber:

Freescale Semiconductor, Inc., Austin, Tex., US

(74) Vertreter:

**SCHUMACHER & WILLSAU,
Patentanwaltssozietät, 80335 München**

(84) Benannte Vertragsstaaten:

**AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LI, LU, MC, NL, PT, RO, SE, SI, SK,
TR**

(72) Erfinder:

**NAHAS, J., Joseph, Austin, TX 78731, US; ANDRE,
W., Thomas, Austin, TX 78732, US;
SUBRAMANIAN, K., Chitra, Austin, TX 78750, US;
GARNI, J., Bradley, Austin, TX 78735, US**

(54) Bezeichnung: **VORRICHTUNG UND VERFAHREN ZUM BESCHREIBEN EINES KIPPSPEICHERS**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Diese Erfindung bezieht sich auf das Schreiben von Speichern und insbesondere auf das Schreiben von Speichern, die kippen.

Hintergrund der Erfindung

[0002] Nicht-flüchtige Speichervorrichtungen sind extrem wichtige Komponenten in elektronischen Systemen. FLASH ist die bedeutendste nicht-flüchtige Speichervorrichtung, die heutzutage verwendet wird. Typische nicht-flüchtige Speichervorrichtungen verwenden Ladungen, die in einer flottierenden Oxydschicht gefangen sind, um Information zu speichern. Nachteile des FLASH-Speichers umfassen hohe Spannungserfordernisse und langsame Programmierungs- und Löschenzeiten. Auch hat ein FLASH-Speicher eine schlechte Schreibbeständigkeit von 10^4 – 10^6 Zyklen, bevor der Speicher versagt. Außerdem ist, um eine vernünftige Datenrückhaltung beizubehalten, die Skalierung der Oxydschicht durch die von den Elektronen gesehene Tunnelbarriere beschränkt. Daher ist der FLASH-Speicher auf Dimensionen limitiert, auf die er skaliert werden kann.

[0003] Um diese Nachteile zu überwinden, werden magnetische Speichervorrichtungen in Erwägung gezogen. Eine derartige Vorrichtung ist ein magnetoresistiver RAM (nachfolgend als "MRAM" bezeichnet). Um jedoch kommerziell praktikabel zu sein, muss ein MRAM vergleichbare Speicherdichte mit aktuellen Speichertechnologien haben, für zukünftige Generationen skalierbar sein, bei niedrigen Spannungen arbeiten, einen niedrigen Energieverbrauch haben und konkurrenzfähige Lese/Schreibegeschwindigkeiten aufweisen.

[0004] Für eine MRAM-Vorrichtung sind die Stabilität des nicht-flüchtigen Speicherzustandes, die Wiederholbarkeit der Lese/Schreibzyklen und die elementenweise Uniformität des Speicherschaltfeldes drei der wichtigsten Aspekte seiner Designeigenschaften. Ein Speicherzustand im MRAM wird nicht durch Leistung aufrechterhalten, sondern vielmehr durch die Ausrichtung des magnetischen Momentenvektors. Das Speichern von Daten wird ausgeführt, indem magnetische Felder angelegt werden und indem ein magnetisches Material in einer MRAM-Vorrichtung veranlasst wird, in einen von zwei möglichen Speicherzuständen magnetisiert zu werden. Ein Abrufen der Daten wird durchgeführt, indem die Widerstandsdifferenz in der MRAM-Vorrichtung zwischen den zwei Zuständen erfüllt wird. Die magnetischen Felder zum Schreiben werden erzeugt, indem Ströme durch Streifenleitungen außerhalb der magnetischen Struktur oder durch die magnetischen Strukturen selbst hindurchgeschickt werden.

[0005] Wenn sich die laterale Dimension einer MRAM-Vorrichtung verringert, treten drei Probleme auf. Erstens erhöht sich das Schaltfeld für eine gegebene Form und Filmdicke, was ein größeres magnetisches Feld zum Schalten erfordert. Zweitens wird das gesamte Schaltvolumen reduziert, so dass die Energiebarriere für die Umkehr sinkt. Die Energiebarriere bezieht sich auf den Energiebetrag, der benötigt wird, um den magnetischen Momentenvektor von einem Zustand in den anderen zu schalten. Die Energiebarriere bestimmt die Datenrückhaltung und Fehlerrate der MRAM-Vorrichtung und unbeabsichtigte Umkehrungen können aufgrund von Thermofluktuationen (Superparamagnetismus) auftreten, wenn die Barriere zu klein ist. Ein wesentliches Problem dabei, eine kleine Energiebarriere zu haben, ist, dass es extrem schwierig wird, eine MRAM-Vorrichtung in einem Array selektiv zu schalten. Selektierbarkeit erlaubt ein Schalten ohne unbeabsichtigtes Schalten anderer MRAM-Vorrichtungen. Schließlich wird, weil das Schaltfeld durch eine Form erzeugt wird, das Schaltfeld empfindlicher gegenüber Formvariationen, wenn sich die MRAM-Vorrichtung in der Größe verringert. Während die photolithographische Skalierung bei kleineren Dimensionen schwieriger wird, haben MRAM-Vorrichtungen Schwierigkeiten, strikte Schaltverteilungen aufrechtzuerhalten.

[0006] US 5,953,248 offenbart eine magnetische Tunnelübergangsspeicherzelle mit niedrigem Schaltfeld, die eine antiferromagnetisch gekoppelte Struktur mit ersten und zweiten magnetoresistiven Schichten unterschiedlicher Dicke und einer nicht-magnetischen, leitenden Schicht, die sandwichartig dazwischen eingebettet ist, enthält.

[0007] US 4,763,305 offenbart einen Speicherbyte-Programmierungsmodus, der unnötige Löschen und Programmierungszyklen vermeidet. Die Seiten 471–474 von "Halbleiter-Schaltungstechnik" von U. Tietze (XP002249282) offenbaren eine R-S-Flip-Flop-Anordnung. Es wäre daher höchst vorteilhaft, die vorgenannten und andere Nachteile, die dem Stand der Technik innewohnen, zu heilen.

Kurze Beschreibung der Zeichnungen

[0008] Die vorgenannten und weitere und speziellere Aufgaben und Vorteile der vorliegenden Erfindung werden für den Fachmann anhand der nachfolgenden, detaillierten Beschreibung einer bevorzugten Ausführungsform in Verbindung mit den folgenden Zeichnungen leicht verständlich:

[0009] [Fig. 1](#) ist eine vereinfachte Querschnittsansicht einer magnetoresistiven Direktzugriffsspeichervorrichtung;

[0010] [Fig. 2](#) ist eine vereinfachte Draufsicht auf eine magnetoresistive Direktzugriffsspeichervorrichtung.

tung mit Wort- und Bitleitungen;

[0011] [Fig. 3](#) ist ein Graph, der eine Simulation der magnetischen Feldamplitudenkombinationen illustriert, die den direkten oder Kippschreibemodus in der magnetoresistiven Direktzugriffsspeichervorrichtung erzeugen;

[0012] [Fig. 4](#) ist ein Graph, der das Timing-Diagramm des Wortstroms und des Bitstroms illustriert, wenn beide angeschaltet sind;

[0013] [Fig. 5](#) ist ein Diagramm, welches die Rotation der magnetischen Momentenvektoren für eine magnetoresistive Direktzugriffsspeichervorrichtung für den Kippschreibemodus illustriert, wenn eine "1" an eine "0" geschrieben wird;

[0014] [Fig. 6](#) ist ein Diagramm, das die Rotation der magnetischen Momentenvektoren für eine magnetoresistive Direktzugriffsspeichervorrichtung für den Kippschreibemodus illustriert, wenn eine "0" an eine "1" geschrieben wird;

[0015] [Fig. 7](#) ist ein Graph, der die Rotation der magnetischen Momentenvektoren für eine magnetoresistive Direktzugriffsspeichervorrichtung für den Direktschreibemodus illustriert, wenn eine "1" an eine "0" geschrieben wird;

[0016] [Fig. 8](#) ist ein Graph, der die Rotation der magnetischen Momentenvektoren für eine magnetoresistive Direktzugriffsspeichervorrichtung für den Direktschreibemodus illustriert, wenn eine "0" an einen Zustand geschrieben wird, der bereits "0" ist;

[0017] [Fig. 9](#) ist ein Graph, der das Timing-Diagramm des Wortstromes und des Bitstromes illustriert, wenn nur der Bitstrom angeschaltet ist;

[0018] [Fig. 10](#) ist ein Graph, der die Rotation der magnetischen Momentenvektoren für eine magnetoresistive Direktzugriffsspeichervorrichtung illustriert, wenn nur der Bitstrom angeschaltet ist;

[0019] [Fig. 11](#) ist ein Blockdiagramm eines Kippspeichers gemäß einer Ausführungsform der Erfindung;

[0020] [Fig. 12](#) ist ein detaillierteres Diagramm eines Bereichs des Speichers von [Fig. 11](#);

[0021] [Fig. 13](#) ist ein Timing-Diagramm, welches nützlich für das Verständnis des Betriebes des Speichers von [Fig. 11](#) ist;

[0022] [Fig. 14](#) ist ein Schaltungsdiagramm eines Bereichs des Speichers von [Fig. 11](#), welches eine Ausführungsform der erfindungsgemäßen Architektur zeigt;

[0023] [Fig. 15](#) ist ein erster Querschnitt einer Speicherzelle, die bei der Implementierung der Architektur von [Fig. 14](#) benutzt wird;

[0024] [Fig. 16](#) ist ein zweiter Querschnitt der Speicherzelle von [Fig. 15](#); und

[0025] [Fig. 17](#) ist ein Schaltungsdiagramm, welches eine Variation des Schaltungsdiagramms von [Fig. 14](#) zeigt;

Detaillierte Beschreibung der bevorzugten Ausführungsform

[0026] Ein Kippspeicher wird entweder durch Umkehren des Zustandes der Speicherzellen oder indem diese im selben logischen Zustand gelassen werden, geschrieben. Um zu bestimmen, was davon gewählt wird, muss der zu schreibende logische Zustand mit dem Zustand verglichen werden, der bereits vorliegt. In diesem Fall wird die Schreibsequenz gestartet, bevor dieser Vergleich vollendet ist. Wenn das Ergebnis des Vergleichs ist, dass der logische Zustand umgekehrt werden muss, wird die Schreibsequenz fortgesetzt. Wenn der logische Zustand derselbe bleiben muss, wird die Schreibsequenz beendet.

[0027] Wir wenden uns nun [Fig. 1](#) zu, die eine vereinfachte Querschnittsansicht eines MRAM-Arrays **3** gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung illustriert. Bei dieser Illustration ist nur eine einzelne magnetoresistive Speichervorrichtung **10** gezeigt; man wird jedoch verstehen, dass das MRAM-Array **3** aus einer Anzahl von MRAM-Vorrichtungen **10** besteht und wir zur Vereinfachung der Beschreibung des Schreibverfahrens nur eine solche Vorrichtung zeigen.

[0028] Die MRAM-Vorrichtung **10** enthält eine Schreibwortleitung **20** und eine Schreibebitleitung **30**. Die Schreibwortleitung **20** und die Schreibebitleitung **30** enthalten leitfähiges Material, so dass ein Strom durch sie hindurchgeschickt werden kann.

[0029] In dieser Illustration ist die Schreibwortleitung **20** oben an der MRAM-Vorrichtung **10** positioniert und die Schreibebitleitung **30** ist unten an der MRAM-Vorrichtung **10** positioniert und in einem 90° Winkel zu der Wortleitung **20** ausgerichtet (siehe [Fig. 2](#)). Als eine Alternative kann die Schreibwortleitung **20** unten an der MRAM-Vorrichtung **10** positioniert sein und die Schreibebitleitung **30** kann oben an der MRAM-Vorrichtung **10** positioniert sein.

[0030] Die MRAM-Vorrichtung **10** enthält einen Tunnelübergang, der eine erste magnetische Region **15**, eine Tunnelbarriere **16** und eine zweite magnetische Region **17** umfasst, wobei die Tunnelbarriere **16** sandwichartig zwischen der ersten magnetischen

Region **15** und der zweiten magnetischen Region **17** eingebettet ist. Bei der bevorzugten Ausführungsform enthält die magnetische Region **15** eine dreilagige Struktur **18**, die eine antiferromagnetische Kopplungsabstandshalterschicht **65** zwischen zwei ferromagnetischen Schichten **45** und **55** aufweist. Die antiferromagnetische Kopplungsabstandshalterschicht **65** hat eine Dicke **86** und die ferromagnetischen Schichten **45** und **55** haben Dicken **41** bzw. **51**. Weiter weist die magnetische Region **17** eine dreilagige Struktur **19** auf, die eine antiferromagnetische Kopplungsabstandshalterschicht **66** zwischen zwei ferromagnetischen Schichten **46** und **56** aufweist. Die antiferromagnetische Kopplungsabstandshalterschicht **66** hat eine Dicke **87** und die ferromagnetischen Schichten **46** und **56** haben Dicken **42** bzw. **52**.

[0031] Im Allgemeinen enthalten die antiferromagnetischen Kopplungsabstandshalterschichten **65** und **66** wenigstens eines der Elemente Ru, Os, Re, Cr, Rh, Cu oder Kombinationen davon. Weiter enthalten die ferromagnetischen Schichten **45**, **55**, **46** und **56** wenigstens eines der Elemente Ni, Fe, Mn, Co oder Kombinationen davon. Man wird auch verstehen, dass die magnetischen Regionen **15** und **17** synthetische antiferromagnetische (SAF) Schichtmaterialstrukturen, die keine dreilagigen Strukturen sind, enthalten können und dass die Verwendung dreilagiger Strukturen in dieser Ausführungsform nur illustrativen Zwecken dient. Beispielsweise könnte eine solche synthetische antiferromagnetische Schichtmaterialstruktur einen fünflagigen Stapel einer ferromagnetischen Schicht/antiferromagnetischen Kopplungsabstandshalterschicht/ferromagnetischen Schicht/antiferromagnetischen Kopplungsabstandshalterschicht/ferromagnetischen Schichtstruktur enthalten.

[0032] Die ferromagnetischen Schichten **45** und **55** haben jeweils einen magnetischen Momentenvektor **57** bzw. **53**, die üblicherweise durch Kopplung der antiferromagnetischen Kopplungsabstandshalterschicht **65** antiparallel gehalten werden. Auch die magnetische Region **15** weist einen resultierenden magnetischen Momentenvektor **40** auf und die magnetische Region **17** weist einen resultierenden magnetischen Momentenvektor **50** auf. Die resultierenden magnetischen Momentenvektoren **40** und **50** sind entlang einer "leichten" Anisotropieachse in einer Richtung, die in einem Winkel, vorzugsweise 45° , von der Schreibwortleitung **20** und der Schreibbitleitung **30** ausgerichtet ist, orientiert (siehe [Fig. 2](#)). Weiter ist die magnetische Region **15** eine freie ferromagnetische Region, was bedeutet, dass der resultierende magnetische Momentenvektor **40** frei ist, in der Anwesenheit eines angelegten Magnetfeldes zu rotieren. Die magnetische Region **17** ist eine festgehaltene ferromagnetische Region, was bedeutet, dass der resultierende magnetische Momentenvektor **50** nicht frei ist, in der Anwesenheit eines moderaten angelegten Magnetfeldes zu rotieren, und als die Referenzschicht benutzt wird.

renzschicht benutzt wird.

[0033] Obgleich die antiferromagnetischen Kopplungsschichten zwischen den zwei ferromagnetischen Schichten in jeder dreilagigen Struktur **18** illustriert sind, wird man verstehen, dass die ferromagnetischen Schichten durch andere Mittel, wie etwa magnetostatische Felder oder andere Merkmale antiferromagnetisch gekoppelt sein können. Wenn beispielsweise das Seitenverhältnis einer Zelle auf fünf oder kleiner reduziert wird, werden die ferromagnetischen Schichten aus dem magnetischen Flussabschluss antiparallel gekoppelt.

[0034] Bei der bevorzugten Ausführungsform hat die MRAM-Vorrichtung **10** dreilagige Strukturen **18**, die ein Längen/Breitenverhältnis im Bereich von 1–5 für einen nicht-zirkularen Grundriss aufweisen. Wir illustrieren jedoch einen Grundriss, der zirkular ist (siehe [Fig. 2](#)). Die MRAM-Vorrichtung **10** hat bei der bevorzugten Ausführungsform eine zirkular Form, um den Beitrag der Formanisotropie zu dem Schaltfeld zu minimieren und auch weil es leichter ist, eine photolithographische Bearbeitung zu verwenden, um die Vorrichtung lateral auf kleinere Dimensionen zu skalieren. Man wird jedoch verstehen, dass die MRAM-Vorrichtung **10** andere Formen haben kann, wie etwa quadratisch, elliptisch, rechteckig oder rauteförmig, dass sie jedoch der Einfachheit halber als rund illustriert ist.

[0035] Weiter wird während der Herstellung des MRAM-Arrays **3** jede folgende Schicht (d.h. **30**, **55**, **65** etc.) in Folge abgelagert oder anderweitig ausgebildet und jede MRAM-Vorrichtung **10** kann als durch selektive Ablagerung, photolithographische Bearbeitung, Ätzen, etc. in irgendeiner in der Halbleiterindustrie bekannten Technik definiert werden. Während der Ablagerung wenigstens der ferromagnetischen Schichten **45** und **55** wird ein magnetisches Feld bereitgestellt, um eine vorbestimmte magnetische "leichte" Achse für dieses Paar einzustellen (induzierte Anisotropie). Das bereitgestellte Magnetfeld erzeugt eine bevorzugte Anisotropieachse für die magnetischen Momentenvektoren **53** und **57**. Die bevorzugte Achse wird ausgewählt, 45° der Schreibwortleitung **20** und der Schreibbitleitung **30** zu betragen, wie dies jetzt diskutiert werden soll.

[0036] Wir wenden uns nun [Fig. 2](#) zu, die eine vereinfachte Draufsicht auf ein MRAM-Array **3** gemäß der vorliegenden Erfindung illustriert. Der Einfachheit der Beschreibung der MRAM-Vorrichtung **10** halber werden alle Richtungen auf ein x- und y-Koordinatensystem **100**, wie dargestellt, bezogen und eine Rotationsrichtung im Uhrzeigersinn **94** und eine Rotationsrichtung gegen Uhrzeigersinn **96**. Um die Beschreibung weiter zu vereinfachen, wird wieder angenommen, dass N gleich zwei sei, so dass die MRAM-Vorrichtung **10** eine dreilagige Struktur in der

Region **15** mit magnetischen Momentenvektoren **53** und **57** sowie einen resultierenden magnetischen Momentenvektor **40** enthält. Auch sind nur die magnetischen Momentenvektoren der Region **15** illustriert, da diese geschaltet werden.

[0037] Um zu illustrieren, wie das Verfahren arbeitet, wird angenommen, dass eine bevorzugte Anisotropieachse für die magnetischen Momentenvektoren **53** und **57** in einem 45° Winkel relativ zu den negativen x- und negativen y-Richtungen und in einem 45° Winkel relativ zu den positiven x- und positiven y-Richtungen ausgerichtet ist. Als ein Beispiel zeigt **Fig. 2**, dass der magnetische Momentenvektor **53** in einem 45° Winkel relativ zu den negativen x- und negativen y-Richtungen ausgerichtet ist. Da der magnetische Momentenvektor **57** allgemein antiparallel zum magnetischen Momentenvektor **53** orientiert ist, ist er in einem 45° Winkel relativ zu den positiven x- und den positiven y-Richtungen ausgerichtet. Diese Anfangsorientierung wird benutzt, um Beispiele des Schreibverfahrens zu zeigen, wie es jetzt diskutiert wird.

[0038] Bei der bevorzugten Ausführungsform ist ein Schreibewortstrom **60** als positiv definiert, wenn er in einer positiven x-Richtung fließt und ein Schreibebitstrom **70** ist als positiv definiert, wenn er in einer positiven y-Richtung fließt. Der Zweck der Schreibewortleitung **20** und Schreibebitleitung **30** ist es, ein magnetisches Feld innerhalb der MRAM-Vorrichtung **10** zu erzeugen. Ein positiver Schreibewortstrom **60** induziert ein umlaufendes Schreibewortmagnetfeld H_w **80** und ein positiver Schreibebitstrom **70** induziert ein umlaufendes Schreibebitmagnetfeld H_b **90**. Da bei diesem Beispiel die Schreibewortleitung **20** über der MRAM-Vorrichtung **10** in der Ebene des Elementes liegt, wird H_w **80** an die MRAM-Vorrichtung **10** in positiver y-Richtung für einen positiven Schreibewortstrom **60** angelegt. Auf ähnliche Weise wird, da die Schreibebitleitung **30** unter der MRAM-Vorrichtung **10** in der Ebene des Elementes liegt, H_b **90** an die MRAM-Vorrichtung **10** in der positiven x-Richtung für einen positiven Schreibebitstrom **70** angelegt. Man wird verstehen, dass die Definitionen für positiven und negativen Stromfluss willkürlich sind und hier zu illustrativen Zwecken definiert sind. Der Effekt des Umkehrens des Stromflusses ist es, die Richtung des in der MRAM-Vorrichtung induzierten Magnetfeldes zu ändern. Das Verhalten eines strominduzierten Magnetfeldes ist dem Fachmann wohlbekannt und soll hier nicht weiter ausgeführt werden.

[0039] Wir wenden uns nun **Fig. 3** zu, die ein simuliertes Schaltverhalten einer dreilagigen SAF-Struktur illustriert. Die Simulation besteht aus zwei Einzeldomänen-Magnetschichten, die fast dasselbe Moment (ein nahezu ausbalanciertes SAF) mit einer intrinsischen Anisotropie aufweisen, antiferromagnetisch gekoppelt sind und deren Magnetisierungsdy-

namiken durch die Landau-Lifshitz-Gleichung beschrieben sind. Die x-Achse ist die Amplitude des Schreibewortleitungsmagnetfeldes in Oersted und die y-Achse ist die Amplitude des Schreibebitleitungsmagnetfeldes in Oersted. Die magnetischen Felder werden mit einer Pulssequenz **100**, wie in **Fig. 4** gezeigt, angelegt, wobei die Pulssequenz **100** einen Schreibewortstrom **60** und einen Schreibebitstrom **70** als Funktionen der Zeit enthält.

[0040] Es gibt drei Betriebsregionen, die in **Fig. 3** illustriert sind. In einer Region **92** gibt es kein Schalten. Für den MRAM-Betrieb in einer Region **95** arbeitet das Direktschreibeverfahren. Wenn das Direktschreibeverfahren benutzt wird, besteht kein Bedarf, den ursprünglichen Zustand der MRAM-Vorrichtung zu bestimmen, da der Zustand nur geschaltet wird, wenn der zu schreibende Zustand verschieden ist, von dem Zustand der gespeichert ist. Die Auswahl des geschriebenen Zustandes wird von der Richtung des Stroms sowohl in der Schreibewortleitung **20** als auch der Schreibebitleitung **30** bestimmt. Wenn beispielsweise eine "1" geschrieben werden soll, ist die Stromrichtung in beiden Leitungen positiv. Wenn eine "1" bereits in dem Element gespeichert ist und eine "1" geschrieben werden soll, wird der Endzustand der MRAM-Vorrichtung weiter "1" sein. Wenn weiter eine "0" gespeichert ist und "1" mit positiven Strömen geschrieben wird, wird der Endzustand der MRAM-Vorrichtung "1" sein. Ähnliche Ergebnisse werden erzielt, wenn eine "0" unter Verwendung negativer Ströme in sowohl den Schreibewort- als auch den Schreibebitleitungen verwendet wird. Jeder Zustand kann daher mit der geeigneten Polarität der Strompulse als erwünschte "1" oder "0" programmiert werden, unabhängig von seinem Ursprungszustand. In dieser Offenbarung wird die Region **95** als "Direktschreibemodus" definiert.

[0041] Für den MRAM-Betrieb in einer Region **97** arbeitet das Kippschreibeverfahren. Wenn das Kippschreibeverfahren benutzt wird, besteht eine Notwendigkeit, den ursprünglichen Zustand der MRAM-Vorrichtung vor dem Schreiben zu bestimmen, weil der Zustand jedes Mal geschaltet wird, wenn in die MRAM-Vorrichtung geschrieben wird, unabhängig von dem Strömen, solange Strompulse mit derselben Polarität für die Schreibewortleitung **20** sowie die Schreibebitleitung **30** gewählt werden. Wenn beispielsweise eine "1" ursprünglich gespeichert war, wird der Zustand der Vorrichtung zu einer "0" geschaltet, nachdem eine positive Strompulssequenz durch die Schreibewort- und Schreibebitleitungen geleitet wurde. Wiederholen der positiven Strompulssequenz in dem gespeicherten "0"-Zustand führt sie zurück zu einer "1". Um daher in der Lage zu sein, das Speicherelement in den erwünschten Zustand zu schreiben, muss zuerst der Ursprungszustand der MRAM-Vorrichtung **10** gelesen und mit dem zu schreibenden Zustand verglichen werden. Das Le-

sen und Vergleichen kann eine zusätzliche logische Schaltung erfordern, einschließlich eines Puffers zum Speichern von Information und eines Komparators zum Vergleichen von Speicherzuständen. Die MRAM-Vorrichtung **10** wird dann nur geschrieben, wenn der gespeicherte Zustand und der zu speichernde Zustand unterschiedlich sind. Einer der Vorteile dieses Verfahrens ist es, dass die verbrauchte Energie verringert wird, da nur die unterschiedlichen Bits geschaltet werden. Ein zusätzlicher Vorteil der Verwendung des Kippschreibverfahrens ist, dass nur unipolare Spannungen erforderlich sind und daher kleinere N-Kanaltransistoren verwendet werden können, um die MRAM-Vorrichtung anzusteuern. In dieser Offenbarung wird der Betrieb in Region **97** als "Kippschreibemodus" definiert.

[0042] Beide Schreibverfahren setzen das Anlegen von Strömen in der Schreibwortleitung **20** und der Schreibbitleitung **30** ein, so dass die magnetischen Momentenvektoren **53** und **57** in einer von zwei bevorzugten Richtungen ausgerichtet werden können, wie zuvor diskutiert. Um die zwei Schaltungsmoden voll zu erleuchten, werden nun spezielle Beispiele angegeben, die die zeitliche Entwicklung der magnetischen Momentenvektoren **53**, **57** und **40** beschreiben.

[0043] Wir wenden uns nun [Fig. 5](#) zu, die den Kippschreibemodus für das Schreiben einer "1" an eine "0" unter Verwendung der Pulsesequenz **100** illustriert. Bei dieser Illustrierung sind zur Zeit t_0 die magnetischen Vektoren **53** und **57** in den bevorzugten Richtungen, wie in [Fig. 2](#) gezeigt, ausgerichtet. Diese Orientierung wird als eine "1" definiert.

[0044] Zu einer Zeit t_1 wird ein positiver Schreibwortstrom **60** angeschaltet, der H_w **80** induziert, so dass es in positiver Y-Richtung ausgerichtet ist. Die Wirkung des positiven H_w **80** ist es, die nahezu ausbalancierte, entgegengesetzt ausgerichtete dreilagige MRAM zu veranlassen zu "FLOpen" und ungefähr 90° zu der angelegten Feldrichtung ausgerichtet zu werden. Die finite, antiferromagnetische Austauschwechselwirkung zwischen den ferromagnetischen Schichten **45** und **55** erlaubt es den magnetischen Momentenvektoren **53** und **57** nun sich um einem kleinen Winkel zur Magnetfeldrichtung hin zu verlagern und der resultierende magnetische Momentenvektor **40** schneidet den Winkel zwischen den magnetischen Momentenvektoren **53** und **57** und wird sich zu H_w **80** ausrichten. Der magnetische Momentenvektor **53** wird daher in Uhrzeigersinn **94** rotiert. Da der resultierende magnetische Momentenvektor **40** die Vektorsumme der magnetischen Momentenvektoren **53** und **57** ist, wird der magnetische Momentenvektor **57** ebenfalls im Uhrzeigersinn **94** rotiert.

[0045] Zu einer Zeit t_2 wird der positive Schreibbit-

strom **70** angeschaltet, der das positive H_b **90** induziert. Folglich wird der resultierende magnetische Momentenvektor **40** gleichzeitig von H_w **80** in der positiven y-Richtung und von H_b **90** in der positiven x-Richtung ausgerichtet, was den Effekt hat, dass der effektive magnetische Momentenvektor **40** weiter im Uhrzeigersinn **94** rotiert, bis er allgemein in einem 45° Winkel zwischen den positiven x- und positiven y-Richtungen orientiert ist. Folglich rotieren die magnetischen Momentenvektoren **53** und **57** ebenfalls im Uhrzeigersinn **94**.

[0046] Zu einer Zeit t_3 wird der Schreibwortstrom **60** abgeschaltet, so dass nun lediglich H_b **90** den resultierenden magnetischen Momentenvektor **40** ausrichtet, der nun in der positiven x-Richtung orientiert wird. Beide magnetischen Momentenvektoren **53** und **57** werden nun allgemein in Winkeln jenseits ihrer Instabilitätspunkte der "schweren" Anisotropieachsen ausgerichtet.

[0047] Zu einer Zeit t_4 wird der Schreibbitstrom **70** ausgeschaltet, so dass keine magnetische Feldkraft auf den resultierenden magnetischen Momentenvektor **40** wirkt. Folglich werden die magnetischen Momentenvektoren **53** und **57** in ihren nächsten bevorzugten Richtungen orientiert, um die Anisotropieenergie zu minimieren. In diesem Fall ist die bevorzugte Richtung für den magnetischen Momentenvektor **53** ein 45° Winkel relativ zu den positiven y- und positiven x-Richtungen. Diese bevorzugte Richtung ist auch 180° von der ursprünglichen Richtung des magnetischen Vektors **53** zur Zeit t_0 und ist definiert als "0". Die MRAM-Vorrichtung **10** wurde daher auf eine "0" umgeschaltet. Man wird verstehen, dass die MRAM-Vorrichtung **10** auch von den rotierenden magnetischen Momentenvektoren **53**, **57** und **40** im Gegenuhrzeigersinn **96** unter Verwendung negativer Ströme in der Schreibwortleitung und der Schreibbitleitung **30** geschaltet werden könnte, dass es zu illustrativen Zwecken jedoch anders dargestellt wurde.

[0048] Wir wenden uns nun [Fig. 6](#) zu, die den Kippschreibemodus zum Schreiben einer "0" an eine "1" unter Verwendung einer Pulsesequenz **100** illustriert. Illustriert sind die magnetischen Momentenvektoren **53** und **57** sowie der resultierende magnetischen Momentenvektor **40**, jeweils zu den Zeiten t_0 , t_1 , t_2 , t_3 , t_4 , wie zuvor beschrieben, wobei die Fähigkeit gezeigt wird, den Zustand der MRAM-Vorrichtung **10** von "0" zu "1" mit den selben Strom- und Magnetfeldrichtungen zu schalten. Der Zustand der MRAM-Vorrichtung **10** wird daher mit dem Kippschreibemodus geschrieben, der der Region **97** in [Fig. 3](#) entspricht.

[0049] Für den Direktschreibemodus sei angenommen, dass der magnetische Momentenvektor **53** betragsmäßig größer ist als der magnetische Momentenvektor **57**, so dass der magnetische Momentenvektor **40** in dieselbe Richtung zeigt wie der magneti-

sche Momentenvektor **53**, im Nullfeld jedoch einen kleineren Betrag hat. Dieses unbalancierte Moment erlaubt es der Dipolenergie, die dazu neigt, das Gesamtmoment mit dem angelegten Feld auszurichten, die Symmetrie der fast ausbalancierten SAF zu brechen. Ein Schalten kann daher nur in einer Richtung für eine gegebene Strompolarität erfolgen.

[0050] Wir wenden uns nun [Fig. 7](#) zu, die ein Beispiel des Schreibens einer "1" an eine "0" unter Verwendung des Direktschreibemodus unter Verwendung der Pulssequenz **100** illustriert. Auch hier ist der Momentenzustand anfänglich eine "1", wobei der magnetische Momentenvektor **53** mit 45° in Bezug auf die negativen x- und negativen y-Richtungen ausgerichtet ist, und wobei der magnetische Momentenvektor **57** mit 45° in Bezug auf die positiven x- und positiven y-Richtungen ausgerichtet ist. Nach der Pulssequenz, wie oben beschrieben, mit einem positiven Schreibwortstrom **60** und einem positiven Schreibebitstrom **70** erfolgt das Schreiben in ähnlicher Weise wie der zuvor beschriebene Kippschreibemodus. Man beachte, dass die Momente wieder zu einer Zeit t_1 "FLOPen", der resultierende Winkel jedoch aufgrund des unbalancierten Momentes und der Anisotropie von 90° abgelenkt ist. Nach der Zeit t_4 ist die MRAM-Vorrichtung **10** in den "0"-Zustand geschaltet, wobei das resultierende magnetische Moment **40** in einem 45° Winkel in den positiven x- und positiven y-Richtungen orientiert ist, wie erwünscht. Ähnliche Ergebnisse werden erreicht, wenn eine "0" an eine "1" geschrieben werden, jedoch nun nur mit einem negativen Schreibwortstrom **60** und einem negativen Schreibebitstrom **70**.

[0051] Wir wenden uns nun [Fig. 8](#) zu, die ein Beispiel des Schreibens unter Verwendung des Direktschreibemodus illustriert, wenn der neue Zustand derselbe ist, wie der bereits gespeicherte Zustand. In diesem Beispiel ist eine "0" bereits in der MRAM-Vorrichtung **10** gespeichert und die Strompulssequenz **100** wird nun wiederholt, um eine "0" zu speichern. Die magnetischen Momentenvektoren **53** und **57** versuchen, zu einer Zeit t_1 zu "FLOPen", wobei jedoch die Rotation verringert ist, weil das unbalancierte magnetische Moment gegen das angelegte magnetische Feld arbeiten muss. Es gibt daher eine zusätzliche Energiebarriere, um aus dem umgekehrten Zustand heraus zu rotieren. Zur Zeit t_2 ist das dominante Moment **53** in etwa mit der positiven x-Achse ausgerichtet und weniger als 45° von seiner ursprünglichen Anisotropierichtung. Zu einer Zeit t_3 ist das magnetische Feld entlang der positiven x-Achse ausgerichtet. Anstatt weiter im Uhrzeigersinn zu rotieren, verringert das System nun seine Energie durch Verändern der SAF-Momentensymmetrie in Bezug auf das angelegte Feld. Das passive Moment **57** kreuzt die x-Achse und das System stabilisiert sich, wenn das dominante Moment **53** in die Nähe seiner ursprünglichen Ausrichtung zurückkehrt. Zu einer Zeit

t_4 , wenn das magnetische Feld entfernt wird, bleibt der in der MRAM-Vorrichtung **10** gespeicherte Zustand eine "0". Diese Sequenz illustriert den Mechanismus des Direktschreibemodus, der als Region **95** in [Fig. 3](#) gezeigt ist. Im Rahmen dieser Übereinkunft erfordert es daher einen positiven Strom sowohl in der Schreibwortleitung **60** als auch in der Schreibebitleitung **70**, um eine "0" zu schreiben und umgekehrt erfordert es einen negativen Strom in sowohl der Schreibwortleitung **60** als auch der Schreibebitleitung **70**, um eine "1" zu schreiben.

[0052] Wenn größere Felder angelegt werden, verringert sich die zu einem FLOP gehörige Energie und die Schiefelage überschreitet die zusätzliche Energiebarriere, die von der Dipolenergie des unbalancierten Momentes erzeugt wird, die ein Kippereignis verhindert. An diesem Punkt tritt ein Kippereignis ein und das Schalten ist durch die Region **97** beschrieben.

[0053] Die Region **95**, in der der Direktschreibemodus Anwendung findet, kann ausgedehnt werden, d.h. die Kippmodenregion **97** kann zu höheren magnetischen Feldern hin verschoben werden, wenn die Zeiten t_3 und t_4 gleich sind oder so gleich wie möglich gemacht werden. In diesem Fall startet die Magnetfeldrichtung bei 45° relativ zu der Bitanisotropieachse, wenn der Schreibwortstrom **60** angeschaltet wird, und bewegt sich dann parallel mit der Bitanisotropieachse, wenn der Schreibebitstrom **70** angeschaltet wird. Dieses Beispiel ist ähnlich der typischen Sequenz zum Anlegen des Magnetfeldes. Jetzt werden jedoch der Schreibwortstrom **60** und der Schreibebitstrom **70** im Wesentlichen gleichzeitig abgeschaltet, so dass die Magnetfeldrichtung nicht weiter rotiert. Das angelegte Feld muss daher groß genug sein, so dass sich der resultierende magnetische Momentenvektor **40** bereits über seinen Instabilitätspunkt der Hartachse hinaus bewegt hat, während sowohl der Schreibwortstrom **60** als auch der Schreibebitstrom **70** angeschaltet waren. Es ist nun weniger wahrscheinlich, dass ein Kippschreibemodenergebnis eintritt, da die magnetische Feldrichtung nun um nur 45° , anstelle von 90° wie zuvor, bewegt wird. Ein Vorteil dabei, im Wesentlichen zusammenfallende Abfallzeiten t_3 und t_4 zu haben, ist, dass es nun keine zusätzlichen Beschränkungen bezüglich der Reihenfolge der Feldanstiegszeiten t_1 und t_2 gibt. Die magnetischen Felder können daher in jeder beliebigen Reihenfolge oder auch im Wesentlichen gleichzeitig angeschaltet werden.

[0054] Die zuvor beschriebenen Schreibverfahren sind hoch selektiv, weil nur diejenige MRAM-Vorrichtung, bei der sowohl der Schreibwortstrom **60** als auch der Schreibebitstrom **70** zwischen den Zeiten t_2 und t_3 angeschaltet ist, die Zustände umschalten wird. Dieses Merkmal ist in den [Fig. 9](#) und [Fig. 10](#) illustriert. [Fig. 9](#) illustriert eine Pulssequenz **100**, wenn der Schreibwortstrom **60** nicht angeschaltet ist und

der Schreibebitstrom **70** angeschaltet ist. [Fig. 10](#) illustriert das entsprechende Verhalten des Zustandes der MRAM-Vorrichtung **10**. Zu einer Zeit t_0 sind die magnetischen Momentenvektoren **53** und **57** sowie der resultierende magnetischen Momentenvektor **40** orientiert, wie in [Fig. 2](#) beschrieben. In der Pulssequenz **100** wird der Schreibebitstrom **70** zu einer Zeit t_1 angeschaltet. Während dieser Zeit veranlasst H_B **90**, dass der resultierende magnetische Momentenvektor **40** in der positiven x-Richtung ausgerichtet wird.

[0055] Da der Schreibewortstrom **60** niemals angeschaltet wird, rotieren die magnetischen Momentenvektoren **53** und **57** niemals durch ihre Instabilitätspunkte der "schweren" Anisotropieachse. Als ein Ergebnis werden die magnetischen Momentenvektoren **53** und **57** sich selbst in der nächsten bevorzugten Richtung neu orientieren, wenn der Schreibebitstrom **70** zu einer Zeit t_3 ausgeschaltet wird, was in diesem Fall die ursprüngliche Richtung zur Zeit t_0 ist. Der Zustand der MRAM-Vorrichtung **10** wird daher nicht geschaltet. Man wird verstehen, dass dasselbe Resultat eintreten wird, wenn der Schreibewortstrom **60** zu ähnlichen Zeiten wie oben beschrieben und der Schreibebitstrom **70** nicht angeschaltet wird. Dieses Merkmal stellt sicher, dass nur eine MRAM-Vorrichtung in dem Array geschaltet wird, während die anderen Vorrichtungen in ihren ursprünglichen Zuständen bleiben. Als ein Resultat wird unbeabsichtigtes Schalten vermieden und die Bitfehlerrate wird minimiert.

[0056] Dargestellt in [Fig. 11](#) ist ein Speicher **110**, umfassend ein Speicherarray **112**, einen Schreibewortdecodierer **114**, einen Schreibewortleitungstreiber **116**, einen Lesewortdecodierer **118**, einen Lesewortleitungstreiber **120**, einen oder mehrere Fühlervverstärker **122**, einen Lesebitdecodierer **124**, einen Schreibebitdecodierer **126**, einen Schreibebitstreiber **128**, einen Komparator **130** und einen Ausgangstreiber **132**. Diese Elemente sind durch mehrere Leitungen miteinander gekoppelt. Beispielsweise empfängt der Lesebitdecodierer **124** eine Spaltenadresse, die aus mehreren Adresssignalen aufgebaut ist. Das Speicherarray **112** ist ein Array von Speicherzellen, die in einer Kippoperation geschaltet werden können. Ein Bereich der Speicherzellen für das Speicherarray **112** ist ein Speicherarray **200**, das in [Fig. 11](#) gezeigt ist, welches ein MRAM-Zellenarray ist, das mit dem für das Speicherarray **3** von [Fig. 1](#) beschriebene Verfahren geschrieben wird, indem das Schreiben in vier Schritten von 45° Winkeln erfolgt, bis 180° erreicht sind. Bei diesem besonderen, bevorzugten Zellenarray gibt es separate Wortleitungen und Bitleitungen für eine Schreibeoperation und eine Leseoperation.

[0057] Der Lesewortdecodierer **118** empfängt eine Zeilenadresse und ist mit dem Lesewortleitungstreiber **120** gekoppelt, der seinerseits mit dem Speicher-

array **112** gekoppelt ist. Für ein Lesen wählt der Lesewortdecodierer **118** eine Lesewortleitung im Speicherarray **112**, basierend auf der Zeilenadresse, aus. Die ausgewählte Wortleitung wird von dem Leseleitungstreiber **120** angesteuert. Der Lesebitdecodierer **124**, der die Spaltenadresse empfängt und zwischen dem Fühlervverstärker **122** und dem Speicherarray **112** angeschlossen ist, selektiert eine Lesebitleitung aus dem Lesebitdecodierer **124**, basierend auf der Spaltenadresse, aus dem Speicherarray **112** und koppelt sie mit dem Fühlervverstärker **122**. Der Fühlervverstärker **122** detektiert den logischen Zustand und koppelt ihn in den Ausgangstreiber **132** und den Komparator **130** ein. Der Ausgangstreiber **132** liefert für ein Lesen ein Datenausgangssignal DO. Für eine Schreibeoperation vergleicht der Komparator **130** den logischen Zustand der ausgewählten Zelle, der von dem Fühlervverstärker **122** geliefert wird, mit dem erwünschten, zu schreibenden logischen Zustand, wie er vom Dateneingang geliefert wird.

[0058] Der Schreibewortdecodierer **114** empfängt die Zeilenadresse und ist mit dem Schreibewortleitungstreiber **116** gekoppelt, der seinerseits mit dem Speicherarray **112** gekoppelt ist. Für ein Schreiben selektiert der Schreibewortdecodierer **114** eine Schreibewortleitung, basierend auf der Zeilenadresse, in dem Speicherarray **112** und der Schreibewortleitungstreiber steuert seinerseits diese selektierte Schreibewortleitung an. Der Schreibebitdecodierer **126** empfängt die Spaltenadresse und ist mit dem Schreibebitstreiber **128** gekoppelt, der mit dem Speicherarray **112** gekoppelt ist. Der Schreibebitdecodierer **126** selektiert eine Schreibebitleitung basierend auf der Spaltenadresse und der Schreibebitstreiber **128** steuert seinerseits die selektierte Schreibebitleitung an, um den Zustand der selektierten Zelle zu kippen.

[0059] Da das Speicherarray **112** ein Kippspeicher ist, wird eine Schreibekippoperation nur vollendet, wenn der logische Zustand der Zelle gekippt werden muss, um den erwünschten, resultierenden logischen Zustand für die selektierte Zelle zu erhalten. Der Komparator **130** empfängt daher die Ausgabe einer Leseoperation an der selektierten Zelle vom Fühlervverstärker **122** und bestimmt, ob die selektierte Zelle bereits den erwünschten logischen Zustand hat. Wenn die selektierte Zelle, wie durch die Zeilen- und Spaltenadresse bestimmt, den erwünschten logischen Zustand hat, wird die Schreibeoperation beendet. Wenn der logische Zustand der ausgewählten Zelle verschieden ist von dem erwünschten Zustand, zeigt der Komparator dem Schreibebitstreiber **128** an, dass das Schreiben fortgesetzt werden soll und der Schreibebitstreiber für die ausgewählte Schreibebitleitung steuert die ausgewählte Schreibebitleitung an.

[0060] Dargestellt in [Fig. 12](#) ist ein Teil des Speichers **110** von [Fig. 11](#), umfassend den Schreibewort-

leitungstreiber **116**, der mit den Schreibwortleitungen WL gekoppelt ist, den Schreibebitleiter **128**, der mit den Schreibebitleitungen BL gekoppelt ist, und die Zellen **134**, **136**, **138** und **140**, die mit Kreuzungen von Schreibebitleitungen BL und Wortbitleitungen WL gekoppelt sind. Damit ein Schreiben eintritt, wird ein Strom an eine selektierte Wortleitung WL angelegt, während kein Strom in der selektierten Schreibebitleitung fließt, und zwar für eine ausreichend lange Zeit, um die erste Winkeländerung in den Speicherzellen entlang der selektierten Schreibwortleitung zu verursachen. Während der Strom in der ausgewählten Schreibwortleitung noch fließt, wird Strom durch die selektierte Schreibebitleitung fließen gelassen, um die zweite Winkeländerung der ausgewählten Speicherzelle zu verursachen. Nur bei der Kreuzung der stromführenden Schreibebitleitung und Schreibwortleitung erfolgt diese zweite Winkeländerung. Während der Strom noch immer durch die Schreibebitleitung fließt, wird der Stromfluss durch die selektierte Schreibwortleitung beendet, um eine dritte Winkeländerung in der selektierten Speicherzelle zu verursachen. Nur bei der Kreuzung der ausgewählten Schreibebitleitung und der ausgewählten Schreibwortleitung erfolgt diese dritte Änderung. Eine vierte Winkeländerung der ausgewählten Speicherzelle tritt ein, wenn der Strom durch die ausgewählte Schreibebitleitung beendet wird.

[0061] Die Schreiboperation des Speichers **110** wird unter Bezugnahme auf das Timing-Diagramm von [Fig. 13](#) weiter erläutert. Sowohl eine Leseoperation als auch eine Schreibekippoperation werden durch Änderung in der Zeilen- oder Spaltenadresse wie gezeigt durch Aktivieren einer Lesewortleitung WLA, wie in [Fig. 13](#) gezeigt, initiiert. Obgleich das Schreiben nicht ausgeführt werden kann, bis bestimmt worden ist, dass der logische Zustand gekippt werden muss, kann gleichwohl der Schreibzyklus wie erwähnt beginnen, indem die Schreibwortleitung aktiviert wird, bevor der Fühlervverstärker seine Ausgabe liefert und der Komparator bestimmt, ob der logische Zustand gekippt werden muss. Aktivieren (Verursachen eines Stromflusses hindurch) der Schreibwortleitung verursacht die erste Winkeländerung in der selektierten Zelle sowie in allen Zellen entlang der selektierten Schreibwortleitung, wobei jedoch diese Änderung umgekehrt wird, wenn der Strom beendet wird, ohne dass die Schreibebitleitung aktiviert wird. Die ausgewählte Schreibwortleitung kann daher aktiviert werden, bevor der Komparator seine Bestimmung vornimmt, weil die erste Winkeländerung einfach durch Entfernen des Stroms umgekehrt wird. Dies muss der Fall sein, da alle Zellen auf der selektierten Schreibwortleitung die erste Winkeländerung erfahren, alle außer einer jedoch nicht ausgewählt sind. Lediglich die ausgewählte Zelle erfährt jedoch die zweite Winkeländerung und dies tritt ein, wenn die Schreibebitleitung aktiviert wird. Dies ist als eintretend dargestellt, nachdem der Kom-

parator die Bestimmung vorgenommen hat, dass eine logische Zustandsänderung erwünscht ist. Die erste Winkeländerung ist gezeigt als von 0° bis 45° und die zweite Änderung ist von 45° bis 90° . Die dritte Winkeländerung ist gezeigt als auftretend, wenn die Schreibwortleitung deaktiviert wird (Strom wird beendet). Dies ist gezeigt als von 90° bis 135° . Die abschließende, gezeigte Winkeländerung ist die vierte Winkeländerung und tritt ein, wenn die Schreibebitleitung deaktiviert wird. Diese Winkeländerung ist als von 135° bis 180° gezeigt.

[0062] Dies zeigt auch, dass die abschließenden Stufen des Schreibens nach der nächsten Adressänderung, die einen weiteren Zyklus initiiert, erfolgen können. Der Beginn eines Zyklus beginnt stets mit einem Lesen, selbst wenn es sich um einen Schreibzyklus handelt. Die Adresse A wird in die Adresse B geändert und veranlasst, dass die Lesewortleitung B selektiert wird. Dies stört sich nicht mit dem Schreiben der zuvor ausgewählten Zelle. Dies stellt eine Lesewortleitungsänderung dar, wobei jedoch selbst wenn die Adresse nur eine Spaltenänderung ist, so dass die selektierte Lesewortleitung sich nicht ändert, der fortgesetzte Stromfluss umgekehrt nicht die Vollendung des Schreibens beeinträchtigt. Man beachte auch, dass es nicht notwendig ist, dass die Schreibaktivierung zu der Zeit aktiv ist, zu der der Zyklus beginnt, weil alle Zyklen ohnehin mit einer Leseoperation beginnen. Das Schreibaktivierungssignal muss daher hinreichend früh aktiv sein, damit die Schreibebitleitung aktiv wird.

[0063] Die Erläuterung erfolgte im Hinblick darauf, dass eine einzelne Zelle selektiert wurde, was jedoch der Vereinfachung des Verständnisses diene. In der Praxis werden typischerweise eine Anzahl von Zellen ausgewählt und dies ist in [Fig. 11](#) durch die Signalverbindungen zwischen den Elementen dargestellt, die multiple Signalleitungen sind. Wenn daher beispielsweise der Speicher **110** ein x16-Speicher wäre, würde der Komparator **130** tatsächlich 16 verschiedene Vergleiche durchführen, einen für jede ausgewählte Zelle. Von den 16 Vergleichen würden lediglich diejenigen die eine Nichtübereinstimmung anzeigen, eine Schreiboperation für diejenigen Zellen mit der Nichtübereinstimmung verursachen. Die selektierten Zellen, die zu einer Übereinstimmung führten, würden nicht gekippt. Dargestellt in [Fig. 14](#) ist ein Teil eines Speicher-Arrays **200** und eine Mehrzahl von Treibern, Decodierern und Fühlerblöcken, die kombiniert werden, um einen Speicherkern **201** zu bilden. Der Teil des Speicher-Arrays **200** umfasst MRAM-Vorrichtungen **202**, **204**, **206**, **208**, **210**, **212**, **213**, **214**, **216**, **218**, **220**, **222**, **224**, **226**, **227** und **228**. Jede dieser MRAM-Vorrichtungen hat drei Strompfade. Ein erster Strompfad und ein zweiter Strompfad dieser drei Strompfade, die als orthogonal zueinander dargestellt sind, repräsentieren die Schreibpfade. Diese beiden Pfade tragen die Signale, gezeigt in

den [Fig. 12](#) und [Fig. 13](#), die den logischen Zustand der Zelle schalten. Der dritte Strompfad, der als ein Widerstand in einem 45° Winkel dargestellt ist, repräsentiert einen Lesestrompfad durch einen magnetoresistiven Tunnelübergang, der in einen der zwei möglichen Widerstandszustände programmiert ist. Das Speicherarray **200** umfasst weiter Auswahltransistoren **230, 232, 234, 236, 238, 240, 242, 244, 260, 262, 264, 266, 268, 270, 272** und **274**, die in Reihe mit dem dritten Strompfad, der ein Lesestrompfad ist, der entsprechenden MRAM-Vorrichtungen **202, 204, 206, 208, 210, 212, 213, 214, 216, 218, 220, 222, 224, 226, 227** bzw. **228** stehen. Der Anschluss dieser Auswahltransistoren ist so, dass eine Elektrode dieser Transistoren mit dem dritten Strompfad gekoppelt ist und die zweite Stromelektrode mit Masse (VSS) gekoppelt ist. Jede Kombination einer Auswahltransistorvorrichtung und einer MRAM-Vorrichtung umfasst eine Speicherzelle.

[0064] Der Speicherkern **201** umfasst Schreibwortleitungen WWL0, WWL1, WWL2 und WWL3, die durch die ersten Strompfade der MRAM-Vorrichtungen laufen. WWL0 läuft durch die MRAM-Vorrichtungen **202, 210, 216** und **224**. WWL1 läuft durch die MRAM-Vorrichtungen **204, 212, 218** und **226**. WWL2 läuft durch die MRAM-Vorrichtungen **206, 213, 220** und **227**. WWL3 läuft durch die MRAM-Vorrichtungen **208, 214, 222** und **228**. Das Speicherarray **200** umfasst weiter Schreibbitleitungen WBL0, WBL1, WBL2 und WBL3, die durch die zweiten Strompfade der MRAM-Vorrichtungen laufen. WBL0 läuft durch die MRAM-Vorrichtungen **202, 204, 206** und **208**. WBL1 läuft durch die MRAM-Vorrichtungen **210, 212, 213** und **214**. WBL2 läuft durch die MRAM-Vorrichtungen **216, 218, 220** und **222**. WBL3 läuft durch die MRAM-Vorrichtungen **224, 226, 227** und **228**. Noch weiter umfasst das Speicherarray **200** Lesewortleitungen RWL0, RWL1, RWL2 und RWL3, die mit der Gate-Elektrode der Auswahltransistoren gekoppelt sind. RWL0 ist mit den Auswahltransistoren **230, 238, 260** und **268** gekoppelt. RWL1 ist mit den Auswahltransistoren **232, 240, 262** und **270** gekoppelt. RWL2 ist mit den Auswahltransistoren **234, 242, 264** und **272** gekoppelt. RWL3 ist mit den Auswahltransistoren **236, 244, 266** und **274** gekoppelt. Das Speicherarray **200** umfasst auch globale Lesebitleitungen RGL0 und RGL1 und Gruppenauswahlleitungen GS0, GS1, GS2 und GS3.

[0065] Das Speicher-Array **200** umfasst weiter Gruppenauswahltransistoren **250, 252, 254, 256, 276, 278, 280** und **282**, die dem Koppel von Gruppen von Speicherzellen mit globalen Lesebitleitungen dienen. Das Speicherarray **200** umfasst auch lokale Bitleitungen **251, 253, 255, 257, 277, 279, 281** und **283**, die jeweils mit dem dritten Strompfad der MRAM-Vorrichtungen für ihre Gruppen gekoppelt sind. Das bedeutet, es gibt eine dieser lokalen Bitleitungen für jede Gruppe.

[0066] Die Transistoren **250** und **252** weisen erste Stromelektroden auf, die miteinander und mit der globalen Lesebitleitung RGL0 gekoppelt sind. Die Transistoren **254** und **256** weisen erste Stromelektroden auf, die miteinander und mit der globalen Lesebitleitung RGL0 gekoppelt sind. Die Transistoren **276** und **278** weisen erste Stromelektroden auf, die miteinander und mit der globalen Lesebitleitung RGL1 gekoppelt sind. Die Transistoren **280** und **282** weisen erste Stromelektroden auf, die miteinander und mit der globalen Lesebitleitung RGL1 gekoppelt sind. Die Transistoren **250, 252, 254, 256, 276, 278, 280** und **282** weisen jeweils zweite Stromelektroden auf, die mit den lokalen Bitleitungen **251, 253, 255, 257, 277, 279, 281** und **283** gekoppelt sind. Die lokalen Bitleitungen **251, 253, 255, 257, 277, 279, 281** und **283** sind mit dem dritten Strompfad der MRAM-Vorrichtungen **202** und **204, 206** und **208, 210** und **212, 213** und **214, 216** und **218, 220** und **222, 224** und **226** bzw. **227** und **228** gekoppelt. Die Gruppenauswahlleitung GS0 ist mit dem Gruppenauswahltransistor **250** und **276** gekoppelt. Die Gruppenauswahlleitung GS1 mit dem Gruppenauswahltransistor **252** und **278** gekoppelt. Die Gruppenauswahlleitung GS2 ist mit dem Gruppenauswahltransistor **254** und **280** gekoppelt die Gruppenauswahlleitung GS3 ist mit Gruppenauswahltransistor **256** und **282** gekoppelt.

[0067] Der Speicherkern **201** umfasst zusätzlich zu dem Speicherarray **200** Schreibespaltendecodierer/Treiber **283, 284, 285** und **286**, Schreibzeilendecodierer/Treiber **287, 289, 291** und **293**, Lesezeilendecodierer/Treiber **288, 290, 292** und **294** und Lese-spaltendecodierer/Fühlervverstärker **295** und **296**. Die Schreibespaltendecodierer/Treiber **283, 284, 285** und **286** sind mit den Schreibbitleitungen WBL0, WBL1, WBL2 bzw. WBL3 verbunden. Die Schreibzeilendecodierer/Treiber **287, 289, 291** und **293** sind mit den Schreibwortleitungen WWL0, WWL1, WWL2 bzw. WWL3 gekoppelt. Die Lesezeilendecodierer/Treiber **288, 290, 292** und **294** sind mit den Lesewortleitungen RWL0, RWL1, RWL2 bzw. RWL3 gekoppelt. Die Lesespaltendecodierer/Fühlervverstärker **295** und **296** sind mit den globalen Lesebitleitungen RGL0 bzw. RGL1 gekoppelt.

[0068] Bei Betrieb wird eine MRAM-Vorrichtung, wie etwa die MRAM-Vorrichtung **202**, geschrieben, indem Strom durch eine selektierte Schreibwortleitung, wie etwa WWL0, und eine selektierte Schreibbitleitung, wie etwa WBL0 in diesem Beispiel angelegt wird, um den Speicherzustand zu kippen. Der Zustand kann auch direkt durch WWL0 und WBL0 geschrieben werden, wenn die Speicherzelle eine Direktschreibezelle anstatt einer Kippzelle ist. Alle MRAM-Vorrichtungen werden durch Stromfluss durch die Schreibwortleitungen und Schreibbitleitungen für die spezielle MRAM-Vorrichtung selektiert. Der Zustand einer MRAM-Vorrichtung, wie etwa der

MRAM-Vorrichtung **202**, wird durch Anlegen einer hinreichenden Spannung an die Gate-Elektrode ihres entsprechenden Auswahltransistors, wie etwa des Transistors **230**, über die Lesewortleitung RWL0, durch Anlegen einer ausreichenden Spannung an die Gate-Elektrode des entsprechenden Gruppentransistors, wie etwa des Transistors **250**, über die Gruppenauswahlleitung GS0, und durch Erfüllen des Zustandes der selektierten MRAM-Vorrichtung, MRAM-Vorrichtung **202** in diesem Beispiel über die globale Lesebitleitung RGB0 mittels des Zeilendecodierers/Fühlerverstärkers **296**. Eine Gruppe wird gebildet aus MRAM-Vorrichtungen, die ihre dritten Strompfade gemeinsam angeschlossen haben. Die zu den globalen Bitleseleitungen von den Zellen selbst hinzuaddierte Kapazität ist auf die Zellen limitiert, die in der Gruppe sind. Auch die Transistoren **250** und **252** haben gemeinsam angeschlossene Stromelektroden, wobei die Gate-Elektroden mit unterschiedlichen Auswahlleitungen gekoppelt sind. Dies hat den Effekt des Faltens von Gruppen, um eine gemeinsame globale Bitleitung zu haben und damit die Selektion zwischen Gruppen durch separate globale Auswahlleitungen erfolgt. Es gibt daher zusätzliche Leitungen in der Zeilenrichtung und weniger in der Spaltenrichtung. Der Vorzug ist, dass die Vermehrung der Leitungen in der Zeilenrichtung eine für jede Gruppe von Zellen ist. Wenn die Gruppe **32** ist, was als bevorzugte Menge angesehen wird, gibt es eine zusätzliche globale Auswahlleitung für eine Entfernung von 32 Zellen. Für den nicht gefalteten Fall gibt es eine globale Leseleitung für jede Spalte anstatt einer für alle zwei Spalten im gefalteten Fall. Der Effekt des ungefalteten Falles verglichen mit dem gefalteten Fall ist daher eine zusätzliche globale Lesebitleitung für jede zwei Spalten, was eine Breite von zwei Zellen bedeutet. Die Abwägung erfolgt daher klar zu Gunsten der gefalteten Bitleitung. Dieser Raumvorteil kann benutzt werden, um entweder die Größe der Leitungen zu erhöhen, um ihren Widerstand zu reduzieren oder die Größe des Speicherkerns zu verringern oder eine Kombination der beiden.

[0069] Durch Trennen der Schreibe- von den Leseleitungen kann ein Ende der Schreibleitungen direkt mit einer Spannungsversorgung VDD verbunden werden, was einen zweiten Stromschalter eliminiert, der erforderlich wäre, wenn das Lesen und Schreiben sich dieselbe Leitung teilen würde. Die Gesamtfläche für den Schreibetreiber ist daher kleiner und die vorteilhafte Bitgröße für den Speicherkern ist kleiner. Durch Eliminieren der Notwendigkeit, eine Leitung zwischen Lesen und Schreiben umzuschalten, können auch die Schreibspannungen für ihre Aufgabe optimiert werden ohne das Risiko, die Leseschaltungen zu beschädigen. Weiter können diese Auswahltransistoren, weil die Auswahltransistoren keine Schreibspannungen empfangen, sehr viel kleiner in ihrer Größe gemacht werden, weil sie keine Span-

nungen auf Schreibeniveau empfangen müssen. Dies reduziert die Größe der Speicherzelle. Dies ist besonders signifikant, wenn es üblich ist, Transistoren für unterschiedliche Spannungsanforderungen unterschiedlich zu gestalten.

[0070] In [Fig. 15](#) ist ein Querschnitt einer Speicherzelle gezeigt, die aus der MRAM-Vorrichtung **202** und dem Transistor **230** besteht. Dies zeigt die gemeinsamen Elemente einer MRAM-Vorrichtung, die eingerichtet ist, Vorteil aus der Architektur von [Fig. 14](#) zu ziehen. Bei einer typischen Anwendung der MRAM-Technologie sind die MRAM-Vorrichtungen in einer Schaltung mit extensiver Logik, wie etwa einem Mikroprozessor, präsent. In solch einem Fall gäbe es mehrere Lagen von Metall, um das Logikdesign zu beherbergen und das Speicherelement der MRAM-Vorrichtung würde hergestellt werden, nachdem diese Metallschichten ausgebildet sind. Dies liegt daran, dass der typische Tunnelübergang nicht in der Lage ist, Temperaturen oberhalb von 400°C ohne Verschlechterung zu handhaben.

[0071] Die MRAM-Vorrichtung **202** umfasst einen Tunnelübergang **300**, eine Verbindung **306**, eine Verbindung **304** und Schreibestrompfade **314** und **302**. Die Verbindung **304** ist auch eine lokale Bitleitung **251**. Der Transistor **230** umfasst eine Source-Elektrode **324**, ein Drain-Elektrode **322** und eine Gate-Elektrode **323**. Die Drain-Elektrode **322** des Transistors **230** ist mit der MRAM-Vorrichtung **202** über eine Verbindung **318**, eine Verbindung **308**, eine Verbindung **310** und eine Verbindung **312** verbunden, die als Metallschichten ausgebildet sind, zur Verwendung als Logik. Diese Metallverbindungsschichten sind miteinander über Kontaklöcher verbunden, wie dies wohlbekannt ist. Der Schreibestrompfad **314** ist in derselben Metallschicht ausgebildet, wie die Verbindung **318**. Die Gate-Elektrode **323** ist Teil der Lesewortleitung RWL0, die periodisch mit der Verbindung **320** verbunden ist. Der Zweck der Verbindung **320** ist es, den Widerstand RWL0 zu reduzieren. Dies ist eine bekannte Strapping-Technik, um den relativ hohen Widerstand von Polysilizium zu vermeiden.

[0072] In [Fig. 16](#) ist ein Querschnitt durch MRAM-Vorrichtung **202** und den Transistor **230**, wie in [Fig. 15](#) angezeigt, dargestellt. Dieser Querschnitt ist erweitert, um die MRAM-Vorrichtung **210** und den Transistor **238** zu enthalten. Dies zeigt die globale Lesebitleitung RGBL0 auf derselben Verbindungsebene, wie die Verbindung **310**. Man beachte, dass der Tunnelübergang **300** und WWL0 aus der Querschnittlinie versetzt sind und daher in [Fig. 16](#) nicht präsent sind. Der Bereich der MRAM-Vorrichtung **210**, der in [Fig. 16](#) präsent ist, ist die Schreibebitleitung WBL1. Ähnlich der MRAM-Vorrichtung **202** ist der dritte Strompfad der MRAM-Vorrichtung **210** mit dem Transistor **232** über die Verbindung **2340**, die Verbindung **338**, die Verbindung **336**, die Verbindung

334 und die Verbindung **330** verbunden. Die Verbindungen **330** und **306** bilden eine direkte Verbindung mit den Tunnelübergängen der MRAM-Vorrichtungen **210** bzw. **202**. Diese Querschnitte zeigen, dass diese Architektur ohne ungewöhnliche Strukturen erstellt werden kann, die besondere Bearbeitung erfordern würden.

[0073] Dargestellt in [Fig. 17](#) ist ein Bereich einer Alternative zu der in [Fig. 14](#) gezeigten. In diesem Fall sind die Speicherzellen in jeder Gruppe als ein Reihenspeicher angeordnet. Jede der Mehrzahl von Gruppen benachbarter Bitzellen ist in Reihe mit einer Referenz verbunden. In diesem Fall ist die Referenz Masse. Es gibt eine lokale Bitleitung bei dieser Alternative. Ähnliche Bezugszeichen sind ähnlichen Merkmalen vorbehalten.

[0074] Dem Fachmann werden verschiedene Änderungen und Modifikationen der hier zum Zwecke der Illustrierung ausgewählten Ausführungsbeispiele leicht in den Sinn kommen. Solche Modifikationen und Variationen sollen in dem Umfang der Erfindung eingeschlossen sein, der lediglich durch eine gerechte Interpretation der nachfolgenden Ansprüche umrissen ist.

Patentansprüche

1. Verfahren zum Lesen und Schreiben eines Kippspeichers (**110**), umfassend die aufeinander folgenden Schritte:
Initiieren einer Leseoperation einer vorbestimmten Adressposition (**112**) des Kippspeichers;
Initiieren eines Teils einer Kippschreibeoperation an der vorbestimmten Adressposition ohne einen aktuell gespeicherten Wert zu beeinflussen;
Vergleichen (**130**) des aktuell gespeicherten Datenwertes an der vorbestimmten Adressposition mit einem neuen, an die vorbestimmte Adressposition zu schreibenden Wert, um zu bestimmen, ob der neue Wert verschieden von oder identisch mit dem gespeicherten Datenwert (**112**) ist;
Vervollständigen der Kippschreibeoperation an der vorbestimmten Adressposition, falls der neue Wert verschieden ist von dem gespeicherten Datenwert, oder Beenden der Kippschreibeoperation an der vorbestimmten Adressposition, falls der neue, zu schreibende Wert identisch mit dem gespeicherten Datenwert ist.

2. Verfahren von Anspruch 1, weiter umfassend: Implementieren eines Kippspeichers als ein magnetoresistiver Direktzugriffsspeicher (MRAM: magnetoresistive random access memory) (**110**) und wobei der Teil der Kippoperation, der initiiert wird, ein Leiten eines ersten Stroms in einer ersten Achse des magnetoresistiven Direktzugriffsspeichers (MRAM) umfasst.

3. Verfahren von Anspruch 1, wobei das Vervollständigen der Kippoperation an der vorbestimmten Adresse weiter umfasst:

Kippen des MRAM (**110**) mit einem zweiten Strom, der orthogonal zu dem ersten Strom ist.

4. Verfahren von Anspruch 1, weiter umfassend: Initiieren einer weiteren Leseoperation an einer zweiten vorbestimmten Adresse vor dem Vervollständigen der Kippschreibeoperation.

5. Verfahren von Anspruch 1, weiter umfassend: Initiieren des Lesens mit einem Lesewortleitungstreiber (**120**), der separat und verschieden von einem Schreibewortleitungstreiber (**116**) ist, der verwendet wird, um die Schreiboperation zu initiieren.

6. Verfahren von Anspruch 1, weiter umfassend: Vervollständigen der Leseoperation durch Abfühlen einer Bitleitung, die separat und verschieden von einem Schreibebitleitungstreiber (**116**) ist, der verwendet wird, um die Schreiboperation zu vervollständigen.

7. Verfahren von Anspruch 1, weiter umfassend: Initiieren des Lesens mit einem Lesewortleitungstreiber (**120**) der separat und verschieden von einem Schreibewortleitungstreiber (**116**) ist, der verwendet wird, um die Schreiboperation zu initiieren; und Vervollständigen der Leseoperation durch Abfühlen einer Bitleitung, die separat und verschieden von einem Schreibebitleitungstreiber (**128**) ist, der verwendet wird, um die Schreiboperation zu vervollständigen.

8. Verfahren nach Anspruch 3, wobei das Vervollständigen der Kippoperation an der vorbestimmten Adresse weiter ein Anlegen eines verbleibenden Teils einer Sequenz von terminierten, überlappenden, orthogonalen Strompulsen an den Kippspeicher umfasst.

9. Kippspeicher (**110**), umfassend:
ein Array von Speicherzellen (**112**) die zwischen zwei logischen Zuständen hin und her schalten, um Informationsspeicherwerte anzuzeigen;
eine Bitdecodierungslogik (**124**), zum Empfangen einer Spaltenadresse und zum Bereitstellen eines Bitauswahlsignals an das Array von Speicherzellen, um eine vorbestimmte Spalte von Bits in dem Array von Speicherzellen auszuwählen;
eine Wortdecodierungslogik (**114**, **118**) zum Empfangen einer Zeilenadresse und Bereitstellen eines Wortauswahlsignals an das Array von Speicherzellen, um eine vorbestimmte Zeile von Bits in dem Array von Speicherzellen auszuwählen;
einen Lesewortleitungstreiber (**120**), der mit dem Array von Speicherzellen gekoppelt ist, zum Ansteuern einer vorbestimmten Wortleitung als Antwort auf die Wortdecodierungslogik;

ein Schreibwortleitungstreiber (**116**) der mit dem Array von Speicherzellen gekoppelt ist; zum Ansteuern einer vorgebestimmten Wortleitung als Antwort auf die Wortdecodierungslogik und ein Schreibaktivierungssignal;

eine Fühlerschaltung (**122**), die mit der Bitdecodierungslogik gekoppelt ist, um festzustellen, welchen der zwei logischen Zustände ein durch die Zeilenadresse und Spaltenadresse ausgewähltes Bit hat;

einen Komparator (**130**) der mit der Fühlerschaltung gekoppelt ist, um eine Ausgabe der Fühlerschaltung mit einem neuen Wert zu vergleichen, der an eine vorbestimmte Adresse, umfassend eine Zeilenadresse und eine Spaltenadresse, geschrieben werden soll, um zu bestimmen, ob der neue Wert verschieden von oder identisch mit dem gespeicherten Datenwert ist; und

eine Schaltung (**128, 130**), die mit dem Komparator gekoppelt ist, zum Ansteuern der von der Bitdecodierungslogik als Antwort auf das Schreibaktivierungssignal bestimmten Spalte, und Vervollständigen der Kippschreiboperation an der vorbestimmten Adresse, falls der neue Wert verschieden von dem gespeicherten Datenwert ist, wobei die Schaltung die Kippschreiboperation an der vorbestimmten Adresse beendet, falls der neue, zu schreibende Wert identisch mit dem gespeicherten Datenwert ist.

Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Wortauswahlsignals für Leseoperationen;

eine Schreibbitdecodierungslogik (**126**) zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Bitauswahlsignals für Schreiboperationen; und

eine Lesebitdecodierungslogik (**124**), die separat von der Schreibbitdecodierungslogik ist, zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Bitausgangssignals für Leseoperationen.

Es folgen 10 Blatt Zeichnungen

10. Kippspeicher (**110**) von Anspruch 9, wobei die Wortdecodierungslogik weiter umfasst:

eine Schreibwortdecodierungslogik (**114**) zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Wortauswahlsignals für Schreiboperationen; und

eine Lesewortdecodierungslogik (**118**), die separat von der Schreibwortdecodierungslogik ist, zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Wortauswahlsignals für Leseoperationen.

11. Kippspeicher (**110**) von Anspruch 9, wobei die Bitdecodierungslogik weiter umfasst:

eine Schreibbitdecodierungslogik (**126**) zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Bitauswahlsignals für Schreiboperationen; und

eine Lesebitdecodierungslogik (**124**), die separat von der Schreibbitdecodierungslogik ist, zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Bitauswahlsignals für Leseoperationen.

12. Kippspeicher (**110**) von Anspruch 9, wobei die Wortdecodierungslogik und die Bitdecodierungslogik weiter umfassen:

eine Schreibwortdecodierungslogik (**114**) zum Empfangen der Zeilenadresse und zum Bereitstellen eines decodierten Wortauswahlsignals für Schreiboperationen;

eine Lesewortdecodierungslogik (**118**), die separat von der Schreibwortdecodierungslogik ist, zum

Anhängende Zeichnungen

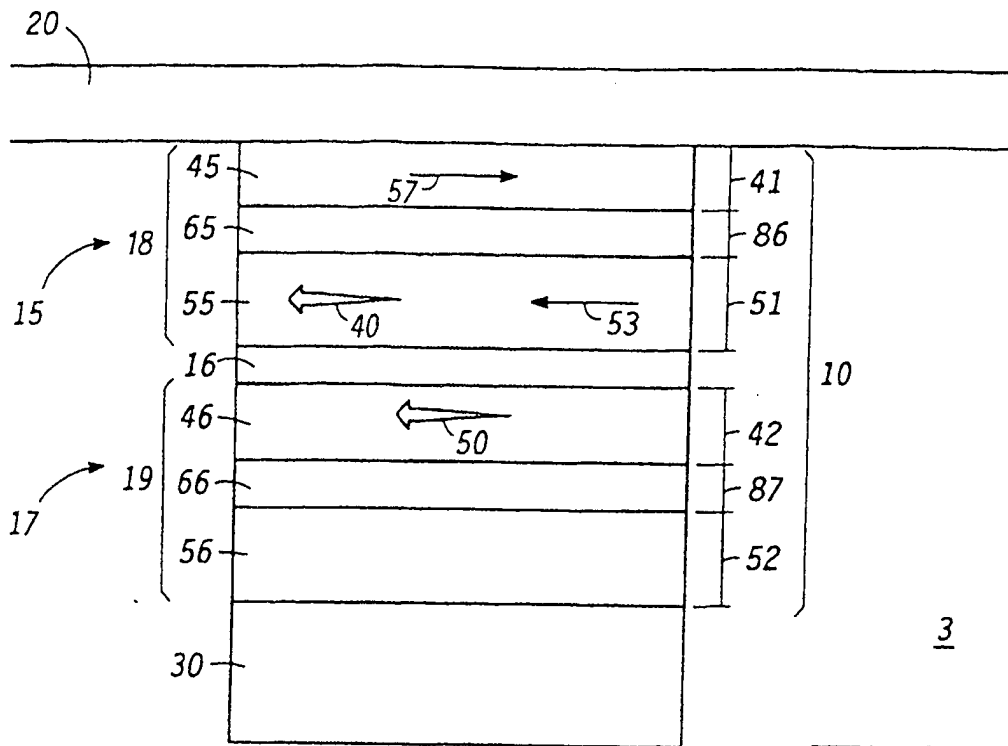


FIG. 1

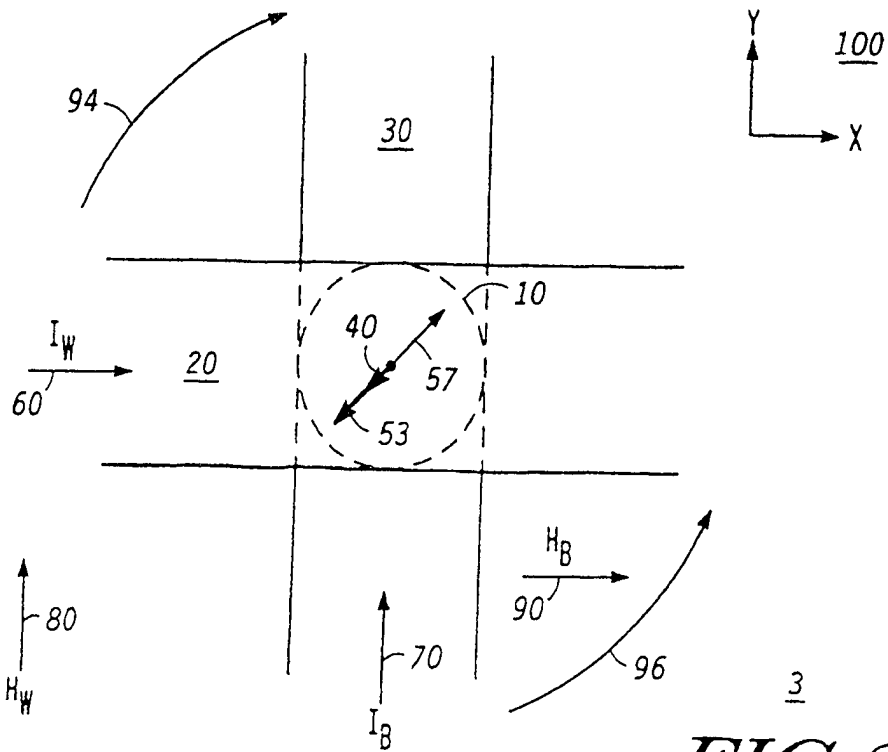


FIG. 2

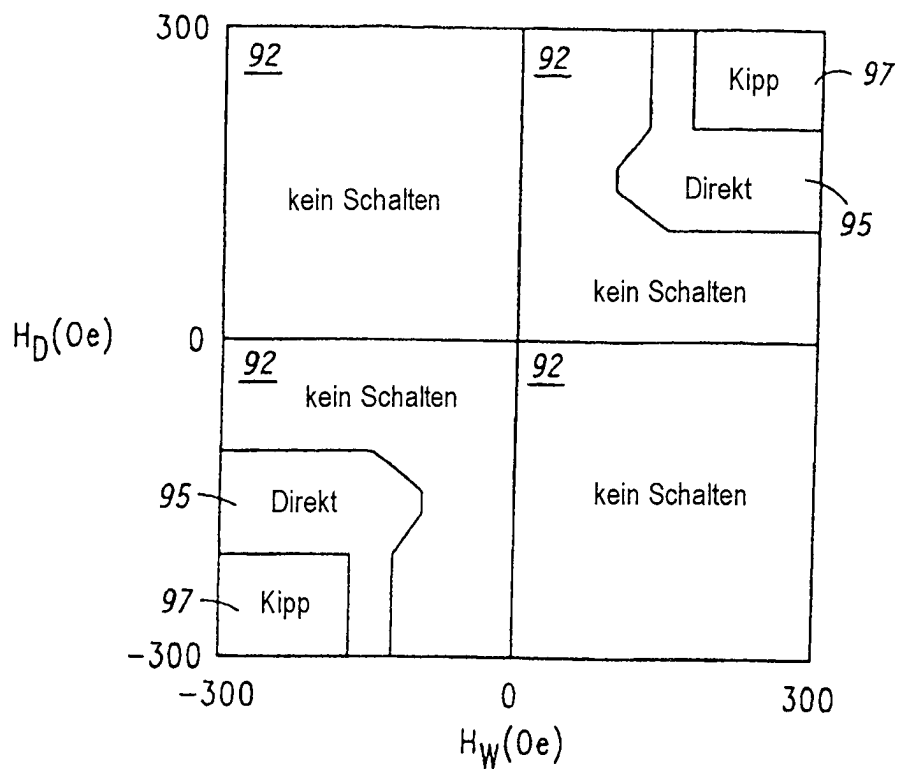


FIG. 3

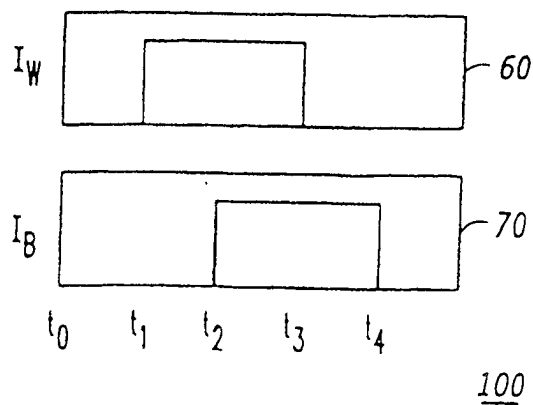
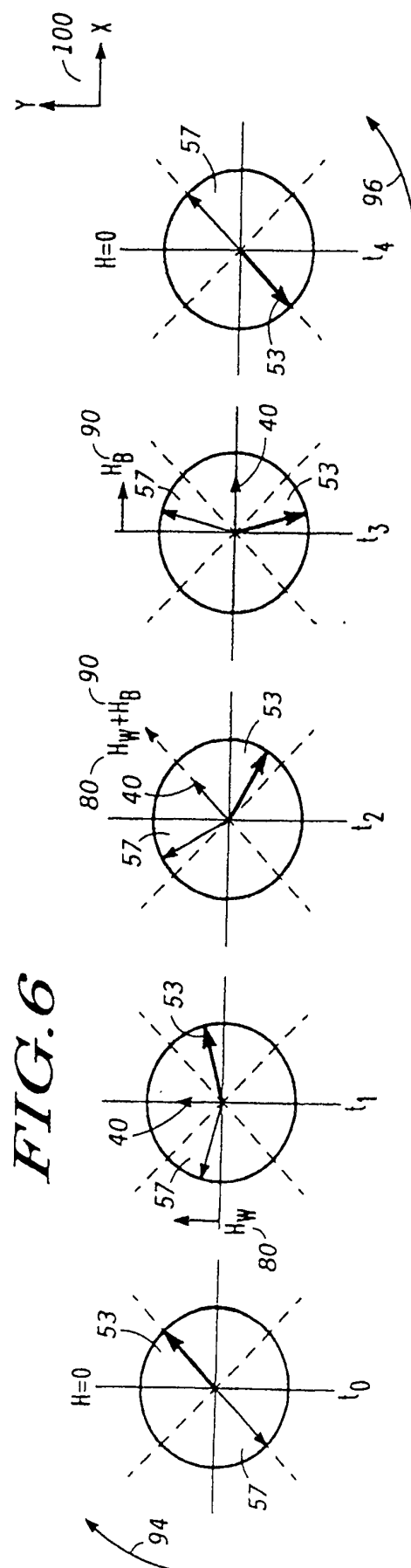
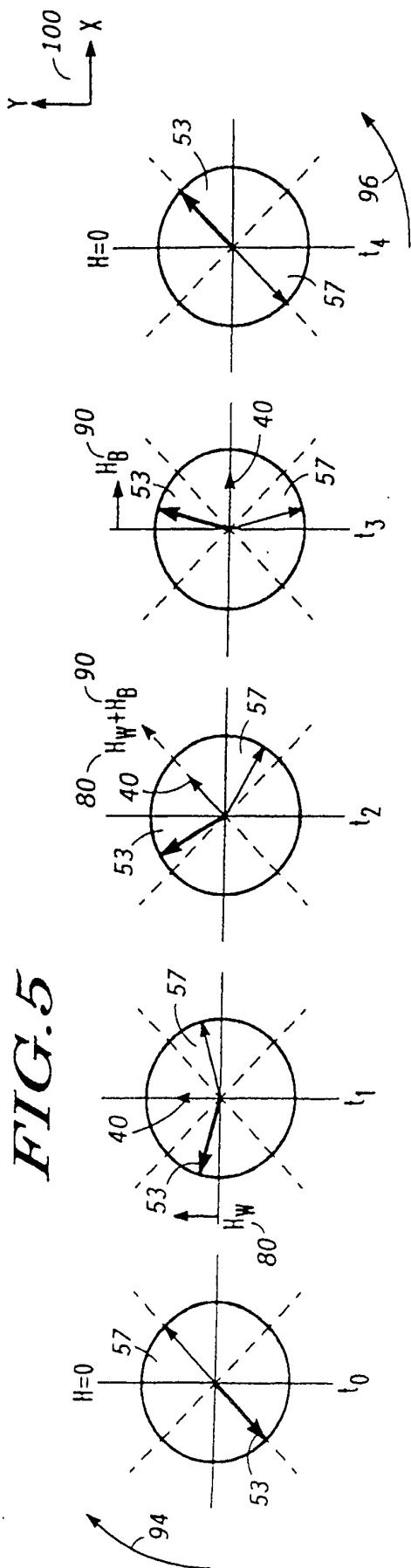
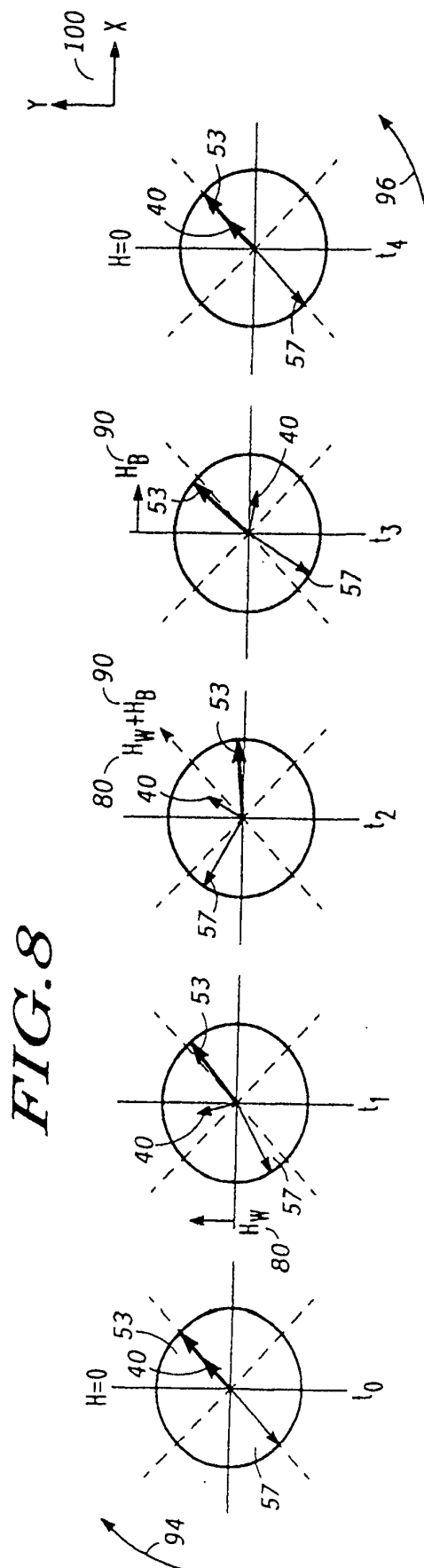
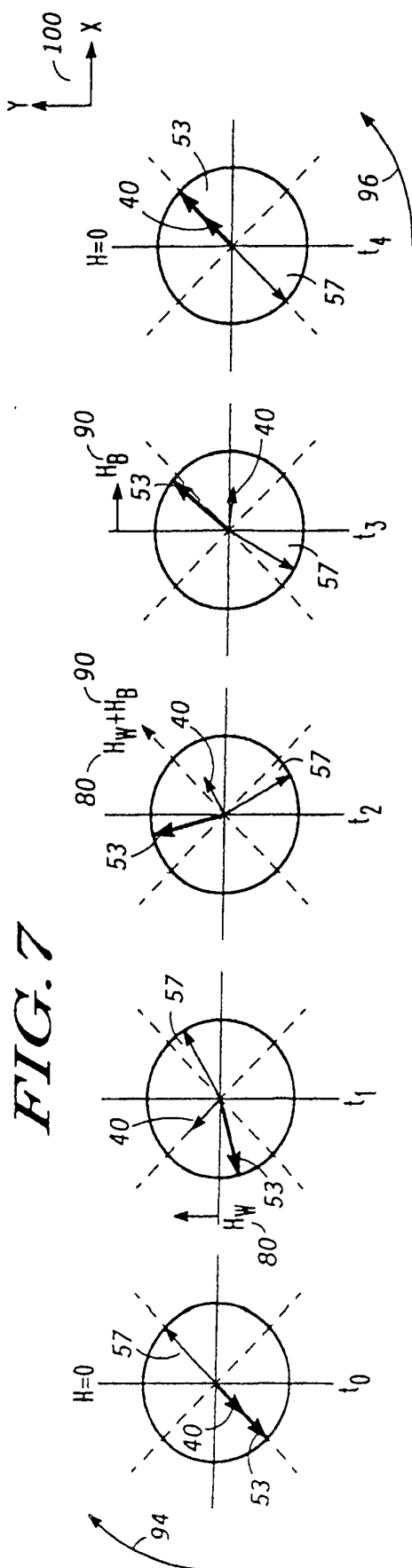


FIG. 4





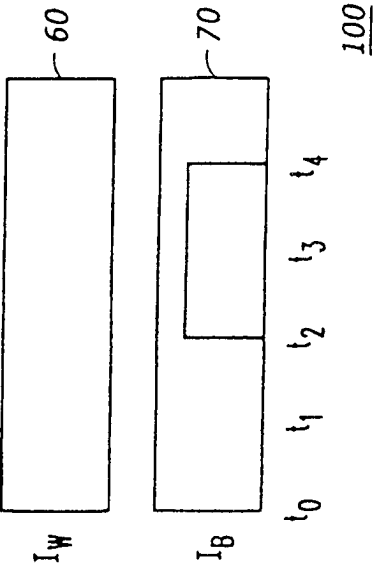
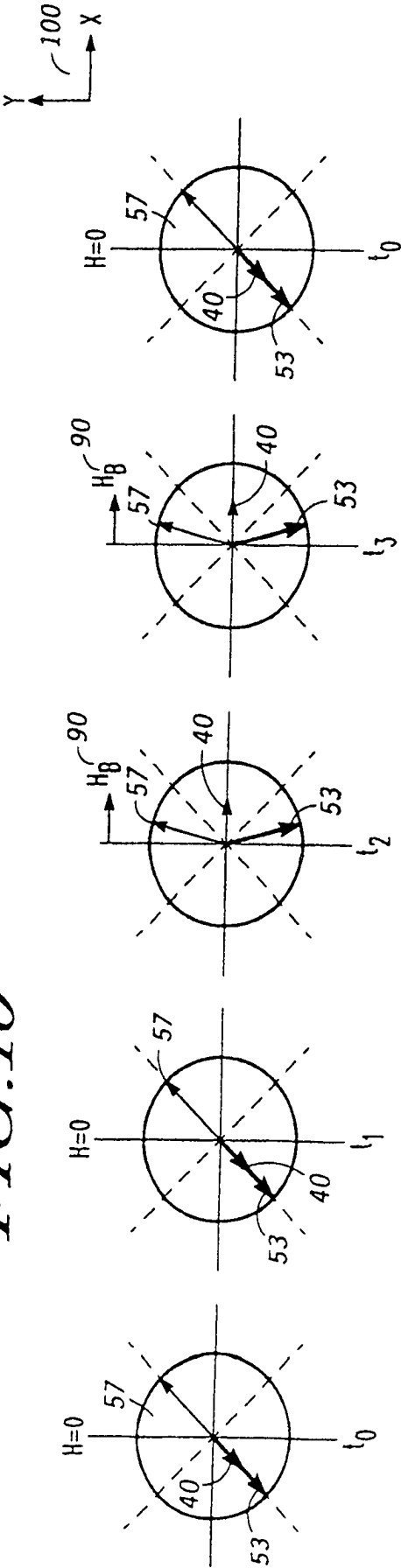


FIG. 9

FIG. 10



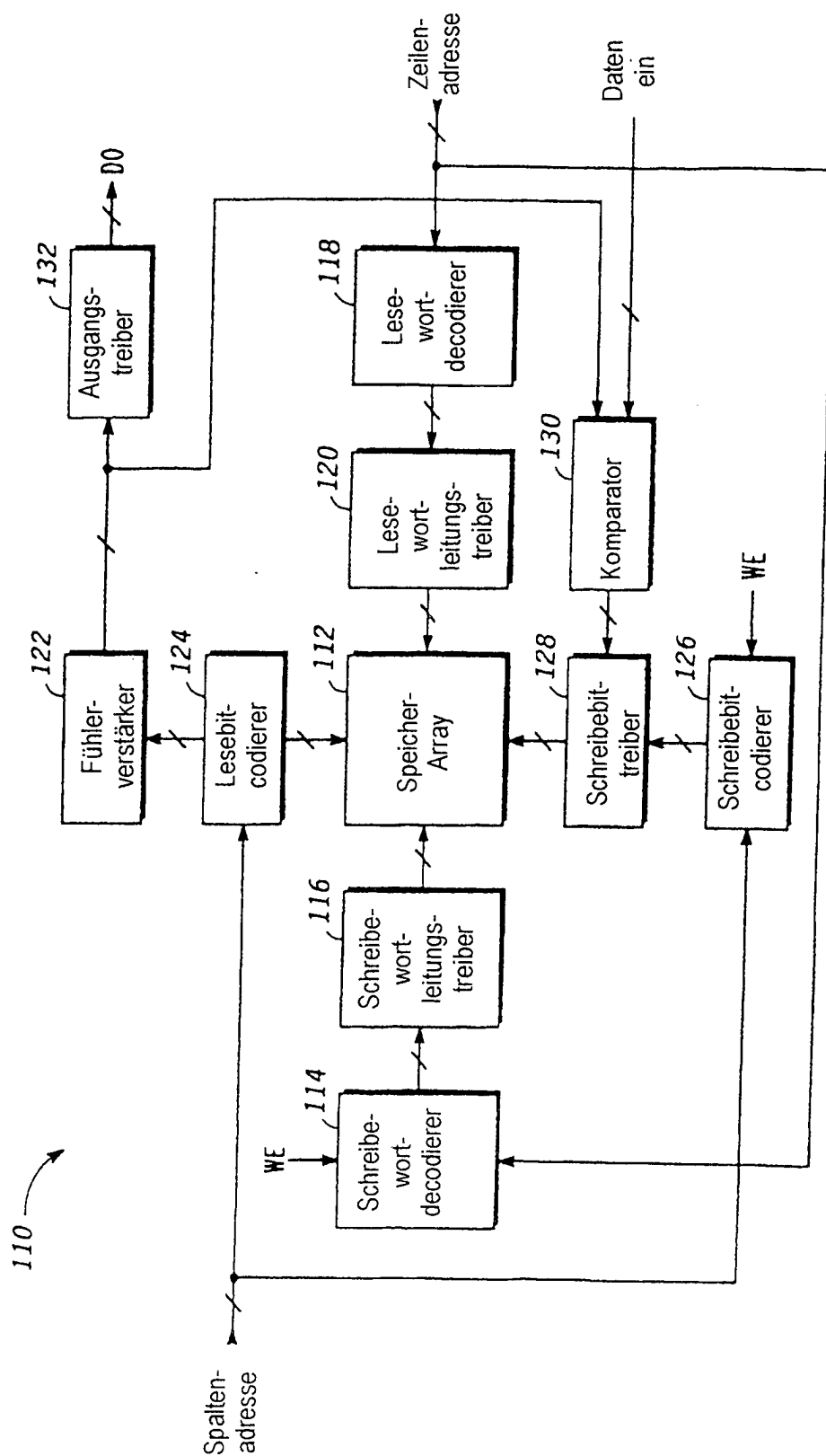


FIG. 11

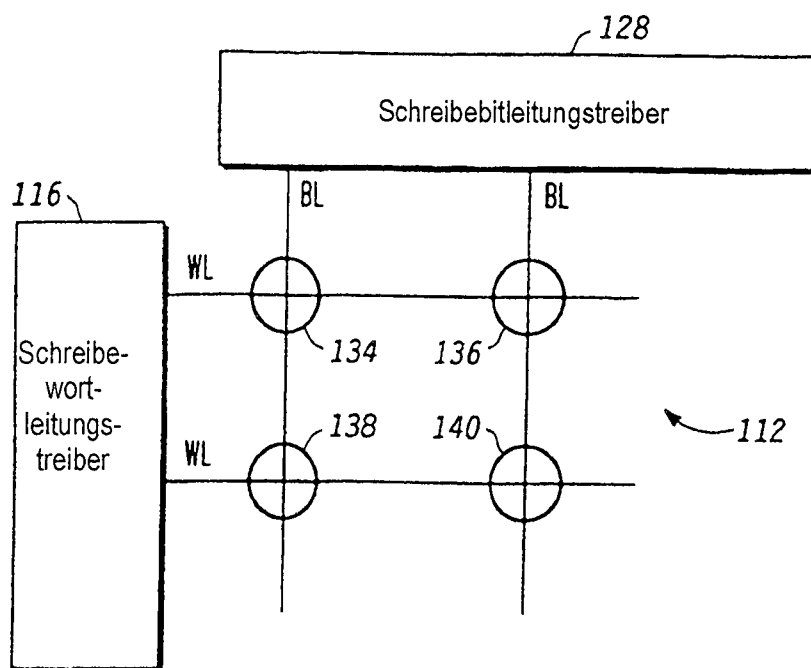


FIG.12

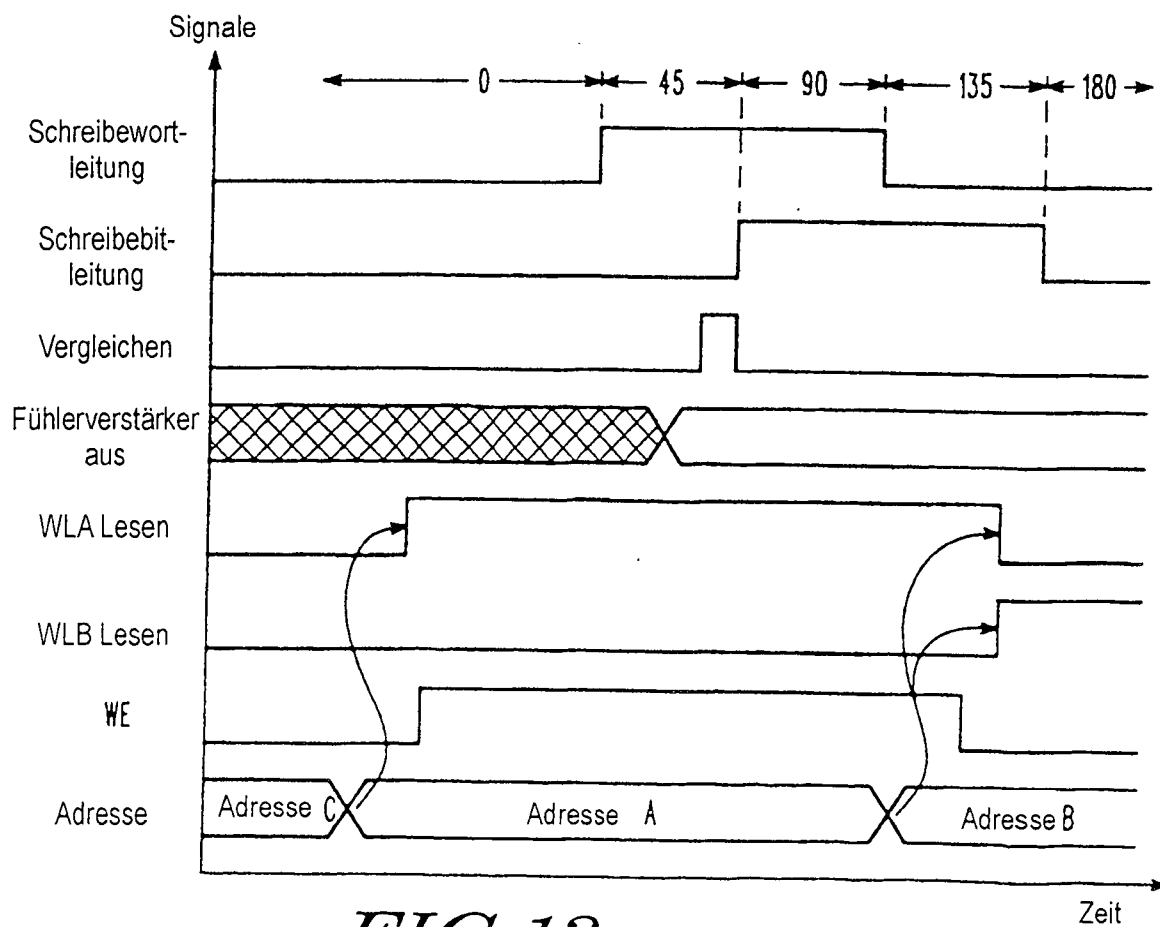
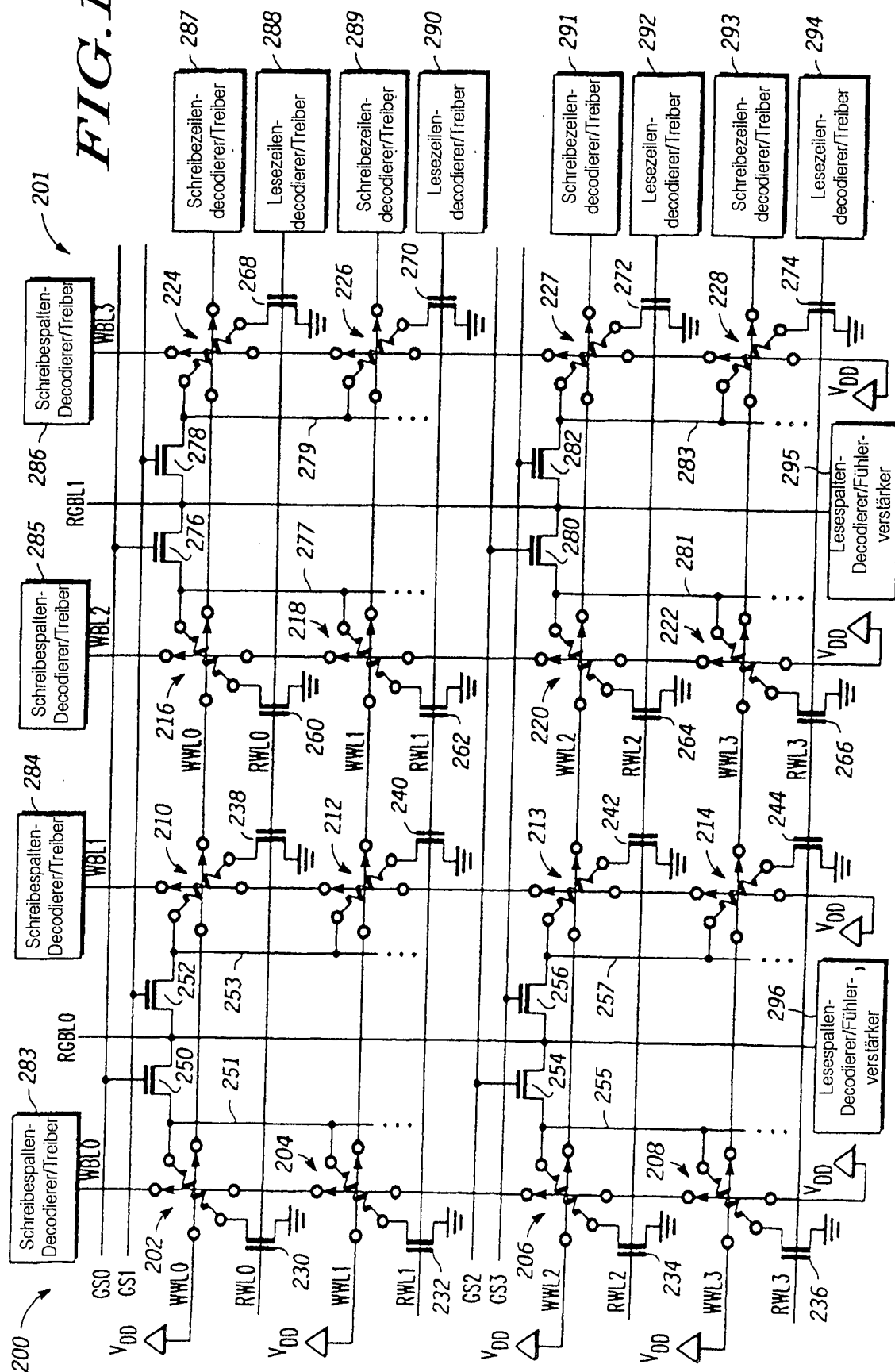


FIG.13

FIG. 14



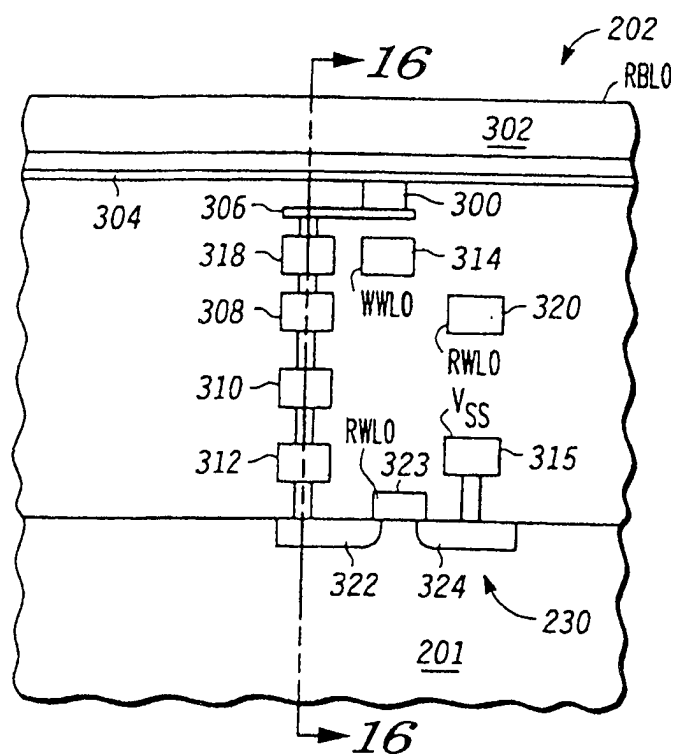


FIG. 15

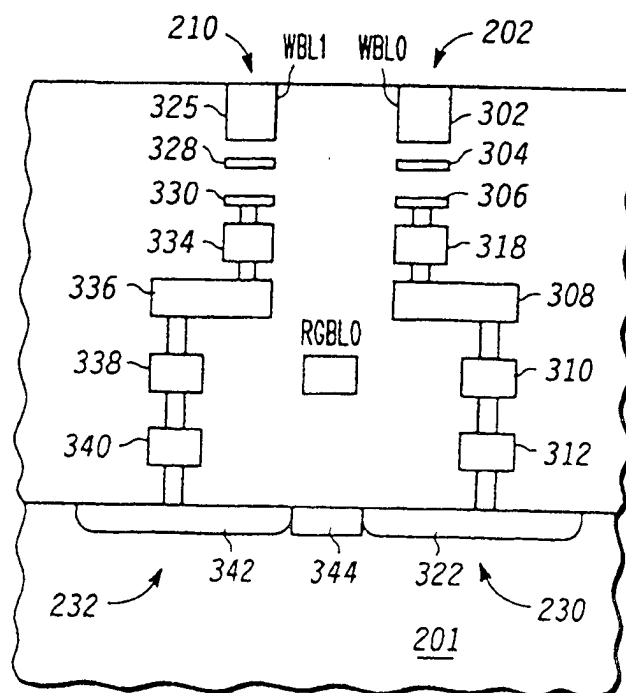


FIG. 16

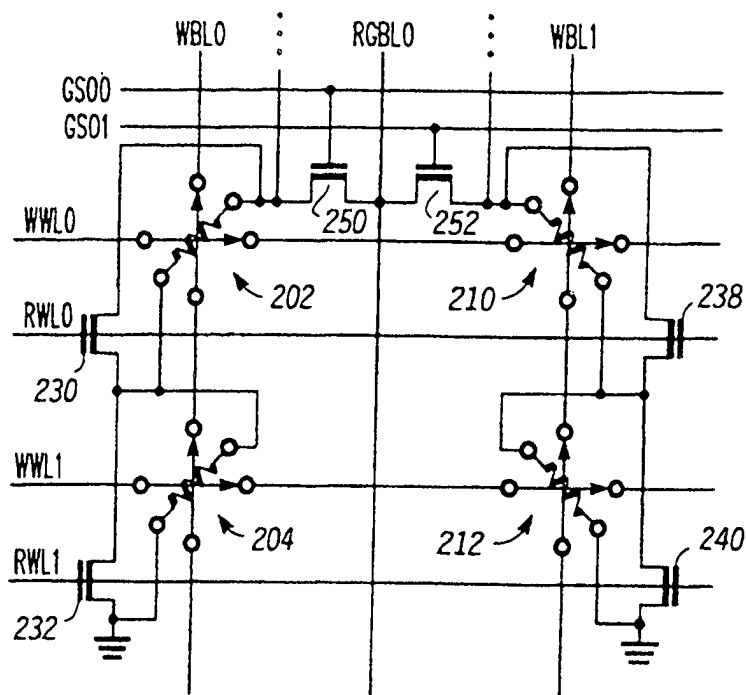


FIG.17