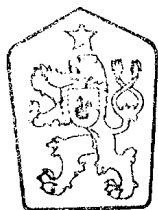


POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219488
(11) (B1)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 07 03 80

(21) (PV 1591-80)

(40) Zveřejněno 27 08 82

(45) Vydáno 15 08 85

(51) Int. Cl.³
G 06 F 5/04

(75)

Autor vynálezu

PEKÁREK OLDŘICH ing., PRAHA

(54) Zapojení obvodů pro řízení bitových operací pomocí mikroprocesoru

1

Vynález se týká zapojení obvodů pro řízení bitových operací pomocí mikroprocesoru.

Dosud se používá k řízení bitových operací v logických automatech slovně orientovaných mikroprocesorů, zpracovávajících celá slova, která vstupují adresovatelnými branami zapojenými na jeho datovou sběrnici. Tato skutečnost silně komplikuje práci s jednobitovými informacemi, které má mikroprocesor podle řídicího algoritmu vysílat asynchronně do řízené soustavy, respektive takového jednobitové asynchronní informace přijímat a vyhodnocovat.

Až dosud jsou tyto úlohy řešeny tak, že jsou programově nastavovány jednotlivé bity paralelních výstupů, přičemž každá bitová informace vyžaduje poměrně složitý program využívající tzv. maskování. Tím dochází ke komplikacím z hlediska délky programu, a toto hledisko není zanedbatelné, protože řídicí program je zpravidla ukládán v pevných pamětech, které tvoří podstatnou část nákladů na mikro počítač. Další nevýhodou uvedeného způsobu je časová ztráta v řídicích programech, která přímo ovlivňuje rychlost odezvy řídicího systému. Zmíněné problémy nejsou řešeny v dostatečné míře ani programovatelnými integrovanými obvody styku vyrobené metodou vysoké integrace.

2

Zapojení podle vynálezu předpokládá, že každému bitovému výstupu a bitovému vstupu je přidělena adresa z množiny adres vyhrazených pro práci s vstupními a výstupními branami, a v tom případě postačí k zahájení jednobitové operace pouze instrukce výstupu, aniž by bylo nutno programově předem zpracovávat vysílanou informaci v akumulátoru procesoru. Zapojení ve své funkci ignoruje obsah akumulátoru, což přináší výhody jak v pořizovacích nákladech na vybavení mikro počítače, tak i v snadném programování a časových úsporách v řídicích algoritmech.

Podstata zapojení obvodů pro řízení bitových operací pomocí mikroprocesoru podle vynálezu spočívá v tom, že stykový blok sestává z bloku impulsového řízení, bloku řízeného klopného obvodu a bloku „dotaz — odpověď“, přičemž adresový vstup obvodu logického součinu bloku impulsního řízení je spojen vodičem dekodované adresy s příslušným výstupem dekodéru adres a vodič signálu zápisu sběrnice řídicích signálů je spojen s řídicí vstupem obvodu logického součinu bloku impulsního řízení, jehož výstup je spojen s příslušným vstupem řízeného objektu, adresový vstup obvodu logického součinu nastavení a adresový vstup obvodu logického součinu nulování, které jsou

součástí bloku řízeného klopného obvodu, jsou propojeny vodiči dekódované adresy s jím příslušnými výstupy dekodéru adres, vodič signálu zápisu sběrnice řídicích signálů je spojen se vstupem jak obvodu logického součinu nastavení, tak obvodu logického součinu nulování, které jsou součástí bloku řízeného klopného obvodu a jejich výstupy jsou propojeny s jím příslušnými vstupy bistabilního klopného obvodu bloku řízeného klopného obvodu, jehož výstup je propojen s jemu příslušným vstupem řízeného objektu, adresový vstup obvodu logického součinu dotazu a adresový vstup obvodu logického součinu odpovědi, které jsou propojeny vodičem dekódované adresy se společným výstupem jim příslušné adresy dekodéru adres, vodič signálu zápisu sběrnice řídicích signálů je propojen s řídicím vstupem obvodu logického součinu dotazu, jehož výstup je propojen s nastavovacím vstupem bistabilního klopného obvodu „dotaz — odpověď“, jehož výstup je propojen jednak s jemu příslušným vstupem řízeného objektu a jednak s informačním vstupem obvodu logického součinu odpovědi. Řídicí vstup obvodu logického součinu odpovědi je propojen s vodičem signálu čtení sběrnice řídicích signálů; jeho výstup je propojen s příslušným vodičem datové sběrnice. Výstup řízeného objektu je propojen s nulovacím vstupem bistabilního klopného obvodu „dotaz — odpověď“.

Příklad zapojení podle vynálezu je znázorněn na výkresu představujícím blokové schéma. Na výkresu je znázorněn blok 1 mikroprocesoru spojený adresovou sběrnicí 11 s dekodérem 2 adres. Z bloku 1 mikroprocesoru vychází datová sběrnice 12, která je obousměrná, a sběrnice 13 řídicích signálů. Mezi blok 1 mikroprocesoru s dekodérem 2 adres a řízený objekt 4 je zapojen stykový blok 3, který sestává z bloku 31 impulsního řízení, bloku 32 řízeného klopného obvodu a bloku 33 „dotaz — odpověď“, přičemž adresový vstup obvodu 311 logického součinu bloku 31 impulsního řízení je spojen vodičem 21 dekódované adresy s příslušným výstupem dekodéru 2 adres a vodič 131 signálu zápisu sběrnice 13 řídicích signálů je spojen s řídicím vstupem obvodu 311 impulsního řízení, jehož výstup je spojen s příslušným vstupem řízeného objektu 4. Adresový vstup obvodu 321 logického součinu nastavení a adresový vstup obvodu 322 logického součinu nulování, které jsou součástí bloku 32 řízeného klopného obvodu, jsou propojeny vodiči 22, 23 dekódované adresy s jím příslušnými výstupy dekodéru 2 adres. Vodič 131 signálu zápisu sběrnice 13 řídicích signálů je spojen se vstupem jak obvodu 321 logického součinu nastavení, tak obvodu 322 logického součinu nulování, které jsou součástí bloku 32 řízeného klopného obvodu a jejich výstupy jsou propojeny s jím příslušnými vstupy bistabilního klopného obvodu 323 bloku 32

řízeného klopného obvodu, jehož výstup je propojen s jemu příslušným vstupem řízeného objektu 4. Adresový vstup obvodu 331 logického součinu dotazu a adresový vstup obvodu 332 logického součinu odpovědi, které jsou součástí bloku 33 „dotaz — odpověď“, jsou propojeny vodičem 24 dekódované adresy se společným výstupem jim příslušné adresy dekodéru 2 adres, vodič 131 signálu zápisu sběrnice 13 řídicích signálů je propojen s řídicím vstupem obvodu 331 logického součinu dotazu, jehož výstup je propojen s nastavovacím vstupem bistabilního klopného obvodu 333 „dotaz — odpověď“. Výstup bistabilního klopného obvodu 333 je propojen jednak s jemu příslušným vstupem řízeného objektu 4 a jednak s informačním vstupem obvodu 332 logického součinu odpovědi, jehož řídicí vstup je propojen s vodičem 132 signálu čtení sběrnice 13 řídicích signálů a jehož výstup je propojen s příslušným vodičem datové sběrnice 12, výstup řízeného objektu 4 je propojen s nulovacím vstupem bistabilního klopného obvodu 333 „dotaz — odpověď“.

Zapojení podle vynálezu využívá skutečnosti, že mikroprocesor má k dispozici velice široké adresové pole, které v praktických aplikacích nebývá nikdy plně využíváno. Proto každému bitovému vstupu, respektive výstupu je přidělena jedna samostatná adresa. Současně je využíván signál k zápisu, respektive čtení, který je vždy obsažen v souboru řídicích signálů mikroprocesorového systému. Prostou koincidencí těchto signálů, tj. adresy a signálu zápisu nebo čtení v obvodu logického součinu dostáváme jednobitový impulsní signál, který lze aplikovat buď přímo na řízeném objektu, nebo zprostředkovaně.

Činnost zapojení podle výkresu je následující: V případě, že je požadováno vyslat řídicí impuls do řízeného objektu 4, postačí naprogramovat mikroprocesoru pouze instrukci zápisu, resp. výstupu. Instrukce obsahuje vždy údaj adresy. V rámci výkonu uvedené instrukce objeví se na adresové sběrnicí 11 binární interpretace adresy zvoleného bloku 31 impulsního řízení a na vodiči 131 signálu zápisu zapisovací impuls. Adresa je dekódována v dekodéru 2 adres a vedena jako logický signál vodičem 21 dekódované adresy na adresový vstup obvodu 311 logického součinu bloku 31 impulsního řízení. Řídicí vstup obvodu 311 logického součinu je připojen na vodič 131 signálu zápisu. Logický součin signálů na obou vstupech je pak impulsním výstupem bloku 31 impulsního řízení a je veden na vstup řízeného objektu 4.

Uvedené funkce je využito v dalších dvou stykových blocích, a to v bloku 32 řízeného klopného obvodu a bloku 33 „dotaz — odpověď“. Obvody bloku 32 řízeného klopného obvodu slouží k vysílání řídicího signálu o délce definované programem. Tato délka

trvání signálu je dána časovým intervalem mezi vysláním instrukce zápisu pro nastavení bistabilního klopného obvodu 323 a vysláním instrukce pro jeho nulování. Obvody bloku 33 „dotaz — odpověď“ jsou zapojeny tak, že obdobně jako u předcházejícího obvodu dojde při výkonu instrukce zápisu k nastavení bistabilního klopného obvodu 333. Řízený objekt 4 odpovídá nulováním bistabilního klopného obvodu 333. Stav tohoto obvodu je snímán obvodem 332 logického součinu odpovědi, jehož výstup je logickým součinem odpovídající adresy, stavem bistabilního klopného obvodu 333 „dotaz — odpověď“ a signálem čtení, který je přive-

den vodičem 132 signálu čtení. Výstup tohoto obvodu je napojen na příslušný zvolený vodič datové sběrnice 12. V zapojení bloku 33 „dotaz — odpověď“ lze s výhodou použít téže adresy pro nastavení i čtení.

Zapojení podle vynálezu je možno s výhodou použít ke stavbě modulů bitově orientovaných vstupů a výstupů mikropočítačových systémů.

Výhody vynálezu vyniknou právě v těch aplikacích, kde hlavní těžiště činnosti mikroprocesoru jako řídicího členu bude záležet v rychlém řízení velkého počtu bitových logických operací.

PŘEDMĚT VYNÁLEZU

Zapojení obvodů pro řízení bitových operací pomocí mikroprocesoru obsahující blok mikroprocesoru spojený adresovou sběrnici s dekodérem adres, obousměrnou datovou sběrnici, sběrnici řídicích signálů, které jsou napojeny na blok mikroprocesoru a stykový blok, vyznačené tím, že stykový blok (3) sestává z bloku (31) impulsového řízení, bloku (32) řízeného klopného obvodu a bloku (33) „dotaz — odpověď“, přičemž adresový vstup obvodu (311) logického součinu bloku (31) impulsního řízení je spojen vodičem (21) dekodované adresy s příslušným výstupem dekodéru (2) adres a vodič (131) signálu zápisu sběrnice (13) řídicích signálů je spojen s řídicím vstupem obvodu (311) logického součinu bloku (31) impulsního řízení, jehož výstup je spojen s příslušným vstupem řízeného objektu (4), adresový vstup obvodu (321) logického součinu nastavení a adresový vstup obvodu (322) logického součinu nulování, které jsou součástí bloku (32) řízeného klopného obvodu, jsou propojeny vodiči (22, 23) dekodované adresy s jim příslušnými výstupy dekodéru (2) adres, vodič (131) signálu zápisu sběrnice (13) řídicích signálů je spojen se vstupem jak obvodu (321) logického součinu nastavení, tak obvodu (322) logického součinu nulování, které jsou součástí

bloku (32) řízeného klopného obvodu a jejich výstupy jsou propojeny s jim příslušnými vstupy bistabilního klopného obvodu (323) bloku (32) řízeného klopného obvodu, jehož výstup je propojen s jemu příslušným vstupem řízeného objektu (4), adresový vstup obvodu (331) logického součinu dotazu a adresový vstup obvodu (332) logického součinu odpovědi, které jsou součástí bloku (33) „dotaz — odpověď“, jsou propojeny vodičem (24) dekodované adresy se společným výstupem jim příslušné adresy dekodéru (2) adres, vodič (131) signálu zápisu sběrnice (13) řídicích signálů je propojen s řídicím vstupem obvodu (331) logického součinu dotazu, jehož výstup je propojen s nastavovacím vstupem bistabilního klopného obvodu (333) „dotaz — odpověď“, jehož výstup je propojen jednak s jemu příslušným vstupem řízeného objektu (4) a jednak s informačním vstupem obvodu (332) logického součinu odpovědi, jehož řídicí vstup je propojen s vodičem (132) signálu čtení sběrnice (13) řídicích signálů a jehož výstup je propojen s příslušným vodičem datové sběrnice (12), výstup řízeného objektu (4) je propojen s nulovacím vstupem bistabilního klopného obvodu (333) „dotaz — odpověď“.

