

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5729100号  
(P5729100)

(45) 発行日 平成27年6月3日 (2015.6.3)

(24) 登録日 平成27年4月17日 (2015.4.17)

(51) Int.Cl.

F I

HO 1 L 25/065 (2006.01)

HO 1 L 25/07 (2006.01)

HO 1 L 25/18 (2006.01)

HO 1 L 25/08 B

請求項の数 12 (全 47 頁)

|           |                               |           |                             |
|-----------|-------------------------------|-----------|-----------------------------|
| (21) 出願番号 | 特願2011-87053 (P2011-87053)    | (73) 特許権者 | 000002185                   |
| (22) 出願日  | 平成23年4月11日 (2011.4.11)        |           | ソニー株式会社                     |
| (65) 公開番号 | 特開2012-222183 (P2012-222183A) |           | 東京都港区港南1丁目7番1号              |
| (43) 公開日  | 平成24年11月12日 (2012.11.12)      | (74) 代理人  | 100094053                   |
| 審査請求日     | 平成26年3月27日 (2014.3.27)        |           | 弁理士 佐藤 隆久                   |
|           |                               | (72) 発明者  | 三橋 生枝                       |
|           |                               |           | 東京都港区港南1丁目7番1号 ソニー株<br>式会社内 |
|           |                               | 審査官       | 小山 和俊                       |

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法、半導体装置、電子機器

(57) 【特許請求の範囲】

【請求項1】

第1絶縁膜内に第1配線が形成された第1配線層と、第1半導体基板を有する第1半導体層と有する第1回路基板を形成する工程と、  
第2絶縁膜内に第2配線が形成された第2配線層と、第2半導体基板を有する第2半導体層と有する第2回路基板を形成する工程と、  
前記第1配線層と前記第2配線層とを内側にして、前記第1回路基板と前記第2回路基板を貼り合わせて、貼り合わせ基板を形成する工程と、  
前記貼り合わせ基板において、前記第1回路基板の前記第1半導体層を貫通し前記第1回路基板の前記第1の配線層に至る第1の開口、および、前記第1回路基板の前記第1半導体層および前記第1の配線層を貫通し、前記第2回路基板の第2配線に至る第2開口を、前記第1回路基板の前記第1半導体層側から、同時に、エッチング処理して形成する、エッチング処理工程と、  
を有し、  
前記第1回路基板を形成する工程において、  
前記第1半導体基板を覆って、前記第1配線より前記エッチングレートが低い材料のエッチングストッパ層を形成し、  
当該エッチングストッパ層の上に前記第1配線の層を形成し、  
前記エッチングストッパ層と前記第1配線の層とをパターン加工する、  
半導体装置の製造方法。

## 【請求項 2】

当該半導体装置の製造方法は、前記第 1 の開口と前記第 2 の開口とを介在して、前記第 1 配線と前記第 2 配線とのそれぞれの間を電氣的に接続する工程を有する、  
請求項 1 に記載の半導体装置の製造方法。

## 【請求項 3】

前記第 1 回路基板の形成工程では、前記エッチングストップ層について、前記第 1 配線よりも拡散係数が小さいバリアメタル材料を用いて形成する、  
請求項 1 に記載の半導体装置の製造方法。

## 【請求項 4】

当該半導体装置の製造方法は、前記第 1 回路基板と前記第 2 回路基板とを張り合わせた積層体に前記第 1 の開口と前記第 2 の開口とを形成する前に、前記第 1 回路基板について薄膜化する工程を含む、  
請求項 1 に記載の半導体装置の製造方法。

## 【請求項 5】

前記第 1 回路基板の形成工程では、光電変換部を含む画素が複数設けられたセンサ基板として、前記第 1 回路基板を形成し、  
前記第 2 回路基板の形成工程では、ロジック基板として前記第 2 回路基板を形成する、  
請求項 1 に記載の半導体装置の製造方法。

## 【請求項 6】

当該半導体装置の製造方法は、  
前記複数の画素のそれぞれにカラーフィルタを形成する工程と、  
前記複数の画素のそれぞれにオンチップレンズを形成する工程と  
を有する、  
請求項 5 に記載の半導体装置の製造方法。

## 【請求項 7】

前記第 2 回路基板の形成工程では、光電変換部を含む画素が複数設けられたセンサ基板として、前記第 2 回路基板を形成し、  
前記第 1 回路基板の形成工程では、ロジック基板として前記第 1 回路基板を形成する、  
請求項 1 に記載の半導体装置の製造方法。

## 【請求項 8】

当該半導体装置の製造方法は、  
前記複数の画素のそれぞれにカラーフィルタを形成する工程と、  
前記複数の画素のそれぞれにオンチップレンズを形成する工程と  
を有する、  
請求項 7 に記載の半導体装置の製造方法。

## 【請求項 9】

第 1 絶縁膜内に第 1 配線が形成された第 1 配線層と、第 1 半導体基板を有する第 1 半導体層と有する第 1 回路基板と、第 2 絶縁膜内に第 2 配線が形成された第 2 配線層と、第 2 半導体基板を有する第 2 半導体層と有する第 2 回路基板とが、前記第 1 配線層と前記第 2 配線層とを内側に、前記第 1 回路基板と前記第 2 回路基板を貼り合わされており、  
前記第 1 回路基板は、前記第 1 半導体基板を覆って、前記第 1 配線より前記エッチングレートが低い材料のエッチングストップ層が形成されており、当該エッチングストップ層の上に前記第 1 配線の層が形成されており、前記エッチングストップ層と前記第 1 配線の層とをパターン加工されており、

前記貼り合わせ基板において、前記第 1 回路基板の前記第 1 半導体層を貫通し前記第 1 回路基板の前記第 1 の配線層に至る第 1 の開口、および、前記第 1 回路基板の前記第 1 半導体層および前記第 1 の配線層を貫通し、前記第 2 回路基板の第 2 配線に至る第 2 開口を、前記第 1 回路基板の前記第 1 半導体層側から、同時に、エッチング処理して形成されている、

半導体装置。

10

20

30

40

50

## 【請求項 10】

第1絶縁膜内に第1配線が形成された第1配線層と、第1半導体基板を有する第1半導体層と有する第1回路基板と、第2絶縁膜内に第2配線が形成された第2配線層と、第2半導体基板を有する第2半導体層と有する第2回路基板とが、前記第1配線層と前記第2配線層とを内側にして、前記第1回路基板と前記第2回路基板を貼り合わされており、

前記第1回路基板は、前記第1半導体基板を覆って、前記第1配線より前記エッチングレートが低い材料のエッチングストップ層が形成されており、当該エッチングストップ層の上に前記第1配線の層が形成されており、前記エッチングストップ層と前記第1配線の層とをパターン加工されており、

前記貼り合わせ基板において、前記第1回路基板の前記第1半導体層を貫通し前記第1回路基板の前記第1の配線層に至る第1の開口、および、前記第1回路基板の前記第1半導体層および前記第1の配線層を貫通し、前記第2回路基板の第2配線に至る第2開口を、前記第1回路基板の前記第1半導体層側から、同時に、エッチング処理して形成されている、

半導体装置を有する、電子機器。

## 【請求項 11】

請求項1～6、または、請求項1～4、7～8のいずれかに記載の半導体装置の製造方法によって製造された、半導体装置。

## 【請求項 12】

請求項11記載の半導体装置を有する、電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本技術は、半導体装置の製造方法、半導体装置、電子機器に関する。

## 【背景技術】

## 【0002】

デジタルビデオカメラ、デジタルスチルカメラなどの電子機器は、固体撮像装置などの半導体装置を含む。たとえば、固体撮像装置として、CMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサ、CCD (Charge Coupled Device) 型イメージセンサを含む。

## 【0003】

固体撮像装置は、半導体基板の面に複数の画素が配列されている。各画素においては、光電変換部が設けられている。光電変換部は、たとえば、フォトダイオードであり、外付けの光学系を介して入射する光を受光面で受光し光電変換することによって、信号電荷を生成する。

## 【0004】

固体撮像装置は、一般に、半導体基板において回路や配線などが設けられた表面側から入射する光を、光電変換部が受光する。このような場合には、回路や配線などが入射する光を遮光するために、感度を向上させることが困難な場合がある。このため、半導体基板において回路や配線などが設けられた表面とは反対側の裏面側から入射する光を、光電変換部が受光する「裏面照射型」が提案されている（たとえば、特許文献1，2参照）。

## 【0005】

また、上記の固体撮像装置のような半導体装置では、機能が異なる素子が設けられた基板を、複数、積み重ねて両者を電氣的に接続する「3次元実装」が提案されている。「3次元実装」では、各機能に対応する最適な回路を各基板に形成するので、装置を高機能化することを容易に実現できる。たとえば、センサ素子が設けられたセンサ基板と、そのセンサ素子から出力される信号を処理するロジック回路が設けられたロジック基板とを積層して、固体撮像装置が構成される。ここでは、パッド配線の表面が露出するように半導体基板を貫通させることでパッド開口を設け、そのパッド開口を介して、各素子の間を電氣的に接続している。つまり、TSV (Through Silicon Via) を介し

10

20

30

40

50

て、センサ基板とロジック基板との間を電氣的に接続している（たとえば、特許文献 3 参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2005-150463 号公報

【特許文献 2】特開 2008-182142 号公報

【特許文献 3】特開 2010-245506 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、上記の固体撮像装置などの半導体装置においては、装置の信頼性や、製品の歩留まりなどを十分に向上することが困難な場合がある。

【0008】

したがって、本技術は、装置の信頼性や、製品の歩留まりなどを向上可能な半導体装置の製造方法、半導体装置、電子機器を提供する。

【課題を解決するための手段】

【0009】

本技術の半導体装置の製造方法は、第 1 配線が設けられた第 1 回路基板を形成する工程と、第 2 配線が設けられた第 2 回路基板を形成する工程と、前記第 2 回路基板の上面に前記第 1 回路基板を対面させて積層するように貼り合わせる工程と、前記第 1 配線の上面に第 1 の開口を形成すると共に前記第 2 配線の上面に第 2 の開口を形成するように、前記第 1 回路基板と前記第 2 回路基板との積層体において前記第 1 配線と前記第 2 配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施する工程とを有し、前記第 1 回路基板の形成工程では、前記エッチング処理において前記第 1 配線よりもエッチングレートが低い材料で、前記第 1 配線の上面にエッチングストッパー層を形成する。

20

【0010】

本技術の半導体装置は、第 1 回路基板と第 2 回路基板とを含み、前記第 2 回路基板の上面に前記第 1 回路基板が対面させて積層するように貼り合わされている積層体を有し、前記積層体は、第 1 の開口が上面に形成された第 1 配線と、第 2 の開口が上面に形成された第 2 配線とを少なくとも含み、前記第 1 配線は、前記積層体において前記第 2 配線よりも上方に設けられており、前記第 1 の開口と前記第 2 の開口とのそれぞれは、前記第 1 配線と前記第 2 配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、前記第 1 の開口は、前記第 1 配線の上面において前記第 1 配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された。

30

【0011】

本技術においては、第 1 配線が設けられた第 1 回路基板を形成する。また、第 2 配線が設けられた第 2 回路基板を形成する。そして、第 2 回路基板の上面に第 1 回路基板を対面させて積層するように貼り合わせる。そして、第 1 配線の上面に第 1 の開口を形成し、第 2 配線の上面に第 2 の開口を形成するように、その積層体において第 1 配線と第 2 配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施する。第 1 回路基板を形成する際には、上記のエッチング処理において第 1 配線よりもエッチングレートが低い材料で、第 1 配線の上面にエッチングストッパー層を形成する。よって、エッチング処理において、第 1 配線がエッチングストッパー層で保護される。

40

【0012】

本技術の半導体装置の製造方法は、第 1 回路基板を形成する工程と、第 1 配線と第 2 配線とが設けられた第 2 回路基板を形成する工程と、前記第 2 回路基板の上面に前記第 1 回路基板を対面させて積層するように貼り合わせる工程と、前記第 1 配線の上面に第 1 の開口を形成すると共に前記第 2 配線の上面に、前記第 1 の開口よりも狭い第 2 の開口を形成

50

するように、前記第 1 回路基板と前記第 2 回路基板との積層体において前記第 1 配線と前記第 2 配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施する工程とを有し、前記第 2 回路基板の形成工程では、少なくとも前記第 1 配線の上面に、前記エッチング処理において前記第 1 配線よりもエッチングレートが低い材料で、エッチングストッパー層を形成する。

#### 【0013】

本技術の半導体装置は、第 1 回路基板と第 2 回路基板とを含み、前記第 2 回路基板の上面に前記第 1 回路基板が対面して積層するように貼り合わされている積層体を有し、前記積層体は、第 1 の開口が上面に形成された第 1 配線と、前記第 1 の開口よりも狭い第 2 の開口が上面に形成された第 2 配線とを少なくとも含み、前記第 1 の開口と前記第 2 の開口とのそれぞれは、前記第 1 配線と前記第 2 配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、前記第 1 の開口は、前記第 1 配線の上面において前記第 1 配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された。

10

#### 【0014】

本技術においては、第 1 回路基板を形成する。そして、第 1 配線と第 2 配線とが設けられた第 2 回路基板を形成する。そして、第 2 回路基板の上面に第 1 回路基板を対面させて積層するように貼り合わせる。そして、第 1 配線の上面に第 1 の開口を形成し、第 2 配線の上面に第 1 の開口よりも狭い第 2 の開口を形成するように、その積層体において第 1 配線と第 2 配線との各上方に設けられた部分を同時に除去するエッチング処理を実施する。第 2 回路基板の形成工程では、少なくとも第 1 配線の上面に、上記のエッチング処理において第 1 配線よりもエッチングレートが低い材料で、エッチングストッパー層を形成する。よって、エッチング処理において、第 1 配線がエッチングストッパー層で保護される。

20

#### 【発明の効果】

#### 【0015】

本技術によれば、装置の信頼性や、製品の歩留まりなどを向上可能な半導体装置の製造方法、半導体装置、電子機器を提供することができる。

#### 【図面の簡単な説明】

#### 【0016】

【図 1】図 1 は、実施形態 1 にかかるカメラの構成を示す図である。

30

【図 2】図 2 は、実施形態 1 にかかる固体撮像装置の全体構成を示す図である。

【図 3】図 3 は、実施形態 1 にかかる固体撮像装置の全体構成を示す図である。

【図 4】図 4 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【図 5】図 5 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【図 6】図 6 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【図 7】図 7 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【図 8】図 8 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 9】図 9 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 10】図 10 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

40

【図 11】図 11 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 12】図 12 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 13】図 13 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 14】図 14 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【図 15】図 15 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

50

【図 1 6】図 1 6 は、実施形態 2 において、固体撮像装置の要部を示す図である。

【図 1 7】図 1 7 は、実施形態 2 において、固体撮像装置の製造方法の要部を示す図である。

【図 1 8】図 1 8 は、実施形態 2 において、固体撮像装置の製造方法の要部を示す図である。

【図 1 9】図 1 9 は、実施形態 3 において、固体撮像装置の要部を示す図である。

【図 2 0】図 2 0 は、実施形態 3 において、固体撮像装置の製造方法の要部を示す図である。

【図 2 1】図 2 1 は、実施形態 4 において、固体撮像装置の要部を示す図である。

【図 2 2】図 2 2 は、実施形態 4 において、固体撮像装置の製造方法の要部を示す図である。 10

【図 2 3】図 2 3 は、実施形態 4 において、固体撮像装置の製造方法の要部を示す図である。

【図 2 4】図 2 4 は、実施形態 4 において、固体撮像装置の製造方法の要部を示す図である。

【図 2 5】図 2 5 は、実施形態 4 において、固体撮像装置の製造方法の要部を示す図である。

【発明を実施するための形態】

【0017】

実施形態について、図面を参照して説明する。 20

【0018】

なお、説明は、下記の順序で行う。

1. 実施形態 1 (TSVの深さが異なる場合)
2. 実施形態 2 (TSVの深さが異なる場合)
3. 実施形態 3 (TSVの深さが異なる場合)
4. 実施形態 4 (TSVの径が異なる場合)
5. その他

【0019】

< 1. 実施形態 1 >

[A. 装置構成]

30

(A-1) カメラの要部構成

図 1 は、実施形態 1 にかかるカメラの構成を示す図である。

【0020】

図 1 に示すように、カメラ 40 は、固体撮像装置 1 と、光学系 42 と、制御部 43 と、信号処理部 44 とを有する。各部について、順次、説明する。

【0021】

固体撮像装置 1 は、光学系 42 を介して被写体像として入射する入射光 H を、撮像面 P S で受光して光電変換することによって、信号電荷を生成する。ここでは、固体撮像装置 1 は、制御部 43 から出力される制御信号に基づいて駆動する。そして、信号電荷を読み出し、電気信号として出力する。 40

【0022】

光学系 42 は、結像レンズや絞りなどの光学部材を含み、入射光 H を、固体撮像装置 1 の撮像面 P S へ集光するように配置されている。

【0023】

制御部 43 は、各種の制御信号を固体撮像装置 1 と信号処理部 44 とに出力し、固体撮像装置 1 と信号処理部 44 とを制御して駆動させる。

【0024】

信号処理部 44 は、固体撮像装置 1 から出力された電気信号について信号処理を実施することによって、カラーデジタル画像を生成する。

【0025】

50

## (A-2) 固体撮像装置の全体構成

固体撮像装置1の全体構成について説明する。

【0026】

図2、図3は、実施形態1にかかる固体撮像装置の全体構成を示す図である。

【0027】

図2は、ブロック図を示し、図3は、断面図を示している。

【0028】

図2に示すように、固体撮像装置1は、画素領域PAが設けられている。

【0029】

画素領域PAは、図2に示すように、矩形形状であり、複数の画素Pが水平方向xと垂直方向yとのそれぞれに並んで配置されている。すなわち、画素Pがマトリクス状に並んで配列されている。この画素領域PAは、図1に示した撮像面PSに相当する。

10

【0030】

この他に、固体撮像装置1は、図2に示すように、垂直駆動回路3と、カラム回路4と、水平駆動回路5と、外部出力回路7と、タイミングジェネレータ8とが、周辺回路として設けられている。

【0031】

垂直駆動回路3は、図2に示すように、画素領域PAにおいて水平方向xに並ぶ複数の画素Pの行ごとに電氣的に接続されている。

【0032】

20

カラム回路4は、図2に示すように、列単位で画素Pから出力される信号について信号処理を実施するように構成されている。ここでは、カラム回路4は、CDS (Correlated Double Sampling; 相関二重サンプリング) 回路 (図示なし) を含み、固定パターンノイズを除去する信号処理を実施する。

【0033】

水平駆動回路5は、図2に示すように、カラム回路4に電氣的に接続されている。水平駆動回路5は、たとえば、シフトレジスタを含み、カラム回路4で画素Pの列ごとに保持されている信号を、順次、外部出力回路7へ出力させる。

【0034】

外部出力回路7は、図2に示すように、カラム回路4に電氣的に接続されており、カラム回路4から出力された信号について信号処理を実施後、外部へ出力する。外部出力回路7は、AGC (Automatic Gain Control) 回路7aとADC回路7bとを含む。外部出力回路7においては、AGC回路7aが信号にゲインをかけた後に、ADC回路7bがアナログ信号からデジタル信号へ変換して、外部へ出力する。

30

【0035】

タイミングジェネレータ8は、図2に示すように、垂直駆動回路3、カラム回路4、水平駆動回路5、外部出力回路7のそれぞれに電氣的に接続されている。タイミングジェネレータ8は、各種パルス信号を生成し、垂直駆動回路3、カラム回路4、水平駆動回路5、外部出力回路7に出力することで、各部について駆動制御を行う。

【0036】

40

図3に示すように、固体撮像装置1は、センサ基板100と、ロジック基板200とを含み、ロジック基板200の上面にセンサ基板100が積層して貼り合わされている積層体である。

【0037】

センサ基板100と、ロジック基板200とのそれぞれは、図3に示すように、対面しており、その対面した面で互いに接合されている。このように、固体撮像装置1は、「3次元積層構造」であって、センサ基板100とロジック基板200とが積み重なっている。そして、詳細については後述するが、センサ基板100とロジック基板200とのそれぞれが、互いに電氣的に接続されている。

【0038】

50

固体撮像装置 1 において、センサ基板 100 には、上述の図 2 で示した画素領域 P A が設けられている。また、センサ基板 100 には、上述の図 2 で示した周辺回路の一部が設けられている。たとえば、上述の図 2 で示した垂直駆動回路 3 とタイミングジェネレータ 8 とが、画素領域 P A の周辺に設けられている。

【0039】

固体撮像装置 1 において、ロジック基板 200 には、上述の図 2 で示した周辺回路のうち、センサ基板 100 に設けられなかった回路が設けられている。たとえば、上述の図 2 で示したカラム回路 4 と、水平駆動回路 5 と、外部出力回路 7 とが設けられている。

【0040】

なお、センサ基板 100 に周辺回路を設けず、ロジック基板 200 に、図 2 で示した周辺回路の全てを設けるように、構成しても良い。その他、ロジック基板 200 に代えて、配線基板を設けても良い。すなわち、機能が異なる複数の半導体チップを積み重ねて、固体撮像装置を構成しても良い。

【0041】

(A-3) 固体撮像装置 1 の要部構成

固体撮像装置 1 の要部構成について説明する。

【0042】

図 4～図 7 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【0043】

ここでは、図 4 は、上面図であり、センサ基板 100 側の面を示している。

【0044】

また、図 5、図 6 は、断面図である。図 5 は、図 4 の P 1－P 2 部分を示している。これに対して、図 6 は、図 4 の S 1－S 2 部分を示している。

【0045】

図 7 は、画素 P の回路構成を示している。

【0046】

(A-3-1) 上面構成の概要

図 4 に示すように、固体撮像装置 1 は、チップ領域 C A と、スクライプ領域 L A とが、面 (x y 面) に設けられている。

【0047】

チップ領域 C A は、図 4 に示すように、水平方向 x と垂直方向 y において区画された矩形形状であって、上述した画素領域 P A (図 2 参照) を含む。この他に、チップ領域 C A は、周辺領域 S A を含む。

【0048】

チップ領域 C A において、画素領域 P A は、図 4 に示すように、矩形形状であり、複数の画素 P が水平方向 x と垂直方向 y とのそれぞれに並んで配置されている。

【0049】

チップ領域 C A において、周辺領域 S A は、図 4 に示すように、画素領域 P A の周囲に位置している。

【0050】

この周辺領域 S A においては、図 4 に示すように、パッド部 P A D と、周辺回路部 S K とが設けられている。

【0051】

スクライプ領域 L A は、図 4 に示すように、チップ領域 C A の周りを囲うように位置している。ここでは、スクライプ領域 L A は、水平方向 x と垂直方向 y とのそれぞれに延在する部分を含み、チップ領域 C A の周りで矩形を描くように設けられている。

【0052】

ダイシング前のウエハ (図示無し) には、チップ領域 C A が複数並んで設けられており、スクライプ領域 L A は、その複数のチップ領域 C A の間においてライン状に延在している。このスクライプ領域 L A では、ブレードが当てられてダイシングが行われ、上述した

10

20

30

40

50

チップ領域C Aを備える固体撮像装置1に分割される。

【0053】

(A-3-2) 断面構成の概要

図5, 図6に示すように、上記の固体撮像装置1は、センサ基板100と、ロジック基板200とを含み、それぞれが対面して貼り合わされている。

【0054】

センサ基板100は、図5, 図6に示すように、半導体基板101を含む。半導体基板101は、たとえば、単結晶シリコンからなる。

【0055】

図5, 図6に示すように、センサ基板100は、半導体基板101においてロジック基板200に対面する側の表面(下面)に、配線層110と絶縁膜120とが、順次、設けられている。配線層110と絶縁膜120とのそれぞれは、半導体基板101の表面(下面)の全体に渡って設けられている。

10

【0056】

センサ基板100において、半導体基板101の内部には、図5に示すように、画素領域P Aにフォトダイオード21が設けられている。

【0057】

センサ基板100において、半導体基板101の裏面(上面)には、図5, 図6に示すように、絶縁膜102が設けられている。絶縁膜102は、半導体基板101の裏面(上面)の全体に渡って設けられている。

20

【0058】

また、半導体基板101の裏面(上面)において、画素領域P Aには、図5に示すように、カラーフィルタC FとオンチップレンズO C Lとが、絶縁膜102を介して設けられている。

【0059】

図示を省略しているが、センサ基板100において、配線層110が設けられた下面側には、半導体回路素子(図示無し)が設けられている。具体的には、半導体回路素子(図示無し)は、画素領域P Aにおいては、図7に示す画素トランジスタT rを構成するように設けられている。また、周辺領域S Aにおいては、たとえば、図2に示した、垂直駆動回路3、タイミングジェネレータ8を構成するように、半導体回路素子(図示無し)が設けられている。

30

【0060】

ロジック基板200は、図5, 図6に示すように、半導体基板201を含む。半導体基板201は、たとえば、単結晶シリコンからなる。ロジック基板200は、半導体基板201が、センサ基板100の半導体基板101に対面している。ロジック基板200の半導体基板201は、支持基板としても機能して、固体撮像装置1の全体の強度が確保される。

【0061】

ロジック基板200は、図5, 図6に示すように、半導体基板201においてセンサ基板100に対面する側の表面(上面)に、配線層210と絶縁膜220とが、順次、設けられている。配線層210と絶縁膜220とのそれぞれは、半導体基板201の表面(上面)の全体に渡って設けられている。

40

【0062】

図示を省略しているが、ロジック基板200において、半導体基板201の表面(上面)側には、M O Sトランジスタなどの半導体回路素子(図示無し)が設けられている。半導体回路素子(図示無し)は、たとえば、図2に示した、カラム回路4、水平駆動回路5、外部出力回路7を構成するように設けられている。

【0063】

そして、固体撮像装置1は、図5, 図6に示すように、センサ基板100の絶縁膜120と、ロジック基板200の絶縁膜220とが接合面S Mで接合されており、これにより

50

、センサ基板１００と、ロジック基板２００との両者が貼り合わされている。

【００６４】

固体撮像装置１は、図５に示すように、センサ基板１００の半導体基板１０１において、配線層１１０が設けられた表面（下面）側とは反対側の裏面（上面）から入射する入射光Hを、フォトダイオード２１が受光するように構成されている。

【００６５】

つまり、固体撮像装置１は、「裏面照射型ＣＭＯＳイメージセンサ」である。

【００６６】

（Ａ－３－３）各部の詳細構成

固体撮像装置１を構成する各部の詳細について、順次、説明する。

10

【００６７】

（ａ）フォトダイオード２１について

フォトダイオード２１は、図５に示すように、画素領域PAにおいて、複数の画素Pのそれぞれに対応して設けられている。フォトダイオード２１は、センサ基板１００において、たとえば、厚みが１～３０μmに薄膜化された半導体基板１０１に設けられている。

【００６８】

フォトダイオード２１は、被写体像として入射する入射光Hを受光して光電変換することによって、信号電荷を生成し蓄積するように形成されている。

【００６９】

ここでは、図５に示すように、半導体基板１０１の裏面（上面）側であって、フォトダイオード２１の上方には、カラーフィルタCF、マイクロレンズMLが設けられている。このため、フォトダイオード２１は、これらの各部を順次介して入射した入射光Hを、受光面JSで受光して光電変換が行われる。

20

【００７０】

フォトダイオード２１は、たとえば、信号電荷（電子）を蓄積するn型電荷蓄積領域（図示なし）を含み、そのn型電荷蓄積領域（図示なし）が、半導体基板１０１のp型半導体領域（図示なし）に設けられている。そして、そのn型電荷蓄積領域において、半導体基板１０１の表面側には、不純物濃度が高いp型半導体領域（図示なし）が、正孔蓄積層として設けられている。つまり、フォトダイオード２１は、HAD（Hole Accumulation Diode）構造で形成されている。

30

【００７１】

図７に示すように、各フォトダイオード２１は、アノードが接地されており、蓄積した信号電荷が、画素トランジスタTrによって読み出され、電気信号として垂直信号線２７へ出力されるように構成されている。

【００７２】

（ｂ）画素トランジスタTrについて

画素トランジスタTrは、上述したように、画素領域PAにおいて、複数の画素Pのそれぞれに対応して設けられている。画素トランジスタTrは、図７に示すように、転送トランジスタ２２と、増幅トランジスタ２３と、選択トランジスタ２４と、リセットトランジスタ２５とを含み、各画素Pにおいて、フォトダイオード２１から信号電荷を電気信号として出力する。

40

【００７３】

上述したように、図５では、画素トランジスタTrについて図示を省略しているが、画素トランジスタTrは、半導体基板１０１の表面（下面）に設けられている。具体的には、画素トランジスタTrを構成する各トランジスタ２２～２５は、たとえば、半導体基板１０１において画素Pの間を分離する領域に、活性化領域（図示なし）が形成されており、各ゲートがn型不純物を含むポリシリコンを用いて形成されている。

【００７４】

画素トランジスタTrにおいて、転送トランジスタ２２は、図７に示すように、フォトダイオード２１で生成された信号電荷を、フローティング・ディフュージョンFDに転送

50

するように構成されている。具体的には、転送トランジスタ 22 は、フォトダイオード 21 のカソードと、フローティング・ディフュージョン F D との間に設けられている。そして、転送トランジスタ 22 は、ゲートに転送線 26 が電氣的に接続されている。転送トランジスタ 22 では、転送線 26 からゲートに送信される転送信号 T G に基づいて、フォトダイオード 21 において蓄積された信号電荷を、フローティング・ディフュージョン F D に転送する。

#### 【0075】

画素トランジスタ T r において、増幅トランジスタ 23 は、図 7 に示すように、フローティング・ディフュージョン F D において、電荷から電圧へ変換された電気信号を増幅して出力するように構成されている。具体的には、増幅トランジスタ 23 は、ゲートが、フローティング・ディフュージョン F D に電氣的に接続されている。また、増幅トランジスタ 23 は、ドレインが電源供給線 V d d に電氣的に接続され、ソースが選択トランジスタ 24 に電氣的に接続されている。増幅トランジスタ 23 は、選択トランジスタ 24 がオン状態になるように選択されたときには、定電流源 I から定電流が供給されて、ソースフォロアとして動作する。このため、増幅トランジスタ 23 では、選択トランジスタ 24 に選択信号が供給されることによって、フローティング・ディフュージョン F D において、電荷から電圧へ変換された電気信号が増幅される。

#### 【0076】

画素トランジスタ T r において、選択トランジスタ 24 は、図 7 に示すように、選択信号に基づいて、増幅トランジスタ 23 によって出力された電気信号を、垂直信号線 27 へ出力するように構成されている。具体的には、選択トランジスタ 24 は、選択信号が供給されるアドレス線 28 にゲートが接続されている。そして、選択トランジスタ 24 は、選択信号が供給された際にはオン状態になり、上記のように増幅トランジスタ 23 によって増幅された出力信号を、垂直信号線 27 に出力する。

#### 【0077】

画素トランジスタ T r において、リセットトランジスタ 25 は、図 7 に示すように、リセットトランジスタ 25 は、増幅トランジスタ 23 のゲート電位をリセットするように構成されている。具体的には、リセットトランジスタ 25 は、リセット信号が供給されるリセット線 29 にゲートが電氣的に接続されている。また、リセットトランジスタ 25 は、ドレインが電源供給線 V d d に電氣的に接続され、ソースがフローティング・ディフュージョン F D に電氣的に接続されている。そして、リセットトランジスタ 25 は、リセット線 29 から送信されたリセット信号に基づいて、フローティング・ディフュージョン F D を介して、増幅トランジスタ 23 のゲート電位を、電源電圧にリセットする。

#### 【0078】

各トランジスタ 22, 24, 25 の各ゲートは、水平方向 x に並ぶ複数の画素 P からなる行単位で接続されており、その行単位で並ぶ複数の画素について同時に駆動される。具体的には、上述した垂直駆動回路（図示なし）によって供給される選択信号によって、水平ライン（画素行）単位で垂直な方向に順次選択される。そして、タイミングジェネレータ（図示なし）から出力される各種タイミング信号によって各画素 P のトランジスタが制御される。これにより、各画素 P における出力信号が垂直信号線 27 を通して画素 P の列毎にカラム回路（図示なし）に読み出される。そして、カラム回路で保持された信号が、水平駆動回路（図示なし）によって選択されて、外部出力回路（図示なし）へ順次出力される。

#### 【0079】

（c）カラーフィルタ C F について

カラーフィルタ C F は、図 5 に示すように、画素領域 P A において、半導体基板 101 の裏面（上面）側に設けられている。

#### 【0080】

ここでは、半導体基板 101 の裏面（上面）には、絶縁膜 102 が設けられている。絶縁膜 102 は、たとえば、S i N などの絶縁材料を用いて形成されている。そして、この

10

20

30

40

50

絶縁膜 102 の上面に、カラーフィルタ CF が形成されている。

【0081】

カラーフィルタ CF は、半導体基板 101 の裏面（上面）側からオンチップレンズ OCL を介して入射する入射光 H が着色されて透過するように形成されている。たとえば、カラーフィルタ CF は、入射光 H として入射する可視光線のうち、所定の波長領域の光が選択的に透過するように形成されている。

【0082】

カラーフィルタ CF は、たとえば、赤色フィルタ層（図示なし）、緑色フィルタ層（図示なし）、青色フィルタ層（図示なし）を含み、ベイヤー配列で、その 3 原色の各フィルタ層が、各画素 P に対応するように配置されている。

10

【0083】

たとえば、カラーフィルタ CF は、着色顔料とフォトレジスト樹脂とを含む塗布液を、スピコート法などのコーティング方法によって塗布して塗膜を形成後、リソグラフィ技術によって、その塗膜をパターン加工して形成される。

【0084】

（d）オンチップレンズ OCL について

オンチップレンズ OCL は、図 5 に示すように、画素領域 PA において、複数の画素 P のそれぞれに対応して設けられている。

【0085】

オンチップレンズ OCL は、半導体基板 101 の裏面（上面）側において、カラーフィルタ CF の上面に設けられている。

20

【0086】

オンチップレンズ OCL は、半導体基板 101 の裏面（上面）から上方に凸状に突き出た凸レンズであり、半導体基板 101 の裏面（上面）側から入射する入射光 H をフォトダイオード 21 へ集光する。

【0087】

オンチップレンズ OCL は、カラーフィルタ CF を介して絶縁膜 102 の上面に成膜されたレンズ材層（図示無し）を加工することで形成されている。たとえば、絶縁膜 102 の上面に有機樹脂材料を成膜することで、レンズ材層（図示無し）を設ける。そして、レンズ材層（図示無し）上にフォトレジスト膜（図示無し）を設けた後に、そのフォトレジスト膜（図示無し）をレンズ形状にパターン加工する。そして、そのレンズ形状のレジストパターン（図示無し）をマスクとして、そのレンズ材層（図示無し）についてエッチバック処理を実施する。このようにして、オンチップレンズ OCL が形成される。なお、上記以外に、レンズ材層（図示無し）をパターン加工後、リフロー処理することで、オンチップレンズ OCL を形成しても良い。

30

【0088】

（e）センサ基板 100 の配線層 110、絶縁膜 120 について

センサ基板 100 において、配線層 110 は、図 5、図 6 に示すように、半導体基板 101 のうち、カラーフィルタ CF、マイクロレンズ ML などの各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられている。つまり、センサ基板 100 において、配線層 110 は、半導体基板 101 のうち、ロジック基板 200 に対面する側の面（下面）に設けられている。

40

【0089】

配線層 110 は、図 5 に示すように、配線 110H と絶縁膜 110Z とを含み、絶縁膜 110Z 内において、配線 110H が設けられている。配線層 110 は、いわゆる多層配線層であり、絶縁膜 110Z を構成する層間絶縁膜と、配線 110H とが、交互に、複数回、積層されて形成されている。

【0090】

絶縁膜 110Z は、絶縁材料を用いて形成されている。また、配線 110H は、導電性の金属材料を用いて形成されている。

50

## 【0091】

配線層110において、配線110Hは、図7で示した、転送線26，アドレス線28，垂直信号線27，リセット線29などの各配線として機能するように、複数が積層して形成されている。

## 【0092】

そして、図5，図6に示すように、配線層110において半導体基板101側とは反対側の表面（下面）には、絶縁膜120が設けられている。

## 【0093】

（f）ロジック基板200の配線層210，絶縁膜220について

ロジック基板200において、配線層210は、図5，図6に示すように、半導体基板201のうち、センサ基板100に対面する側の面（上面）に設けられている。

10

## 【0094】

配線層210は、図5に示すように、配線210Hと絶縁膜210Zとを含み、絶縁膜210Z内に配線210Hが設けられている。配線層210は、いわゆる多層配線層であり、絶縁膜210Zを構成する層間絶縁膜と、配線210Hとが、交互に、複数回、積層されて形成されている。

## 【0095】

絶縁膜210Zは、絶縁材料を用いて形成されている。また、配線210Hは、導電性の金属材料を用いて形成されている。

## 【0096】

20

配線層210において、配線210Hは、ロジック基板200の半導体基板201に設けられた半導体回路素子（図示無し）に電氣的に接続する配線として機能するように、複数が積層して形成されている。

## 【0097】

そして、図5，図6に示すように、配線層210において半導体基板201側とは反対側の表面（上面）には、絶縁膜220が設けられている。

## 【0098】

（g）パッド部PADについて

パッド部PADは、図4に示すように、周辺領域SAに設けられている。図6に示すように、パッド部PADには、パッド配線110P，210Pと、パッド開口V1，V2と、接続導電層401とが設けられている。パッド部PADに設けられた各部について順次説明する。

30

## 【0099】

（g-1）センサ基板100のパッド配線110Pについて

パッド部PADには、図6に示すように、センサ基板100にパッド配線110Pが設けられている。

## 【0100】

センサ基板100においてパッド部PADに設けられたパッド配線110Pは、他の配線110Hと同様に、図6に示すように、配線層110の内部に形成されている。また、センサ基板100のパッド配線110Pは、センサ基板100とロジック基板200との積層体において、ロジック基板200に設けられたパッド配線210Pよりも上方に設けられている。

40

## 【0101】

パッド部PADに設けられたパッド配線110Pは、他の配線110Hと電氣的に接続されており、センサ基板100に設けた半導体回路素子（図示無し）や、その外部に設けた素子（図示無し）との間を電氣的に接続する。ここでは、パッド部PADにおいて、センサ基板100のパッド配線110Pは、ロジック基板200の配線層110内に設けられた他のパッド配線210Pと電氣的に接続される。

## 【0102】

（g-2）パッド開口V1について

50

図6に示すように、パッド部PADにおいてセンサ基板100に設けられたパッド配線110Pは、上方にパッド開口V1が形成されている。パッド開口V1は、センサ基板100を構成する半導体基板101を貫通するように形成されている。また、図示を省略しているが、パッド開口V1は、たとえば、上面が円形状になるように形成されている。

#### 【0103】

ここでは、パッド配線110Pは、上面にエッチングストッパー層110SPが設けられており、パッド開口V1は、そのエッチングストッパー層110SPの上面から絶縁膜102の上面までの間を貫通するように設けられている。

#### 【0104】

詳細については後述するが、エッチングストッパー層110SPは、その上方に設けられた部材についてエッチング処理で除去する際に、そのエッチング処理が停止するように設けられている。つまり、エッチングストッパー層110SPの上方に設けられた部材よりも、エッチングレートが低い材料で形成されている。本実施形態では、エッチングストッパー層110SPは、パッド配線110P、210Pの上方に設けられた部分を同時に除去するエッチング処理において、パッド配線110Pよりもエッチングレートが低い材料で形成されている。また、パッド配線110Pが、そのエッチング処理によってダメージを受けることを防止するために、エッチングストッパー層110SPは、パッド配線110Pよりも、エッチングレートが低い材料で形成されている。

#### 【0105】

図6に示すように、パッド開口V1は、上側開口部V11と下側開口部V12とを含み、上側開口部V11と下側開口部V12とが深さ方向zにおいて積み重なるように設けられている。

#### 【0106】

上側開口部V11は、図6に示すように、センサ基板100において配線層110の上部から、絶縁膜102の上面までの間を貫通するように設けられている。すなわち、上側開口部V11は、センサ基板100の半導体基板101と絶縁膜102とのそれぞれを貫通するように形成されている。

#### 【0107】

下側開口部V12は、図6に示すように、パッド配線110Pの上面が露出するように設けられている。すなわち、下側開口部V12は、センサ基板100の配線層110においてパッド配線110Pが設けられた部分の上方が貫通するように形成されている。

#### 【0108】

そして、パッド開口V1の内部には、絶縁膜311と、バリアメタル層312と、メタル層313とが設けられている。

#### 【0109】

ここでは、絶縁膜311は、パッド開口V1において上側開口部V11の側面を被覆するように設けられている。

#### 【0110】

バリアメタル層312は、絶縁膜311を介して上側開口部V11の側面を被覆するように設けられている。また、バリアメタル層312は、下側開口部V12の側面と共に、底面を被覆するように設けられている。

#### 【0111】

メタル層313は、絶縁膜311、バリアメタル層312を介して、上側開口部V11と下側開口部V12との内部を埋め込むように設けられている。

#### 【0112】

(g-3) ロジック基板200のパッド配線210Pについて

パッド部PADには、図6に示すように、ロジック基板200にパッド配線210Pが設けられている。

#### 【0113】

パッド部PADにおいて、ロジック基板200に設けられたパッド配線210Pは、図

10

20

30

40

50

6に示すように、配線層210を構成する他の配線210Hと同様に、絶縁膜210Z内に設けられている。

【0114】

パッド配線210Pは、他の配線210Hと電氣的に接続されており、ロジック基板200に設けた半導体回路素子（図示無し）と、その外部に設けた素子（図示無し）との間を電氣的に接続する。ここでは、パッド配線210Pは、センサ基板100の配線層110内に設けられた他のパッド配線110Pと電氣的に接続される。

【0115】

（g-4）パッド開口V2について

図6に示すように、パッド部PADにおいて、ロジック基板200に設けられたパッド配線210Pは、上方にパッド開口V2が形成されている。パッド開口V2は、センサ基板100を構成する半導体基板101を貫通するように形成されている。また、図示を省略しているが、パッド開口V2は、たとえば、上面が円形状になるように形成されている。

10

【0116】

詳細については後述するが、このパッド開口V2は、センサ基板100のパッド配線110Pの上方に位置するパッド開口V1の形成と同一工程で形成される。つまり、パッド開口V2は、パッド開口V1と同様に、パッド配線210Pの上方に設けられた各部について、エッチング処理で除去することで形成される。

【0117】

20

図6に示すように、パッド開口V2は、上側開口部V21と下側開口部V22とを含み、上側開口部V21と下側開口部V22とが深さ方向zにおいて積み重なるように設けられている。

【0118】

上側開口部V21は、図6に示すように、ロジック基板200において配線層210の上部から、絶縁膜102の上面までの間を貫通するように設けられている。すなわち、上側開口部V21は、センサ基板100とロジック基板200との積層体において、ロジック基板200の配線層210にてパッド配線210Pが設けられた部分の上方が貫通するように形成されている。

【0119】

30

パッド開口V2の上側開口部V21は、他のパッド開口V1の上側開口部V11よりも深くなるように設ける点を除いて、同じ平面形状で形成される。つまり、上側開口部V21の幅H21が、上側開口部V11の幅H11と同じになるように形成される。

【0120】

下側開口部V22は、図6に示すように、ロジック基板200においてパッド配線210Pの上面が露出するように設けられている。すなわち、下側開口部V22は、センサ基板100とロジック基板200との積層体において、ロジック基板200の配線層210が設けられた部分の上方が貫通するように形成されている。

【0121】

パッド開口V2の下側開口部V22は、他のパッド開口V1の下側開口部V12よりも深い位置に設けられる点を除いて、同じ平面形状で形成される。つまり、下側開口部V22の幅H22が、下側開口部V12の幅H12と同じになるように形成される。

40

【0122】

そして、そのパッド開口V2の内部に、絶縁膜321と、バリアメタル層322と、メタル層323とが設けられている。

【0123】

ここでは、絶縁膜321は、パッド開口V2において上側開口部V21の側面を被覆するように設けられている。

【0124】

バリアメタル層322は、絶縁膜321を介して上側開口部V21の側面を被覆するよ

50

うに設けられている。また、バリアメタル層 3 2 2 は、下側開口部 V 2 2 の側面と共に、底面を被覆するように設けられている。

【0 1 2 5】

メタル層 3 2 3 は、絶縁膜 3 2 1，バリアメタル層 3 2 2 を介して、上側開口部 V 2 1 と下側開口部 V 2 2 との内部を埋め込むように設けられている。

【0 1 2 6】

(g-5) 接続導電層 4 0 1 について

上記の他に、パッド部 P A D には、図 6 に示すように、接続導電層 4 0 1 が設けられている。接続導電層 4 0 1 は、絶縁膜 1 0 2 の上面に設けられている。

【0 1 2 7】

接続導電層 4 0 1 は、パッド部 P A D において、センサ基板 1 0 0 に設けられたパッド配線 1 1 0 P と、ロジック基板 2 0 0 に設けられたパッド配線 2 1 0 P との間を電氣的に接続するように、導電性の金属材料によって形成されている。ここでは、接続導電層 4 0 1 は、パッド開口 V 1，V 2 内に設けたバリアメタル層 3 1 2，3 2 2 と、メタル層 3 1 3，3 2 3 とを介在して、各パッド配線 1 1 0 P，2 1 0 P の間を電氣的に接続している。

【0 1 2 8】

[B] 製造方法

上記の固体撮像装置 1 を製造する製造方法の要部について説明する。

【0 1 2 9】

図 8 ～図 1 5 は、実施形態 1 において、固体撮像装置の製造方法の要部を示す図である。

【0 1 3 0】

図 8 は、製造フロー図である。

【0 1 3 1】

図 9 ～図 1 5 は、図 6 と同様な断面を示す断面図であり、パッド部 P A D を示している。図 5 と同様な断面については、図示を省略しているが、図 9 ～図 1 5 と同様に、各部が形成される。

【0 1 3 2】

本実施形態では、図 9 ～図 1 5 に示すように、図 8 に示す各ステップ S T 1 0 ～6 0 を実施する。その後、スクライプ領域 L A において、ブレード（図示なし）を用いてダイシングすることによって、固体撮像装置 1 が製造される。

【0 1 3 3】

下記より、固体撮像装置 1 を製造する際の各製造工程について、順次、説明する。

【0 1 3 4】

(B-1) センサ基板 1 0 0 の形成

まず、図 8 に示すように、センサ基板 1 0 0 を形成する (S T 1 0)。

【0 1 3 5】

本ステップでは、図 9 に示すように、配線層 1 1 0、絶縁膜 1 2 0 などの各部を設けることで、センサ基板 1 0 0 を形成する。本ステップでは、センサ基板 1 0 0 を構成する半導体基板 1 0 1 の裏面（図 9 では上面，図 5，図 6 では下面）側には、絶縁膜 1 0 2、カラーフィルタ C F，オンチップレンズ O C L，接続導電層 4 0 1 を形成しない。

【0 1 3 6】

本ステップでは、図 9 に示す工程に先立って、半導体基板 1 0 1 の画素領域 P A に、フォトダイオード 2 1 を設ける（図 5 参照）。また、半導体基板 1 0 1 の表面（図 9 では上面）側に、画素トランジスタ T r（図 7 参照）などの半導体回路素子（図示無し）を設ける。

【0 1 3 7】

そして、図 9 に示すように、半導体基板 1 0 1 の表面（上面）の全体を被覆するように、配線層 1 1 0 を設ける。そして、配線層 1 1 0 を介して、半導体基板 1 0 1 の表面（上

10

20

30

40

50

面)の全体を被覆するように、絶縁膜120を設ける。

#### 【0138】

具体的には、図9(a)に示すように、配線層110を構成する絶縁膜110Zaを半導体基板101の表面(上面)の全体に設ける。そして、その絶縁膜110Zaを介して、半導体基板101の表面(上面)の全体を被覆するように、エッチングストッパー材料層510SPを設ける。

#### 【0139】

たとえば、下記の条件で、エッチングストッパー材料層510SPを設ける。

(エッチングストッパー材料層510SPの製造条件)

- ・材料：P-SiN、P-SiON、P-SiCNなど
- ・厚み：70～200nm
- ・成膜方法：プラズマCVD法
  - ・ガス流量比SiH<sub>4</sub>：NH<sub>3</sub>：N<sub>2</sub>＝1：1：20
  - ・ソースパワー：50～1000W
  - ・圧力：1～10Torr
  - ・成膜温度：300～400℃，30秒～2分程度

10

#### 【0140】

この後、絶縁膜110Za，エッチングストッパー材料層510SPを介して、半導体基板101の表面(上面)の全体を被覆するように、配線材料層510Pを設ける。

#### 【0141】

たとえば、Alを用いて配線材料層510Pを設ける。たとえば、厚みが、100nm～1μmになるように、配線材料層510Pを設ける。その他、W，Tiなどの導電材料を用いて、配線材料層510Pを設けても良い。

20

#### 【0142】

そして、図9(b)に示すように、エッチングストッパー層110SPと、パッド配線110Pとを形成する。

#### 【0143】

ここでは、配線材料層510Pについてパターン加工することで、パッド配線110Pを形成する。パッド部PADにパッド配線110Pを形成する際には、図5に示すように、画素領域PAに設けられる配線層110のうち、半導体基板101に最も近い1層目の配線110Hについても、配線材料層510Pをパターン加工することで形成する。

30

#### 【0144】

また、エッチングストッパー材料層510SPについてパターン加工することで、エッチングストッパー層110SPを形成する。図5に示すように、画素領域PAにおいても、同様に、このパターン加工を実施する。

#### 【0145】

具体的には、フォトリソグラフィ技術によってフォトレジストパターン(図示無し)を形成後、そのフォトレジストパターン(図示無し)をマスクとして、ドライエッチング処理を実施することで、上記のパターン加工を実施する。

#### 【0146】

そして、図9(c)に示すように、配線層110を完成させた後に、絶縁膜120を設ける。

40

#### 【0147】

ここでは、1層目の絶縁膜110Zaを被覆するように2層目の絶縁膜(図示無し)を積層した後に、2層目の配線110H(図5参照)を形成する。そして、3層目の絶縁膜(図示無し)を積層した後に、3層目の配線110H(図5参照)を形成する。そして、4層目の絶縁膜(図示無し)を積層する。このように、複数の絶縁膜(110Zaなど)と配線110H(図5参照)とを交互に設けることで、配線層110を形成する。

#### 【0148】

この後、その配線層110の表面(図9では上面，図5では下面)の全体を被覆するよ

50

うに、絶縁膜 120 を設ける。たとえば、シリコン酸化膜を、絶縁膜 120 として設ける。この他に、シリコン窒化膜を、絶縁膜 120 として設けてもよい。

#### 【0149】

(B-2) ロジック基板 200 の形成

つぎに、図 8 に示すように、ロジック基板 200 を形成する (ST20)。

#### 【0150】

ここでは、図 10 に示すように、半導体基板 201 の表面 (上面) に、配線層 210 と絶縁膜 220 とを、順次、形成することで、ロジック基板 200 を設ける。

#### 【0151】

本ステップでは、図 10 に示す工程に先立って、半導体基板 201 の表面 (上面) 側に、半導体回路素子 (図示無し) を設ける。

10

#### 【0152】

そして、図 10 に示すように、半導体回路素子 (図示無し) が設けられた半導体基板 201 の表面 (上面) 全体を被覆するように、配線層 210 を設ける。

#### 【0153】

この配線層 210 の形成は、複数の絶縁膜 (図示無し) と配線 210H (図 5 参照) とを交互に設けることで実施される。そして、配線 210H を形成する際には、図 10 に示すように、パッド部 PAD に設けるパッド配線 210P についても、同一工程で形成する。

#### 【0154】

20

この後、その配線層 210 の表面 (上面) の全体を被覆するように、絶縁膜 220 を設ける。たとえば、シリコン酸化膜を、絶縁膜 220 として設ける。この他に、シリコン窒化膜を、絶縁膜 220 として設けてもよい。

#### 【0155】

(B-3) センサ基板 100 とロジック基板 200 との貼り合わせ

つぎに、図 8 に示すように、センサ基板 100 とロジック基板 200 とを貼り合わせる (ST30)。

#### 【0156】

ここでは、図 11 に示すように、センサ基板 100 の絶縁膜 120 と、ロジック基板 200 の絶縁膜 220 とを対面させて接合することで、両者を貼り合わせる。

30

#### 【0157】

たとえば、プラズマ接合によって、この貼り合わせを実施する。

#### 【0158】

(B-4) センサ基板 100 の薄膜化

つぎに、図 8 に示すように、センサ基板 100 を薄膜化する (ST40)。

#### 【0159】

ここでは、図 12 に示すように、センサ基板 100 を構成する半導体基板 101 において、ロジック基板 200 に対面する面 (下面) に対して反対側の面 (上面) について、たとえば、CMP 処理を実施して、センサ基板 100 を薄膜化する。

#### 【0160】

40

(B-6) パッド開口 V1, V2 の形成

つぎに、図 8 に示すように、パッド開口 V1, V2 を形成する (ST50)。

#### 【0161】

ここでは、図 13 ~ 図 15 の各工程を順次実施することで、パッド開口 V1, V2 について形成する。

#### 【0162】

本工程では、最初に、図 13 に示すように、センサ基板 100 の構成する半導体基板 101 の裏面 (上面) に、絶縁膜 102 を設ける。たとえば、シリコン酸化膜を、絶縁膜 102 として設ける。

#### 【0163】

50

そして、図13に示すように、パッド開口V1、V2（図6参照）を構成する上側開口部V11、V21を設ける。

#### 【0164】

ここでは、図13に示すように、パッド部PADにおいてセンサ基板100に設けられたパッド配線110Pの上方に、パッド開口V1（図6参照）を構成する上側開口部V11を設ける。上側開口部V11については、センサ基板100において、エッチングストッパー層110SPの上方から絶縁膜102の上面までの間が貫通するように設ける。すなわち、センサ基板100において、パッド配線110Pの上方において、エッチングストッパー層110SPの上面が露出しない位置から上方に位置する部分を除去し、上側開口部V11を形成する。このように、センサ基板100に設けられたパッド配線110Pの手前まで開口することで、上側開口部V11を設ける。

10

#### 【0165】

また、図13に示すように、パッド部PADにおいてロジック基板200に設けられたパッド配線210Pの上方に、パッド開口V2（図6参照）を構成する上側開口部V21を設ける。上側開口部V21については、ロジック基板200に設けられたパッド配線210Pの上方から、絶縁膜102の上面までの間が貫通するように設ける。すなわち、センサ基板100とロジック基板200において、パッド配線210Pの上面が露出しない位置から上方に位置する部分を除去し、上側開口部V21を形成する。このように、ロジック基板200に設けられたパッド配線210Pの手前まで開口することで、上側開口部V21を設ける。

20

#### 【0166】

たとえば、下記の条件になるように、上側開口部V11、V21のそれぞれを形成する。

（上側開口部V11について）

- ・深さD11：200nm～5μm
- ・幅H11：1～5μm
- ・エッチングストッパー層110SPの上部に残す絶縁膜の厚み：0～500nm程度（絶縁膜は残さなくても良いし、タイムエッチで意図的に残しても良い。その他、途中の層間にSiNなどの膜を形成した場合には、エッチング条件を工夫してそこで止めても可。）

30

（上側開口部V21について）

- ・深さD21：5～50μm
- ・幅H21：1～5μm
- ・パッド配線210Pの上部に残す絶縁膜の厚み：100～500nm程度（絶縁膜は残さなくても良いし、タイムエッチで意図的に残しても良い。その他、途中の層間にSiNなどの膜を形成した場合には、エッチング条件を工夫してそこで止めても可。）

#### 【0167】

そして、図14に示すように、センサ基板100においてロジック基板200に対面する面（下面）に対して反対側の面（上面）を被覆するように、絶縁膜310を設ける。

40

#### 【0168】

ここでは、図14に示すように、センサ基板100の上面に設けられた上側開口部V11、V21のそれぞれの側面および底面を被覆するように、絶縁膜310を設ける。

#### 【0169】

たとえば、下記の条件で、絶縁膜310を設ける。

（絶縁膜310の製造条件）

- ・材料：P-SiO<sub>2</sub>などの絶縁酸化膜、あるいは、P-SiNとP-SiO<sub>2</sub>との積層体、P-SiON
- ・厚み：200nm～2μm
- ・成膜方法：プラズマCVD法（たとえば、SiH<sub>4</sub>/N<sub>2</sub>O/N<sub>2</sub>の比を1：4：5

50

、圧力を0.5～7 Torr、RFパワーを200～700W、温度を300～400度になるように設定し時間は30秒～5分程度で行う。)

#### 【0170】

そして、図15に示すように、パッド開口V1、V2(図6参照)を構成する下側開口部V12、V22を設ける。

#### 【0171】

ここでは、図15に示すように、センサ基板100に設けられたパッド配線110Pの上方に、パッド開口V1を構成する下側開口部V12を設ける。下側開口部V12については、エッチングストッパー層110SPの上面が露出するように設ける。すなわち、センサ基板100の配線層110においてエッチングストッパー層110SPが設けられた部分の上方が貫通するように、下側開口部V12を形成する。

10

#### 【0172】

これと共に、図15に示すように、ロジック基板200に設けられたパッド配線210Pの上方に、パッド開口V2を構成する下側開口部V22を設ける。下側開口部V22については、ロジック基板200においてパッド配線210Pの上面が露出するように設ける。すなわち、センサ基板100とロジック基板200との積層体において、ロジック基板200の配線層210が設けられた部分の上方が貫通するように、下側開口部V22を形成する。

#### 【0173】

たとえば、各パッド配線110P、210Pの上方に設けられた部分を同時に除去するように、エッチバック処理で除去することで、図15に示すように、各下側開口部V12、V22を形成する。このとき、パッド配線110Pの上部においては、エッチングストッパー層110SPの途中まで除去されるように、このエッチング処理を実施する。

20

(エッチバック処理の条件(エッチングストッパー層110SPがP-SiN、P-SiON、P-SiCNの場合))

- ・温度 常温
- ・圧力 30～100mTorr
- ・ソース・パワー 500～2500W
- ・ガス流量比  $C_5F_8 / Ar / O_2 = 6 / 1 / 1$
- ・基板バイアス 700～2000W, 30秒～2分程度
- ・下地のエッチストッパーの選択比 10

30

#### 【0174】

これにより、図15に示すように、センサ基板100のパッド配線110Pの上方においては、上側開口部V11の側面を被覆するように、絶縁膜311が設けられた状態になる。これと共に、ロジック基板200のパッド配線210Pの上方においては、上側開口部V21の側面を被覆するように、絶縁膜321が設けられた状態になる。

#### 【0175】

この後、図15では図示を省略しているが、下側開口部V12を設ける部分において、パッド配線110Pの上面に残るエッチングストッパー層110SPについて除去する。これにより、パッド配線110Pの上面を露出させて、下側開口部V12を完成させる。

40

たとえば、下側開口部V12を設ける部分に残るエッチングストッパー層110SPの上方が開口し、その他の部分を被覆するように、フォトレジストパターン(図示無し)を設ける。そして、そのフォトレジストパターン(図示無し)をマスクとして用いて、エッチング処理を実施することで、エッチングストッパー層110SPをパッド配線110Pの上面から除去する。

#### 【0176】

このようにして、パッド開口V1、V2のそれぞれが、センサ基板100を構成する半導体基板101を貫通するように形成される。

#### 【0177】

(B-6) センサ基板100とロジック基板200との接続

50

つぎに、図 8 に示すように、センサ基板 100 とロジック基板 200 とを接続する (ST60)。

#### 【0178】

ここでは、図 6 に示すように、センサ基板 100 とロジック基板 200 との間を電氣的に接続させる。

#### 【0179】

具体的には、図 6 に示すように、バリアメタル層 312 について、絶縁膜 311 を介して上側開口部 V11 の側面を被覆すると共に、下側開口部 V12 の側面および底面を被覆するように設ける。これと共に、バリアメタル層 322 について、絶縁膜 321 を介して上側開口部 V21 の側面を被覆すると共に、下側開口部 V22 の側面および底面を被覆する

10

#### 【0180】

たとえば、バリアメタル層 312, 322 については、下記の条件になるように形成する。

(バリアメタル層 312, 322 の形成条件)

- ・材料 Ta、または、Ta と TaN との積層体
- ・膜厚：10～200nm 程度
- ・成膜方法：スパッタリング法

#### 【0181】

そして、図 6 に示すように、メタル層 313 について、絶縁膜 311, バリアメタル層 312 を介して、上側開口部 V11 と下側開口部 V12 との内部を埋め込むように設ける。これと共に、メタル層 323 について、絶縁膜 321, バリアメタル層 322 を介して、上側開口部 V21 と下側開口部 V22 との内部を埋め込むように設ける。

20

#### 【0182】

たとえば、メタル層 313, 323 については、下記の条件になるように形成する。

(メタル層 313, 323 の形成条件)

- ・材料 Cu
- ・成膜方法 メッキ法

#### 【0183】

そして、図 6 に示すように、接続導電層 401 を絶縁膜 102 の上面に設ける。接続導電層 401 については、センサ基板 100 に設けられたパッド配線 110P と、ロジック基板 200 に設けられたパッド配線 210P との間を電氣的に接続するように、導電性の金属材料によって形成する。具体的には、パッド開口 V1, V2 内に設けたバリアメタル層 312, 322 と、メタル層 313, 323 とを介在して、各パッド配線 110P, 210P の間を電氣的に接続するように、接続導電層 401 を設ける。

30

#### 【0184】

この後、図 5 に示したように、画素領域 PA にカラーフィルタ CF を形成後、オンチップレンズ OCL を形成する。

#### 【0185】

[C] まとめ

40

以上のように、本実施形態では、パッド配線 110P が設けられたセンサ基板 100 を形成する (ST10)。つぎに、パッド配線 210P が設けられたロジック基板 200 を形成する (ST20)。つぎに、ロジック基板 200 の上面にセンサ基板 100 を対面させて積層するように貼り合わせる (ST30)。つぎに、センサ基板 100 について薄膜化する (ST40)。つぎに、センサ基板 100 のパッド配線 110P の上面にパッド開口 V1 を形成すると共に、ロジック基板 200 のパッド配線 210P の上面にパッド開口 V2 を形成する (ST50)。ここでは、センサ基板 100 とロジック基板 200 との積層体において、パッド配線 110P, 210P とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施する。これにより、パッド開口 V1, V2 のそれぞれが、センサ基板 100 を構成する半導体基板 101 を貫通するように形成される。つぎに

50

、パッド開口V1，V2のそれぞれを介在して、複数のパッド配線110P，210Pのそれぞれの間を電氣的に接続する（ST60）。

【0186】

本実施形態では、センサ基板100の形成工程（ST10）にて、上記のエッチング処理においてセンサ基板100のパッド配線110Pよりもエッチングレートが低い材料で、そのパッド配線110Pの上面にエッチングストッパー層110SPを形成する。

【0187】

本実施形態のように、パッド配線110Pの上面にエッチングストッパー層110SPを設けない場合には、下記のような不具合が発生する場合がある。

【0188】

具体的には、本実施形態のように、各パッド配線110P，210Pの上方部分を同時に除去するエッチング処理によって、深さが異なるパッド開口V1，V2を形成する場合、浅いパッド開口V1を設けるパッド配線110Pにダメージが発生する場合がある。つまり、パッド配線210P上に深いパッド開口V2を設けるために、浅いパッド開口V1を設けるパッド配線110Pについては、オーバーエッチングが実施されることになる。よって、パッド配線110Pの膜厚が減少する場合や、パッド配線110Pに貫通孔が形成される場合があるので、抵抗値が変動する場合があります、装置の信頼性や、製品の歩留まりなどの特性が低下する場合がある。

【0189】

しかしながら、本実施形態では、パッド配線110Pの上面にエッチングストッパー層110SPが形成されている。

【0190】

このため、本実施形態では、深さが異なるパッド開口V1，V2を同時に形成するエッチング処理を実施した場合においても、パッド配線110Pまでエッチングされずに、エッチングストッパー層110SPで、そのエッチングが停止する。つまり、エッチングストッパー層110SPがパッド配線110Pをエッチング処理から保護し、パッド配線110Pがオーバーエッチングされない。

【0191】

よって、パッド配線110Pの膜厚が減少することや、パッド配線110Pに貫通孔が形成されることを抑制できるので、抵抗値が変動することを防止できる。

【0192】

したがって、本実施形態は、装置の信頼性や、製品の歩留まりなどの特性を向上することができる。

【0193】

[D] 変形例

上記の実施形態では、エッチングストッパー層110SPに関して、P-SiN、P-SiON、P-SiCNなどの絶縁材料を用いて形成する場合について説明したが、これに限定されない。

【0194】

上記の他に、パッド配線110Pよりも拡散係数が小さいバリアメタル材料を用いて、エッチングストッパー層110SPとして用いても良い。たとえば、スパッタ法、CVD法などの成膜方法によって成膜されたTi膜，TiN膜などのバリアメタル膜を、エッチングストッパー層110SPとして用いても好適である。このときには、Ti層やTiN層などの複数のバリアメタル層を積層して、エッチングストッパー層110SPを形成しても良い。

【0195】

この場合には、たとえば、下記の条件で、上述したエッチバック処理を実施する。なお、この変形例では、Ti，TiNが導電性であるのでエッチングストッパー層110SPをパッド配線110Pに残しても良い。

（エッチバック処理の条件（エッチングストッパー層110SPがTi，TiNの場合）

10

20

30

40

50

)

- ・温度 常温
- ・圧力 10～70mTorr
- ・ソース・パワー 700～2000W
- ・ガス流量比  $C_4F_8/Ar/O_2 = 9/1/1$
- ・基板バイアス 50～300W, 30秒～2分程度
- ・下地のエッチストッパーの選択比 2以上

#### 【0196】

本変形例のように、バリアメタル層としても機能するようにエッチングストッパー層110SPを形成した場合には、各機能別に複数の層を設けた場合と比較して、製造工程を削減できる。このため、製造効率の向上、コストダウンなどを容易に実現することができる。

10

#### 【0197】

さらに、上記の変形例の他に、メチルシルセスキオキサン(MSQ)系や、ポリイミド、有機SOGのポリアリーレン(Par)、ポリアリールエーテル(PAE)などの有機系材料を用いて、エッチングストッパー層110SPを形成しても良い。

#### 【0198】

なお、上記の実施形態において、カメラ40は、本技術の電子機器の一例である。また、上記の実施形態において、固体撮像装置1は、本技術の半導体装置の一例である。また、上記の実施形態において、センサ基板100は、本技術の第1回路基板の一例である。また、上記の実施形態において、半導体基板101は、本技術の第1半導体基板の一例である。また、上記の実施形態において、配線層110は、本技術の第1配線層の一例である。また、上記の実施形態において、パッド配線110Pは、本技術の第1配線の一例である。また、上記の実施形態において、パッド開口V1は、本技術の第1の開口の一例である。また、上記の実施形態において、フォトダイオード21は、本技術の光電変換部の一例である。また、上記の実施形態において、ロジック基板200は、本技術の第2回路基板の一例である。また、上記の実施形態において、半導体基板201は、本技術の第2半導体基板の一例である。また、上記の実施形態において、配線層210は、本技術の第2配線層の一例である。また、上記の実施形態において、パッド配線210Pは、本技術の第2配線の一例である。また、上記の実施形態において、パッド開口V2は、本技術の第2の開口の一例である。また、上記の実施形態において、エッチングストッパー層110SPは、本技術のエッチングストッパー層の一例である。

20

30

#### 【0199】

### <2. 実施形態2>

#### [A] 装置構成など

図16は、実施形態2において、固体撮像装置の要部を示す図である。

#### 【0200】

ここで、図16は、図6と同様に、図4のS1-S2部分の断面を示している。

#### 【0201】

図16に示すように、本実施形態においては、バリアメタル層110BMが設けられている。そして、バリア絶縁膜110BZが設けられている。これらの点、および、これらに関連する点を除き、本実施形態は、実施形態1と同様である。このため、重複する部分については、記載を省略する。

40

#### 【0202】

図16に示すように、パッド部PADには、センサ基板100にパッド配線110Pが設けられている。

#### 【0203】

ここでは、図16に示すように、実施形態1の場合(図6参照)と異なり、そのセンサ基板100のパッド配線110Pの上面および側面を覆うように、バリアメタル層110BMが設けられている。

50

## 【0204】

また、図16に示すように、実施形態1の場合（図6参照）と異なり、配線層110内に、バリア絶縁膜110BZが設けられている。

## 【0205】

## [B] 製造方法

上記の固体撮像装置を製造する製造方法の要部について説明する。

## 【0206】

図17、図18は、実施形態2において、固体撮像装置の製造方法の要部を示す図である。

## 【0207】

図17、図18は、図16と同様な断面を示す断面図である。図17、図18では、図8に示すステップST10について示している。その後のステップST20～ST60については、実施形態1と同様に実施して、固体撮像装置が製造される。

## 【0208】

下記より、固体撮像装置を製造する際の各製造工程について、順次、説明する。

## 【0209】

センサ基板100を形成する際（図8，ST10）には、実施形態1の場合と同様に、半導体基板101の画素領域PAに、フォトダイオード21を設ける（図5参照）。また、半導体基板101の表面（図17では上面）側に、画素トランジスタTr（図7参照）などの半導体回路素子（図示無し）を設ける。

## 【0210】

そして、図17、図18に示すように、半導体基板101の表面（上面）の全体を被覆するように、配線層110を設ける。そして、配線層110を介して、半導体基板101の表面（上面）の全体を被覆するように、絶縁膜120を設ける。

## 【0211】

具体的には、図17（a）に示すように、配線層110を構成する1層目の絶縁膜110Zaを半導体基板101の表面（上面）の全体に設ける。そして、その絶縁膜110Zaを介して、半導体基板101の表面（上面）に、エッチングストッパー層110SPを設ける。

## 【0212】

たとえば、下記の条件で、エッチングストッパー材料層（図示無し）を、絶縁膜110Zaを介して半導体基板101の表面（上面）に設ける。そして、そのエッチングストッパー材料層（図示無し）についてパターン加工することで、エッチングストッパー層110SPを設ける。

（エッチングストッパー材料層の製造条件）

- ・材料：P-SiN、P-SiON、P-SiCNなど
- ・厚み：100～200nm
- ・成膜方法：プラズマCVD法
  - ・ガス流量比SiH<sub>4</sub>：NH<sub>3</sub>：N<sub>2</sub>＝1：1：20
  - ・ソースパワー：50～1000W
  - ・圧力：1～10Torr
  - ・成膜温度：300～400℃，30秒～2分程度

## 【0213】

つぎに、図17（b）に示すように、エッチングストッパー層110SPを被覆するように、1層目の絶縁膜111Zaの表面（上面）に2層目の絶縁膜110Zbを設ける。

## 【0214】

つぎに、図17（c）に示すように、トレンチTRを設ける。ここでは、エッチングストッパー層110SPの表面（上面）が露出するように、2層目の絶縁膜110Zbの一部を除去することで、トレンチTRを設ける。たとえば、下記の条件でドライエッチング処理を実施することで、深さが200～400nmのトレンチTRを設ける。

(ドライエッチング処理の条件)

- ・温度 常温
- ・圧力 30～100mTorr
- ・ソースパワー 50～2500W
- ・ガス流量比  $C_5F_8/Ar/O_2 = 6/1/1$
- ・基板バイアス 700～2000W, 30秒～2分程度
- ・エッチング選択比 10

【0215】

つぎに、図18(d)に示すように、バリアメタル層110BMとパッド配線110Pとを設ける。

10

【0216】

バリアメタル層110BMについては、トレンチTRの側面と底面とをバリアメタル材料で被覆することで形成する。

たとえば、下記の条件で、バリアメタル層110BMを形成する。複数膜を積層して、バリアメタル層110BMを形成しても良い。

- ・膜厚 30～50nm程度
- ・材料 TiN, Ti, TaN, Taなどの金属材料

【0217】

パッド配線110Pについては、バリアメタル層110BMで側面と底面とが被覆されたトレンチTRの内部に導電材料を埋め込むことで形成する。たとえば、Cu、Wなどの導電材料を用いてパッド配線110P形成する。

20

【0218】

本工程では、トレンチTRの側面と底面とを被覆するように、バリアメタル材料を2層目の絶縁膜110Zbの上面に成膜する。そして、そのトレンチTRの内部に埋め込むように、2層目の絶縁膜110Zbの上面に導電材料を成膜する。その後、エッチバック処理やCMP処理などの処理を実施することで、2層目の絶縁膜110Zbの上面から、そのバリアメタル材料層と、導電材料層とを除去する。これにより、バリアメタル層110BMとパッド配線110PとをトレンチTRの内部に設ける。

【0219】

つぎに、図18(e)に示すように、バリア絶縁膜110BZを設ける。

30

【0220】

たとえば、下記の条件で、バリア絶縁膜110BZを設ける。

(バリア絶縁膜110BZの製造条件)

- ・材料: P-SiN、P-SiCN、P-SiCなど
- ・厚み: 30～200nm
- ・成膜方法: プラズマCVD法 (P-SiNの場合には、例えば、 $SiH_4/NH_3/N_2$ の比を1:1:10、圧力を0.5～10Torr、ソースパワーを50～1000W、温度を300～400度になるように設定し時間は30秒～2分程度で行う。)

【0221】

上記のように、いわゆるダマシン法によって、パッド配線110Pを設ける。なお、図示を省略しているが、画素領域PAにおいて配線層110を構成する他の配線についても、上記のパッド配線110Pと同一工程で形成する。

40

【0222】

つぎに、図18(f)に示すように、配線層110を完成させた後に、絶縁膜120を設ける。

【0223】

ここでは、絶縁膜と配線とを交互に繰り返して形成することで、配線層110を完成させる。たとえば、上記と同様に、ダマシン法を実施して、配線層110を完成させる。そして、その配線層110の上面に、絶縁膜120を設ける。

【0224】

50

上記のようにして、センサ基板100を形成する(図8,ステップST10)。

【0225】

そして、図8に示すように、ロジック基板200の形成(ST20),センサ基板100とロジック基板200との貼り合わせ(ST30),センサ基板100の薄膜化(ST40)を実施する。その後、パッド開口V1, V2の形成(ST50), センサ基板100とロジック基板200との接続(ST60)を実施する。各ステップについては、実施形態1の場合と同様に実施する。

【0226】

これにより、図16に示したように、固体撮像装置を完成させる。

【0227】

10

[C] まとめ

以上のように、本実施形態は、実施形態1と同様に、パッド配線210Pに設ける深いパッド開口V2よりも浅いパッド開口V1を設けるパッド配線110Pの上面に、エッチングストッパー層110SPを形成している。

【0228】

このため、本実施形態では、実施形態1の場合と同様に、深さが異なるパッド開口V1, V2を同時に形成するエッチング処理を実施した場合においても、パッド配線110Pまでエッチングされない。つまり、エッチングストッパー層110SPがパッド配線110Pをエッチング処理から保護し、パッド配線110Pがオーバーエッチングされない。

【0229】

20

よって、パッド配線110Pの膜厚が減少することや、パッド配線110Pに貫通孔が形成されることを抑制できるので、抵抗値が変動することを防止できる。

【0230】

したがって、本実施形態は、装置の信頼性や、製品の歩留まりなどの特性を向上することができる。

【0231】

<3. 実施形態3>

[A] 装置構成など

図19は、実施形態3において、固体撮像装置の要部を示す図である。

【0232】

30

ここで、図19は、図6と同様に、図4のS1-S2部分の断面を示している。

【0233】

図19に示すように、本実施形態においては、エッチングストッパー層110SPが実施形態1と異なる。そして、バリア絶縁膜110BZが設けられている。これらの点、および、これらに関連する点を除き、本実施形態は、実施形態1と同様である。このため、重複する部分については、記載を省略する。

【0234】

図19示すように、パッド部PADには、センサ基板100にパッド配線110Pが設けられている。

【0235】

40

ここでは、図19に示すように、実施形態1の場合(図6参照)と異なり、そのセンサ基板100のパッド配線110Pの上面および側面を覆うように、エッチングストッパー層110SPが設けられている。

【0236】

また、図19に示すように、実施形態1の場合(図6参照)と異なり、配線層110内に、バリア絶縁膜110BZが設けられている。

【0237】

[B] 製造方法

上記の固体撮像装置を製造する製造方法の要部について説明する。

【0238】

50

図20は、実施形態3において、固体撮像装置の製造方法の要部を示す図である。

【0239】

図20は、図19と同様な断面を示す断面図である。図20では、図8に示すステップST10について示している。その後のステップST20～ST60については、実施形態1と同様に実施して、固体撮像装置が製造される。

【0240】

下記より、固体撮像装置を製造する際の各製造工程について、順次、説明する。

【0241】

センサ基板100を形成する際（図8，ST10）には、実施形態1の場合と同様に、半導体基板101の画素領域PAに、フォトダイオード21を設ける（図5参照）。また、半導体基板101の表面（図17では上面）側に、画素トランジスタTr（図7参照）などの半導体回路素子（図示無し）を設ける。

10

【0242】

そして、図20に示すように、半導体基板101の表面（上面）の全体を被覆するように、配線層110を設ける。そして、配線層110を介して、半導体基板101の表面（上面）の全体を被覆するように、絶縁膜120を設ける。

【0243】

具体的には、図20（a）に示すように、配線層110を構成する1層目の絶縁膜110Zaを半導体基板101の表面（上面）の全体に設ける。

【0244】

そして、1層目の絶縁膜110Zaの一部を除去することで、トレンチTRを設ける。たとえば、ドライエッチング処理を実施することで、深さが200～400nmのトレンチTRを設ける。

20

【0245】

この後、エッチングストッパー層110SPとパッド配線110Pとを、そのトレンチTRの内部に設ける。

【0246】

エッチングストッパー層110SPについては、トレンチTRの側面と底面とをバリアメタル材料で被覆するように形成する。たとえば、下記の条件で、エッチングストッパー層110SPを形成する。複数膜を積層して、エッチングストッパー層110SPを形成しても良い。

30

- ・膜厚 70～100nm程度
- ・材料 TiN, Ti, TaN, Taなどの金属材料

【0247】

パッド配線110Pについては、エッチングストッパー層110SPで側面と底面とが被覆されたトレンチTRの内部に導電材料を埋め込むことで形成する。たとえば、Cu、Wなどの導電材料を用いてパッド配線110P形成する。

【0248】

本工程では、トレンチTRの側面と底面とを被覆するように、バリアメタル材料を1層目の絶縁膜110Zaの上面に成膜する。そして、そのトレンチTRの内部に埋め込むように、1層目の絶縁膜110Zaの上面に導電材料を成膜する。その後、エッチバック処理やCMP処理などの処理を実施することで、1層目の絶縁膜110Zaの上面から、そのバリアメタル材料層と、導電材料層とを除去する。これにより、エッチングストッパー層110SPとパッド配線110PとをトレンチTRの内部に設ける。

40

【0249】

つぎに、図20（b）に示すように、バリア絶縁膜110BZを設ける。たとえば、実施形態2と同様な条件で、バリア絶縁膜110BZを設ける。

【0250】

上記のように、いわゆるダマシン法によって、パッド配線110Pを設ける。なお、図示を省略しているが、画素領域PAにおいて配線層110を構成する他の配線についても

50

、上記のパッド配線 1 1 0 P と同一工程で形成する。

【0 2 5 1】

つぎに、図 2 0 ( c ) に示すように、配線層 1 1 0 を完成させた後に、絶縁膜 1 2 0 を設ける。

【0 2 5 2】

ここでは、絶縁膜と配線とを交互に繰り返し形成することで、配線層 1 1 0 を完成させる。たとえば、上記と同様に、ダマシン法を実施して、配線層 1 1 0 を完成させる。そして、その配線層 1 1 0 の上面に、絶縁膜 1 2 0 を設ける。

【0 2 5 3】

上記のように各工程を実施して、センサ基板 1 0 0 を形成する ( 図 8 , ステップ S T 1 0 ) 。

【0 2 5 4】

そして、図 8 に示すように、ロジック基板 2 0 0 の形成 ( S T 2 0 ) , センサ基板 1 0 0 とロジック基板 2 0 0 との貼り合わせ ( S T 3 0 ) , センサ基板 1 0 0 の薄膜化 ( S T 4 0 ) , を実施する。その後、パッド開口 V 1 , V 2 の形成 ( S T 5 0 ) と、センサ基板 1 0 0 とロジック基板 2 0 0 との接続 ( S T 6 0 ) を実施する。各ステップについては、実施形態 1 の場合と同様に実施する。

【0 2 5 5】

ここで、パッド開口 V 1 , V 2 の形成 ( S T 5 0 ) で実施するエッチバック処理については、実施形態 1 の変形例で示した条件で実施する。

【0 2 5 6】

これにより、図 1 9 に示したように、固体撮像装置を完成させる。

【0 2 5 7】

なお、本実施形態では、図 1 9 に示すように、メタル層 3 1 3 とパッド配線 1 1 0 P とが、エッチングストッパー層 1 1 0 S P を介在せずに、直接的に接続されている。つまり、実施形態 1 と同様に、パッド開口 V 1 , V 2 の形成 ( S T 5 0 ) においてエッチバック処理を実施後に、パッド配線 1 1 0 P においてメタル層 3 1 3 が接する面から、エッチングストッパー層 1 1 0 S P を除去している。しかし、これに限定されない。本実施形態では、エッチングストッパー層 1 1 0 S P についてバリアメタル材料を用いて形成しており、エッチングストッパー層 1 1 0 S P が導電性を有する。このため、メタル層 3 1 3 とパッド配線 1 1 0 P との間に、エッチングストッパー層 1 1 0 S P を介在させてもよい。

【0 2 5 8】

[ C ] まとめ

以上のように、本実施形態は、実施形態 1 と同様に、パッド配線 2 1 0 P に設ける深いパッド開口 V 2 よりも浅いパッド開口 V 1 を設けるパッド配線 1 1 0 P の上面に、エッチングストッパー層 1 1 0 S P を形成している。

【0 2 5 9】

このため、本実施形態では、実施形態 1 の場合と同様に、深さが異なるパッド開口 V 1 , V 2 を同時に形成するエッチング処理を実施した場合においても、パッド配線 1 1 0 P までエッチングされない。つまり、エッチングストッパー層 1 1 0 S P がパッド配線 1 1 0 P をエッチング処理から保護し、パッド配線 1 1 0 P がオーバーエッチングされない。

【0 2 6 0】

よって、パッド配線 1 1 0 P の膜厚が減少することや、パッド配線 1 1 0 P に貫通孔が形成されることを抑制できるので、抵抗値が変動することを防止できる。

【0 2 6 1】

したがって、本実施形態は、装置の信頼性や、製品の歩留まりなどの特性を向上することができる。

【0 2 6 2】

また、本実施形態では、バリアメタル層としても機能するようにエッチングストッパー層 1 1 0 S P を形成している。このため、各機能別に複数の層を設けた場合と比較して、

製造工程を削減できる。よって、製造効率の向上、コストダウンなどを容易に実現することができる。

【0263】

<4. 実施形態4>

[A] 装置構成など

図21は、実施形態4において、固体撮像装置の要部を示す図である。

【0264】

ここで、図21は、図6と同様に、図4のS1-S2部分の断面を示している。

【0265】

図21に示すように、本実施形態においては、パッド部PADの構成の一部が、実施形態1と異なる。具体的には、ロジック基板200に設けられた複数のパッド配線210Pa, 210Pの上方には、互いの幅が異なるパッド開口V2a, V2が設けられる。この点、および、これに関連する点を除き、本実施形態は、実施形態1と同様である。このため、重複する部分については、記載を省略する。

10

【0266】

(a-1) ロジック基板200のパッド配線210Pa, 210Pについて

パッド部PADには、図21に示すように、ロジック基板200にパッド配線210Pa, 210Pが設けられている。

【0267】

ロジック基板200に設けられた複数のパッド配線210Pa, 210Pは、図21に示すように、配線層210の内部に形成されている。

20

【0268】

具体的には、複数のパッド配線210Pa, 210Pのそれぞれは、配線層210を構成する絶縁膜210Z内に設けられている。パッド配線210Pa, 210Pは、たとえば、配線層210を構成する他の配線210Hと同様に、導電性の金属材料を用いて形成されている。

【0269】

パッド配線210Pa, 210Pは、他の配線210Hと電氣的に接続されており、ロジック基板200に設けた半導体回路素子(図示無し)との間が電氣的に接続される。ここでは、パッド配線210Pa, 210Pの間が、電氣的に接続される。

30

【0270】

(a-2) パッド開口V2a, V2について

図21に示すように、複数のパッド配線210Pa, 210Pは、それぞれの上方にパッド開口V2a, V2が形成されている。複数のパッド配線210Pa, 210Pは、少なくとも、半導体基板101を貫通するように形成されている。

【0271】

ここでは、パッド配線210Pa, 210Pは、上面にエッチングストッパー層210SPa, 210SPが設けられている。そして、パッド開口V2a, V2は、そのエッチングストッパー層210SPa, 210SPの上面から絶縁膜102の上面までの間を貫通するように設けられている。

40

【0272】

エッチングストッパー層210SPa, 210SPは、その上方に設けられた部材についてエッチング処理で除去する際に、そのエッチング処理が停止するように設けられている。つまり、エッチングストッパー層210SPa, 210SPの上方に設けられた部材よりも、エッチングレートが低い材料で形成されている。また、パッド配線210Pa, 210Pが、そのエッチング処理によってダメージを受けることを防止するために、エッチングストッパー層210SPa, 210SPは、パッド配線210Pa, 210Pよりも、エッチングレートが低い材料で形成されている。本実施形態では、エッチングストッパー層210SPは、パッド配線210Pa, 210Pよりも拡散係数が小さいバリアメタル材料を用いて形成されている。

50

## 【0273】

詳細については後述するが、複数のパッド開口V2a, V2のそれぞれは、互いに同一工程で形成される。つまり、複数のパッド開口V2a, V2のそれぞれは、各パッド配線210Pa, 210Pの上方に設けられた各部について、エッチング処理で除去することで形成される。

## 【0274】

図21に示すように、複数のパッド開口V2a, V2のそれぞれは、上側開口部V21a, V21と下側開口部V22a, V22とを含み、上側開口部V21a, V21と下側開口部V22a, V22とが深さ方向zにおいて積み重なるように設けられている。

## 【0275】

10

複数のパッド開口V2a, V2において、上側開口部V21a, V21のそれぞれは、図21に示すように、ロジック基板200において配線層210の上部から、絶縁膜102の上面までの間を貫通するように設けられている。すなわち、上側開口部V21a, V21のそれぞれは、センサ基板100とロジック基板200との積層体において、ロジック基板200の配線層210にてパッド配線210Pが設けられた部分の上方が貫通するように形成されている。

## 【0276】

複数のパッド開口V2a, V2において、上側開口部V21a, V21のそれぞれは、互いの幅H21a, H21bが異なることを除いて、同じ平面形状で形成される。また、複数の上側開口部V21a, V21のそれぞれは、互いに同じ深さになるように形成されている。

20

## 【0277】

複数のパッド開口V2a, V2において、下側開口部V22a, V22のそれぞれは、図21に示すように、ロジック基板200においてパッド配線210Pの上面が露出するように設けられている。すなわち、下側開口部V22a, V22は、センサ基板100とロジック基板200との積層体において、ロジック基板200の配線層210が設けられた部分の上方が貫通するように形成されている。

## 【0278】

複数のパッド開口V2a, V2において、下側開口部V22a, V22のそれぞれは、互いの幅H22a, H22bが異なることを除いて、同じ平面形状で形成される。また、下側開口部V22a, V22のそれぞれは、互いに同じ深さになるように形成されている。

30

## 【0279】

そして、複数のパッド開口V2a, V2のそれぞれの内部に、絶縁膜321a, 321と、バリアメタル層322a, 322と、メタル層323a, 323とが設けられている。

## 【0280】

ここでは、絶縁膜321a, 321は、複数のパッド開口V2a, V2のそれぞれにおいて、上側開口部V21a, V21の側面を被覆するように設けられている。

## 【0281】

40

バリアメタル層322a, 322は、絶縁膜321a, 321を介して上側開口部V21a, V21の側面を被覆するように設けられている。また、バリアメタル層322a, 322は、下側開口部V22a, V22の側面と共に、底面を被覆するように設けられている。

## 【0282】

メタル層323a, 323は、絶縁膜321a, 321, バリアメタル層322a, 322を介して、上側開口部V21a, V21と下側開口部V22a, V22との内部を埋め込むように設けられている。

## 【0283】

(a-3) 接続導電層401について

50

上記の他に、パッド部PADには、図21に示すように、接続導電層401が設けられている。接続導電層401は、絶縁膜102の上面に設けられている。

【0284】

接続導電層401は、ロジック基板200に設けられた複数のパッド配線210Pa, 210Pとの間を電氣的に接続するように、導電性の金属材料によって形成されている。ここでは、接続導電層401は、パッド開口V2a, V2内に設けたバリアメタル層322a, 322と、メタル層323a, 323とを介在して、複数のパッド配線210Pa, 210Pの間を電氣的に接続している。

【0285】

[B] 製造方法

上記の固体撮像装置を製造する製造方法の要部について説明する。

【0286】

図22～図25は、実施形態4において、固体撮像装置の製造方法の要部を示す図である。

【0287】

図22～図25は、図21と同様な断面を示す断面図である。

【0288】

本実施形態では、図8に示す各ステップST10～ST60を実施することで、固体撮像装置を製造する。

【0289】

具体的には、図8に示すように、実施形態1と同様に、センサ基板100の形成(ST10)を実施する。

【0290】

そして、図8に示すように、ロジック基板200の形成(ST20)を実施する。

【0291】

本実施形態においては、実施形態1の場合と異なり、図22に示すように、複数のパッド配線210Pa, 210Pのそれぞれの上面に、エッチングストッパー層210SPa, 210SPを設ける。

【0292】

具体的には、図22(a)に示すように、配線層210の形成において、パッド配線210Pa, 210Pを形成した後に、その上面にエッチングストッパー層210SPa, 210SPを設ける。たとえば、実施形態1のエッチングストッパー層(110SP, 図6参照)と同様な工程によって、エッチングストッパー層210SPa, 210SPを設ける。つまり、P-SiNなどを用いて、エッチングストッパー層210SPa, 210SPを形成する。そして、配線層210を構成する絶縁膜を、エッチングストッパー層210SPa, 210SPを被覆するように設けることで配線層210を完成させる。

【0293】

そして、図22(b)に示すように、その配線層210の表面(上面)の全体を被覆するように、絶縁膜220を設ける。

【0294】

この後、図8に示すように、センサ基板100とロジック基板200との貼り合わせ(ST30), センサ基板100の薄膜化(ST40)を実施する。各ステップについては、実施形態1の場合と同様に実施する。

【0295】

そして、図8に示すように、パッド開口V2a, V2b(図21参照)を形成する(ST50)。

【0296】

ここでは、図23～図25の各工程を順次実施することで、パッド開口V2a, V2b(図21参照)を形成する。

【0297】

10

20

30

40

50

具体的には、最初に、図 2 3 に示すように、センサ基板 1 0 0 の構成する半導体基板 1 0 1 の裏面（上面）に、絶縁膜 1 0 2 を設けた後に、パッド開口 V 2 a, V 2 b（図 2 1 参照）を構成する上側開口部 V 2 1 a, V 2 1 を設ける。

**【0298】**

ここでは、パッド部 P A D においてロジック基板 2 0 0 に設けられたパッド配線 2 1 0 P a, 2 1 0 P のそれぞれの上方に、上側開口部 V 2 1 a, V 2 1 を設ける。上側開口部 V 2 1 a, V 2 1 については、ロジック基板 2 0 0 に設けられたパッド配線 2 1 0 P a, 2 1 0 P のそれぞれの上方から、絶縁膜 1 0 2 の上面までの間が貫通するように設ける。すなわち、センサ基板 1 0 0 とロジック基板 2 0 0 において、パッド配線 2 1 0 P a, 2 1 0 P の上面が露出しない位置から上方に位置する部分を除去し、上側開口部 V 2 1 a, V 2 1 を形成する。このように、ロジック基板 2 0 0 に設けられたパッド配線 2 1 0 P a, 2 1 0 P の手前まで開口することで、上側開口部 V 2 1 a, V 2 1 を設ける。

10

**【0299】**

たとえば、下記の条件になるように、幅 H 2 1 a, H 2 1 が互いに異なる上側開口部 V 2 1 a, V 2 1 のそれぞれを形成する。

（広い上側開口部 V 2 1 a）

・幅 H 2 1 a : 1 ~ 5 μ m

（狭い上側開口部 V 2 1）

・幅 H 2 1 : 5 0 0 n m ~ 2 μ m

**【0300】**

20

そして、図 2 4 に示すように、センサ基板 1 0 0 においてロジック基板 2 0 0 に対面する面（下面）に対して反対側の面（上面）を被覆するように、絶縁膜 3 1 0 を設ける。

**【0301】**

ここでは、上側開口部 V 2 1 a, V 2 1 のそれぞれの側面および底面を被覆するように、センサ基板 1 0 0 の上面に絶縁膜 3 1 0 を設ける。たとえば、実施形態 1 と同様な条件で、絶縁膜 3 1 0 を設ける。

**【0302】**

そして、図 2 5 に示すように、パッド開口 V 2 a, V 2 b（図 2 1 参照）を構成する下側開口部 V 2 2 a, V 2 2 を設ける。

**【0303】**

30

ここでは、ロジック基板 2 0 0 に設けられたパッド配線 2 1 0 P a, 2 1 0 P の上方に、下側開口部 V 2 2 a, V 2 2 を設ける。下側開口部 V 2 2 a, V 2 2 については、ロジック基板 2 0 0 においてパッド配線 2 1 0 P a, 2 1 0 P の上面が露出するように設ける。すなわち、センサ基板 1 0 0 とロジック基板 2 0 0 との積層体において、ロジック基板 2 0 0 の配線層 2 1 0 が設けられた部分の上方が貫通するように、下側開口部 V 2 2 a, V 2 2 を形成する。

**【0304】**

たとえば、各パッド配線 2 1 0 P a, 2 1 0 P の上方に設けられた部分を同時に除去するように、エッチバック処理で除去することで、各下側開口部 V 2 2 a, V 2 2 を形成する。このとき、各パッド配線 2 1 0 P a, 2 1 0 P の上部においては、エッチングストッパー層 2 1 0 S P a, 2 1 0 S P の途中まで除去されるように、このエッチング処理を実施する。

40

**【0305】**

これにより、図 2 5 に示すように、ロジック基板 2 0 0 のパッド配線 2 1 0 P a, 2 1 0 P の上方においては、上側開口部 V 2 1 a, V 2 1 の側面を被覆するように、絶縁膜 3 2 1 a, 3 2 1 が設けられた状態になる。

**【0306】**

この後、図 2 5 では図示を省略しているが、下側開口部 V 2 2 a, V 2 2 を設ける部分において、パッド配線 2 1 0 P a, 2 1 0 P の上面に残るエッチングストッパー層 2 1 0 S P a, 2 1 0 S P について除去する。これにより、パッド配線 2 1 0 P a, 2 1 0 P の

50

上面を露出させて、下側開口部V 2 2 a, V 2 2を完成させる。

【0307】

たとえば、下側開口部V 2 2 a, V 2 2を設ける部分に残るエッチングストッパー層2 1 0 S P a, 2 1 0 S Pの上方が開口し、その他の部分を被覆するように、フォトレジストパターン（図示無し）を設ける。そして、そのフォトレジストパターン（図示無し）をマスクとして用いて、エッチング処理を実施することで、エッチングストッパー層2 1 0 S P a, 2 1 0 S Pをパッド配線2 1 0 P a, 2 1 0 Pの上面から除去する。

【0308】

つぎに、図8に示すように、センサ基板1 0 0とロジック基板2 0 0との接続（S T 6 0）を実施する。

10

【0309】

ここでは、図2 1に示すように、センサ基板1 0 0とロジック基板2 0 0との間を電氣的に接続させる。

【0310】

具体的には、図2 1に示すように、バリアメタル層3 2 2 a, 3 2 2について、絶縁膜3 2 1 a, 3 2 1を介して上側開口部V 2 1 a, V 2 1の側面を被覆すると共に、下側開口部V 2 2 a, V 2 2の側面および底面を被覆するように設ける。

【0311】

そして、図2 1に示すように、メタル層3 2 3 a, 3 2 3について、絶縁膜3 2 1 a, 3 2 1, バリアメタル層3 2 2 a, 3 2 2を介して、上側開口部V 2 1 a, V 2 1と下側開口部V 2 2 a, V 2 2との内部を埋め込むように設ける。

20

【0312】

そして、図2 1に示すように、接続導電層4 0 1を絶縁膜1 0 2の上面に設ける。接続導電層4 0 1については、ロジック基板2 0 0に設けられた複数のパッド配線2 1 0 P a, 2 1 0 Pとの間を電氣的に接続するように、導電性の金属材料によって形成する。

【0313】

この後、図5に示したように、画素領域P AにカラーフィルタC Fを形成後、オンチップレンズO C Lを形成する。

【0314】

[C] まとめ

30

以上のように、本実施形態では、センサ基板1 0 0を形成する（S T 1 0）。つぎに、複数のパッド配線2 1 0 P a, 2 1 0 Pが設けられたロジック基板2 0 0を形成する（S T 2 0）。そして、ロジック基板2 0 0の上面にセンサ基板1 0 0を対面させて積層するように貼り合わせる（S T 3 0）。つぎに、センサ基板1 0 0について薄膜化する（S T 4 0）。つぎに、パッド配線2 1 0 P aの上面にパッド開口V 2 aを形成すると共に、パッド配線2 1 0 Pの上面に、そのパッド開口V 2 aよりも狭いパッド開口V 2を形成する（S T 5 0）。ここでは、センサ基板1 0 0とロジック基板2 0 0との積層体において、複数のパッド配線2 1 0 P a, パッド配線2 1 0 Pのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施することで、各パッド開口V 2 a, V 2を同時に形成する。つぎに、その複数のパッド開口V 2 a, V 2を介在して、複数のパッド配線2 1 0 P a, 2 1 0 Pのそれぞれの間を電氣的に接続する（S T 6 0）。

40

【0315】

上記のロジック基板2 0 0を形成する際には（S T 2 0）、少なくとも、広いパッド開口V 2 aが形成されるパッド配線2 1 0 P aの上面に、エッチングストッパー層2 1 0 S P aを形成する。エッチングストッパー層2 1 0 S P aについては、パッド開口V 2 a, V 2を同時に形成するためのエッチング処理において、そのパッド配線2 1 0 P aよりもエッチングレートが低い材料で形成する。

【0316】

本実施形態のように、広いパッド開口V 2 aが形成されるパッド配線2 1 0 P aの上面にエッチングストッパー層2 1 0 S P aを設けない場合には、下記のような不具合が発生

50

する場合がある。

【0317】

具体的には、各パッド配線210Pa, 210Pの上方部分を同時に除去するエッチング処理で、広さ(径, 幅)が異なるパッド開口V2a, V2を形成する場合、広いパッド開口V2aを設けるパッド配線210Paにダメージが発生する場合がある。つまり、パッド配線210P上に狭いパッド開口V2を設けるために、広いパッド開口V2aを設けるパッド配線210Paについては、オーバーエッチングがされ易くなる。よって、パッド配線210Paの膜厚が減少する場合や、パッド配線210Paに貫通孔が形成される場合があるので、抵抗値が変動する場合があり、装置の信頼性や、製品の歩留まりなどの特性が低下する場合がある。

10

【0318】

しかしながら、本実施形態では、広いパッド開口V2aが形成されるパッド配線210Paの上面にエッチングストッパー層210SPaを設けている。

【0319】

このため、本実施形態では、広さ(径, 幅)が異なるパッド開口V2a, V2を同時に形成するエッチング処理を実施した場合においても、パッド配線210Paまでエッチングされずに、エッチングストッパー層210SPaで、そのエッチングが停止する。つまり、エッチングストッパー層210SPaがパッド配線210Paをエッチング処理から保護し、パッド配線210Paがオーバーエッチングされない。

【0320】

20

よって、広いパッド開口V2aが形成されるパッド配線210Paの膜厚が減少することや、そのパッド配線210Paに貫通孔が形成されることを抑制できるので、抵抗値が変動することを防止できる。

【0321】

したがって、本実施形態は、装置の信頼性や、製品の歩留まりなどの特性を向上することができる。

【0322】

この他に、本実施形態では、広いパッド開口V2aが形成されるパッド配線210Paの上面の他に、狭いパッド開口V2が形成されるパッド配線210Pの上面にも、エッチングストッパー層210SPを形成している。このため、狭いパッド開口V2が形成されるパッド配線210Pについても、膜厚の減少や、そのパッド配線210Pに貫通孔が形成されることを抑制できるので、抵抗値が変動することを防止できる。

30

【0323】

なお、上記の実施形態において、パッド配線210Paは、本技術の第1配線の一例である。また、上記の実施形態において、パッド開口V2aは、本技術の第1の開口の一例である。パッド配線210Pは、本技術の第2配線の一例である。また、上記の実施形態において、パッド開口V2は、本技術の第2の開口の一例である。また、上記の実施形態において、エッチングストッパー層210SPaは、本技術のエッチングストッパー層の一例である。

【0324】

40

<5. その他>

実施形態は、上記したものに限定されるものではなく、種々の変形例を採用することができる。

【0325】

上記の実施形態では、上側開口部と、上側開口部よりも幅が狭い下部開口部とを深さ方向zで積み重なるように形成することで、パッド開口を設ける場合について説明したが、これに限定されない。3以上の幅が異なる開口部を深さ方向zで積み重なるように形成することで、パッド開口を設けてもよい。また、上側開口部と下部開口部との間に段差を有する場合以外に、段差がないように、パッド開口を設けてもよい。つまり、上部から下部に渡って、同じ幅になるように、パッド開口を設けてもよい。

50

## 【0326】

上記の実施形態では、センサ基板100とロジック基板200とをプラズマ接合で貼り合わせる場合について説明したが、これに限定されない。たとえば、接着剤を用いて両者を貼り合せても良い。

## 【0327】

上記の実施形態では、裏面照射型のCMOSイメージセンサであるセンサ基板100を、シリコン基板から製造する場合について説明したが、これに限定されない。いわゆるSOI(Silicon on Insulator)基板から、センサ基板100を製造しても良い。

## 【0328】

上記の実施形態では、転送トランジスタと増幅トランジスタと選択トランジスタとリセットトランジスタとの4種を、画素トランジスタとして設ける場合について説明したが、これに限定されない。たとえば、転送トランジスタと増幅トランジスタとリセットトランジスタとの3種を、画素トランジスタとして設ける場合に、本技術を適用しても良い。

## 【0329】

上記の実施形態では、1つのフォトダイオードに対して、転送トランジスタと増幅トランジスタと選択トランジスタとリセットトランジスタとのそれぞれを1つずつ設ける場合について説明したが、これに限定されない。たとえば、複数のフォトダイオードに対して、増幅トランジスタと選択トランジスタとリセットトランジスタをのそれぞれを1つずつ設ける場合に、本技術を適用しても良い。

## 【0330】

上記の実施形態においては、カメラに本技術を適用する場合について説明したが、これに限定されない。スキャナーやコピー機などのように、固体撮像装置を備える他の電子機器において、本技術を適用しても良い。

## 【0331】

上記の実施形態では、センサ基板100が「裏面照射型」のCMOSイメージセンサである場合について説明したが、これに限定されない。「表面照射型」の場合に、本技術を適用しても良い。また、CMOSイメージセンサの他に、CCD型イメージセンサの場合に、本技術を適用しても良い。

## 【0332】

上記の実施形態では、センサ基板100とロジック基板200とを貼り合わせる場合について説明したが、これに限定されない。センサ基板100、ロジック基板200以外の半導体チップを貼り合わせる場合に、本技術を適用しても良い。

## 【0333】

上記の実施形態では、複数のパッド配線の上方部分をエッチング処理で同時に除去して、深さが異なる複数のパッド開口を同時に形成する場合について説明した。この他に、エッチング処理によって、広さ(幅、径)が異なる複数のパッド開口を同時に形成する場合について説明した。しかし、これに限定されない。上記の他に、複数のパッド配線の上方部分をエッチング処理で同時に除去する際において、複数のパッド配線のうち、他のパッド配線よりも、オーバーエッチングされるパッド配線の上面に、少なくとも、エッチングストッパー層を設けることが好適である。

## 【0334】

上記の実施形態では、パッド開口の内部に導電材料を埋め込む場合について説明したが、これに限定されない。パッド開口が設けられたパッド配線の上面に、たとえば、ボンディングワイヤなどの他の接続部材を設けても良い。

## 【0335】

その他、上記の各実施形態を、適宜、組み合わせても良い。

## 【0336】

たとえば、本技術は、下記のような構成も取ることができる。

## 【0337】

(1)

第1配線が設けられた第1回路基板を形成する工程と、

第2配線が設けられた第2回路基板を形成する工程と、

前記第2回路基板の上面に前記第1回路基板を対面させて積層するように貼り合わせる工程と、

前記第1配線の上面に第1の開口を形成すると共に前記第2配線の上面に第2の開口を形成するように、前記第1回路基板と前記第2回路基板との積層体において前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理を実施する工程と

を有し、

前記第1回路基板の形成工程では、前記エッチング処理において前記第1配線よりもエッチングレートが低い材料で、前記第1配線の上面にエッチングストッパー層を形成する、

半導体装置の製造方法。

【0338】

(2)

前記第1回路基板の形成工程では、第1半導体基板において前記第2回路基板に対面する面に第1配線層を形成する際に、前記第1配線を当該第1配線層の内部に設け、

前記第2回路基板の形成工程では、第2半導体基板において前記第1回路基板に対面する面に第2配線層を形成する際に、前記第2配線を当該第2配線層の内部に設け、

前記第1回路基板と前記第2回路基板とを貼り合わせる工程では、前記第1配線層と前記第2配線層とを対面させて貼り合わせ、

前記エッチング処理を実施する工程では、前記第1の開口と前記第2の開口とが前記第1半導体基板を貫通するように、前記第1の開口と前記第2の開口とを形成する、

(1)に記載の半導体装置の製造方法。

【0339】

(3)

前記第1の開口と前記第2の開口とを介在して、前記第1配線と前記第2配線とのそれぞれの間を電氣的に接続する工程

を有する、

(1)または(2)に記載の半導体装置の製造方法。

【0340】

(4)

前記第1回路基板の形成工程では、前記エッチングストッパー層について、前記第1配線よりも拡散係数が小さいバリアメタル材料を用いて形成する、

(1)から(3)のいずれかに記載の半導体装置の製造方法。

【0341】

(5)

前記第1回路基板と前記第2回路基板との積層体に前記第1の開口と前記第2の開口とを形成する前に、前記第1回路基板について薄膜化する工程

を含む、

(1)から(4)のいずれかに記載の半導体装置の製造方法。

【0342】

(6)

前記第1回路基板の形成工程では、光電変換部を含む画素が複数設けられたセンサ基板として、前記第1回路基板を形成し、

前記第2回路基板の形成工程では、ロジック基板として前記第2回路基板を形成する、

(1)から(5)のいずれかに記載の半導体装置の製造方法。

【0343】

(7)

10

20

30

40

50

前記複数の画素のそれぞれにカラーフィルタを形成する工程と、  
前記複数の画素のそれぞれにオンチップレンズを形成する工程と  
を有する、

(6)に記載の半導体装置の製造方法。

【0344】

(8)

第1回路基板を形成する工程と、

第1配線と第2配線とが設けられた第2回路基板を形成する工程と、

前記第2回路基板の上面に前記第1回路基板を対面させて積層するように貼り合わせる  
工程と、

前記第1配線の上面に第1の開口を形成すると共に前記第2配線の上面に、前記第1の  
開口よりも狭い第2の開口を形成するように、前記第1回路基板と前記第2回路基板との  
積層体において前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時  
に除去するエッチング処理を実施する工程と

を有し、

前記第2回路基板の形成工程では、少なくとも前記第1配線の上面に、前記エッチング  
処理において前記第1配線よりもエッチングレートが低い材料で、エッチングストッパー  
層を形成する、

半導体装置の製造方法。

【0345】

(9)

前記第2回路基板の形成工程では、前記第1配線の上面の他に前記第2配線の上面に、  
前記エッチング処理において前記第2配線よりもエッチングレートが低い材料で、前記エ  
ッチングストッパー層を形成する、

(9)に記載の半導体装置の製造方法。

【0346】

(10)

前記第1回路基板の形成工程では、第1半導体基板において前記第2回路基板に対面す  
る面に第1配線層を形成し、

前記第2回路基板の形成工程では、第2半導体基板において前記第1回路基板に対面す  
る面に第2配線層を形成し、当該第2配線層の形成においては、前記第1配線と前記第2  
配線とを、当該第2配線層の内部に設け、

前記第1回路基板と前記第2回路基板とを貼り合わせる工程では、前記第1配線層と前  
記第2配線層とを対面させて貼り合わせ、

前記エッチング処理を実施する工程では、前記第1の開口と前記第2の開口とが前記第  
1半導体基板を貫通するように、前記第1の開口と前記第2の開口とを形成する、

(8)または(9)に記載の半導体装置の製造方法。

【0347】

(11)

前記第1回路基板の形成工程では、光電変換部を含む画素が複数設けられたセンサ基板  
として、前記第1回路基板を形成し、

前記第2回路基板の形成工程では、ロジック基板として前記第2回路基板を形成する、

(8)から(10)のいずれかに記載の半導体装置の製造方法。

【0348】

(12)

前記第1の開口と前記第2の開口とを介在して、前記第1配線と前記第2配線とのそれ  
ぞれの間を電氣的に接続する工程

を有する、

(8)から(11)のいずれかに記載の半導体装置の製造方法。

【0349】

10

20

30

40

50

(13)

前記第2回路基板の形成工程では、前記エッチングストッパー層について、前記第1配線よりも拡散係数が小さいバリアメタル材料を用いて形成する、

(8)から(12)のいずれかに記載の半導体装置の製造方法。

【0350】

(14)

前記第1回路基板と前記第2回路基板との積層体に前記第1の開口と前記第2の開口とを形成する前に、前記第1回路基板について薄膜化する工程を含む、

(8)から(13)のいずれかに記載の半導体装置の製造方法。

10

【0351】

(15)

前記複数の画素のそれぞれにカラーフィルタを形成する工程と、  
前記複数の画素のそれぞれにオンチップレンズを形成する工程とを有する、

(14)に記載の半導体装置の製造方法。

【0352】

(16)

第1回路基板と第2回路基板とを含み、前記第2回路基板の上面に前記第1回路基板が対面して積層するように貼り合わされている積層体

20

を有し、

前記積層体は、

第1の開口が上面に形成された第1配線と、

第2の開口が上面に形成された第2配線と

を少なくとも含み、

前記第1配線は、前記積層体において前記第2配線よりも上方に設けられており、

前記第1の開口と前記第2の開口とのそれぞれは、前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、

、

前記第1の開口は、前記第1配線の上面において前記第1配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された、

30

半導体装置。

【0353】

(17)

第1回路基板と第2回路基板とを含み、前記第2回路基板の上面に前記第1回路基板が対面して積層するように貼り合わされている積層体

を有し、

前記積層体は、

第1の開口が上面に形成された第1配線と、

40

前記第1の開口よりも狭い第2の開口が上面に形成された第2配線と

を少なくとも含み、

前記第1の開口と前記第2の開口とのそれぞれは、前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、

、

前記第1の開口は、前記第1配線の上面において前記第1配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された、

半導体装置。

【0354】

50

(18)

第1回路基板と第2回路基板とを含み、前記第2回路基板の上面に前記第1回路基板が対面して積層するように貼り合わされている積層体

を有し、

前記積層体は、

第1の開口が上面に形成された第1配線と、

第2の開口が上面に形成された第2配線と

を少なくとも含み、

前記第1配線は、前記積層体において前記第2配線よりも上方に設けられており、

前記第1の開口と前記第2の開口とのそれぞれは、前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、

10

前記第1の開口は、前記第1配線の上面において前記第1配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された、

電子機器。

【0355】

(19)

第1回路基板と第2回路基板とを含み、前記第2回路基板の上面に前記第1回路基板が対面して積層するように貼り合わされている積層体

20

を有し、

前記積層体は、

第1の開口が上面に形成された第1配線と、

前記第1の開口よりも狭い第2の開口が上面に形成された第2配線と

を少なくとも含み、

前記第1の開口と前記第2の開口とのそれぞれは、前記第1配線と前記第2配線とのそれぞれの上方に設けられた部分を同時に除去するエッチング処理によって形成されており、

前記第1の開口は、前記第1配線の上面において前記第1配線よりもエッチングレートが低い材料で形成されたエッチングストッパー層で前記エッチング処理が停止することで形成された、

30

電子機器。

【符号の説明】

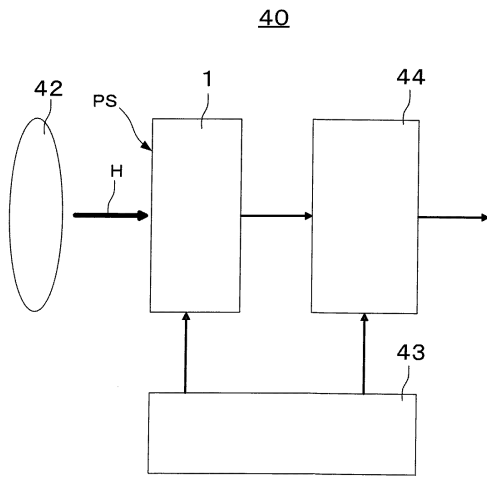
【0356】

40：カメラ（電子機器）、1：固体撮像装置（半導体装置）、100：センサ基板（第1回路基板）、101：半導体基板（第1半導体基板）、110：配線層（第1配線層）、110P：パッド配線（第1配線）、V1：パッド開口（第1の開口）、21：フォトダイオード（光電変換部）、200：ロジック基板（第2回路基板）、201：半導体基板（第2半導体基板）、210：配線層（第2配線層）、210P：パッド配線（第2配線）、V2：パッド開口（第2の開口）、110SP：エッチングストッパー層（エッチングストッパー層）、210Pa：パッド配線（第1配線）、V2a：パッド開口（第1の開口）、210SPa：エッチングストッパー層（エッチングストッパー層）

40

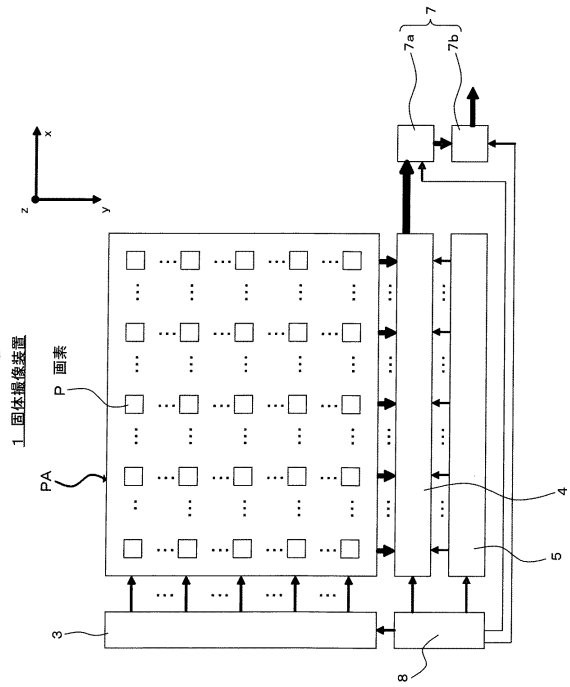
【図 1】

## ＜実施形態1＞



【図 2】

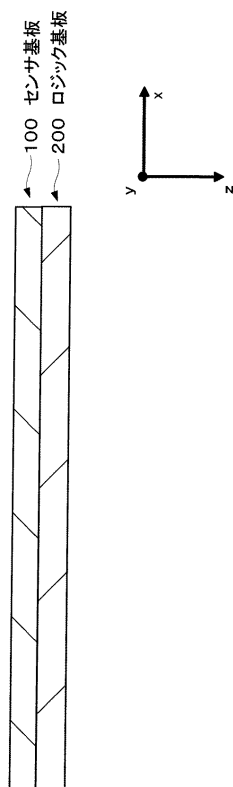
## ＜実施形態1＞



【図 3】

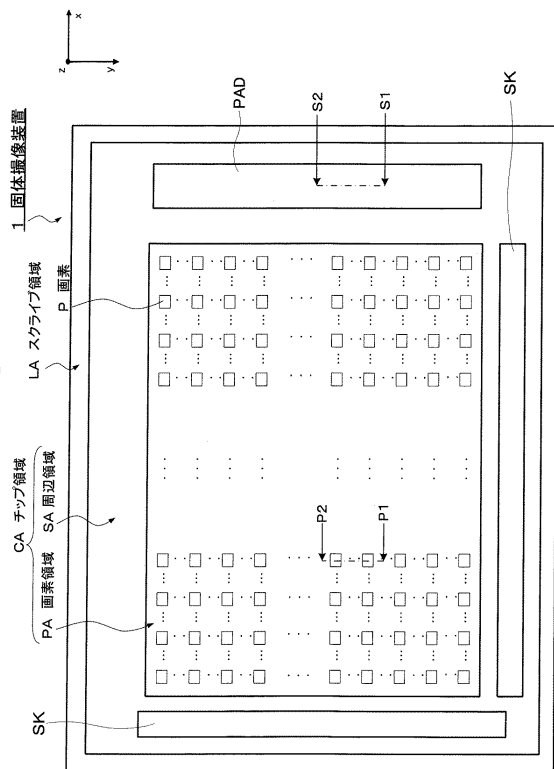
## ＜実施形態1＞

1 固体撮像装置



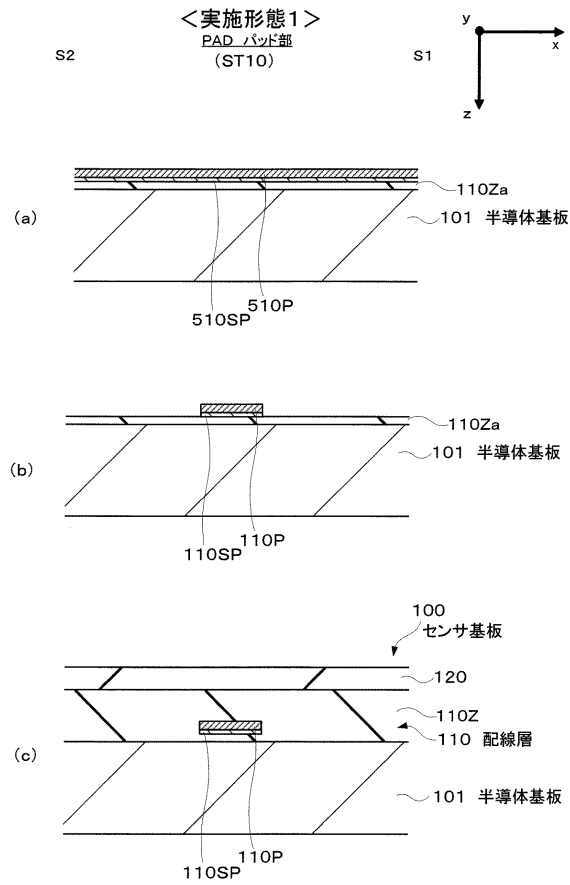
【図 4】

## ＜実施形態1＞

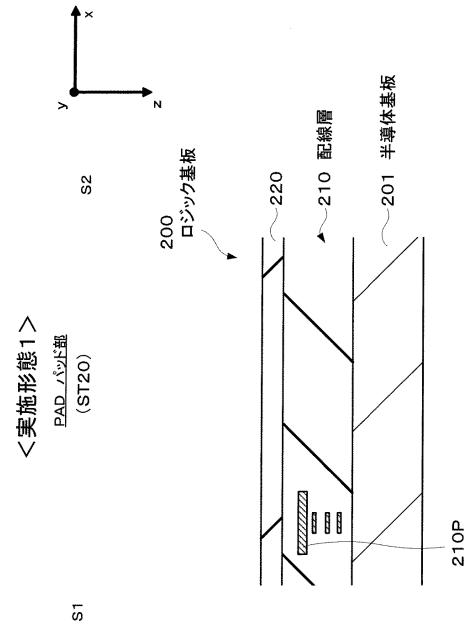




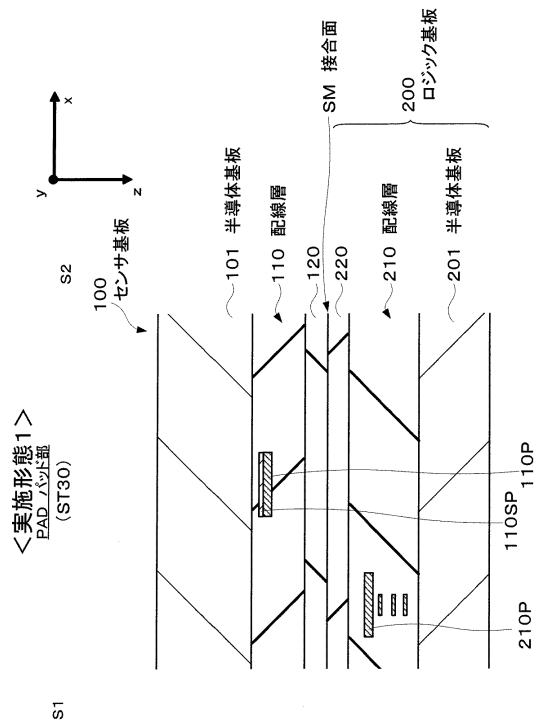
【図 9】



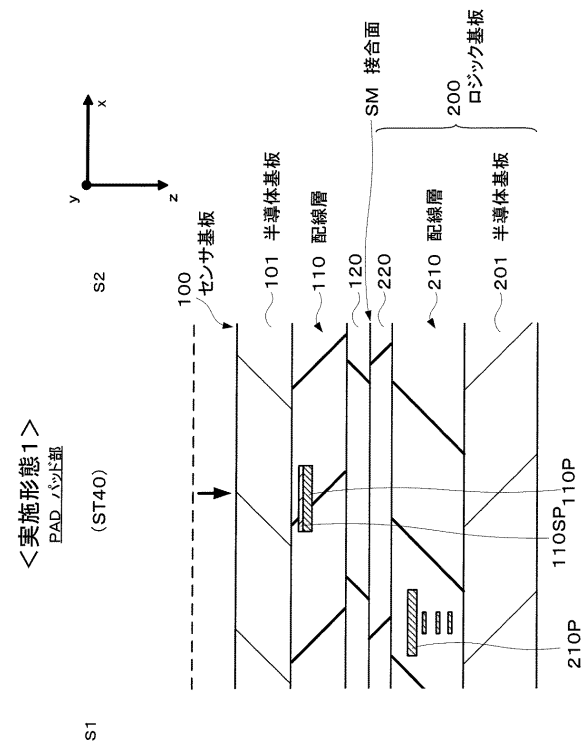
【図 10】



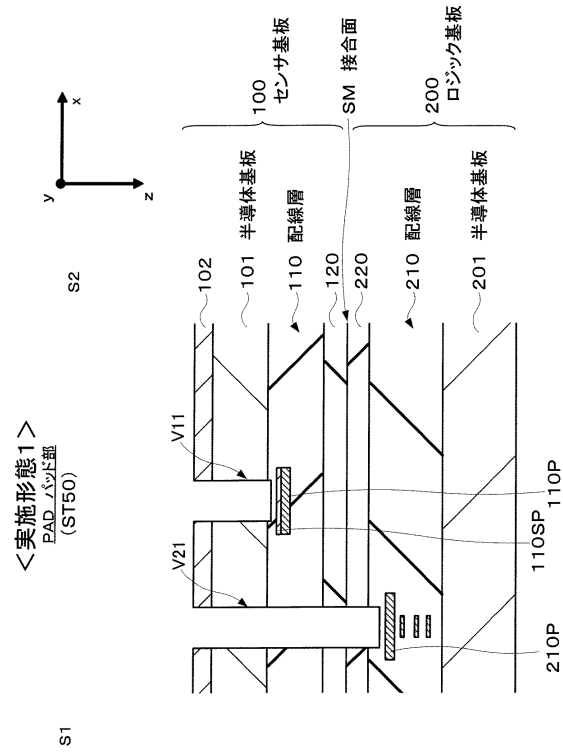
【図 11】



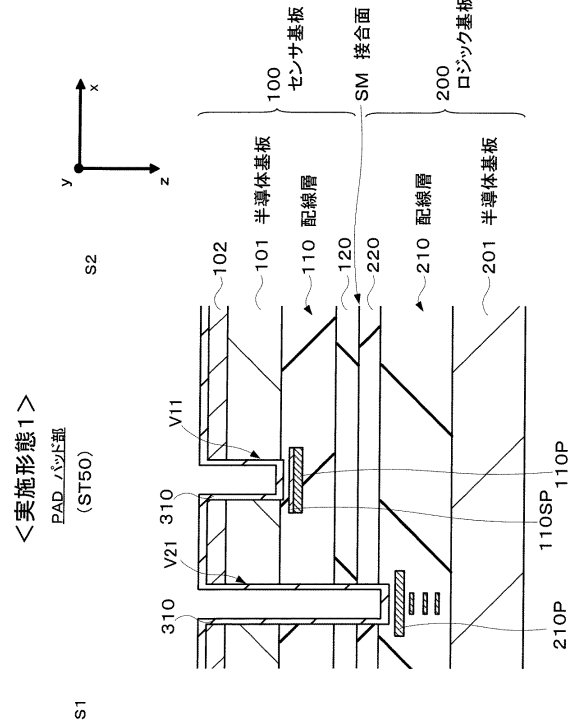
【図 12】



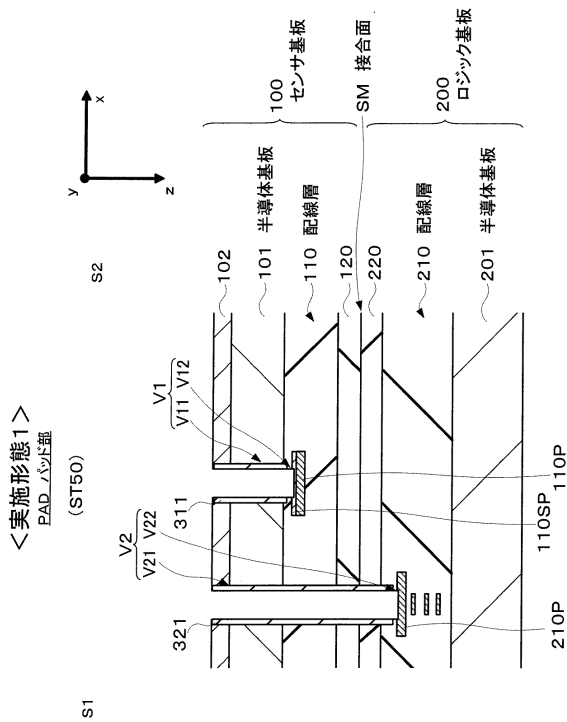
【図 1 3】



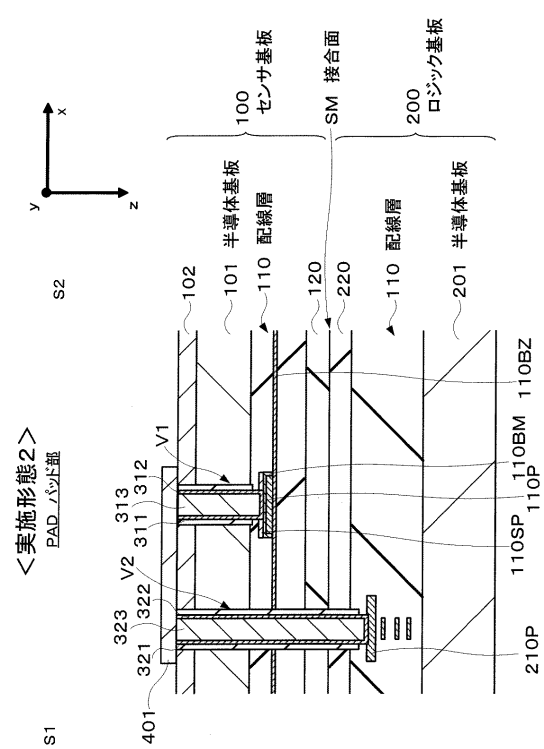
【図 1 4】



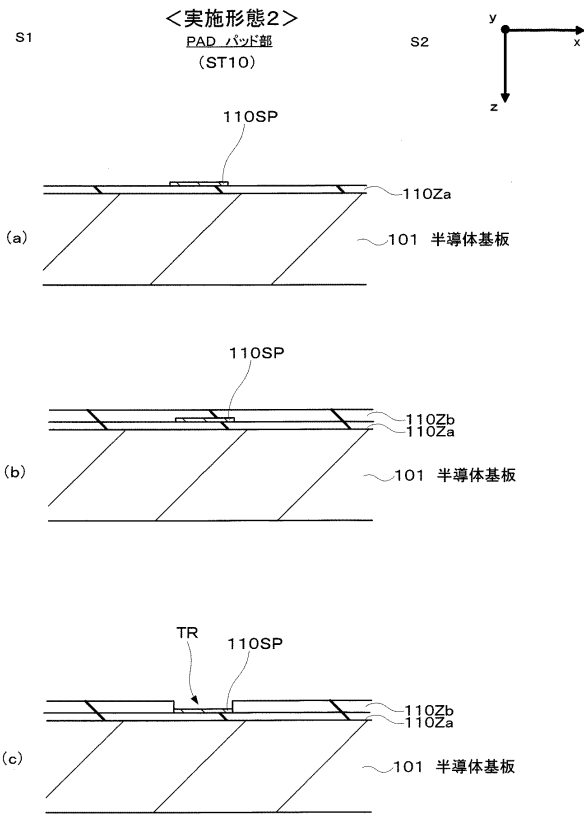
【図 1 5】



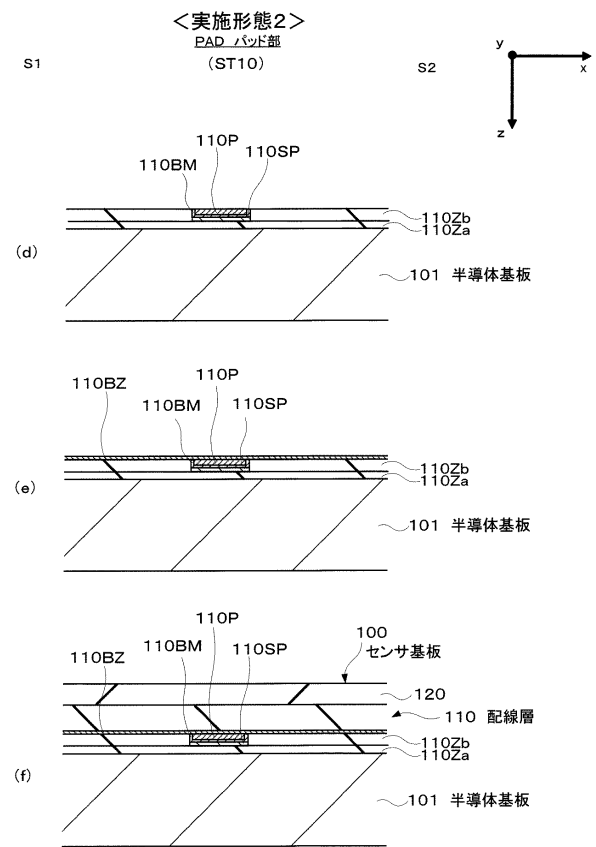
【図 1 6】



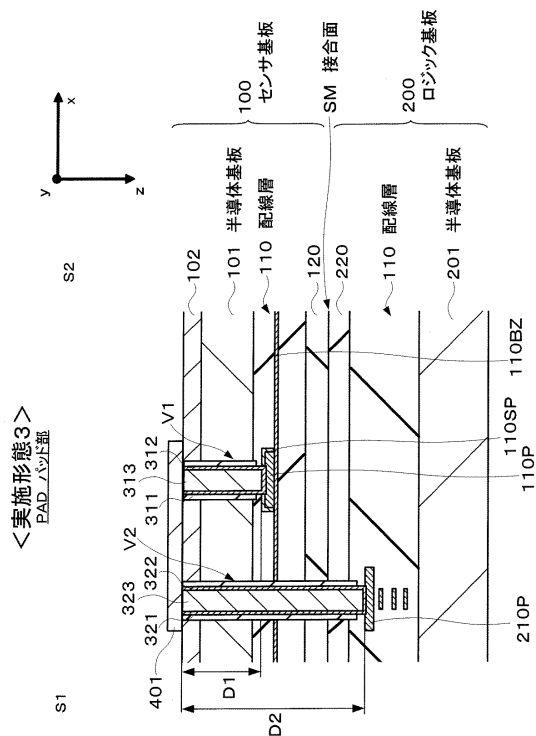
【図 17】



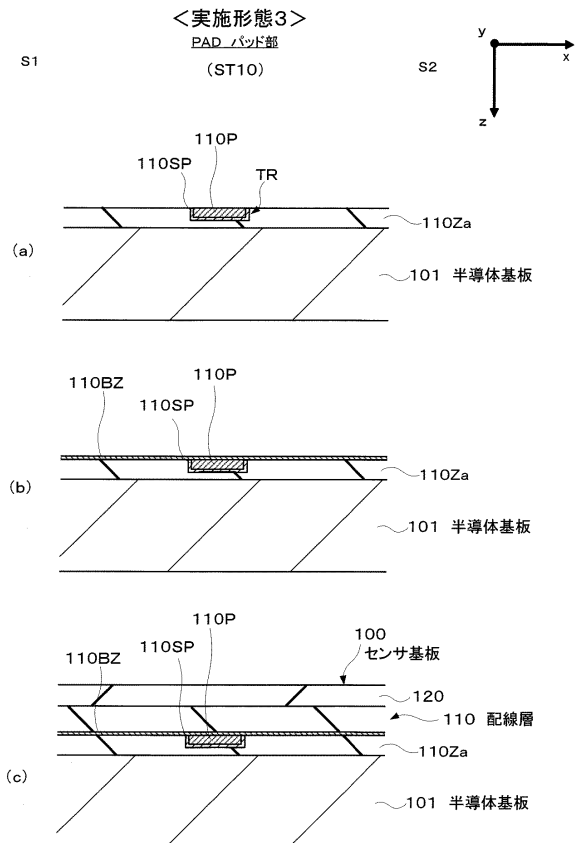
【図 18】



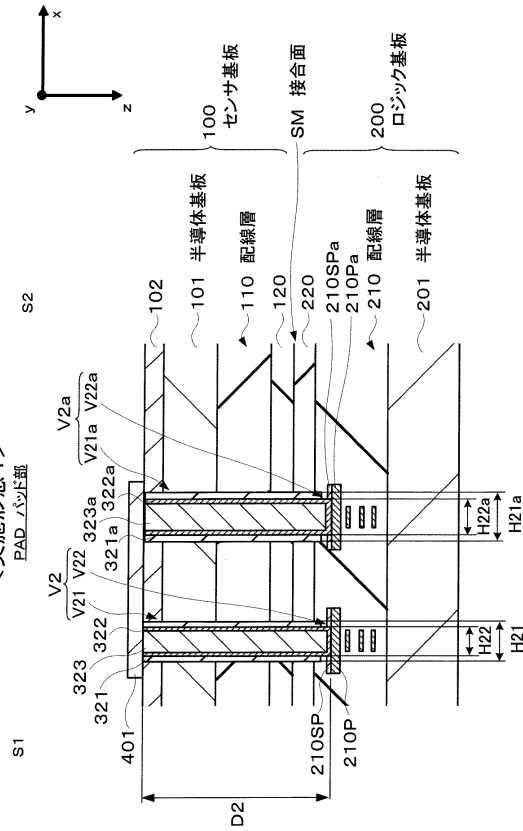
【図 19】



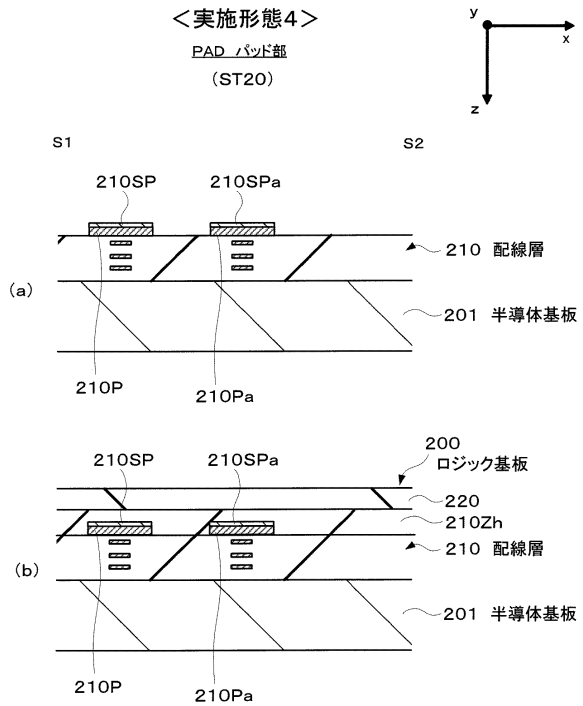
【図 20】



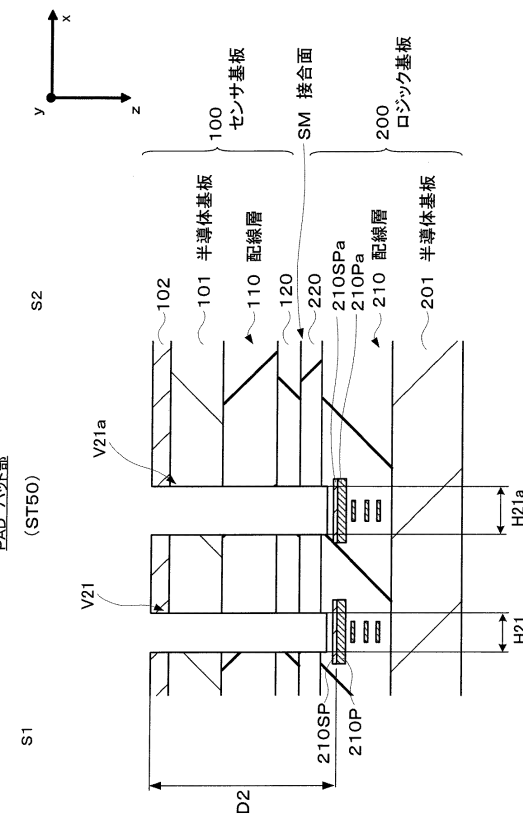
【図 2 1】



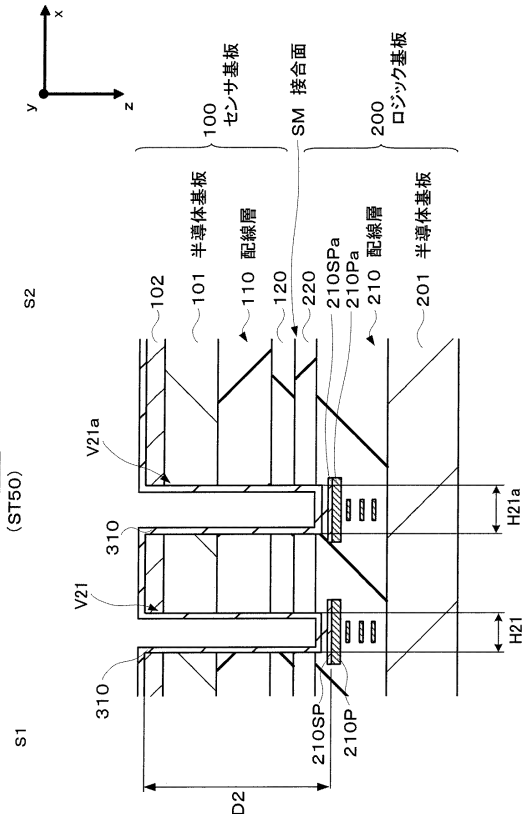
【図 2 2】



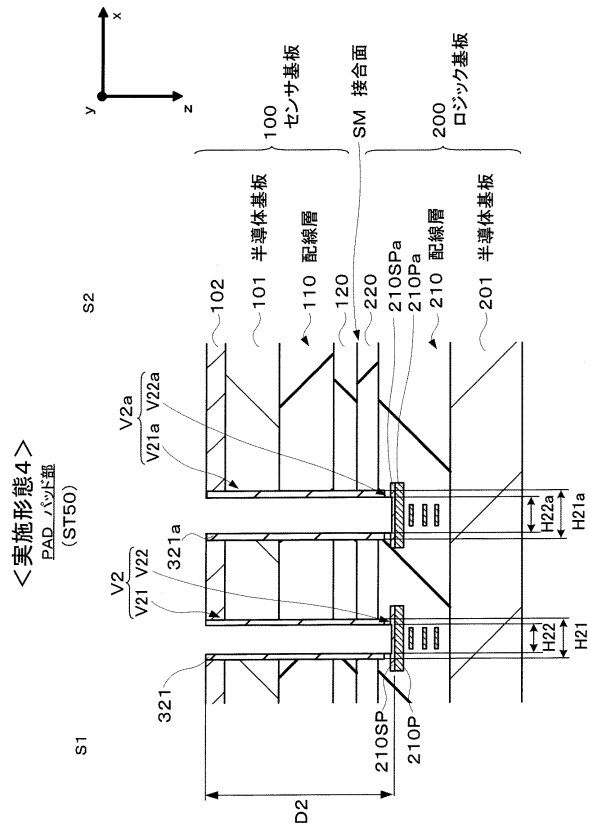
【図 2 3】



【図 2 4】



【図 25】



---

フロントページの続き

- (56)参考文献 特開2010-245506 (JP, A)  
特開2004-179288 (JP, A)  
特開2010-093228 (JP, A)  
特開2008-021709 (JP, A)  
特開2004-260076 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 25/065  
H01L 25/07  
H01L 25/18