



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

248151

(11) (B1)

(51) Int. Cl.⁴

G 05 B 19/403

(22) Přihlášeno 04 11 83
(21) PV 8146-83

(40) Zveřejněno 17 07 86

(45) Vydáno 16 11 87

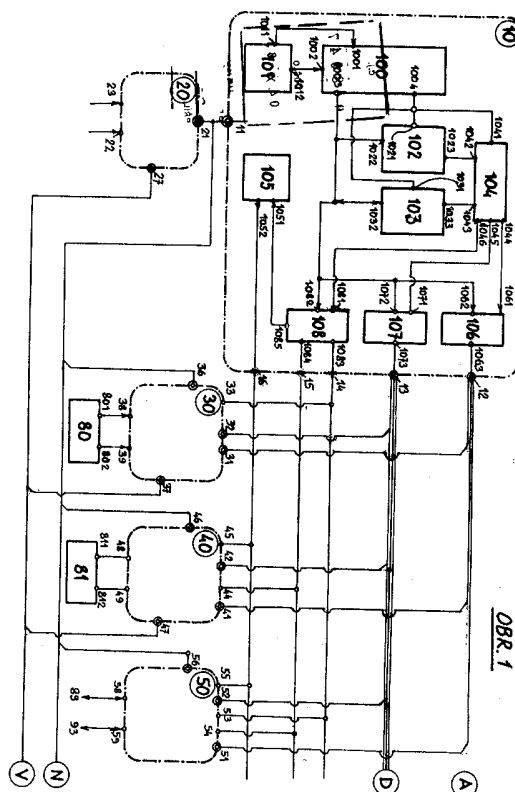
(75)
Autor vynálezu

BAKSTEIN HYNEK ing., BREJŠKA JIŘÍ ing., HABADA OLDŘICH,
HORÁČEK FRANTIŠEK, SCHLEMMER ARNOŠT, PŘÍBRAM

(54) Bloková soustava programovatelného automatu

Bloková soustava programovatelného automatu využívá mikroprocesorové obvody vysoké integrace uspořádané tak, že výsledné zapojení umožňuje využití v průmyslové automatizaci pro řízení ovládání a sledování technologických zařízení.

Bloková soustava programovatelného automatu (obr. 1) sestává z řídicí jednotky (10), napájecího zdroje (20) a nejméně jedné stykové jednotky (30, 40, 50, 60, 70) vzájemně propojených napájecí (N), (V), datovou (D) a adresovou sběrnicí (A) (obr. 2).



Vynález se týká blokové soustavy programovatelného automatu.

Dosud známé soustavy jsou řešeny pro propojení logických prvků, např. relé, integrované obvody apod., kdy funkce automatu je dána jejich vzájemným propojením. Příklad logické soustavy s pevně propojenými logickými členy je popsán například v čs. autorském osvědčení číslo 155 676 "Bloková soustava pro obecné sestavení předem určených okruhů sekvenčních automatik k ovládání technologických celků".

Jedná se o systémy s konstantní funkcí, která je dána pevným propojením logických prvků. V tom právě spočívá jejich základní nevýhoda: podle toho, jaká funkce je od automatu požadována, musí se příslušná propojení patřičně měnit. Z toho plyne, že každý takový automat se musí předem - a to poměrně pracným způsobem - dokumentovat současně se svojí výrobní dokumentací, což není snadné. Další nevýhodou je, že pracně získané dokumenty jsou unikátní, což se nepříznivě projevuje při výrobě, která tím dostává charakter kusové výroby s poměrně nízkou produktivitou.

Jsou sice systémy bez těchto nevýhod, u kterých je funkce automatu programovatelná. Jsou však složité a nákladné. Jejich struktura vychází totiž ze systémů, které byly původně určeny pro zpracování dat. Budiž připomenuto, že právě tyto systémy jsou charakteristické velkou složitostí svých adresových, datových a řídicích sběrnic. Tyto sběrnice umožňují sice značnou rozšiřitelnost systému, jakož i dosažení vysoké rychlosti, avšak jejich nevýhodou je nutnost značně složitých obvodů jak pro dekodování, tak i pro ovládání sběrnic. Tím se ovšem jednak snižuje spolehlivost a provozuschopnost soustavy, jednak se zvyšují nároky na vyškolení obsluhy a na celkovou údržbu.

Tyto závažné nevýhody nemá bloková soustava programovatelného automatu podle vynálezu, sestávající z řídicí jednotky, napájecího zdroje a nejméně jedné stykové jednotky.

Na napájecí vstupy řídicí jednotky je napojena vnitřní napájecí sběrnice, která je současně spojena s vnitřním napájecím výstupem napájecího zdroje. Na tuto napájecí sběrnici jsou napojeny vnitřní napájecí vstupy stykových jednotek. Vnější napájecí výstupy napájecího zdroje jsou připojeny na vnější napájecí sběrnici, na kterou jsou zapojeny všechny napájecí vstupy stykových jednotek. Přitom dekodované adresové výstupy řídicí jednotky jsou připojeny vždy buď na dva adresové vstupy, anebo na jeden z adresových vstupů stykové jednotky. Na dvousměrné datové přípojky je napojena datová sběrnice, na kterou jsou paralelně připojeny jednak všechny datové výstupy všech vstupních jednotek, jednak datové vstupy všech výstupních jednotek a konečně obousměrné datové přípojky stykových jednotek.

Na čtecí výstup řídicí jednotky jsou současně připojeny všechny čtecí vstupy všech stykových jednotek.

Na záznamový výstup řídicí jednotky jsou současně připojeny všechny záznamové vstupy všech stykových jednotek, které jsou současně svými potvrzovacími vstupy připojeny na potvrzovací výstup řídicí jednotky.

Na nejméně jednu vstupní svorku vstupní stykové jednotky je připojena první výstupní svorka dvoustavového snímače, jehož druhá výstupní svorka je připojena na druhou vstupní svorku vstupní stykové jednotky.

Na nejméně jednu první výstupní svorku výstupní stykové jednotky je připojena první vstupní svorka spotřebiče, jehož druhá vstupní svorka je připojena na druhou výstupní svorku výstupní stykové jednotky.

Na první obousměrnou svorku obousměrné přenosové stykové jednotky je připojen první přenosový vodič, zatímco druhý přenosový vodič je připojen na druhou obousměrnou svorku.

Nejméně jedna první analogová svorka vstupní analogové stykové jednotky je připojena na první výstupní analogovou svorku analogového snímače, jehož druhá výstupní analogová svorka je připojena na druhou analogovou svorku vstupní analogové stykové jednotky.

Napájecí zdroj je opatřen nejméně jedním prvním napájecím vstupem a nejméně jedním druhým napájecím vstupem.

Výhodou řešení podle vynálezu je jeho jednoduchost a odolnost proti interferenci. Jednoduchost spočívá v tom, že pro počet stykových jednotek, které je nutné v předpokládaných aplikacích připojit, je obvodově úspornější zařadit adresový dekódér do řídicí jednotky s výstupem 1 z x, což umožňuje jednoduché řízení stykových jednotek. Provedení adresové, datové a řídicí sběrnice podle vynálezu současně zvyšuje odolnost proti interferenci rušivými signály z vnějšího okolí automatu. Sběrnice provedená podle vynálezu má současně tu přednost, že je tvořena malým počtem vodičů, což snižuje pracnost výroby a klade menší nároky na propojovací konektory, než je tomu u sběrnic obvyklých ve výpočetní technice.

Bloková soustava podle vynálezu je vhodná pro řízení, ovládání a sledování technologických zařízení v průmyslu, zejména v hornictví.

Na připojených výkresech jsou schematicky znázorněny příklady provedení vynálezu, kde na obr. 1 je základní struktura a vnitřní struktura řídicí jednotky, na obr. 2 je její rozšíření o další stykové jednotky a struktura sběrnic, na obr. 3 je vnitřní struktura vstupní stykové jednotky, na obr. 4 je vnitřní struktura výstupní stykové jednotky.

Zařízení podle vynálezu je provedeno tak, že na napájecí vstupy 11 řídicí jednotky 10 je napojena vnitřní napájecí sběrnice N spojená současně s vnitřním napájecím výstupem 21 napájecího zdroje 20, opatřeného nejméně dvěma napájecími vstupy 22, 23. Na tuto vnitřní napájecí sběrnici N jsou současně napojeny vnitřní napájecí vstupy 36, 46, 56, 66, 76 stykových jednotek 30, 40, 50, 60, 70. Vnější napájecí výstupy 27 napájecího zdroje 20 jsou připojeny na vnější napájecí sběrnici V, na kterou jsou zapojeny všechny vnější napájecí vstupy 37 a 47 stykových jednotek 30 a 40.

Dekódované adresové výstupy 12a až 12x řídicí jednotky 10, viz též obr. 2, jsou připojeny na adresové vstupy 31 a 41 stykových jednotek 30 a 40, nebo na jeden z adresových vstupů 51, 61, 71 obousměrných stykových jednotek 50, 60, 70. Na obousměrné datové přípojky 13 řídicí jednotky 10 je připojena obousměrná datová sběrnice D, na kterou jsou paralelně připojeny datové vstupy a výstupy 32, 42, 52, 62, 72 všech stykových jednotek 30, 40, 50, 60, 70. Na čtecí výstup 14 řídicí jednotky 10 jsou současně připojeny všechny čtecí vstupy 33, 53, 63, 73 stykových jednotek 30, 50, 60, 70.

Záznamový výstup 15 řídicí jednotky 10 je spojen se všemi záznamovými vstupy 44, 54, 64, 74 stykových jednotek 40, 50, 60, 70. Potvrzovací výstup 16 řídicí jednotky 10 je připojen na všechny potvrzovací vstupy 45, 55, 65, 75 stykových jednotek 40, 50, 60, 70. Dvě výstupní svorky 801, a 802 dvoustavových snímačů 80 jsou paralelně zapojeny vždy na dvě vstupní svorky 38 a 39 vstupní stykové jednotky 30, dvě výstupní svorky 48 a 49 výstupní stykové jednotky 40 jsou paralelně zapojeny na dvě vstupní svorky 811 a 812 spotřebiče 81. Na dvě obousměrné svorky 58 a 59 obousměrných stykových jednotek 50 jsou paralelně zapojeny dva přenosové vodiče 83 a 93. Dvě výstupní svorky analogových snímačů 821 a 822 jsou zapojeny na dvě vstupní svorky 68 a 69 analogových stykových jednotek 60.

Řídicí jednotka 10 obsahuje hodinový generátor 101, jehož přerušovací výstup 1011 je připojen na přerušovací vstup 1001, v daném případě 8bitového mikroprocesoru 100, který je svým vstupem hodinových impulsů 1002 připojen na hodinový výstup 1012 hodinového generátoru 101. Adresové výstupy 1004 mikroprocesoru 100 jsou připojeny současně na všechny adresové vstupy 1021 pevné programové paměti 102 v daném případě typu EPROM a dále též na vstupy 1031 datové paměti 103, v daném případě typu RAM, a současně též na adresové vstupy 1041 adresového

dekódéru 104. Na obousměrné datové přípojky 1003 mikroprocesoru 100 jsou současně připojeny všechny datové přípojky 1022, 1032 pevné programové paměti 102 datové paměti 103, jakož i datové přípojky 1062, 1072, 1082 prvního, druhého i třetího výstupního obvodu 106, 107, 108. Dekódovaný adresový výstup 1023 pevné programové paměti 102 je připojen na první dekódovaný adresový výstup 1042 adresového dekódéru 104, jehož druhý dekódovaný adresový výstup 1043 je připojen na dekódovaný adresový vstup 1033 datové paměti 103. Třetí dekódovaný adresový výstup 1044 je připojen na dekódované adresy 1061 prvního výstupního obvodu 106.

Čtvrtý dekódovaný adresový výstup 1045 adresového dekódéru 104 je připojen na vstup dekódované adresy 1071 druhého výstupního obvodu 107. Pátý dekódovaný adresový výstup 1046 je připojen na vstup dekódované adresy 1081 třetího výstupního obvodu 108, jehož kontrolní výstup 1085 je připojen na kontrolní vstup 1051 kontrolního obvodu 105. Potvrzovací výstup 1052 tohoto kontrolního obvodu 105 je připojen na potvrzovací výstup 16 řídicí jednotky 10, jejíž záznamový výstup 15 je připojen na záznamový výběrový výstup 1084 třetího výstupního obvodu 108. Čtecí výběrový výstup 1083 třetího výstupního obvodu 108 je připojen ke čtecímu výstupu 14 řídicí jednotky 10. Dvousměrné datové přípojky 13 řídicí jednotky 10 jsou připojeny k obousměrným datovým přípojkám 1073. Dekódované adresové výstupy 12 řídicí jednotky 10 jsou zapojeny na dekódované adresové výstupy 1063 prvního vstupního obvodu 106.

Na obousměrné datové přípojky 13 je připojena datová sběrnice D tvořená nejméně dvěma vodiči a a y, na které jsou paralelně zapojeny všechny datové výstupy 32a až 32y spolu s datovými vstupy 42a až 42y, jakož i všechny obousměrné datové přípojky 52a až 52y, 62a až 62y, 72a až 72y všech stykových jednotek 30, 40, 50, 60, 70. Vnitřní napájecí sběrnice N tvořená nejméně dvěma vodiči c, z zapojenými současně a paralelně jednak na všechny vnitřní napájecí výstupy 21c a 21z, jednak na všechny napájecí vstupy 11c a 11z, jakož i na vnitřní napájecí vstupy 36c až 36z, 46c až 46z, 56c až 56z, 66c až 66z, 76c až 76z.

Vnější napájecí sběrnice V je tvořena nejméně dvěma vodiči u a w, které jsou zapojeny jednak na vnější napájecí výstupy 27u a 27w napájecího zdroje 20, jednak paralelně na všechny vnější napájecí vstupy 37u, 37w a 47u, 47w.

Vstupní styková jednotka 30, viz obr. 3, obsahuje třístavový "ypsilon" - násobný spínač 301, který má tolik identických obvodů, kolik je vodičů v datové sběrnici D k němu připojené prostřednictvím datových výstupů 32a až 32y. Signálové vstupy 383a až 383y tohoto třístavového "ypsilon" násobného spínače 301 jsou připojeny na oddělené signálové vstupy 382 oddělovacích vstupních členů 302a až 302y, což jsou např. optoelektronické členy, které jsou spojeny paralelně s vnějším napájecím vstupem 37w, jakož i s vnějším napájecím vstupem 37u, se kterým jsou současně propojeny všechny druhé vstupní svorky 39, které jsou dále samostatně připojeny na druhé výstupní svorky 802 dvoustavových snímačů 80. Jejich první výstupní svorky 801 jsou samostatně připojeny na první vstupní svorky 38 vstupní stykové jednotky 30, a tím i na své první vstupní svorky 38a oddělovacího vstupního obvodu 302a, jejich druhé výstupní svorky 802 jsou rovněž samostatně připojeny na druhé vstupní svorky 39, a tím i na své druhé vstupní svorky 39a oddělovacího vstupního obvodu 302a. Čtecí vstup 33 stykové jednotky 30 je současně čtecím vstupem 33 třístavového "ypsilon" - násobného spínače 301, jehož adresový vstup 31 je současně adresovým vstupem 31 vstupní stykové jednotky 30.

Výstupní styková jednotka 40, viz obr. 4, obsahuje "ypsilon" - násobný paměťový blokovací obvod 401, který má tolik identických obvodů, kolik je vodičů v připojené datové sběrnici D, na kterou je tento blokovací paměťový obvod 410 svými datovými vstupy 42a až 42y připojen. Jeho povelové výstupy 482a až 482y jsou samostatně připojeny vždy na svůj povelový vstup 483a až 483y oddělovacího výstupního členu 420a až 420y, což je v daném případě např. relé. Jeho první výstupní svorka 48a až 48y je spojena vždy prostřednictvím první výstupní svorky 48 s první vstupní svorkou 811 spotřebičů 81a až 81y (např. solenoidový ventil, cívka stykače apod.). Jejich druhé vstupní svorky 812a až 812y jsou připojeny prostřednictvím druhých výstupních svorek 49 na výstupní svorky 49a až 49y výstupních členů 420a až 420y výstupní stykové jednotky 40. Jejich všechny druhé výstupní svorky 49a až 49y jsou paralelně propo-

jeny na její vnější napájecí vstup 47u. Její vnější napájecí vstup 47w je propojen na všechny vnější napájecí vstupy 47a až 47y všech oddělovacích výstupních členů 402a až 402y. Adresový vstup 41, jakož i záznamový vstup 44 a potvrzovací vstup 45 výstupní stykové jednotky 40 jsou zapojeny do "ypsilón" - násobného paměťového blokovacího obvodu 401.

Funkce zařízení podle vynálezu je následující:

Jak ukazuje obr. 1, je řídicí jednotka 10 vybavena mikroprocesorem 100 spojeným s hodinovým generátorem 101, pevnou programovou pamětí 102, datovou pamětí 103 a adresovým dekódérem 104 v takovém propojení a funkci, která navazuje na konstrukce použitých integrovaných mikroprocesorových obvodů v souladu s předpisy jejich výrobců.

Výstupní obvod 106, vstupní obvod 108 a obousměrný obvod 107 provádějí transformaci rychlých vnitřních napájecích sběrnic N řídicí jednotky 10 na pomalé, zjednodušené a proti průmyslovému rušení i zkratkám odolné adresové sběrnice A a datové sběrnice D.

Obvody mikroprocesoru 100 ve spojení s hodinovým generátorem 101 a adresovým dekódérem 104 provádějí (podle instrukcí uložených v pevné programovací paměti 102, případně i v datové paměti 103) ovládání adresové sběrnice A prostřednictvím prvního výstupního obvodu 106 takto:

Tento první výstupní obvod 106 při inicializaci vstupu 1061 dekódované adresy dekóduje binární adresu žádané stykové jednotky na kód 1 z x, který se pak přenesení z dekódované adresové výstupu 1063 na adresovou sběrnici A.

Ona styková jednotka 30, resp. 40, resp. 50, resp. 60, resp. 70, na jejímž adresovém vstupu 31, resp. 41, resp. 51, resp. 61, resp. 71, a současně na jejímž čtecím vstupu 33, resp. 53, resp. 63, resp. 73, případně na záznamovém vstupu 44, resp. 54, resp. 64, resp. 74, je aktivní signál, značně může komunikovat s řídicí jednotkou 10 - a to podle své funkce - prostřednictvím datové sběrnice D.

Tak příkladně v souvislosti s obr. 2 nastává tato situace: Je-li na adresovém vstupu 31, jakož i na čtecím vstupu 33 vstupní stykové jednotky 30, aktivní signál, uvolní se pomocí třístavového "ypsilón" - násobného spínače 301 (viz obr. 3) přenos informace z připojených oddělovacích členů 302a až 302y na trvale připojenou datovou sběrnici D.

Jejím prostřednictvím se informace o stavu trvale připojených dvoustavových spínačů 80a až 80y přenesení na obousměrné datové přípojky 13. Z nich je přivedena na obousměrný obvod 107. Ten pak - podle informace na vstupu dekódované adresy 1071 - přenesení informaci k dalšímu zpracování v řídicí jednotce. Tento přenos se děje po datové přípojce 1072.

Celý tento cyklus vyl podmíněn inicializací čtecího výstupu 14 z druhého výstupního obvodu 108. Ten je řízen prostřednictvím vstupu dekódované adresy 1081 adresového dekódéru 104, a to podle instrukcí uložených v pevné programové paměti 102, resp. v datové paměti 103.

Toto řízení se provádí v závislosti na stavu datového vstupu 1082 řízeného mikroprocesorem 100. Je-li datovým vstupem 1082 aktivován záznamový výstup 15, pak dojde k zápisu informace z datové sběrnice D do "ypsilón" - násobného paměťového blokovacího obvodu 401 (viz obr. 4), ovšem za předpokladu, že je současně aktivován adresový vstup 41 výstupní stykové jednotky 40:

V tomto okamžiku je sice současně aktivován adresový vstup 31 vstupní stykové jednotky 30, která (viz obr. 2) je připojena na shodný vodič adresové sběrnice A, ale informace o stavu dvoustavových spínačů 80 se nepřenesení na datovou sběrnici D, neboť není inicializována čtecím vstupem 33 z čtecího výstupu 14. Příčinou toho je řídicí jednotka 10, která - podle programu - inicializuje pouze jeden z výstupů 14 nebo 15.

Výstupní styková jednotka 40 přenese informaci z "ypsilon" - násobného paměťového blokovacího obvodu 401 prostřednictvím oddělovacích výstupních členů 402a až 402y na akční členy 81 (81a až 81y).

Je-li dále aktivován její potvrzovací vstup 45 z potvrzovacího výstupu 16 řídicí jednotky 10, pak dojde (za součinnosti mikroprocesoru 100) k vnitřní diagnostice správnosti chodu řídicí jednotky 10, kterou provádí mikroprocesor 100.

Dojde k tomu na základě úspěšného provedení kontrolního algoritmu, a to podle instrukcí, které jsou uloženy v pevné programové paměti 102.

Obdobným způsobem pracují i obousměrné stykové jednotky, jako například obousměrná přenosová styková jednotka 50 a vstupní analogová styková jednotka 60 (viz obr. 1 a 2):

Řídicí jednotka 10 provádí v prvním cyklu výběr stykové jednotky, např. vstupní analogové stykové jednotky 60, v druhém cyklu pak ovládání a nastavení vnitřního přepínače prostřednictvím datové sběrnice D a konečně ve třetím cyklu vlastní čtení dat z datové sběrnice D.

Při inicializaci obousměrné přenosové stykové jednotky 50 volí řídicí jednotka 10 režim vstupu/výstupu inicializace jednoho ze dvou vstupů 53 nebo 54.

P R E D M Ě T V Y N Á L E Z U

1. Bloková soustava programovatelného automatu, která je vybavena řídicí jednotkou, napájecím zdrojem a nejméně jednou stykovou jednotkou, vyznačující se tím, že na napájecí vstupy (11) řídicí jednotky (10) je napojena vnitřní napájecí sběrnice (N) spojená současně s vnitřním napájecím výstupem (21) napájecího zdroje (20), na kteroužto napájecí sběrnici (N) jsou napojeny vnitřní napájecí vstupy (36, 46, 56, 66, 76) stykových jednotek (30, 40, 50, 60, 70), přičemž dále vnější napájecí výstupy (27) napájecího zdroje (20) jsou připojeny na vnější napájecí sběrnici (V), na kterou jsou zapojeny všechny vnější napájecí vstupy (37 a 47) stykových jednotek (30 a 40), přičemž dále dekodované adresové výstupy (12a až 12x) řídicí jednotky (10) jsou připojeny vždy buď na dva adresové vstupy (31 a 41), stykových jednotek (30 a 40), nebo na jeden z adresových vstupů (51, 61, 71) stykové jednotky (50 nebo 60 nebo 70), přičemž dále na dvousměrné datové přípojky (13) je připojena datová sběrnice (D), na kterou jsou paralelně připojeny jednak všechny datové výstupy (32) všech vstupních jednotek (30), jednak datové vstupy (42) všech výstupních jednotek (40) a konečně obousměrné datové přípojky (52, 62 a 72) stykových jednotek (50, 60, 70), přičemž dále na čtecí výstup (14) řídicí jednotky (10) jsou současně připojeny všechny čtecí vstupy (33 a 53, 63, 73) všech stykových jednotek (30, 50, 60, 70), přičemž dále na záznamový výstup (15) řídicí jednotky (10) jsou současně připojeny všechny záznamové vstupy (44, 54, 64, 74), všech stykových jednotek (40, 50, 60, 70), které jsou současně svými potvrzovacími vstupy (45, 55, 65, 75) připojeny na potvrzovací výstup (16) řídicí jednotky (10), přičemž dále na nejméně jednu vstupní svorku (38) vstupní stykové jednotky (30) je připojena první výstupní svorka (801) dvoustavového snímače (80), jehož druhá výstupní svorka (802) je připojena na druhou vstupní svorku (39) vstupní stykové jednotky (30), přičemž dále na nejméně jednu první výstupní svorku (48) výstupní stykové jednotky (40) je připojena první vstupní svorka (811) spotřebiče (81), jehož druhá vstupní svorka (812) je připojena na druhou výstupní svorku (49) výstupní stykové jednotky (40), přičemž dále na první obousměrnou svorku (58) obousměrné přenosové stykové jednotky (50) je připojen první přenosový vodič (83), zatímco druhý přenosový vodič (93) je připojen na druhou obousměrnou svorku (59), přičemž dále nejméně jedna první analogová svorka (68) vstupní analogové stykové jednotky (60) je připojena na první výstupní analogovou svorku (821) analogového snímače (82), jehož druhá výstupní analogová svorka (822) je připojena na druhou analogovou svorku (69) vstupní analogové stykové jednotky (60), přičemž dále napá-

jecí zdroj (20) je opatřen nejméně jedním prvním napájecím vstupem (22) a nejméně jedním druhým napájecím vstupem (23).

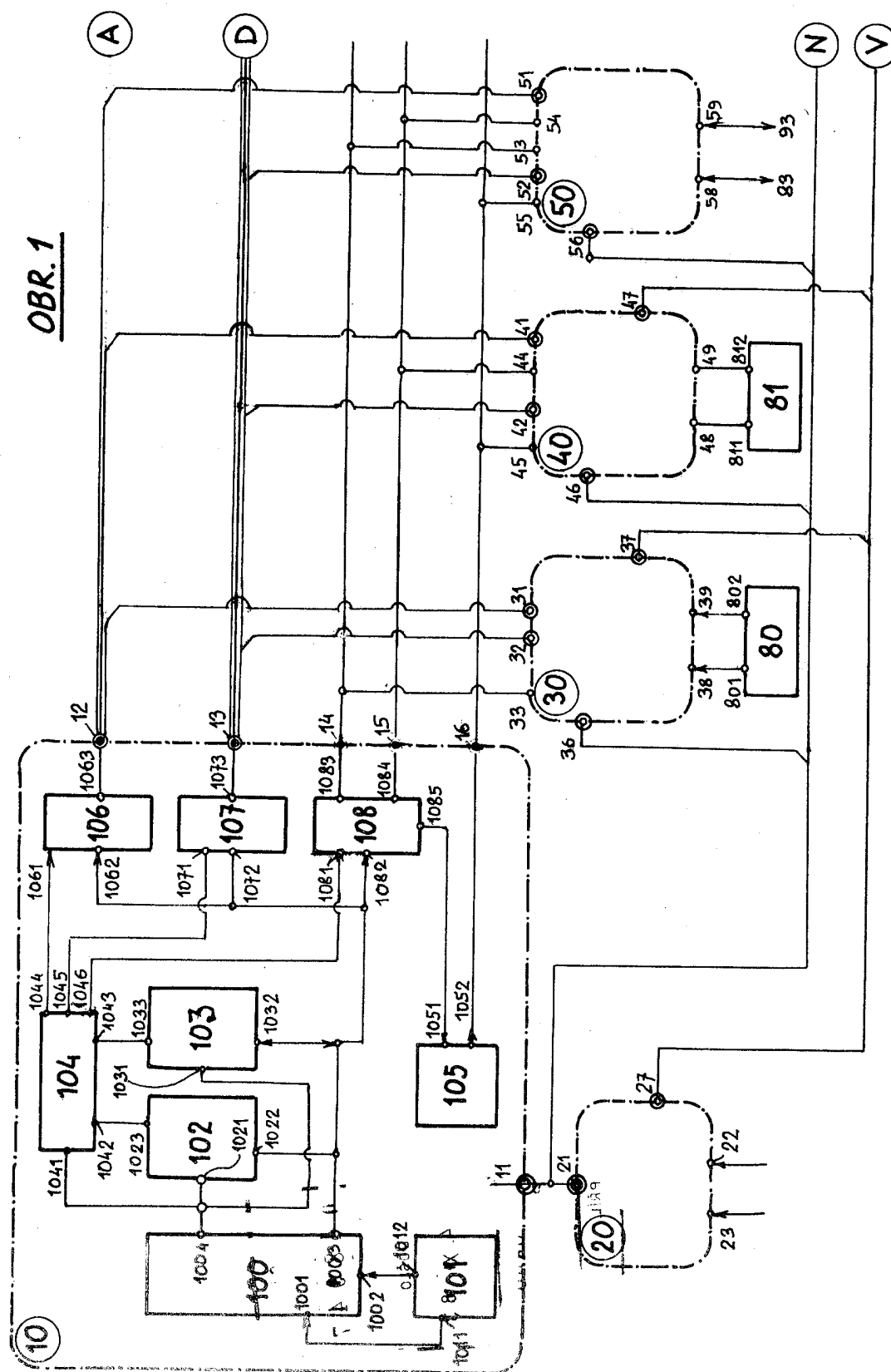
2. Bloková soustava podle bodu 1, vyznačující se tím, že řídicí jednotka (10) obsahuje hodinový generátor (101), jehož přerušovací výstup (1011) je připojen na přerušovací vstup (1001) mikroprocesoru (100), který je svým vstupem hodinových impulsů (1002) připojen na hodinový výstup (1012) hodinového generátoru (101), a že na adresový výstup (1004) mikroprocesoru (100) jsou připojeny současně všechny adresové vstupy (1021) pevné programové paměti (102), dále adresové vstupy (1031) datové paměti (103) a konečně adresové vstupy (1041) adresového dekódéru (104), přičemž dále na obousměrnou datovou přípojku (1003) mikroprocesoru (100) jsou současně připojeny všechny datové přípojky (1022) pevné programové paměti (102), datové přípojky (1032) datové paměti (103), datové přípojky (1062) prvního výstupního obvodu (106), datové přípojky (1072) druhého výstupního obvodu (107) a datové přípojky (1082) třetího výstupního obvodu (108), přičemž dále dekódovaný adresový vstup (1023) pevné programové paměti (102) je připojen na první dekódovaný adresový výstup (1042) adresového dekódéru (104), jehož druhý dekódovaný adresový výstup (1043) je připojen na dekódovaný adresový výstup (1044) je připojen na dekódované adresy (1061) prvního výstupního obvodu (106), dále, že čtvrtý dekódovaný adresový výstup (1045) adresového dekódéru (104) je připojen na vstup dekódované adresy (1071) druhého výstupního obvodu (107), přičemž současně pátý dekódovaný adresový výstup (1046) je připojen na vstup dekódované adresy (1081) třetího výstupního obvodu (108), jehož kontrolní výstup (1085) je připojen na kontrolní vstup (1051) kontrolního obvodu (105), přičemž dále potvrzovací výstup (1052) tohoto kontrolního obvodu (105) je připojen na potvrzovací výstup (16) řídicí jednotky (10), jejíž záznamový výstup (15) je připojen na záznamový výběrový výstup (1084) třetího výstupního obvodu (108), přičemž dále čtecí výběrový výstup (1083) tohoto třetího výstupního obvodu (108) je připojen k čtecímu výstupu (14) řídicí jednotky (10), přičemž dále dvousměrné datové přípojky (13) této řídicí jednotky (10) jsou připojeny k obousměrným datovým přípojkám (1073), přičemž dále dekódované adresové výstupy (12) řídicí jednotky (10) jsou zapojeny na dekódované adresové výstupy (1063) prvního vstupního obvodu (106).

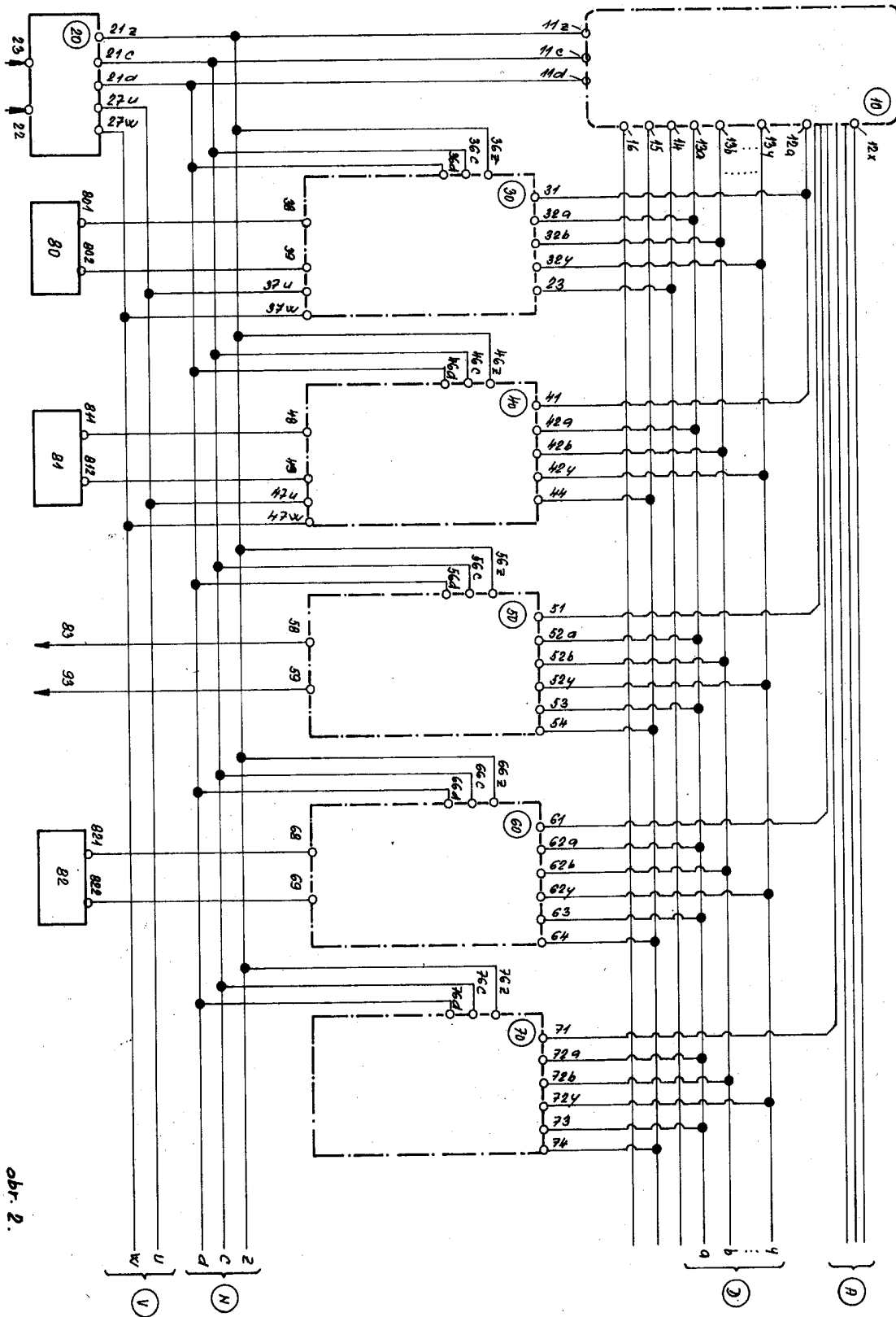
3. Bloková soustava podle bodu 1, vyznačující se tím, že na dvousměrné datové přípojky (13) je připojena datová sběrnice (D) tvořená nejméně dvěma vodiči (a, y), na které jsou paralelně zapojeny všechny datové výstupy (32a až 32y) spolu s datovými vstupy (42a až 42y), jakož i všechny obousměrné datové přípojky (52a až 52y, resp. 62a až 62y, resp. 72a až 72y) všech stykových jednotek (30, 40, 50, 60, 70), přičemž dále vnitřní napájecí sběrnice (N) je tvořena nejméně dvěma vodiči (c, resp. z) zapojenými současně a paralelně jednak na všechny vnitřní napájecí výstupy (21c, resp. 21z), dále na všechny napájecí vstupy (11c, resp. 11z), jakož i na vnitřní napájecí vstupy (36c až 36z, resp. 46c až 46z, resp. 56c až 56z, resp. 66c až 66z, resp. 76c až 76z), přičemž dále vnější napájecí sběrnice (V) je tvořena nejméně dvěma vodiči (u, w), které jsou zapojeny jednak na vnější napájecí výstupy (27u a 27w) napájecího zdroje (20), jednak paralelně na všechny vnější napájecí vstupy (37u a 37w), resp. (47u a 47w).

4. Bloková soustava podle bodu 1, vyznačující se tím, že vstupní styková jednotka (30) obsahuje třístavový, "ypsilon" - násobný spínač (301), který má tolik identických obvodů, kolik je vodičů v datové sběrnici (D) k němu připojené, na kteroužto datovou sběrnici (D) je třístavový, "ypsilon" - násobný spínač (301) svými datovými výstupy (32a až 32y) připojen, přičemž jeho signálové vstupy (383a až 383y) jsou připojeny na oddělené signálové vstupy (382) příslušných oddělovacích vstupních členů (302a až 302y), přičemž dále každý oddělovací vstupní člen (302a až 302y) je spojen s vnějším napájecím vstupem (37u), se kterým jsou současně propojeny všechny druhé vstupní svorky (39), které jsou dále samostatně připojeny na druhou výstupní svorku (802) dvoustavového snímače (80), přičemž dále první výstupní svorka (801) tohoto dvoustavového snímače (80) je samostatně připojena na první výstupní svorku (38) vstupní stykové jednotky (30), a tím i na svou první vstupní svorku (38) svého oddělovacího vstupního členu (302), přičemž dále čtecí vstup (33) je současně čtecím vstupem (33) třístavového "ypsilon" - násobného spínače (301), jehož adresový vstup (31) je současně adresovým vstupem (31) vstupní stykové jednotky (30).

5. Bloková soustava podle bodu 1, vyznačující se tím, že výstupní styková jednotka (40) obsahuje "epsilon" - násobný paměťový blokovací obvod (401), který má tolik identických obvodů, kolik je vodičů v připojené datové sběrnici (D), na kterou je tento "epsilon" - násobný blokovací paměťový obvod (401) svými datovými vstupy (42a až 42y) připojen, přičemž povelové výstupy (482a až 482y) jsou připojeny na povelové vstupy (483a až 483y) oddělovacího výstupního členu (402a až 402y), jejichž první výstupní svorka (48a až 48y) je spojena přes první výstupní svorku (48) vždy se svou první výstupní svorkou (811) spotřebiče (81a až 81y), jehož druhá vstupní svorka (812) je připojena přes druhou výstupní svorku (49) na výstupní svorku (49a až 49y), oddělovacích výstupních členů (402a až 402y), přičemž dále všechny jejich druhé výstupní svorky (49a až 49y) jsou paralelně propojeny na vnější napájecí vstup (47u), přičemž dále vnější napájecí vstup (47w) je propojen na všechny vnější napájecí vstupy (49) všech oddělovacích výstupních členů (402a až 402y), přičemž dále adresový vstup (41), jakož i záznamový vstup (44) a též potvrzovací vstup (45) jsou zapojeny do "epsilon"-násobného paměťového blokovacího obvodu (401).

3 výkresy





obr. 2.

