



(21)申請案號：102104240

(22)申請日：中華民國 102 (2013) 年 02 月 04 日

(51)Int. Cl. : H05K1/14 (2006.01)

H05K3/46 (2006.01)

(30)優先權：2012/02/17 美國

61/599,954

(71)申請人：宏達國際電子股份有限公司(中華民國)HTC CORPORATION (TW)

桃園市桃園區龜山工業區興華路 23 號

(72)發明人：何錦璋 HO, CHIN WEI (TW)；蔡惠玲 TSAI, HUI LING (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200810657A

TW 200826774A

TW 200847885A

審查人員：巫韋侖

申請專利範圍項數：20 項 圖式數：5 共 51 頁

(54)名稱

線路板及其構造單元與製程

CIRCUIT BOARD, STRUCTURAL UNIT THEREOF AND MANUFACTURING METHOD THEREOF

(57)摘要

一種線路板及其構造單元與製程，可利用一或多道高溫壓合製程來進行線路板製作，其中所提出的構造單元可被反覆疊加，以形成多層線路板。

A circuit board, structural units thereof, and manufacturing method thereof are provided, wherein one or more hot press process are conducted in the manufacturing method by stacking the structural units to form a multi-layered circuit board.

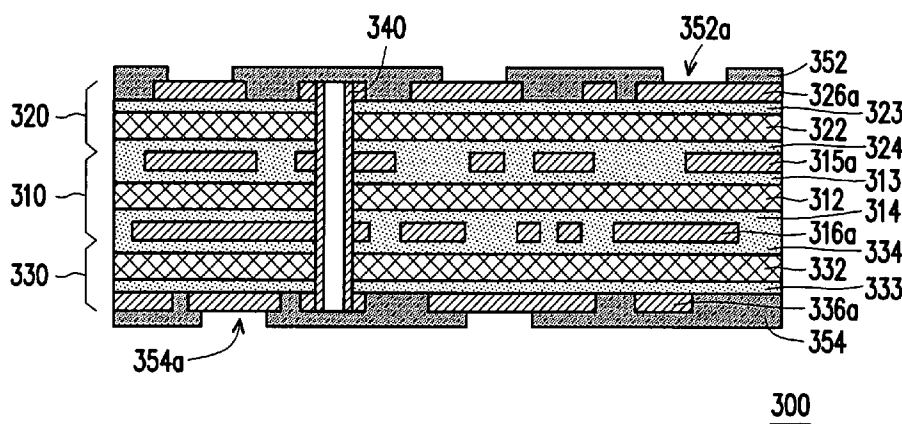


圖 3F

300 . . . 四層線路板

310 . . . 核心單元

320、330 . . . 疊加  
單元

312、322、

332 . . . 聚亞醯胺層

313、314、323、

324、333、

334 . . . 膠層

315a、316a、326a、

336a . . . 線路層

340 . . . 導電孔道

352、354 . . . 錫罩  
層

I481322

TW I481322 B

352a、354a・・・開

口

## 發明摘要

公告本

※ 申請案號： 102104240

※ 申請日： 102. 2. 04

※IPC 分類： H05K 1/14 (2006.01)

H05K 3/46 (2006.01)

【發明名稱】線路板及其構造單元與製程

CIRCUIT BOARD, STRUCTURAL UNIT THEREOF  
AND MANUFACTURING METHOD THEREOF

## 【中文】

一種線路板及其構造單元與製程，可利用一或多道高溫壓合製程來進行線路板製作，其中所提出的構造單元可被反覆疊加，以形成多層線路板。

## 【英文】

A circuit board, structural units thereof, and manufacturing method thereof are provided, wherein one or more hot press process are conducted in the manufacturing method by stacking the structural units to form a multi-layered circuit board.

## 【代表圖】

【本案指定代表圖】：圖 3F。

【本代表圖之符號簡單說明】：

300：四層線路板

310：核心單元

320、330：疊加單元

312、322、332：聚亞醯胺層

313、314、323、324、333、334：膠層

315a、316a、326a、336a：線路層

340：導電孔道

352、354：鍍罩層

352a、354a：開口

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 線路板及其構造單元與製程

CIRCUIT BOARD, STRUCTURAL UNIT THEREOF  
AND MANUFACTURING METHOD THEREOF

**【技術領域】**

**【0001】** 本申請是有關於一種線路板及其構造單元與製作方法，且特別是有關於可利用一或多道高溫壓合製程來進行線路板製作的構造單元、製作方法，及其所形成的線路板結構。

**【先前技術】**

**【0002】** 傳統軟性電路板的製作方式之一是在一絕緣基材的單側表面或相對二側表面上進行前處理及濺鍍(sputter)等步驟，以於絕緣基材上化學鍍或電鍍形成線路層。然而，此製程的步驟繁複，且濺鍍的製程的成本較高。現行的軟性電路板大多是由可撓式銅箔基板(Flexible Copper Clad Laminate, FCCL)、絕緣基材、接著劑所組成。此類軟性電路板的製作方式是先對可撓式銅箔基板進行蝕刻等圖案化步驟，以形成所需的線路。之後，再對可撓式銅箔基板以及絕緣基材進行快速壓合步驟，使可撓式銅箔基板與絕緣基材藉由接著劑相互接合。

**【0003】** 應注意的是，在製作前述軟性電路板時，基於各層的材料特性，如接著劑的耐溫極限較低，而無法進行高溫以及長時間

的壓合步驟。也因此，現有的軟性電路板多為單層或雙層線路結構，在製作更多層的線路結構時，會遭遇較大的困難與限制。另外，傳統用於軟性電路板的接著劑，其介電常數偏高，也不利於線路解析度與積集度的提升。

【0004】傳統的印刷電路板製程雖然可以提供多層線路結構，但其採用 FR4 基材所包含的玻璃纖維布(Glass Febrics)，其介電常數較高。就縮減厚度而言，雖然可以採用短纖的玻璃纖維布，但此種短纖的玻璃纖維布的費用較高。

### 【發明內容】

【0005】本申請提供一種線路板製程，其可利用一或多道高溫壓合製程來達成快速且高可靠度的多層線路板製作。

【0006】此線路板製程包括下列步驟：

【0007】首先，提供一核心單元與一第一疊加單元。此核心單元包括一第一聚亞醯胺層、一第一膠層、一第二膠層、一第一導電層與一第二導電層。第一膠層與第二膠層分別配置於第一聚亞醯胺層之一第一與一第二表面上。第一與第二導電層分別配置於第一與第二膠層上。第一疊加單元包括一第二聚亞醯胺層、一第三膠層、一第四膠層與一第三導電層。第三與第四膠層分別配置於第二聚亞醯胺層之一第三與一第四表面上。第四膠層外露且面向第一導電層，而第三導電層配置於第三膠層上。之後，進行一第一壓合步驟，且壓合溫度高於 160°C，壓合第一疊加單元與核心單

元，使第四膠層接合至第一導電層。

【0008】 在本申請之一實施例中，在第一壓合步驟之前更包括提供一第二疊加單元，其包括一第三聚亞醯胺層、一第五膠層、一第六膠層與一第四導電層。第五與第六膠層分別配置於第三聚亞醯胺層之一第五與一第六表面上。第六膠層外露且面向第二導電層，且第四導電層配置於第五膠層上。此外，在進行第一壓合步驟的過程中，同時壓合第一疊加單元、第二疊加單元以及核心單元，使第四膠層接合至第一導電層，並且使第六膠層接合至第二導電層。

【0009】 在本申請之一實施例中，在第一壓合步驟之後還可包括分別形成一第一與一第二鍍層於第三與第四導電層上。

【0010】 在本申請之一實施例中，在該第一壓合步驟之後，此製程更包括提供另一第一疊加單元，此另一第一疊加單元的第四膠層外露，且面向前一第一疊加單元的第三導電層。提供另一第二疊加單元，此另一第二疊加單元的第六膠層外露，且面向前一第二疊加單元的第四導電層。然後，進行一第二壓合步驟，且壓合溫度高於 160°C，壓合所有的第一疊加單元、第二疊加單元與核心單元，使另一第一疊加單元的第四膠層接合至前一第一疊加單元的第三導電層與另一第二疊加單元的第六膠層至前一第二疊加單元的第四導電層。

【0011】 在本申請之一實施例中，在第二壓合步驟之後還可包括分別形成一第一與一第二鍍層於最外層的第三與第四導電層

上。

【0012】 在本申請之一實施例中，第一壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0013】 在本申請之一實施例中，第二壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0014】 本申請提供一種線路板，具有良好的製程溫度耐受性，可相容於現有印刷電路板的製程設備，並且具有較薄的厚度。

【0015】 此線路板包括一核心單元以及一第一疊加單元。核心單元包括一第一聚亞醯胺層、一第一膠層、一第二膠層、一第一導電層與一第二導電層。第一與第二膠層分別配置於第一聚亞醯胺層之一第一與一第二表面上。第一與第二導電層分別配置於第一與第二膠層上。第一疊加單元包括一第二聚亞醯胺層、一第三膠層、一第四膠層與一第三導電層。第二聚亞醯胺層具有一第三及一第四表面。第三與第四膠層分別配置於第二聚亞醯胺層之第三與第四表面上。第四膠層接合至該第一導電層。第三導電層配置於第三膠層上。第一、第二、第三與第四膠層的玻璃轉化溫度大約介於 140°C 至 160°C 之間。

【0016】 在本申請的一實施例中，所述之線路板更包括一第二疊加單元，其包括一第三聚亞醯胺層、一第五膠層、一第六膠層以及一第四導電層。第五與第六膠層分別配置於第三聚亞醯胺層之一第五與一第六表面上。第六膠層接合至第二導電層。第四導電層配置於第五膠層上。第五與第六膠層的玻璃轉化溫度大約介於



140°C 至 160°C 之間。

【0017】 在本申請的一實施例中，前述線路板還可包括一第一與一第二鍍罩層分別位於第三與第四導電層上

【0018】 在本申請的一實施例中，前述之線路板更包括至少另一第一疊加單元與至少另一第二疊加單元分別位於核心單元的第一側與第二側。另一第一疊加單元的第四膠層接合至前一第一疊加單元的第三導電層，且另一第二疊加單元的第六膠層接合至前一第二疊加單元的第四導電層。

【0019】 在本申請的一實施例中，前述線路板還可包括一第一與一第二鍍罩層分別位於最外層的第三與第四導電層上。

【0020】 在本申請的一實施例中，所述線路板之第一、第二、第三與第四膠層的介電常數大約小於 3。

【0021】 在本申請的一實施例中，所述線路板之第五與第六膠層的介電常數大約小於 3。

【0022】 本申請更提供一種線路板，其為具有良好可撓性與製程溫度耐受性的軟硬複合板，可相容於現有印刷電路板的製程設備。另外，此軟硬複合板具有遠較傳統之軟硬複合板更薄的厚度。

【0023】 此線路板包括一第一核心單元、一第二核心單元、一第三核心單元、一第七膠層、一第八膠層、一第一疊加單元以及一第二疊加單元。第一核心單元包括一第一聚亞醯胺層、一第一膠層、一第二膠層、一第一導電層以及一第二導電層。第一與第二膠層分別配置於第一聚亞醯胺層之一第一與一第二表面上。第一

與第二導電層分別配置於第一與第二膠層上。

【0024】 第二核心單元位於第一核心單元的一第一側。第二核心單元包括一第二聚亞醯胺層、一第三膠層、一第四膠層、一第三導電層以及一第四導電層。第三與第四膠層分別配置於第二聚亞醯胺層之一第三與一第四表面上。第三與第四導電層分別配置於第三與第四膠層上，而第四導電層面向第一導電層。

【0025】 第三核心單元位於第一核心單元的一第二側。第三核心單元包括一第三聚亞醯胺層、一第五膠層、一第六膠層、一第五導電層以及一第六導電層。第五與第六膠層分別配置於第二聚亞醯胺層之一第五與一第六表面上。第五與第六導電層分別配置於第五與第六膠層上，第六導電層面向第二導電層。

【0026】 此外，第七膠層配置於第一與第二核心單元之間，第四導電層藉由第七膠層接合至第一導電層。第八膠層配置於第一與第三核心單元之間，第六導電層藉由第八膠層接合至第二導電層。

【0027】 第一疊加單元位於第一核心單元的第一側，且第一疊加單元包括一第四聚亞醯胺層、一第九膠層、一第十膠層與一第七導電層。第九與第十膠層分別配置於第四聚亞醯胺層之一第七與一第八表面上。第十膠層接合至第三導電層，而第七導電層配置於第九膠層上。

【0028】 第二疊加單元位於第一核心單元的第二側，且第二疊加單元包括一第五聚亞醯胺層、一第十一膠層、一第十二膠層及一第八導電層。第十一與第十二膠層分別配置於第五聚亞醯胺層之

一第九與一第十表面上。第十二膠層接合至第三核心單元的第五導電層，而第八導電層配置於第十一膠層上。

【0029】 在本申請之一實施例中，所述線路板更包括一第一與一第二鍍層分別位於第七與第八導電層上。

【0030】 在本申請之一實施例中，所述線路板具有一第一區域，且第一區域內的一部分的第一疊加單元被移除，使第一疊加單元與第三導電層共同暴露第一區域內的一部份的第三膠層。

● 【0031】 在本申請之一實施例中，前述線路板之第一區域內的一部分的第二疊加單元被移除，使第二疊加單元與第五導電層共同暴露第一區域內的一部份的第五膠層。此外，線路板在第一區域內具有一厚度，此厚度小於線路板在其他區域的厚度。

● 【0032】 在本申請之一實施例中，所述線路板之第一區域內的一部分的第七膠層被移除，且被移除的部分的第七膠層對應於第一導電層的多個導電端子。第一區域內的一部份的第二核心單元被

● 移除，以暴露前述導電端子。

【0033】 在本申請之一實施例中，所述線路板之第一、第二、第三、第四、第五、第六、第七、第八、第九、第十、第十一與第十二膠層的介電常數大約小於 3。

【0034】 為讓本申請之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

**【0035】**

圖 1A~1C 分別繪示依照本申請之一實施例的多種構造單元。

圖 2 繪示依照本申請之一實施例的線路板的製作方法。

圖 3A~3F 繪示依照本申請之一實施例的四層線路板製程。

圖 4A~4I 繪示依照本申請之一實施例的六層線路板製程。

圖 5A~5I 繪示依照本申請之一實施例的線路板製程。

**【實施方式】**

**【0036】** 本申請提出的技術方案包含了單層線路板、多層線路板、軟硬複合板，及用以形成前述多種類型之線路板的構造單元與製作方法。下文以構造單元的角度出發，輔以多個實施例，來介紹本申請用以形成各類型線路板的技術方案。

**【0037】** 圖 1A~1C 分別繪示依照本申請之一實施例的多種構造單元。在此，為便於後續製程步驟之描述，將圖 1A~1C 的構造單元分別稱為核心單元、疊加單元以及接合單元。

**【0038】** 首先，如圖 1A 所示之核心單元 110 包括聚亞醯胺層 112(polyimide, PI)、第一膠層 113、第二膠層 114、第一導電層 115 與第二導電層 116。第一膠層 113 與第二膠層 114 分別位於聚亞醯胺層 112 之第一表面 112a 與第二表面 112b 上。第一導電層 115 位於第一膠層 113 上。第二導電層 116 位於第二膠層 114 上。

**【0039】** 此外，圖 1B 所示之疊加單元 120 包括聚亞醯胺層 122、第一膠層 123、第二膠層 124、導電層 126 與離型層 128。聚亞醯

胺層 122 具有第一表面 122a 以及第二表面 122b。第一膠層 123 與第二膠層 124 分別位於聚亞醯胺層 122 之第一表面 122a 與第二表面 122b 上。導電層 126 位於第一膠層 123 上。離型層 128 位於第二膠層 124 上。

【0040】 另外，如圖 1C 所示，接合單元 130 包括聚亞醯胺層 132、第一膠層 133、第二膠層 134、第一基層 135 以及第二基層 136。第一膠層 133 與第二膠層 134 分別位於聚亞醯胺層 132 之第一表面 132a 與第二表面 132b 上。第一基層 135 位於第一膠層 133 上。第二基層 136 位於第二膠層 134 上。

【0041】 此外，前述第一膠層 113、123、133 以及第二膠層 114、124、134 例如具有相同的材料組成，其介電常數小於 3，例如是介於 2.6-2.8 之間。其中，介電常數乃是依照 IPC TM650-2.5.5.9 在 1GHz 下所進行的量測。同時，為了適應後續進行的高溫壓合步驟，第一膠層 113、123、133 以及第二膠層 114、124、134 的玻璃轉化溫度例如是介於 140°C 至 160°C 之間。依據本技術領域中具有通常知識者的理解，此處的「玻璃轉移溫度」(Glass transition temperature,  $T_g$ ) 當可被視為轉移溫度(Transition temperature)的一種。即，當聚合物(如第一膠層 113、123、133 以及第二膠層 114、124、134)在玻璃轉移溫度時，會由較高溫所呈現的橡膠態，轉至低溫所呈現出似玻璃又硬且易脆的性質。舉例而言，結晶性塑料具有明顯的玻璃轉移溫度及潛熱值，而聚合物會呈現塑膠態或橡膠狀態全視玻璃轉移溫度與當時使用時的溫度而定。換言之，在

此選用玻璃轉化溫度例如是大於或等於介於 140°C 至 160°C 之間的膠層，可以承受後續溫度至少在 160°C 以上的高溫壓合步驟。

【0042】 甚至，本實施例還可以進一步選用玻璃轉化溫度介於 140°C 至 160°C 之間的聚合物來做為前述第一膠層 113、123、133 以及第二膠層 114、124、134 的材料，如此更可確保更高溫度(例如是介於 160°C 至 200°C 之間)之壓合步驟的順利進行。由於印刷電路板之高溫壓合步驟的製程溫度約在 160°C 上下，因此若採用玻璃轉化溫度介於 140°C 至 160°C 之間的第一膠層 113、123、133 以及第二膠層 114、124、134，將可確保本實施例之壓合步驟相容於已知印刷電路板之高溫壓合製程與設備，不須開發新的製程設備，可避免成本的增加。

【0043】 以下就本實施例以及各實施例中壓合步驟進行定義。更詳細而言，傳統軟性電路板使用快速壓合製程，乃是採用滾筒(Roll to Roll)設備。相較於快速壓合製程，本實施例以及後續各實施例之壓合步驟乃是採用現有的印刷電路板(也就是硬板)之高溫壓合製程與設備，也就是單片式製程。因此，兩者的製程參數以及製程設備並不相同。就製程參數而言，本實施例以及後續各實施例之壓合步驟中的壓合時間大於傳統軟板所使用的快速壓合製程的壓合時間，而兩者大約相差一個級數(order)以上。其次，本實施例以及後續各實施例之壓合步驟中的壓合溫度也大於傳統軟板所使用的快速壓合製程的壓合溫度。

【0044】 在現有已知的材料中，第一膠層 113、123、133 以及第

二膠層 114、124、134 例如可以選用律勝科技股份有限公司 (Microcosm Technology Co. Ltd) 所提供的型號為 PE-25F38 的產品。此產品可提供玻璃轉化溫度介於 140°C ~160°C 之間，且介電常數約為 2.6-2.8 的膠材。值得一提的是，傳統軟板所使用的膠材的介電常數通常大於 3。

【0045】當然，前述所舉之實際產品僅是用來證明本實施例之技術方案的可行性，並非用來限制所選用的膠材種類。依據現有技術水平，本技術領域中具有通常知識者當可在參照本申請的揭露之後，選用或開發出具有類似之材料性質的膠材，並將其應用於本申請的技術方案。

【0046】另外，依據所述核心單元 110、疊加單元 120 以及接合單元 130 在後續線路板製程中所擔當的角色與功用，所述第一膠層 113、123、133 以及第二膠層 114、124、134 可能呈現固化的 C 階狀態或半固化的 B 階狀態。舉例而言，核心單元 110 的第一膠層 113 以及第二膠層 114 例如皆為固化後的 C 階狀態。疊加單元 120 的第一膠層 123 例如為固化的 C 階狀態，第二膠層 124 例如為半固化的 B 階狀態。接合單元 130 的第一膠層 133 以及第二膠層 134 例如皆為半固化的 B 階狀態。

【0047】此外，第一導電層 115、第二導電層 116 以及導電層 126 的材質例如為銅或其他適用的導電材料。在後續的線路板製程中，第一導電層 115、第二導電層 116 以及導電層 126 例如可被圖案化為線路，或是作為屏蔽層、接地層、電源層等。離型層 128

例如是離型紙等，其可在後續的線路板製程中被移除，以暴露出 B 階狀態的第二膠層 124。第一基層 135 以及第二基層 136 的材質例如是聚對苯二甲酸乙二醇酯(poly ethylene terephthalate, PET)基板或是其他塑料基板，用以支撐聚亞醯胺層 132 以及 B 階狀態的第一膠層 133 以及第二膠層 134。

【0048】 應用前述之核心單元 110、疊加單元 120 以及接合單元 130 可以形成各種類型的線路板。具體而言，如圖 2 所示的製程步驟，本申請可以先挑選核心單元 110、疊加單元 120 以及接合單元 130 中相同種類或不同種類的兩個以上的構造單元(步驟 210)。並且，分別對挑選的構造單元選擇性地進行一前置處理(步驟 220)。之後，進行一或多道壓合步驟(步驟 230)，在溫度例如是介於 160 °C -200 °C 的環境下壓合所挑選的構造單元，以固化 B 階狀態的膠層，例如疊加單元 120 的第二膠層 124，以及接合單元 130 的第一膠層 133 與第二膠層 134。如此，所述多個構造單元可藉由相應的第一膠層 133 或第二膠層 124、134 相互接合。

【0049】 以下藉由多個實施例進一步說明應用前述構造單元與製程步驟所實現的多層線路板及其製程。

【0050】 圖 3A~3F 繪示依照本申請之一實施例的四層線路板製程。

【0051】 首先，如圖 3A 所示，提供一核心單元 310。在此，例如是挑選圖 1A 的核心單元 110 來作為本實施例的核心單元 310。核心單元 310 包括第一聚亞醯胺層 312、第一膠層 313、第二膠層



314、第一導電層 315 以及第二導電層 316。第一膠層 313 與第二膠層 314 分別配置於第一聚亞醯胺層 312 之第一表面 312a 與第二表面 312b 上。第一導電層 315 配置於第一膠層 313 上。第二導電層 316 配置於第二膠層 314 上。

【0052】 在挑選圖 1A 的核心單元 110 來作為本實施例的核心單元 310 之後，還可以選擇對核心單元 310 進行如圖 2 所示之前置處理(步驟 220)。如圖 3B 所示，本實施例可以選擇圖案化第一導電層 315 以及第二導電層 316，以分別形成第一線路層 315a 以及第二線路層 316a。在其他實施例中，也可以選擇不圖案化第一導電層 315 以及第二導電層 316，以作為訊號參考面、電源面或接地面等。

【0053】 另一方面，如圖 3C 所示，分別提供一第一疊加單元 320 以及一第二疊加單元 330 於核心單元 310 的相對兩側。在此，例如是挑選圖 1B 的疊加單元 120 來作為本實施例的第一疊加單元 320 與第二疊加單元 330，其中圖 1B 的疊加單元 120 須經由如圖 2 所示之前置處理(步驟 220)，移除離型層 128，以暴露出第二膠層 124，方能得到本實施例的第一疊加單元 320 與第二疊加單元 330。

【0054】 第一疊加單元 320 包括第二聚亞醯胺層 322、第三膠層 323、第四膠層 324 以及第三導電層 326。第三膠層 323 與第四膠層 324 分別配置於第二聚亞醯胺層 322 之第三表面 322a 與第四表面 322b 上。第四膠層 324 外露並面向第一導電層 315(第一線路層 315a)。第三導電層 326 配置於第三膠層 323 上。

【0055】 第二疊加單元 330 包括第三聚亞醯胺層 332、第五膠層 333、第六膠層 334 以及第四導電層 336。第五膠層 333 與第六膠層 334 分別配置於第五表面 332a 與第六表面 332b 上。且第六膠層 334 外露並面向第二導電層 316(第二線路層 316a)。第四導電層 336 配置於第五膠層 333 上。

【0056】 之後，如圖 3D 所示，進行一壓合步驟，且壓合溫度高於 160°C，壓合第一疊加單元 320、核心單元 310 與第二疊加單元 330，使第四膠層 324 接合至第一導電層 315(第一線路層 315a)，並使第六膠層 334 接合至第二導電層 316(第二線路層 316a)。在此步驟中，第四膠層 324 以及第六膠層 334 會由半固化之 B 階狀態轉變為固化之 C 階狀態。

【0057】 如前述，由於本申請的核心單元、疊加單元以及接合單元中的膠層可耐高溫，因此可確保本實施例之壓合步驟相容於已知印刷電路板之高溫壓合製程與設備，不須開發新的製程設備，可避免成本的增加。具體而言，前述壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0058】 接著，如圖 3E 所示，形成貫穿第一疊加單元 320、核心單元 310 以及第二疊加單元 330 的導電孔道 340，以電性連接第三導電層 326、第一線路層 315a(第一導電層 315)、第二線路層 316a(第二導電層 316)以及第四導電層 336。並且，圖案化第三導電層 326 以及第四導電層 336，以分別形成第三線路層 326a 以及第四線路層 336a。換言之，本實施例所形成的導電孔道 340 是導

通第三線路層 326a、第一線路層 315a、第二線路層 316a 以及第四線路層 336a 等四層線路的鍍通孔。

【0059】 當然，在其他實施例中，也可以藉由調整製程步驟以及線路布局等方式，選擇將導電孔道 340 形成在部分的第一疊加單元 320、核心單元 310 以及第二疊加單元 330 中，以電性連接第三線路層 326a、第一線路層 315a、第二線路層 316a 以及第四線路層 336a 中的至少兩個。例如，將導電孔道 340 形成在第一疊加單元 320 與核心單元 310 中，使其電性連接第三線路層 326a、第一線路層 315a 以及第二線路層 316a。或是，將導電孔道 340 形成在第一疊加單元 320 中，使其電性連接第三線路層 326a 以及第一線路層 315a。

【0060】 接著，如圖 3F 所示，分別形成第一鍍罩層 352 以及第二鍍罩層 354 於第三線路層 326a 以及第四線路層 336a 上。第一鍍罩層 352 具有一或多個開口 352a，以暴露作為對外接點的部分第三線路層 326a。第二鍍罩層 354 具有一或多個開口 354a，以暴露作為對外接點的部分第四線路層 336a。如此，大致完成本實施例之四層線路板 300 的製作。

【0061】 就傳統具有四層線路的軟性電路板而言，傳統四層軟性電路板需要兩次快速壓合製程，其用以壓合最外層的兩線路層以及保護膜(cover layer)，其中保護膜例如是 PET 基板。然而，本實施例只需要一次壓合步驟便可形成四層線路板。因此，在製程上較為簡單。

【0062】 圖 4A~4I 繪示依照本申請之一實施例的六層線路板製程。

【0063】 首先，如圖 4A 所示，提供一核心單元 410。在此，例如是挑選圖 1A 的核心單元 110 來作為本實施例的核心單元 410。核心單元 410 包括第一聚亞醯胺層 412、第一膠層 413、第二膠層 414、第一導電層 415 與第二導電層 416。第一膠層 413 與第二膠層 414 分別配置於第一聚亞醯胺層 412 之第一表面 412a 與第二表面 412b 上。第一導電層 415 配置於第一膠層 413 上。第二導電層 416 配置於第二膠層 414 上。

【0064】 在挑選圖 1A 的核心單元 110 來作為本實施例的核心單元 410 之後，還可以選擇對核心單元 410 進行如圖 2 所示之前置處理 (步驟 220)。如圖 4B 所示，本實施例可以選擇圖案化第一導電層 415 以及第二導電層 416，以分別形成第一線路層 415a 以及第二線路層 416a。在其他實施例中，也可以選擇不圖案化第一導電層 415 以及第二導電層 416，以作為訊號參考面、電源面或接地面等。

【0065】 另一方面，如圖 4C 所示，分別提供一第一疊加單元 420 以及一第二疊加單元 430 於核心單元 410 的相對兩側。在此，例如是挑選圖 1B 的疊加單元 120 來作為本實施例的第一疊加單元 420 與第二疊加單元 430，其中圖 1B 的疊加單元 120 須經由如圖 2 所示之前置處理 (步驟 220)，移除離型層 128，以暴露出第二膠層 124，方能得到本實施例的第一疊加單元 420 與第二疊加單元 430。

【0066】 第一疊加單元 420 包括第二聚亞醯胺層 422、第三膠層

423、第四膠層 424 與第三導電層 426。第三膠層 423 與第四膠層 424 分別配置於第二聚亞醯胺層 422 之第三表面 422a 與第四表面 422b 上。第四膠層 424 外露並面向第一導電層 415(第一線路層 415a)。第三導電層 426 配置於第三膠層 423 上。

【0067】 第二疊加單元 430 包括第三聚亞醯胺層 432、第五膠層 433、第六膠層 434 以及第四導電層 436。第五膠層 433 與第六膠層 434 分別配置於第五表面 432a 與第六表面 432b 上。第六膠層 434 外露並面向第二導電層 416(第二線路層 416a)。第四導電層 436 配置於第五膠層 433 上。

【0068】 之後，如圖 4D 所示，進行一第一壓合步驟，且壓合溫度高於 160°C，壓合第一疊加單元 420、核心單元 410 與第二疊加單元 430，使第四膠層 424 接合至第一導電層 415(第一線路層 415a)，並使第六膠層 434 接合至第二導電層 416(第二線路層 416a)。在此步驟中，第四膠層 424 以及第六膠層 434 會由半固化之 B 階狀態轉變為固化之 C 階狀態。具體而言，前述壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0069】 接著，如圖 4E 所示，本實施例可以選擇圖案化第三導電層 426 以及第四導電層 436，以分別形成第三線路層 426a 與第四線路層 436a。

【0070】 然後，如圖 4F 所示，提供另一第一疊加單元 470 於前一第一疊加單元 420 上，並且提供另一第二疊加單元 480 於前一第二疊加單元 430 上。在此，例如是挑選圖 1B 的疊加單元 120 來作

為本實施例的第一疊加單元 470 以及第二疊加單元 480，其中圖 1B 的疊加單元 120 同樣須經由如圖 2 所示之前置處理(步驟 220)，移除離型層 128，以暴露出第二膠層 124，方能得到本實施例的第一疊加單元 470 與第二疊加單元 480。

【0071】 所述第一疊加單元 470 包括第二聚亞醯胺層 472、第三膠層 473、第四膠層 474 與第三導電層 476。第三膠層 473 與第四膠層 474 分別配置於第二聚亞醯胺層 472 之第三表面 472a 與第四表面 472b 上。第四膠層 474 外露並面向第三線路層 426a。第三導電層 476 配置於第三膠層 473 上。

【0072】 所述第二疊加單元 480 包括第三聚亞醯胺層 482、第五膠層 483、第六膠層 484 以及第四導電層 486。第五膠層 483 與第六膠層 484 分別配置於第三聚亞醯胺層 482 之第五表面 482a 與第六表面 482b 上。第六膠層 484 外露並面向前一第二疊加單元 430 的第四線路層 436a。第四導電層 486 配置於第五膠層 483 上。

【0073】 之後，如圖 4G 所示，進行一第二壓合步驟，且壓合溫度高於 160°C，壓合第一疊加單元 470、第一疊加單元 420、核心單元 410、第二疊加單元 430 與第二疊加單元 480，使第四膠層 474 接合至第三導電層 426(第三線路層 426a)，並第六膠層 484 接合至第四導電層 436(第四線路層 436a)。在此步驟中，第四膠層 474 以及第六膠層 484 會由半固化之 B 階狀態轉變為固化之 C 階狀態。具體而言，前述第二壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0074】 接著，如圖 4H 所示，形成貫穿第一疊加單元 470、第一疊加單元 420、核心單元 410、第二疊加單元 430 以及第二疊加單元 480 的導電孔道 440，以電性連接第三導電層 476、第三線路層 426a、第一線路層 415a、第二線路層 416a、第四線路層 436a 以及第四導電層 486。並且，圖案化第三導電層 476 以及第四導電層 486，以分別形成第三線路層 476a 以及第四線路層 486a。換言之，本實施例所形成的導電孔道 440 是導通第三線路層 476a、第三線路層 426a、第一線路層 415a、第二線路層 416a、第四線路層 436a 以及第四線路層 486a 等六層線路的鍍通孔。

【0075】 當然，在其他實施例中，也可以藉由調整製程步驟以及線路布局等方式，選擇將導電孔道 440 形成在部分的第一疊加單元 470、第一疊加單元 420、核心單元 410、第二疊加單元 430 以及第二疊加單元 480 中，以電性連接第三線路層 476a、第三線路層 426a、第一線路層 415a、第二線路層 416a、第四線路層 436a 以及第四線路層 486a 中的至少兩個。例如，將導電孔道 440 形成在第一疊加單元 470、第一疊加單元 420 與核心單元 410 中，使其電性連接第三線路層 476a、第三線路層 426a、第一線路層 415a 以及第二線路層 416a。或是，將導電孔道 440 形成在第一疊加單元 470 與第一疊加單元 420 中，使其電性連接第三線路層 476a、第三線路層 426a 以及第一線路層 415a。

【0076】 接著，如圖 4I 所示，分別形成第一鍍罩層 452 以及第二鍍罩層 454 於第三線路層 476a 以及第四線路層 486a 上。第一鍍

罩層 452 具有一或多個開口 452a，以暴露作為對外接點的部分第三線路層 476a。第二鍍罩層 454 具有一或多個開口 454a，以暴露作為對外接點的部分第四線路層 486a。如此，大致完成本實施例之六層線路板 400 的製作。

【0077】 基於前述多個實施例可知，吾人可以藉由一或多道壓合製程來陸續壓合一或多個圖 1B 的疊加單元至圖 1A 的核心單元 110 的單側或相對兩側，以形成各種多層線路板。因此，本申請並不限於圖 3F 所示的四層線路板 300 以及圖 4I 所示的六層線路板 400。

【0078】 舉例而言，在圖 4G 所示的第二壓合步驟之後，可以分別提供另一第一疊加單元以及另一第二疊加單元於第一疊加單元 470 以及第二疊加單元 480 上，並且壓合溫度高於 160°C 下進行另一道壓合步驟，使此新增的第一疊加單元接合至前一第一疊加單元 470 上，並使新增的第二疊加單元接合至前一第二疊加單元 480 上。此外，還可選擇進行導電層的圖案化，以及導電孔道的製作，以形成八層線路板。

【0079】 另外，也可以反覆進行上述步驟，以形成更多層的偶數層線路板。此處不再贅述。

【0080】 本申請的技術方案更可用於製作類似軟硬複合板的線路板結構。換言之，可應用前述之核心單元 110、疊加單元 120 以及接合單元 130 來形成本實施例的線路板。

【0081】 圖 5A~5I 繪示依照本申請之一實施例的線路板製程。



【0082】 首先，如圖 5A 所示，提供第一核心單元 510、第二核心單元 520 以及第三核心單元 530。在此，例如是挑選圖 1A 的核心單元 110 來作為本實施例的第一核心單元 510、第二核心單元 520 以及第三核心單元 530。第二核心單元 520 與第三核心單元 530 分別位於第一核心單元 510 的兩側。

【0083】 第一核心單元 510 包括第一聚亞醯胺層 512、第一膠層 513、第二膠層 514、第一導電層 515 與第二導電層 516。第一膠層 513 與第二膠層 514 分別配置於第一表面 512a 與第二表面 512b 上。第一導電層 515 配置於第一膠層 513 上。第二導電層 516 配置於第二膠層 514 上。

【0084】 第二核心單元 520 包括第二聚亞醯胺層 522、第三膠層 523、第四膠層 524、第三導電層 525 與第四導電層 526。第三膠層 523 與第四膠層 524 分別配置於第二聚亞醯胺層 522 之第三表面 522a 與第四表面 522b 上。第三導電層 525 配置於第三膠層 523 上。第四導電層 526 配置於第四膠層 524 上，並面向第一導電層 515。

【0085】 第三核心單元 530 包括第三聚亞醯胺層 532、第五膠層 533、第六膠層 534、第五導電層 535 與第六導電層 536。第五膠層 533 與第六膠層 534 分別配置於第五表面 532a 與第六表面 532b 上。第五導電層 535 配置於第五膠層 533 上。第六導電層 536 配置於第六膠層 534 上，並面向第二導電層 516。

【0086】 在挑選圖 1A 的核心單元 110 來作為本實施例的第一核心

單元 510、第二核心單元 520 以及第三核心單元 530 之後，還可以選擇對第一核心單元 510、第二核心單元 520 以及第三核心單元 530 進行如圖 2 所示之前置處理(步驟 220)。本實施例可以選擇圖案化第一核心單元 510 的第一導電層 515 以及第二導電層 516，以分別形成第一線路層 515a 以及第二線路層 516a。同時，形成第一導電孔道 592 於第一核心單元 510 中，以電性連接第一線路層 515a(第一導電層 515)以及第二線路層 516a(第二導電層 516)。此外，也可以選擇圖案化第二核心單元 520 的第四導電層 526 以及第三核心單元 530 的第六導電層 536，以分別形成屏蔽圖案 526a 以及 536a。當然，在其他實施例中，也可以選擇圖案化或不圖案化各核心單元的導電層，使其作為線路層、訊號參考面、電源面或接地面等不同的元件。

**【0087】** 接著，如圖 5C 所示，提供第七膠層 542 於第一核心單元 510 與第二核心單元 520 之間，並且提供第八膠層 544 於第一核心單元 510 與第三核心單元 530 之間。在此，第七膠層 542 以及第八膠層 544 為半固化之 B 階狀態，其材質例如與前述第一膠層 513、第二膠層 514、第三膠層 523、第四膠層 524、第五膠層 533 以及第六膠層 534 等相同，此處不再贅述。

**【0088】** 然後，如圖 5D 所示，進行第一壓合步驟，壓合溫度高於 160°C，壓合第一核心單元 510、第二核心單元 520 與第三核心單元 530，使第四導電層 526 藉由第七膠層 542 接合至第一導電層 515，並且使第六導電層 536 藉由第八膠層 544 接合至第二導電層

516。在此步驟中，第七膠層 542 以及第八膠層 544 會由半固化之 B 階狀態轉變為固化之 C 階狀態。具體而言，本實施例之第一壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

● **【0089】** 接著，如圖 5E 所示，本實施例可以選擇圖案化第二核心單元 520 的第三導電層 525 以及第三核心單元 530 的第五導電層 535。在此，例如是移除第一區域 A1 內的第三導電層 525 以及第五導電層 535，並且使其餘的第三導電層 525 以及第五導電層 535 分別形成第三線路層 525a 以及第五線路層 535a。

● **【0090】** 然後，如圖 5F 所示，分別提供第一疊加單元 550 以及第二疊加單元 560 於第一核心單元 510 的相對兩側。在此，例如是挑選圖 1B 的疊加單元 120 來作為本實施例的第一疊加單元 550 與第二疊加單元 560，其中圖 1B 的疊加單元 120 須經由如圖 2 所示之前置處理(步驟 220)，移除離型層 128，以暴露出第二膠層 124，方能得到本實施例的第一疊加單元 550 與第二疊加單元 560。

● **【0091】** 第一疊加單元 550 包括第四聚亞醯胺層 552、第九膠層 553、第十膠層 554 以及第七導電層 556。第九膠層 553 與第十膠層 554 分別配置於第四聚亞醯胺層 552 之第七表面 552a 與第八表面 552b 上。第十膠層 554 外露並面向第三導電層 525。第七導電層 556 配置於第九膠層 553。

**【0092】** 第二疊加單元 560 包括第五聚亞醯胺層 562、第十一膠層 563、第十二膠層 564 與第八導電層 566。第十一膠層 563 與第十二膠層 564 分別配置於第五聚亞醯胺層 562 之第九表面 562a 與第

十表面 562b 上。第十二膠層 564 外露並面向第五導電層 535。第八導電層 566 配置於第十一膠層 563 上。

【0093】 接著，如圖 5G 所示，進行第二壓合步驟，且壓合溫度高於 160°C，壓合第一疊加單元 550、第二疊加單元 560、第一核心單元 510、第二核心單元 520 與第三核心單元 530，使第十膠層 554 接合至第三導電層 525，並且使第十二膠層 564 接合至第五導電層 535。在此步驟中，第十膠層 554 以及第十二膠層 564 會由半固化之 B 階狀態轉變為固化之 C 階狀態。

【0094】 在本實施例中，可在此第二壓合步驟之前移除第一區域 A1 內的第一疊加單元 550，使第一疊加單元 550 在被壓合至第二核心單元 520 之後與第三導電層 525 共同暴露第一區域 A1 內的第三膠層 523。此外，可在此第二壓合步驟之前移除第一區域 A1 內的第二疊加單元 560，使第二疊加單元 560 在被壓合至第三核心單元 530 之後與第五導電層 535 共同暴露第一區域 A1 內的第五膠層 533。具體而言，本實施例之第二壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

【0095】 然後，如圖 5H 所示，本實施例可以選擇圖案化第一疊加單元 550 的第七導電層 556 以及第二疊加單元 560 的第八導電層 566，以分別形成第七線路層 556a 以及第八線路層 566a。此外，本實施例也可以同時形成第二導電孔道 594 於至少部分的第一疊加單元 550、第二核心單元 520、第一核心單元 510、第三核心單元 530 以及第二疊加單元 560 中，以電性連接第七導電層 556、第

三導電層 525、第四導電層 526、第一導電層 515、第二導電層 516、第六導電層 536、第五導電層 535 以及第八導電層 566 中的至少兩個。在此，例如是讓第二導電孔道 594 貫穿第一疊加單元 550、第二核心單元 520、第一核心單元 510、第三核心單元 530 以及第二疊加單元 560，以電性連接第七導電層 556、第三導電層 525、第四導電層 526、第一導電層 515、第二導電層 516、第六導電層 536、第五導電層 535 以及第八導電層 566。

● **【0096】** 此外，本實施例更選擇以例如雷射切割的方式移除第一區域 A1 內的部份的第二核心單元 520 以及部份的第七膠層 542，以暴露部分的第一導電層 515a，作為多個導電端子 T。當然，吾人也可以選擇在圖 13D 的第一壓合步驟之前就移除第一區域 A1 內的第七膠層 542。本申請並不限制移除第七膠層 542 的時間點。

**【0097】** 之後，如圖 5I 所示，形成第一鍍罩層 572 於第七導電層 556(第七線路層 556a)上，並且形成第二鍍罩層 574 於第八導電層 566(第八線路層 566a)上。第一鍍罩層 572 具有一或多個開口 572a，以暴露作為對外接點的部分第七線路層 556a。第二鍍罩層 574 具有一或多個開口 574a，以暴露作為對外接點的部分第八線路層 566a。

**【0098】** 如此，大致完成線路板 500 的製作。依照本實施例的製程所得到的線路板 500 可以分為厚度較薄的第一區域 A1 以及厚度相對較厚的第二區域 A2。線路板 500 的部分因厚度較薄，可具有如同軟性電路板的可撓曲的性質，並且藉由導電端子 T 對外連

接。另外，線路板 500 的第二區域 A2 的部分的厚度較厚，並且可藉由反覆接合多個疊加單元來形成更多層的線路結構，因此可提供相當於已知印刷線路板的線路布局空間與彈性。換言之，本實施例所提出的線路板同時整合了已知印刷電路板(硬板)以及軟性電路板(軟板)的優點，並且可藉由同一製程完成線路板的製作，因此製程簡單、快速，且可降低製作成本。

**【0099】** 就傳統的六層軟硬板而言，針對軟性電路板部分需要一次快速壓合製程用以壓合保護膜(cover layer)，其中保護膜例如是 PET 基板。針對傳統的印刷電路板的部分，需要兩次壓合製程以形成另外四層線路。

**【0100】** 然而，就本實施例而言，只需要兩次第二壓合步驟便可形成具有六層線路層的線路板。因此，本實施例的製程較為快速與簡單。

**【0101】** 以下就本申請各實施例與傳統印刷電路板進行比較。

線路層數	厚度(mm)	
	傳統印刷電路板	本申請
4	0.51	0.21
10	0.71	0.53
6(軟硬板)	0.45	0.31

表 1:本申請與傳統印刷電路板的比較

**【0102】** 請參考表 1，相較於傳統印刷電路板，本申請所形成的線路板的厚度較薄。更詳細而言，本申請的四層線路板的厚度只有傳統四層印刷電路板的厚度的 41.2%。本申請的十層線路板的厚度

只有傳統十層印刷電路板的厚度的 74.6%。本申請的六層軟硬板的厚度只有傳統六層軟硬板的厚度的 68.9%。

【0103】 相較於傳統印刷電路板採用 FR4 基材，其介電常數較高，本申請採用聚亞醯胺層作為基材並搭配耐高溫的膠材，其介電常數大約小於 3，因此本申請之線路板的電氣特性較佳。

【0104】 雖然本申請已以實施例揭露如上，然其並非用以限定本申請，任何所屬技術領域中具有通常知識者，在不脫離本申請之精神和範圍內，當可作些許之更動與潤飾，故本申請之保護範圍當視後附之申請專利範圍所界定者為準。

### 【符號說明】

#### 【0105】

110、310、410、510、520、530：核心單元

120、320、330、420、430、470、480、550、560：疊加單元

130：接合單元

112、122、132、312、322、332、412、422、432、472、482、512、522、532、552、562：聚亞醯胺層

112a、112b、122a、122b、132a、132b、312a、312b、412a、412b、422a、422b、432a、432b、472a、472b、482a、482b、512a、512b、522a、522b、532a、532b、552a、552b、562a、562b：聚亞醯胺層之表面

113、114、123、124、133、134、313、314、323、324、333、

334、413、414、423、424、433、434、473、474、483、484、513、  
514、523、524、533、534、542、544、553、554、563、564：膠  
層

115、116、126、315、316、326、336、415、416、426、436、  
476、486、515、516、525、526、535、536、556、566：導電層

315a、316a、326a、336a、415a、416a、426a、436a、476a、  
486a、515a、516a、525a、535a、556a、566a：線路層

526a、536a：屏蔽圖案

128：離型層

135、136：基層

210~230：步驟

300：四層線路板

340、440、592、594：導電孔道

352、354、452、454、572、574：鍍罩層

352a、354a、452a、454a、572a、574a：開口

400：六層線路板

A1：第一區域

A2：第二區域

T：導電端子



## 申請專利範圍

1. 一種線路板製程，包括：

提供一核心單元，該核心單元包括：

一第一聚亞醯胺層，具有兩相對之一第一與一第二表面；

一第一膠層，配置於該第一表面上；

一第二膠層，配置於該第二表面上；

一第一導電層，配置於該第一膠層上；以及

一第二導電層，配置於該第二膠層上；

提供一第一疊加單元，且第一疊加單元包括：

一第二聚亞醯胺層，具有兩相對之一第三與一第四表面；

一第三膠層，配置於該第三表面上；

一第四膠層，配置於該第四表面上，並面向該第一導電層；以及

一第三導電層，配置於該第三膠層上；以及

進行一第一壓合步驟，且壓合溫度高於 160°C，壓合該第一疊加單元與該核心單元，使該第一疊加單元的該第四膠層接合至該第一導電層。

2. 如申請專利範圍第 1 項所述之線路板製程，其中在該第一壓合步驟之前，該線路板製程更包括：

提供一第二疊加單元，且該第二疊加單元包括：

一第三聚亞醯胺層，具有兩相對之一第五與一第六表面；

一第五膠層，配置於該第五表面上；

一第六膠層，配置於該第六表面上，並面向該第二導電層；以及

一第四導電層，配置於該第五膠層上，其中

在進行該第一壓合步驟的過程中，同時壓合該第一疊加單元、該第二疊加單元與該核心單元，使該第四膠層接合至該第一導電層，並且使該第六膠層接合至該第二導電層。

3. 如申請專利範圍第 2 項所述之線路板製程，其中在該第一壓合步驟之後，該線路板製程更包括：

形成一第一鍍層於該第三導電層上；以及

形成一第二鍍層於該第四導電層上。

4. 如申請專利範圍第 2 項所述之線路板製程，其中在該第一壓合步驟之後，該線路板製程更包括：

提供另一第一疊加單元，其中該另一第一疊加單元的該第四膠層外露，且面向前一第一疊加單元的該第三導電層；

提供另一第二疊加單元，其中該另一第二疊加單元的該第六膠層外露，且面向前一第二疊加單元的該第四導電層；以及

進行一第二壓合步驟，且壓合溫度高於 160°C，壓合所有的第一疊加單元、第二疊加單元與核心單元，使該另一第一疊加單元的該第四膠層接合至該前一第一疊加單元的該第三導電層與該

另一第二疊加單元的該第六膠層至該前一第二疊加單元的該第四導電層。

5. 如申請專利範圍第 4 項所述之線路板製程，其中在該第二壓合步驟之後，該線路板製程更包括：

形成一第一鍍層於最外層的該第三導電層上；以及

形成一第二鍍層於最外層的該第四導電層上。

6. 如申請專利範圍第 4 項所述之線路板製程，其中該第二壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

7. 如申請專利範圍第 1 項所述之線路板製程，其中該第一壓合步驟的壓合溫度大約介於 160°C 至 200°C 之間。

8. 一種線路板，包括：

一核心單元，包括：

一第一聚亞醯胺層，具有兩相對之一第一與一第二表面；

一第一膠層，配置於該第一表面上；

一第二膠層，配置於該第二表面上；

一第一導電層，配置於該第一膠層上；以及

一第二導電層，配置於該第二膠層上；以及

一第一疊加單元，配置於該核心單元的一第一側，且該第一疊加單元包括：

一第二聚亞醯胺層，具有兩相對之一第三與一第四表面；

一第三膠層，配置於該第三表面上；

一第四膠層，配置於該第四表面上，並接合至該第一導電層；以及

一第三導電層，配置於該第三膠層上，其中該第一、該第二、該第三與該第四膠層的玻璃轉化溫度大約介於 140℃ 至 160℃ 之間。

9. 如申請專利範圍第 8 項所述之線路板，更包括：

一第二疊加單元，位於該核心單元的一第二側，該第二疊加單元包括：

一第三聚亞醯胺層，具有兩相對之一第五與一第六表面；

一第五膠層，配置於該第五表面上；

一第六膠層，配置於該第六表面上，並接合至該第二導電層，其中該第五與該第六膠層的玻璃轉化溫度大約介於 140℃ 至 160℃ 之間；以及

一第四導電層，配置於該第五膠層上。

10. 如申請專利範圍第 9 項所述之線路板，更包括：

一第一鍍罩層，位於該第三導電層上；以及

一第二鍍罩層，位於該第四導電層上。

11. 如申請專利範圍第 9 項所述之線路板，更包括：

至少另一第一疊加單元，位於該核心單元的該第一側，其中該另一第一疊加單元的該第四膠層接合至前一第一疊加單元的該

第三導電層；以及

至少另一第二疊加單元，位於該核心單元的該第二側，其中該另一第二疊加單元的該第六膠層接合至前一第二疊加單元的該第四導電層。

12. 如申請專利範圍第 11 項所述之線路板，更包括：

一第一鍍層，位於最外層的該第三導電層上；以及

一第二鍍層，位於最外層的該第四導電層上。

13. 如申請專利範圍第 9 項所述之線路板，其中該第五與該第六膠層的介電常數大約小於 3。

14. 如申請專利範圍第 8 項所述之線路板，其中該第一、該第二、該第三與該第四膠層的介電常數大約小於 3。

15. 一種線路板，包括：

一第一核心單元，包括：

一第一聚亞醯胺層，具有兩相對之一第一與一第二表面；

一第一膠層，配置於該第一表面上；

一第二膠層，配置於該第二表面上；

一第一導電層，配置於該第一膠層上；以及

一第二導電層，配置於該第二膠層上；

一第二核心單元，位於該第一核心單元的一第一側，該第二核心單元包括：

一第二聚亞醯胺層，具有兩相對之一第三與一第四表

面；

一第三膠層，配置於該第三表面上；

一第四膠層，配置於該第四表面上；

一第三導電層，配置於該第三膠層上；以及

一第四導電層，配置於該第四膠層上，該第四導電層  
面向該第一導電層；

一第三核心單元，位於該第一核心單元的一第二側，該第三  
核心單元包括：

一第三聚亞醯胺層，具有兩相對之一第五與一第六表  
面；

一第五膠層，配置於該第五表面上；

一第六膠層，配置於該第六表面上；

一第五導電層，配置於該第五膠層上；以及

一第六導電層，配置於該第六膠層上，該第六導電層  
面向該第二導電層；

一第七膠層，其中該第四導電層藉由該第七膠層接合至該第  
一導電層；

一第八膠層，其中該第六導電層藉由該第八膠層接合至該第  
二導電層；

一第一疊加單元，位於該第一核心單元的該第一側，該第一  
疊加單元包括：

一第四聚亞醯胺層，具有兩相對之一第七與一第八表

面；

一第九膠層，配置於該第七表面上；

一第十膠層，配置於該第八表面上，該第十膠層接合至該第三導電層；以及

一第七導電層，配置於該第九膠層上；以及

一第二疊加單元，位於該第一核心單元的該第二側，該第二疊加單元包括：

一第五聚亞醯胺層，具有兩相對之一第九與一第十表面；

一第十一膠層，配置於該第九表面上；

一第十二膠層，配置於該第十表面上，該第十二膠層接合至該第五導電層；以及

一第八導電層，配置於該第十一膠層上，其中該第一、該第二、該第三、該第四、該第五、該第六、該第七、該第八、該第九、該第十、該第十一與該第十二膠層的玻璃轉化溫度介於 140°C 至 160°C 之間。

16. 如申請專利範圍第 15 項所述之線路板，更包括：

一第一鍍層，位於該第七導電層上；以及

一第二鍍層，位於該第八導電層上。

17. 如申請專利範圍第 15 項所述之線路板，其中該線路板具有一第一區域，且該第一區域內的一部分的該第一疊加單元被移除，使該第一疊加單元與該第三導電層共同暴露該第一區域內的

一部份的該第三膠層。

18. 如申請專利範圍第 17 項所述之線路板，其中該第一區域內的一部份的該第二疊加單元被移除，使該第二疊加單元與該第五導電層共同暴露該第一區域內的一部份的該第五膠層，且該線路板在該第一區域內具有一厚度，該厚度小於該線路板在其他區域的厚度。

19. 如申請專利範圍第 18 項所述之線路板，其中該第一區域內的一部份的該第七膠層被移除，且被移除的該部分的第七膠層對應於該第一導電層的多個導電端子，其中該第一區域內的一部份的該第二核心單元被移除，以暴露該些導電端子。

20. 如申請專利範圍第 15 項所述之線路板，其中該第一、該第二、該第三、該第四、該第五、該第六、該第七、該第八、該第九、該第十、該第十一與該第十二膠層的介電常數大約小於 3。



圖式

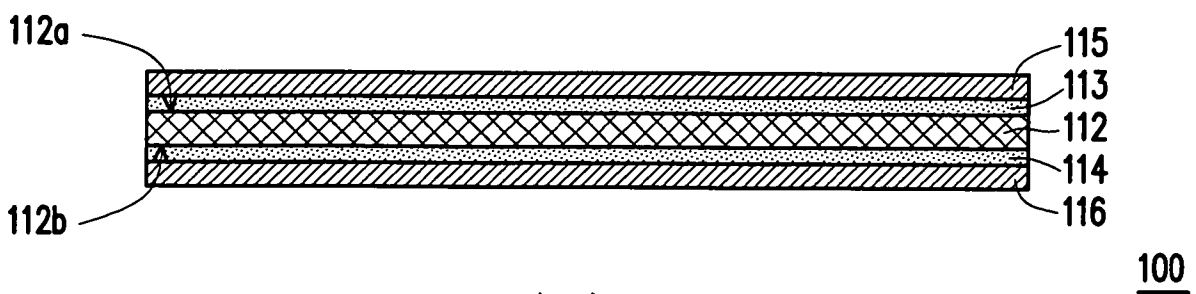


圖 1A

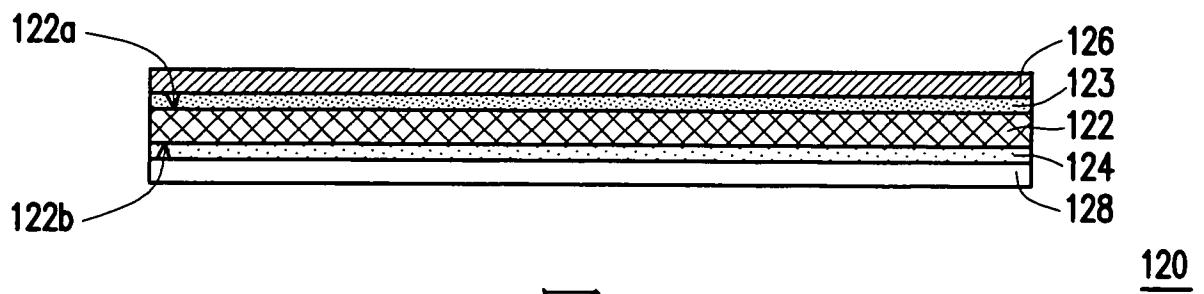


圖 1B

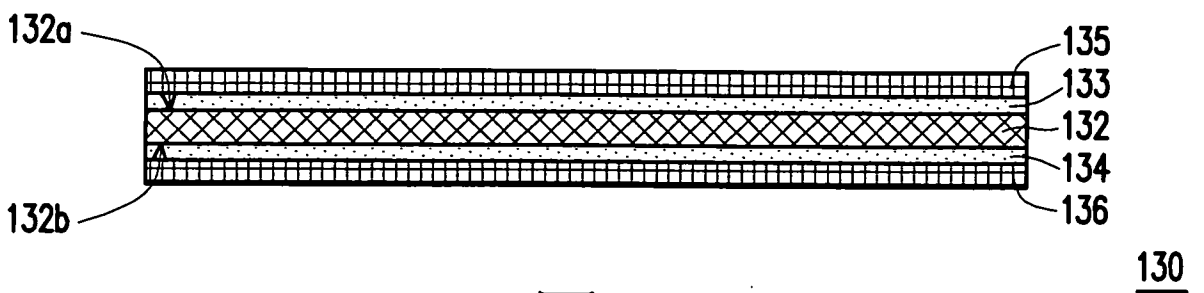


圖 1C

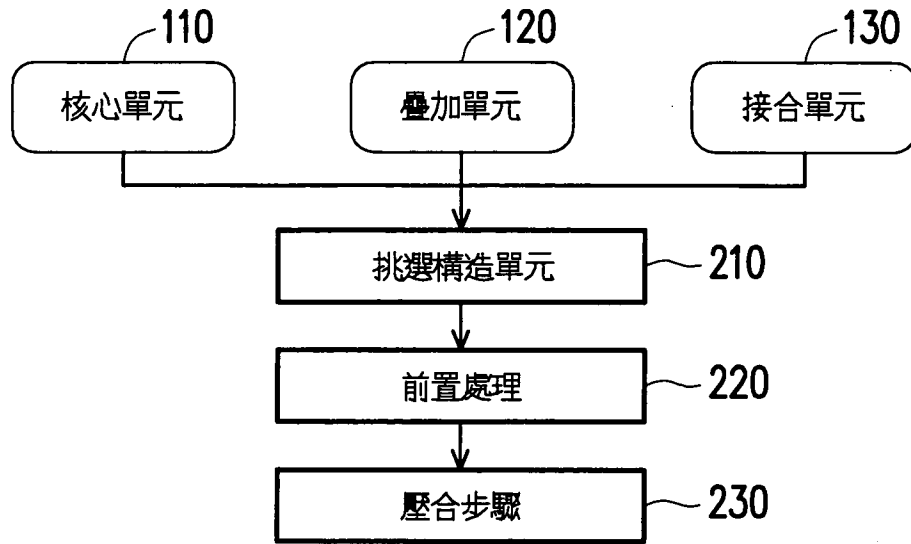


圖 2

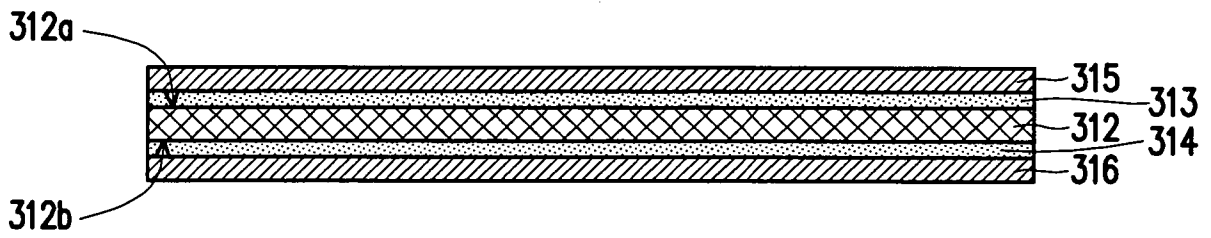


圖 3A

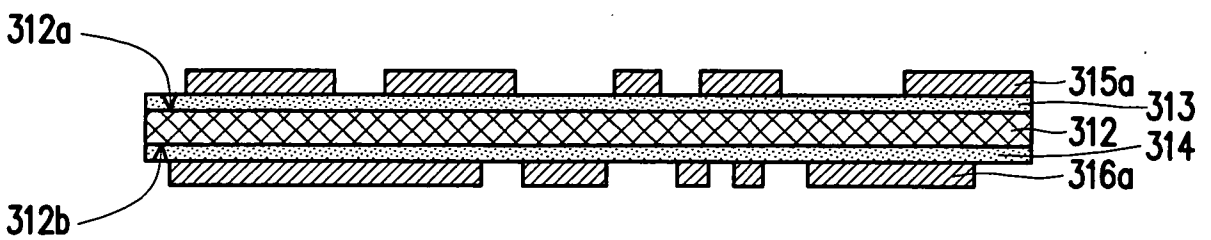


圖 3B

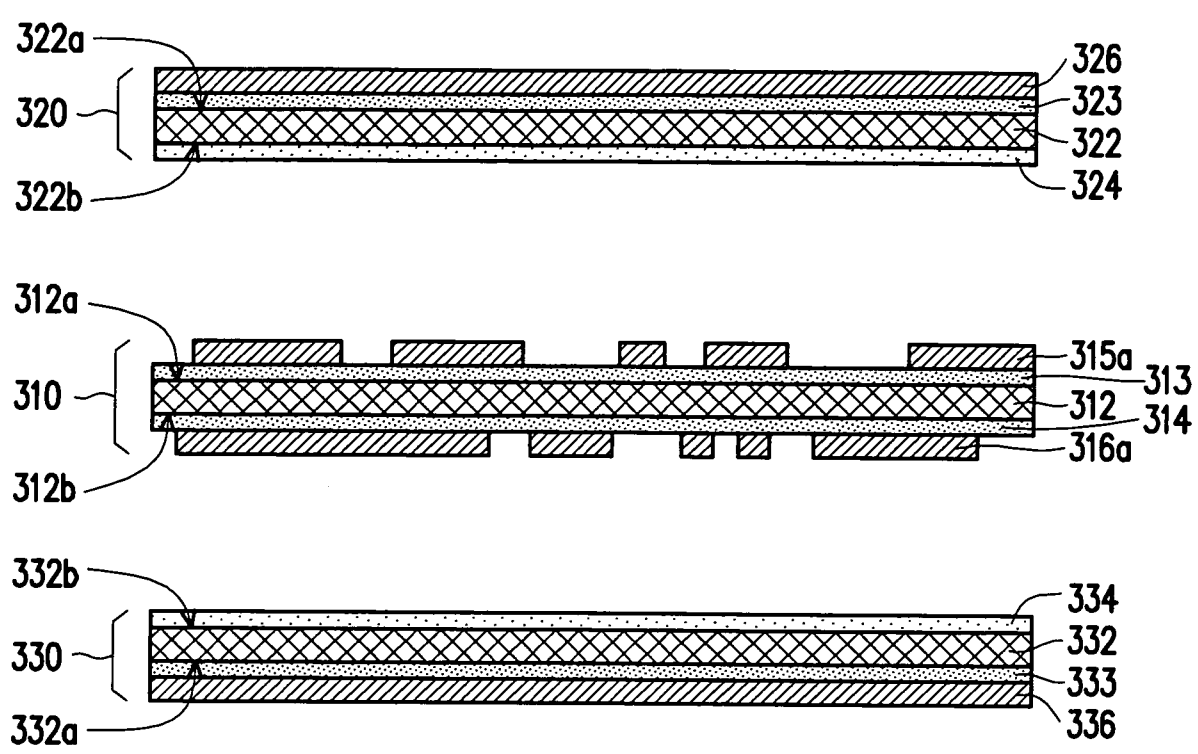


圖 3C

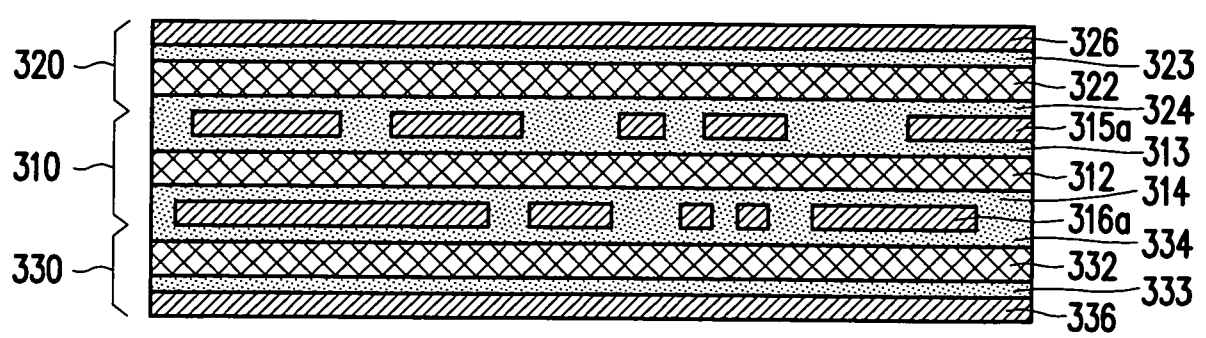


圖 3D

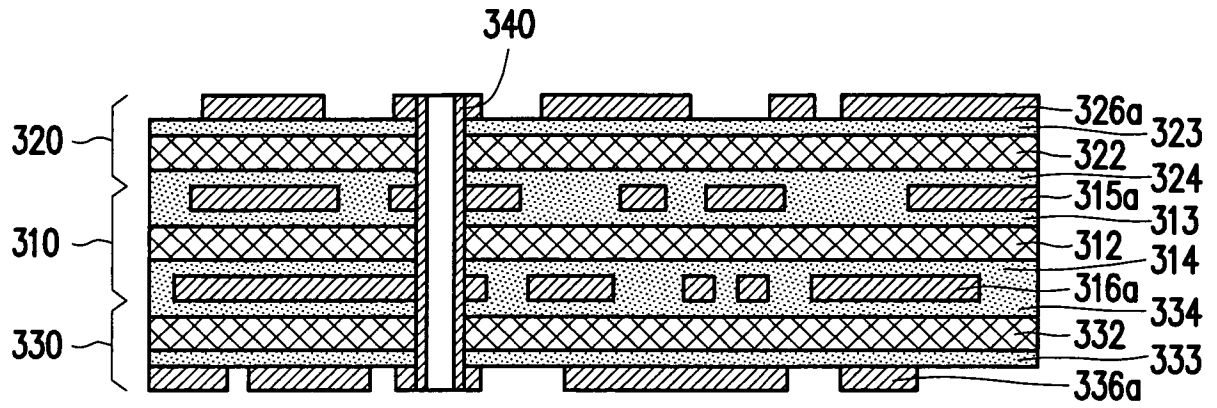


圖 3E

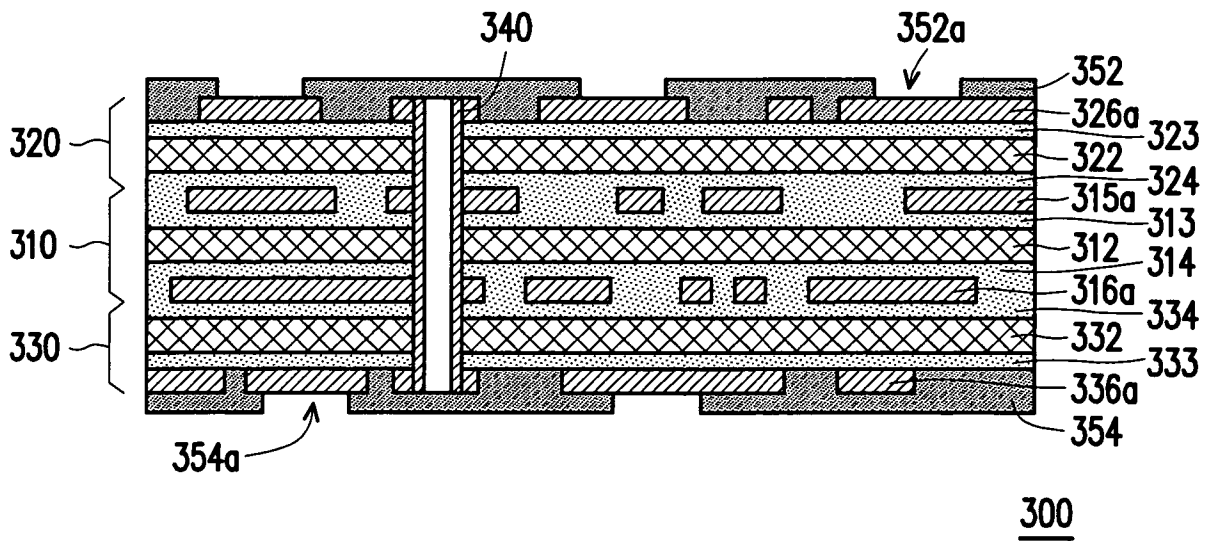


圖 3F

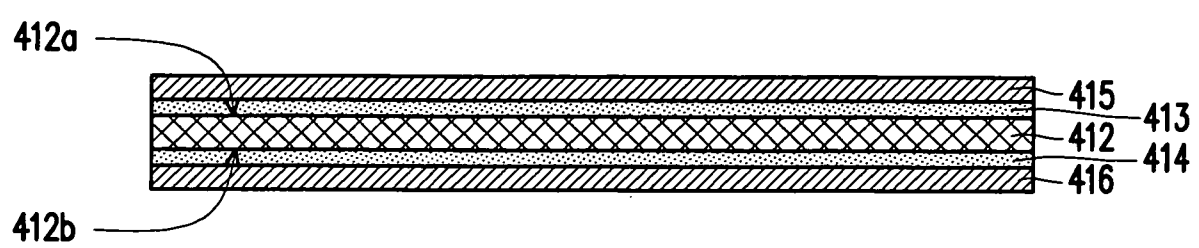


圖 4A

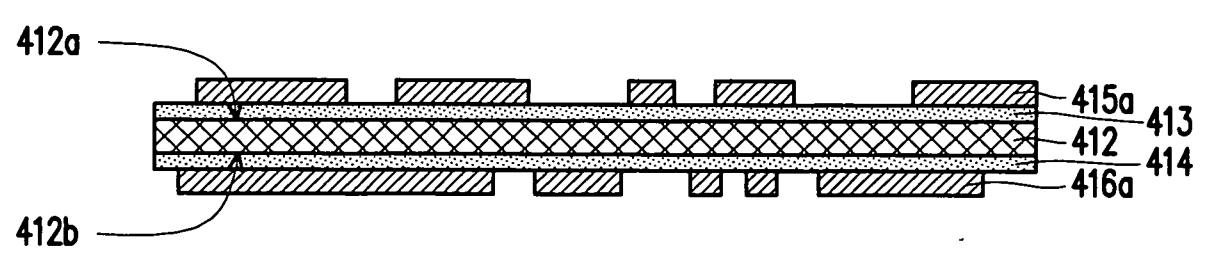


圖 4B

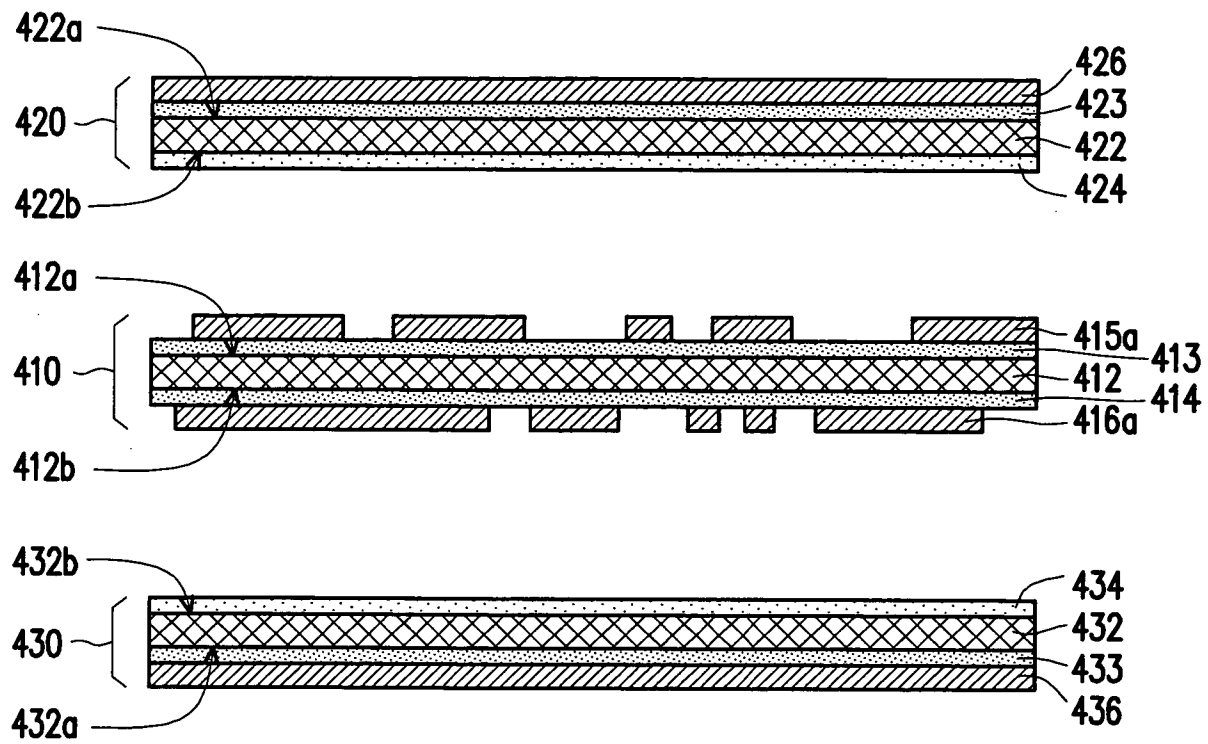


圖 4C

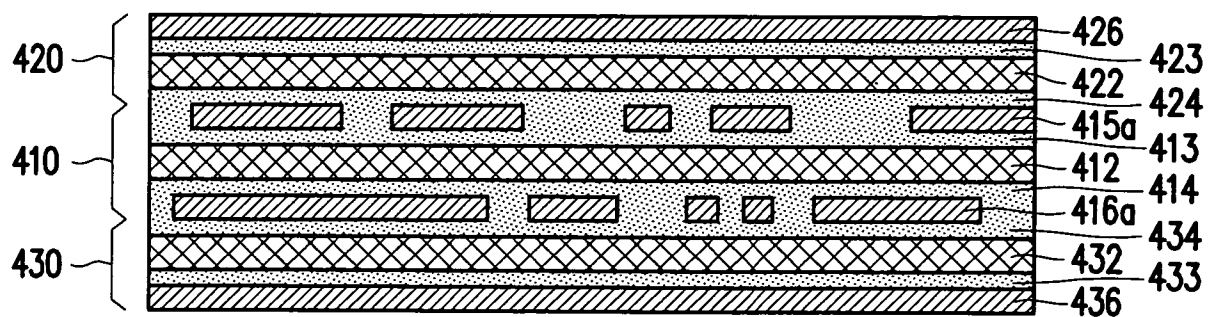


圖 4D

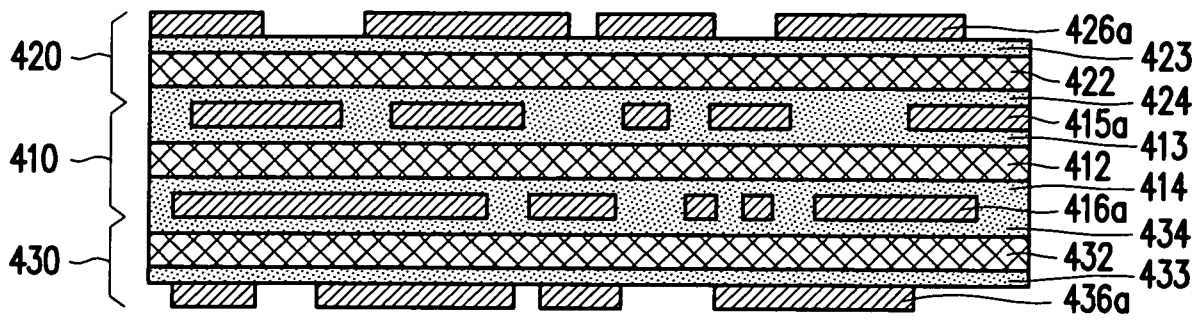


圖 4E

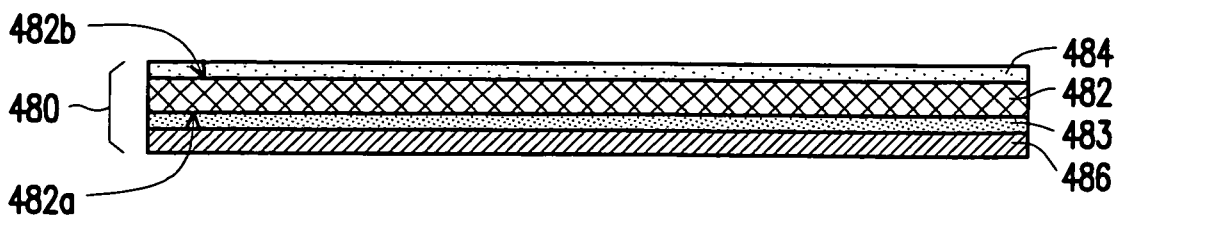
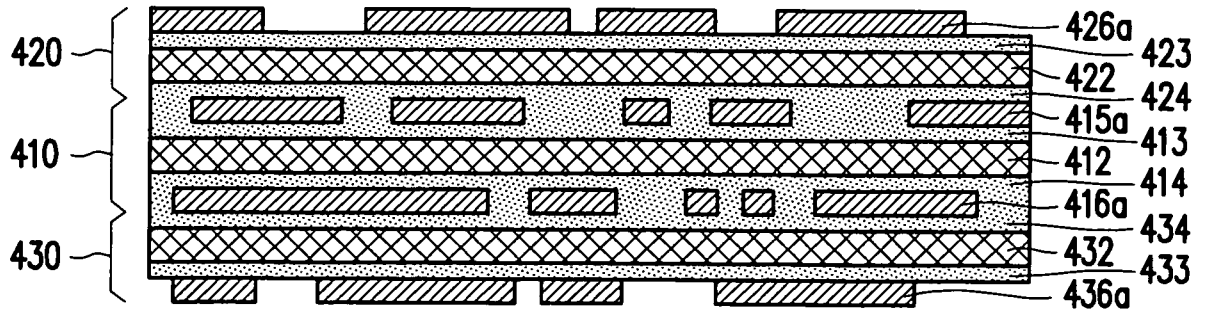
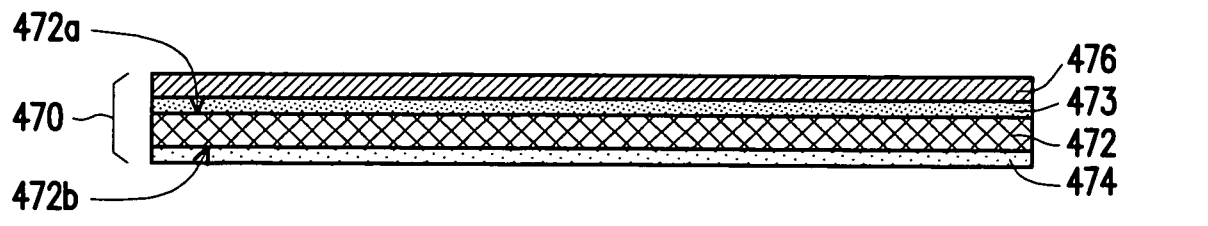


圖 4F

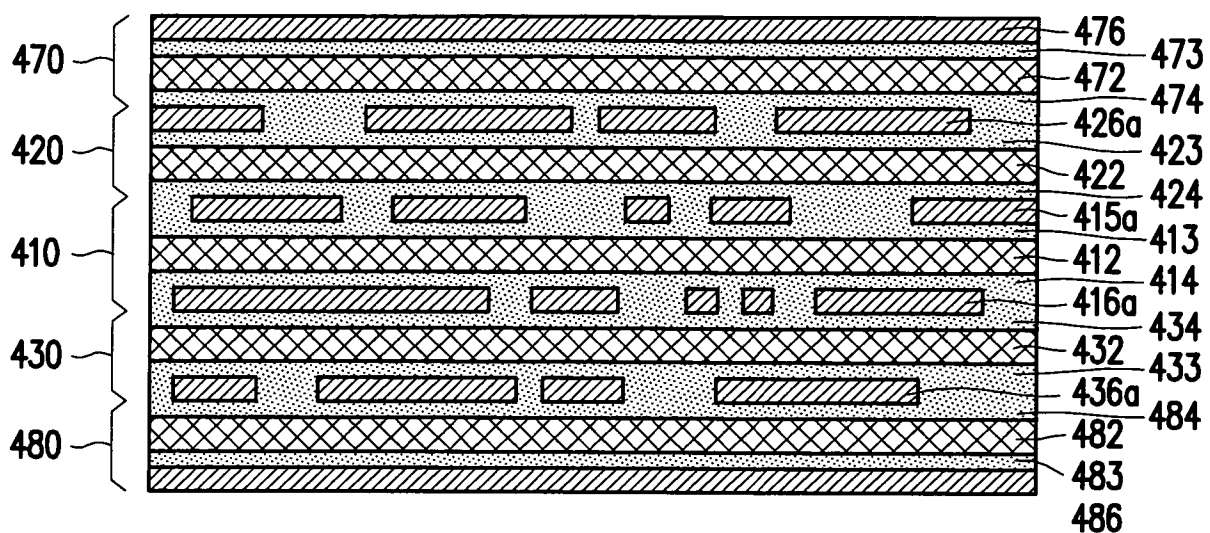


圖 4G

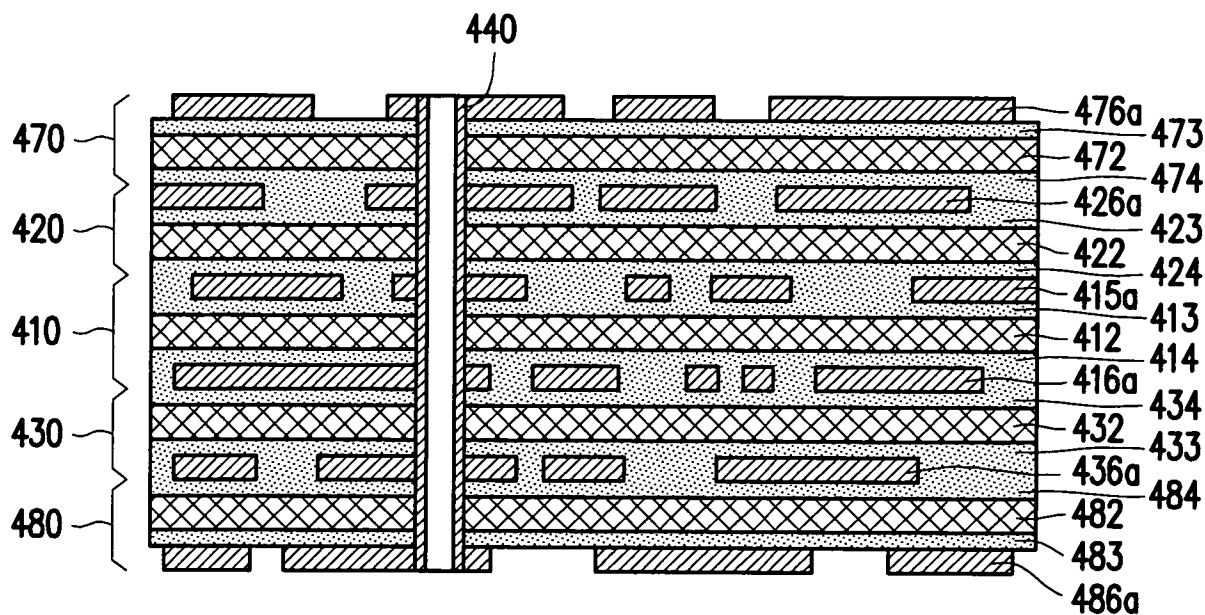


圖 4H



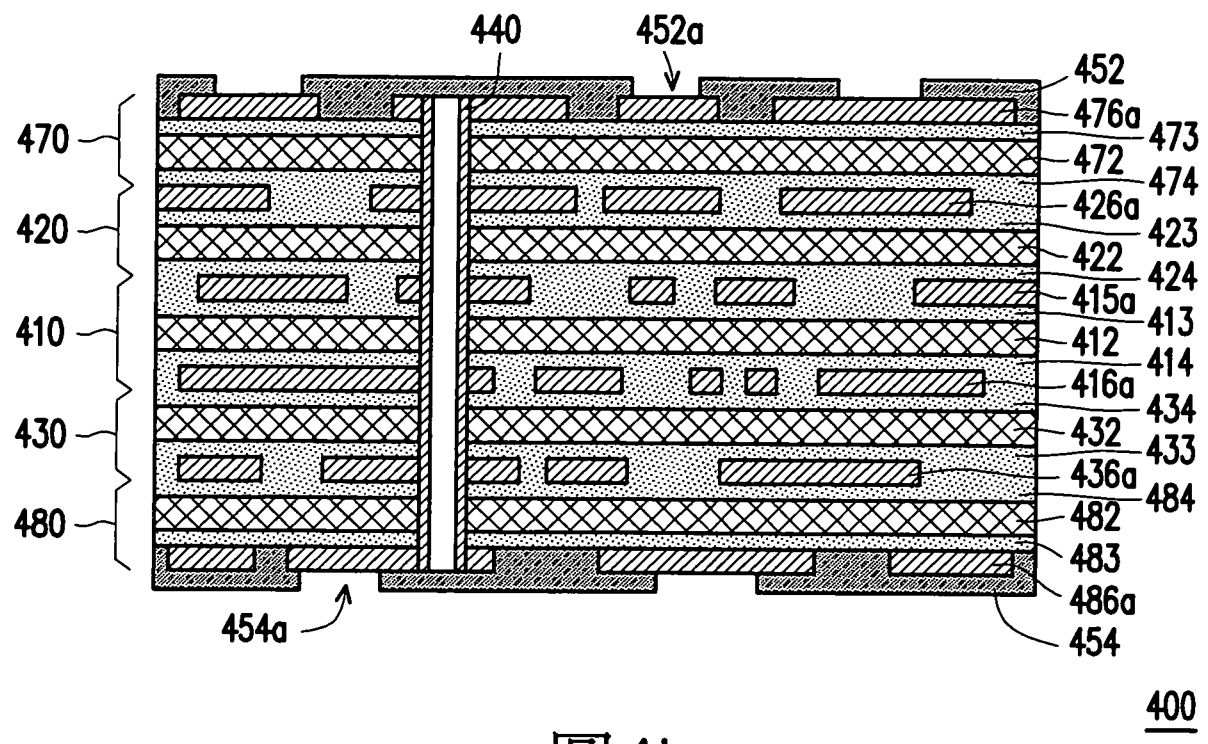


圖 41

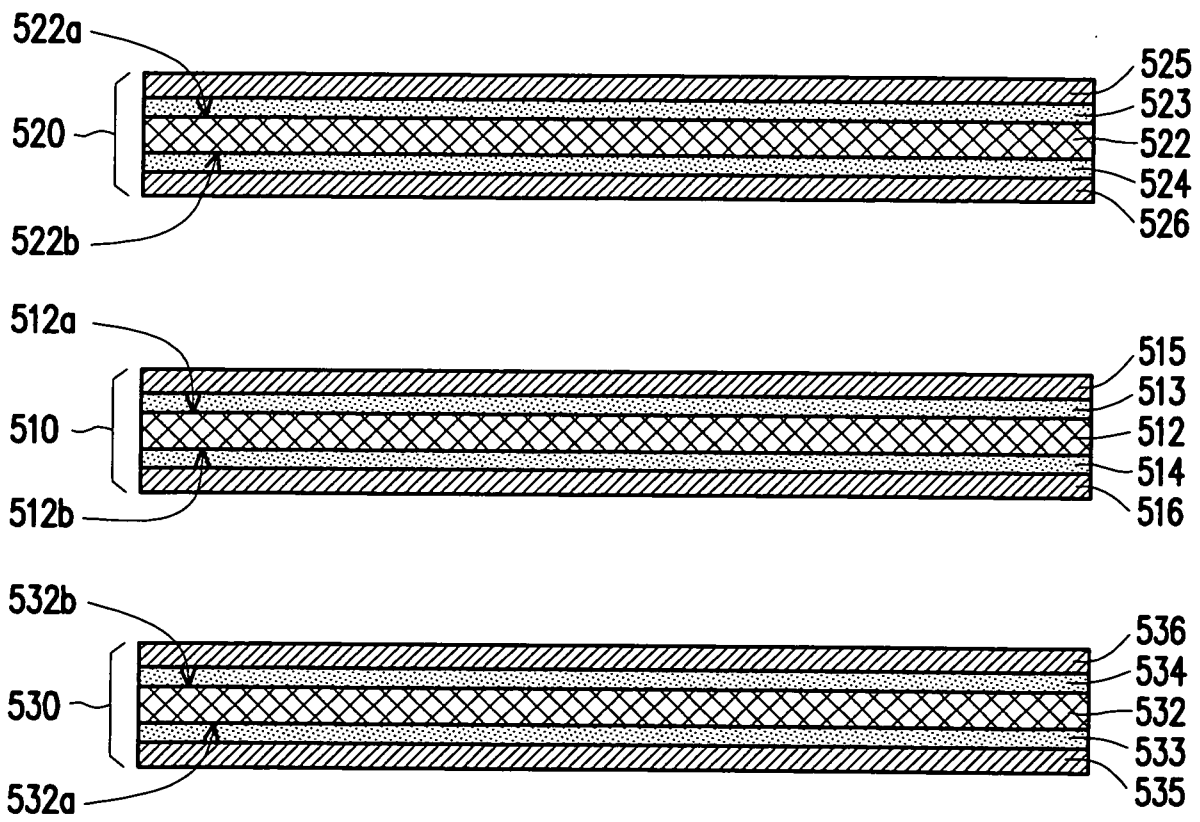


圖 5A

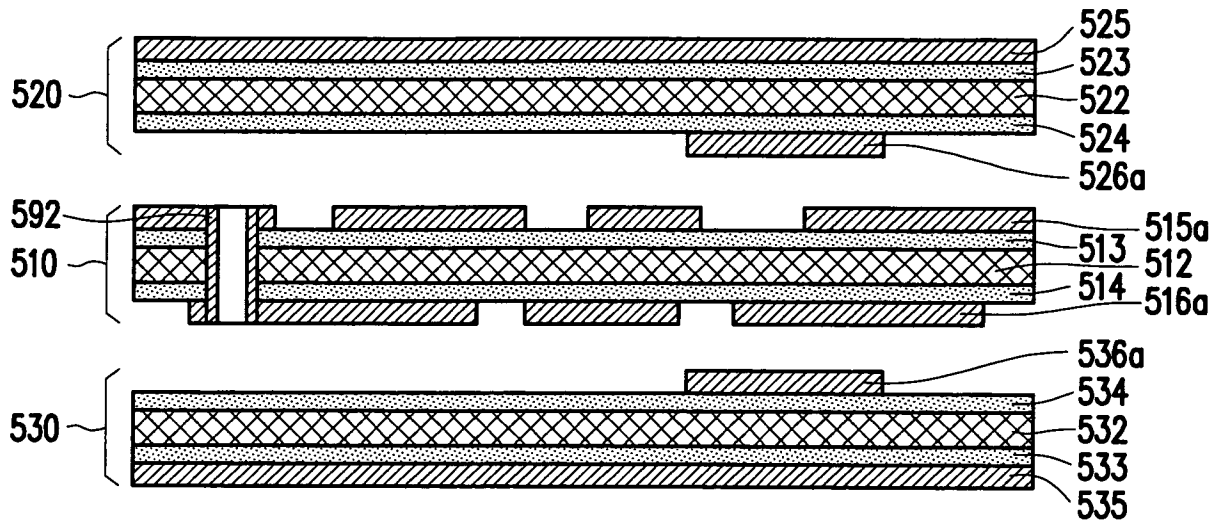


圖 5B

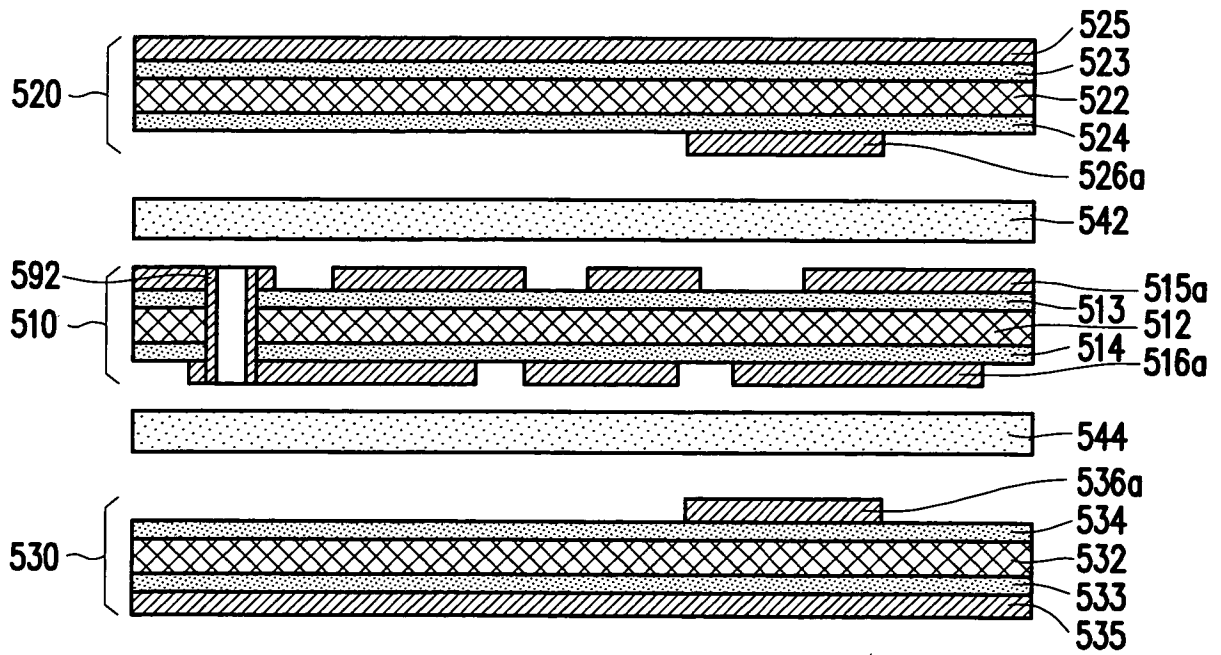


圖 5C

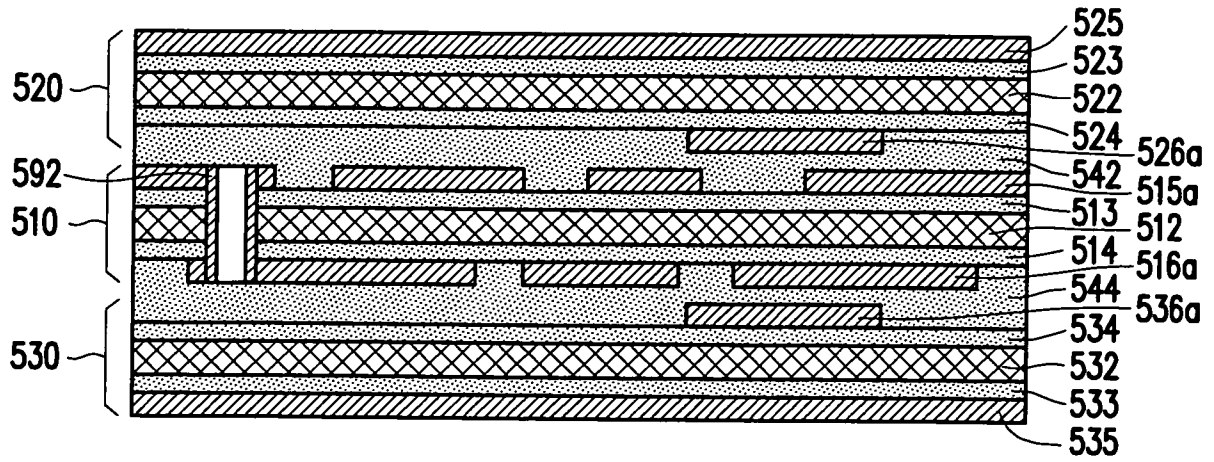


圖 5D

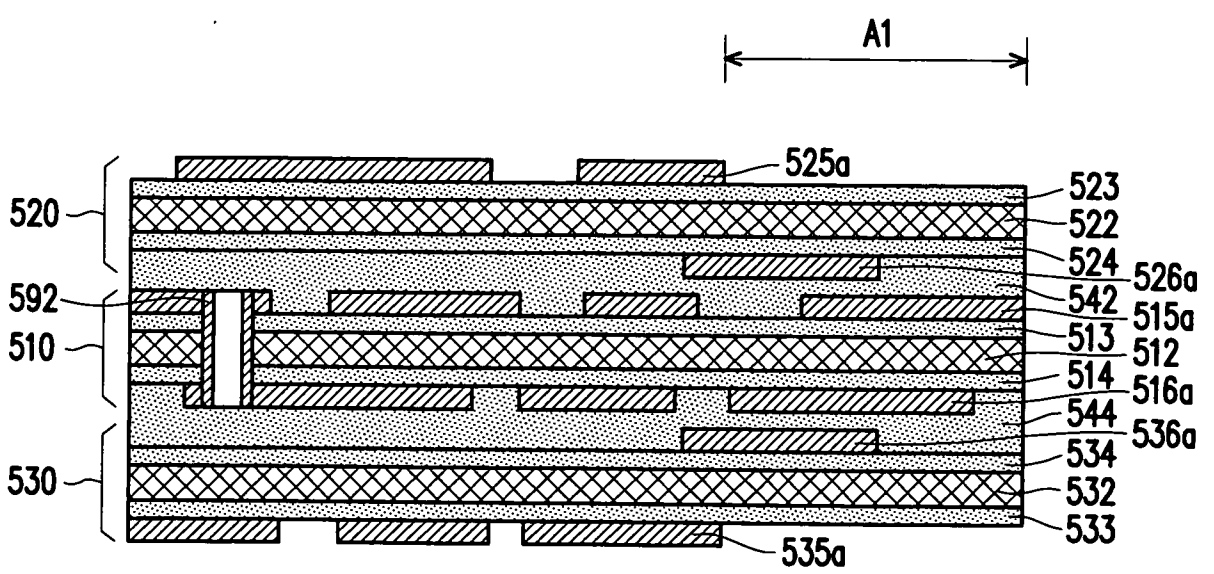


圖 5E

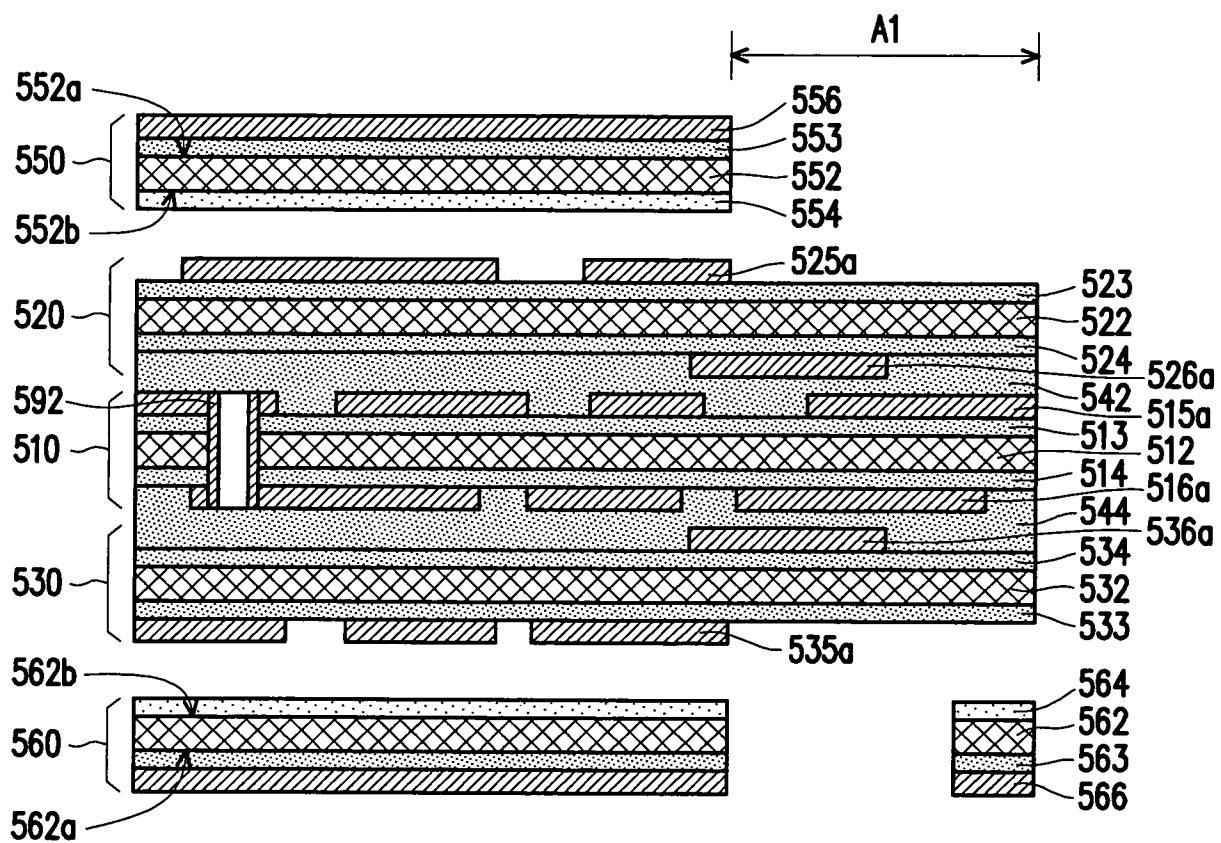


圖 5F

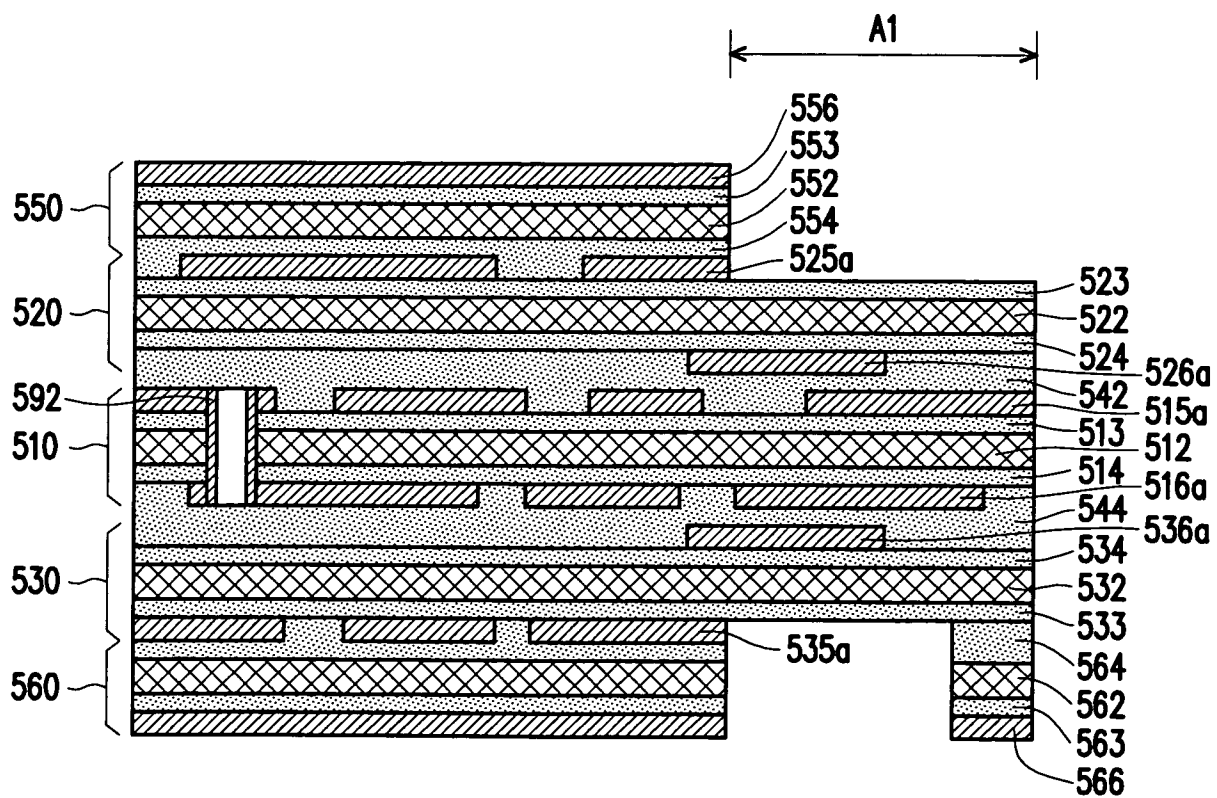


圖 5G

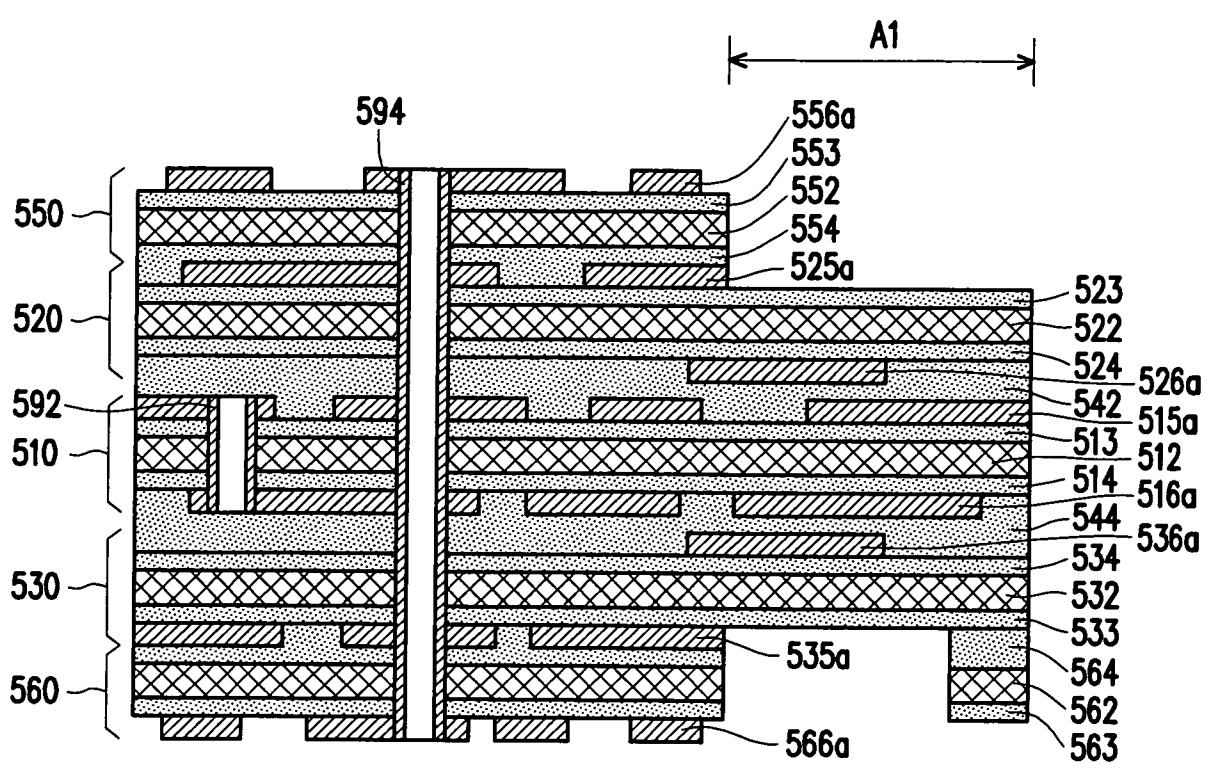


圖 5H

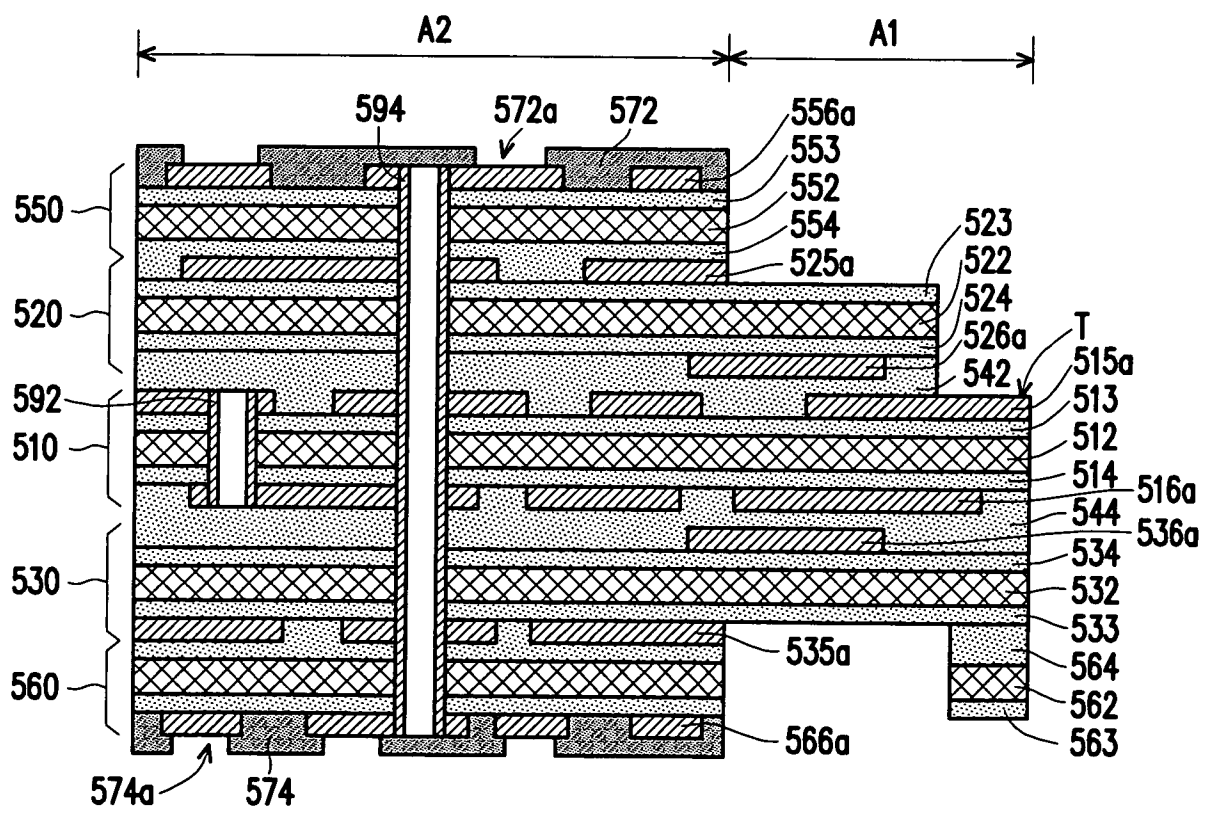


圖 5I