

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-211266
(P2015-211266A)

(43) 公開日 平成27年11月24日 (2015. 11. 24)

(51) Int. Cl.	F I	テーマコード (参考)
H03F 3/45 (2006.01)	H03F 3/45 Z	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
G02F 1/133 (2006.01)	G09G 3/20 621F	5J500
	G09G 3/20 623B	
審査請求 未請求 請求項の数 15 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2014-90365 (P2014-90365)
(22) 出願日 平成26年4月24日 (2014. 4. 24)

(71) 出願人 308017571
シナプティクス・ディスプレイ・デバイス
合同会社
東京都中野区中野四丁目10番2号
(74) 代理人 100089071
弁理士 玉村 静世
(72) 発明者 佐伯 穰
東京都小平市上水本町五丁目20番1号
株式会社ルネサスエスピードライバ内
Fターム(参考) 2H193 ZA04 ZF03 ZF16 ZF35
5C006 AA02 AC21 AF50 AF54 AF71
BB16 BC12 BC20 BF02 BF05
BF14 BF25 BF34 FA14 FA16
FA36 FA47

最終頁に続く

(54) 【発明の名称】 差動増幅回路及び表示駆動回路

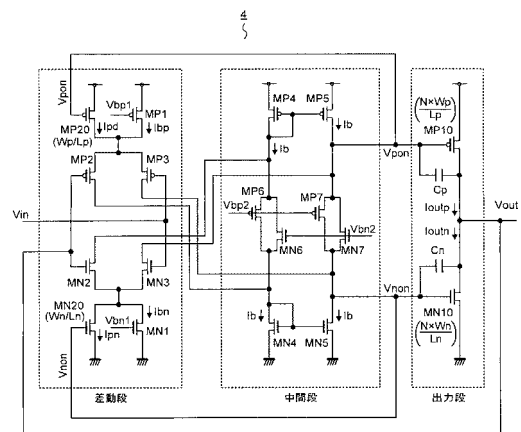
(57) 【要約】

【課題】一時的にスルーレートを向上することができる差動増幅回路において、スルーレートを向上させるタイミングを、入力される差動信号の遷移に応じて適切に制御する。

【解決手段】差動入力信号が供給される差動対トランジスタと、差動対トランジスタに直列接続される電流源と、差動入力信号に基づいて出力端子を駆動する出力トランジスタとを備え、出力トランジスタが出力端子の電圧レベルを遷移させるタイミングに基づいて電流源の電流値を増加させる。出力トランジスタは出力端子を遷移させる期間にのみ、出力端子駆動するので、その期間の差動対トランジスタのバイアス電流を増やして、スルーレートを向上する。

【選択図】 図5

図5



【特許請求の範囲】**【請求項 1】**

差動入力信号が供給される差動対トランジスタと、前記差動対トランジスタに直列接続される電流源と、前記差動入力信号に基づいて出力端子を駆動する出力トランジスタとを備え、前記出力トランジスタが前記出力端子の電圧レベルを遷移させるタイミングに基づいて前記電流源の電流値の絶対値を増加させる、差動増幅回路。

【請求項 2】

請求項 1 において、前記出力トランジスタは第 1 MOS トランジスタであり、前記電流源は定電流源と第 2 MOS トランジスタとを並列接続して構成され、前記第 1 MOS トランジスタのゲート端子に入力される信号で前記第 2 MOS トランジスタのゲート端子を制御することにより、前記電流源の電流値の絶対値を増加させる、差動増幅回路。

10

【請求項 3】

請求項 1 において、前記出力トランジスタは第 1 MOS トランジスタであり、前記電流源は、定電流源と、前記定電流源と並列接続され互いに直列接続されるスイッチと第 2 MOS トランジスタとで構成され、前記第 1 MOS トランジスタのゲート端子に入力される信号で前記第 2 MOS トランジスタのゲート端子を制御することにより、前記電流源の電流値の絶対値を増加させる、差動増幅回路。

【請求項 4】

請求項 3 において、前記第 1 MOS トランジスタのゲート端子に入力される信号に基づいて、前記スイッチを遮断する、差動増幅回路。

20

【請求項 5】

請求項 1 に記載される差動増幅回路によって構成されるボルテージフォロワアンプを、接続される表示パネルのソース電極を駆動するソースアンプとして含む、表示駆動回路。

【請求項 6】

請求項 5 において、単一の半導体基板上に形成される、表示駆動回路。

【請求項 7】

差動入力信号が供給される差動対トランジスタと、前記差動対トランジスタに直列接続される電流源と、出力端子を駆動する出力トランジスタとを備え、

前記出力トランジスタは、高電位側電源と前記出力端子との間に接続される第 1 P チャンネル MOS トランジスタと低電位側電源と前記出力端子との間に接続される第 1 N チャンネル MOS トランジスタとによって構成され、

30

前記差動対トランジスタは、前記差動入力信号の一方がそれぞれゲート端子に入力される第 3 P チャンネル MOS トランジスタと第 3 N チャンネル MOS トランジスタと、前記差動入力信号の他方がそれぞれゲート端子に入力される第 4 P チャンネル MOS トランジスタと第 4 N チャンネル MOS トランジスタとによって構成され、

前記電流源は、前記高電位側電源から正の電流を供給する高電位側定電流源と第 2 P チャンネル MOS トランジスタとが並列接続され、前記低電位側電源から負の電流を供給する低電位側定電流源と第 2 N チャンネル MOS トランジスタとが並列接続されて構成され、前記高電位側電源から前記正の電流を前記第 3 P チャンネル MOS トランジスタと前記第 4 P チャンネル MOS トランジスタのソース端子に供給し、前記負電位側電源から前記負の電流を前記第 3 P チャンネル MOS トランジスタと前記第 4 P チャンネル MOS トランジスタのソース端子に供給し、

40

前記第 1 P チャンネル MOS トランジスタのゲート端子に入力される信号で前記第 2 P チャンネル MOS トランジスタのゲート端子を制御することにより、前記高電位側電源から供給される前記正の電流を増加させ、前記第 1 N チャンネル MOS トランジスタのゲート端子に入力される信号で前記第 2 N チャンネル MOS トランジスタのゲート端子を制御することにより、前記低電位側電源から供給される前記負の電流の絶対値を増加させる、差動増幅回路。

【請求項 8】

請求項 7 において、前記第 1 P チャンネル MOS トランジスタと前記第 2 P チャンネル MOS

50

Sトランジスタの相互コンダクタンスの比率と、前記第1NチャンネルMOSトランジスタと前記第2NチャンネルMOSトランジスタの相互コンダクタンスの比率とが等しくされる、差動増幅回路。

【請求項9】

請求項8において、前記第1PチャンネルMOSトランジスタと前記第2PチャンネルMOSトランジスタのゲート長と、前記第1NチャンネルMOSトランジスタと前記第2NチャンネルMOSトランジスタのゲート長とはそれぞれ等しく、前記第1PチャンネルMOSトランジスタと前記第2PチャンネルMOSトランジスタのゲート幅の比率と、前記第1NチャンネルMOSトランジスタと前記第2NチャンネルMOSトランジスタのゲート幅の比率は、それぞれ前記相互コンダクタンスの比率と等しくされる、差動増幅回路。

10

【請求項10】

請求項7において、前記第2PチャンネルMOSトランジスタに直列に挿入される第1スイッチと、前記第2NチャンネルMOSトランジスタに直列に挿入される第2スイッチとをさらに備える、差動増幅回路。

【請求項11】

請求項10において、前記第1PチャンネルMOSトランジスタと前記第1NチャンネルMOSトランジスタのそれぞれのゲート端子に入力される信号に基づいて、前記1スイッチと前記2スイッチを遮断する制御を行う、差動増幅回路。

【請求項12】

請求項10において、前記出力端子からの出力が立上る遷移期間に前記第2スイッチをオンし、前記出力端子からの出力が立下る遷移期間に前記第1スイッチをオンする、スイッチ制御回路をさらに備える、差動増幅回路。

20

【請求項13】

請求項12において、前記スイッチ制御回路は、前記高電位側電源と立下り検出ノードとの間に接続される第5PチャンネルMOSトランジスタと、前記低電位側電源と前記立下り検出ノードとの間に接続される第5NチャンネルMOSトランジスタと、前記高電位側電源と立上り検出ノードとの間に接続される第6PチャンネルMOSトランジスタと、前記低電位側電源と前記立上り検出ノードとの間に接続される第6NチャンネルMOSトランジスタとを含み、

前記第5PチャンネルMOSトランジスタと前記第5NチャンネルMOSトランジスタの相互コンダクタンスの比率は、前記第1PチャンネルMOSトランジスタと前記第1NチャンネルMOSトランジスタの相互コンダクタンスの比率よりも大きく、

30

前記第6PチャンネルMOSトランジスタと前記第6NチャンネルMOSトランジスタの相互コンダクタンスの比率は、前記第1PチャンネルMOSトランジスタと前記第1NチャンネルMOSトランジスタの相互コンダクタンスの比率よりも小さい、差動増幅回路。

【請求項14】

請求項7に記載される差動増幅回路によって構成されるボルテージフォロワンプを、接続される表示パネルのソース電極を駆動するソースアンプとして含む、表示駆動回路。

【請求項15】

請求項14において、単一の半導体基板上に形成される、表示駆動回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動増幅回路及びそれを用いた表示駆動回路に関し、特に高精細の表示パネルに接続される表示駆動回路に好適に利用できるものである。

【背景技術】

【0002】

液晶表示(LCD:Liquid Crystal Display)パネルなどの表示パネルは、複数の走査電極(ゲート電極とも呼ばれる)と複数の信号電極(ソース電極とも呼ばれる)を備え、その交点に画素容量(液晶容量)を持つ表示セルを備える。表示の解像度は画素の数であ

50

り、ライン数（ゲート電極数）と1ライン当たりの画素数（ソース電極数に対応）の積によって規定される。表示パネルに接続されてそのソース電極を駆動する表示駆動回路は、表示パネルの高解像度化、高精細化に伴い、ソース電極の負荷が増大し、合せてソース出力チャンネル数が増加している。表示駆動回路が搭載される表示ドライバIC（Integrated Circuit）は、表示パネルの1辺に沿って実装されるので、ライン数（ゲート電極数）の増加に伴って遠端の表示セルの画素容量までの配線長が長くなり配線抵抗と配線容量が大きくなる。このような背景により、表示駆動回路では、表示パネルの高解像度化、高精細化に伴って、ソース電極の負荷が増大している。

【0003】

特許文献1には、このような液晶表示装置の液晶パネル駆動回路（ソースアンプ）に好適であり、スルーレートの高い差動増幅回路が開示されている。差動入力信号の反転動作に同期して差動入力信号の反転動作の遷移時間より短い時間だけ、差動対を構成するトランジスタに流れる電流を増加する。特許文献1に開示される差動増幅器は、差動信号が入力される差動対トランジスタと、差動対トランジスタに流れる電流を制御する定電流源とを備え、さらに定電流源と並列に接続され差動対トランジスタに流れる電流を増加させるスイッチを備える。スイッチがオンされている期間は、差動増幅器のスルーレートが向上する。スイッチは、表示タイミングを示すストロープ信号などの同期信号STBから生成された制御信号SRNとSRPによってオン/オフ制御される。スルーレートを向上させる時間の幅は、制御信号SRNとSRPのパルス幅によって調整される。

10

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2011-124782号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1について本発明者が検討した結果、以下のような新たな課題があることがわかった。

【0006】

特許文献1に開示される差動増幅器が、スルーレートを向上させるためにタイミング制御信号を必要としている点である。液晶表示装置においては、表示タイミングを示すストロープ信号を利用することができるが、他の装置でそのような制御信号が存在する保証はない。また、差動対トランジスタに流れる電流を増加させるスイッチをオンする制御信号のパルス幅、即ちスルーレートを向上させる時間の幅は、制御信号生成回路の設計によって規定されるため、必ずしも実際に表示パネルが接続されたときの差動入力信号の遷移の大きさに応じた適切なパルス幅になるとは限らない。差動入力信号の遷移の大きさが、表示されるデータによって変化するため、また、接続される表示パネルも1品種とは限らないためである。そのため、差動対トランジスタに流れる電流を増加させるスイッチをオンする制御信号のパルス幅が、適切なパルス幅よりも短い場合には、スルーレートを十分に向上させることができず、長い場合には、必要以上に電力を消費することとなる。

30

40

【0007】

本発明の目的は、一時的にスルーレートを向上することができる差動増幅回路において、スルーレートを向上させるタイミングを、出力信号の遷移に応じて適切に制御することである。

【0008】

このような課題を解決するための手段を以下に説明するが、その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

一実施の形態によれば、下記の通りである。

50

【 0 0 1 0 】

すなわち、本発明の一実施の形態に係る差動増幅回路は、差動入力信号が供給される差動対トランジスタと、差動対トランジスタに直列接続されるバイアス電流源と、差動入力信号に基づいて出力端子を駆動する出力トランジスタとを備え、出力トランジスタが出力端子の電圧レベルを遷移させるタイミングに基づいてバイアス電流源の電流値を増加させる。出力トランジスタは出力端子を遷移させる期間にのみ、出力端子駆動するので、その期間の差動対トランジスタのバイアス電流を増やして、スルーレートを向上する。

【 発明の効果 】

【 0 0 1 1 】

前記一実施の形態によって得られる効果を簡単に説明すれば下記のとおりである。

10

【 0 0 1 2 】

すなわち、一時的にスルーレートを向上することができる差動増幅回路において、スルーレートを向上させるタイミングを、出力信号の遷移に応じて適切に制御することができる。

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 図 1 は、本発明に係る差動増幅回路がソースアンプとして搭載される表示駆動回路を含む電子機器の構成例を示すブロック図である。

【 図 2 】 図 2 は、表示駆動回路（表示ドライバ IC）の構成例を示すブロック図である。

【 図 3 】 図 3 は、ソースアンプの表示パネルによる負荷の等価回路を模式的に示す説明図である。

20

【 図 4 】 図 4 は、ソースアンプバイアス制御回路の構成例を示す回路図である。

【 図 5 】 図 5 は、本発明に係る差動増幅回路によるソースアンプの構成例を示す回路図である。

【 図 6 】 図 6 は、図 5 の差動増幅回路（ソースアンプ）の動作例を示す波形図である。

【 図 7 】 図 7 は、図 5 の差動増幅回路（ソースアンプ）の出力信号（Vout）を示す波形図である。

【 図 8 】 図 8 は、図 5 の差動増幅回路（ソースアンプ）によって駆動された表示パネルの遠端での信号（Vout_Far）の波形図である。

【 図 9 】 図 9 は、本発明に係る差動増幅回路の第 1 の変形例を示す回路図である。

30

【 図 10 】 図 10 は、本発明に係る差動増幅回路の第 2 の変形例を示す回路図である。

【 図 11 】 図 11 は、実施形態 2 の差動増幅回路によるソースアンプの構成例を示す回路図である。

【 図 12 】 図 12 は、図 11 に示される差動増幅回路の動作例を示すタイミングチャートである。

【 図 13 】 図 13 は、実施形態 3 の差動増幅回路によるソースアンプの構成例を示す回路図である。

【 図 14 】 図 14 は、実施形態 3 の差動増幅回路における制御信号を内部生成する回路の回路図である。

【 図 15 】 図 15 は、図 14 に示される差動増幅回路の動作例を示すタイミングチャートである。

40

【 発明を実施するための形態 】

【 0 0 1 4 】

1. 実施の形態の概要

先ず、本願において開示される代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【 0 0 1 5 】

〔 1 〕 < 自己制御によるスルーレート向上 >

本願において開示される代表的な実施の形態に係る差動増幅回路（ 4 ）は、差動入力信

50

号が供給される差動対トランジスタ (MP2, MP3, MN2, MN3) と、前記差動対トランジスタに直列接続される電流源 (MP1, MP20, MN1, MN20) と、前記差動入力信号に基づいて出力端子 (Vout) を駆動する出力トランジスタ (MP10, MN10) とを備え、前記出力トランジスタが前記出力端子の電圧レベルを遷移させるタイミングに基づいて前記電流源の電流値の絶対値を増加させる。

【0016】

これにより、一時的にスルーレートを向上することができる差動増幅回路において、スルーレートを向上させるタイミングを、出力電圧 (Vout) の遷移に応じて適切に制御することができる。

【0017】

〔2〕＜MOSトランジスタによる回路＞

項1において、前記出力トランジスタは第1MOSトランジスタ (MP10, MN10) であり、前記電流源は定電流源 (MP1, MN1) と第2MOSトランジスタ (MP20, MN20) とを並列接続して構成され、前記第1MOSトランジスタのゲート端子に入力される信号 (Vpon, Vnon) で前記第2MOSトランジスタのゲート端子を制御することにより、前記電流源の電流値の絶対値を増加させる。

【0018】

これにより、出力トランジスタが負荷を充放電する充放電電流と同じタイミング且つ概ね比例する大きさで、差動対トランジスタのバイアス電流を増加させることができ、スルーレートを向上させるタイミングだけでなくその大きさを、出力電圧 (Vout) の遷移に応じて適切に制御することができる。

【0019】

〔3〕＜追加電流源の遮断スイッチ＞

項1において、前記出力トランジスタは第1MOSトランジスタ (MP10, MN10) であり、前記電流源は、定電流源 (MP1, MN1) と、前記定電流源と並列接続され互いに直列接続されるスイッチ (SW1, SW2) と第2MOSトランジスタ (MP20, MN20) とで構成され、前記第1MOSトランジスタのゲート端子に入力される信号 (Vpon, Vnon) で前記第2MOSトランジスタのゲート端子を制御することにより、前記電流源の電流値の絶対値を増加させる。

【0020】

これにより、項2と同様の作用効果を奏し、さらに、スルーレートを向上する必要がない期間には、スイッチ (SW1, SW2) を遮断して、第2MOSトランジスタ (MP20, MN20) による、差動対トランジスタ (MP2, MP3, MN2, MN3) における電流のリークを抑えることができる。

【0021】

〔4〕＜追加電流源の遮断スイッチの自己制御＞

項3において、前記第1MOSトランジスタのゲート端子に入力される信号 (Vpon, Vnon) に基づいて、前記スイッチを遮断する。

【0022】

これにより、出力端子からの出力電圧 (Vout) が安定したことを検出するタイミング信号を、差動増幅回路の内部信号 (Vpon, Vnon) から生成し、このタイミング信号で前記スイッチを制御することで適切なタイミングで、追加電流源である第2MOSトランジスタ (MP20, MN20) を遮断することができる。

【0023】

〔5〕＜表示駆動回路＞

本願において開示される代表的な実施の形態に係る表示駆動回路 (1) は、項1から項4のうちのいずれか1項に記載される差動増幅回路によって構成されるボルテージフォロワアンプを、接続される表示パネルのソース電極を駆動するソースアンプ (4_1 ~ 4_n) として含む。

【0024】

10

20

30

40

50

これにより、接続される表示パネルのソース電極の負荷の大きさに応じて、スルーレートを向上する期間を自律的かつ適切に制御することができる、表示駆動回路を提供することができる。

【0025】

〔6〕＜表示ドライバIC＞

項5において、前記表示駆動回路は、単一の半導体基板上に形成される。

【0026】

これにより、接続される表示パネルごとにスルーレートを最適化した別品種の表示ドライバICを開発したり、接続される表示パネルごとにソースアンプのスルーレートを調整する表示ドライバICを提供することなく、1つの製品で広範囲の表示パネルに適用することができる表示ドライバICを提供することができる。

10

【0027】

〔7〕＜Rail to Railの差動増幅回路＞

本願において開示される代表的な実施の形態に係る差動増幅回路(4)は、差動入力信号が供給される差動対トランジスタ(MP2, MP3, MN2, MN3)と、前記差動対トランジスタに直列接続される電流源(MP1, MP20, MN1, MN20)と、出力端子(Vout)を駆動する出力トランジスタ(MP10, MN10)とを備え、以下のように構成される。

【0028】

前記出力トランジスタは、高電位側電源(例えばVDD)と前記出力端子との間に接続される第1PチャンネルMOSトランジスタ(MP10)と低電位側電源(例えばGND)と前記出力端子との間に接続される第1NチャンネルMOSトランジスタ(MN10)とによって構成される。

20

【0029】

前記差動対トランジスタは、前記差動入力信号の一方がそれぞれゲート端子に入力される第3PチャンネルMOSトランジスタ(MP2)と第3NチャンネルMOSトランジスタ(MN2)と、前記差動入力信号の他方がそれぞれゲート端子に入力される第4PチャンネルMOSトランジスタ(MP3)と第4NチャンネルMOSトランジスタ(MN3)とによって構成される。

【0030】

前記電流源は、前記高電位側電源から正の電流を供給する高電位側定電流源(MP1)と第2PチャンネルMOSトランジスタ(MP20)とが並列接続され、前記低電位側電源から負の電流を供給する低電位側定電流源(MN1)と第2NチャンネルMOSトランジスタ(MN20)とが並列接続されて構成される。前記高電位側電源から前記正の電流を前記第3PチャンネルMOSトランジスタと前記第4PチャンネルMOSトランジスタのソース端子に供給し、前記低電位側電源から前記負の電流を前記第3PチャンネルMOSトランジスタと前記第4PチャンネルMOSトランジスタのソース端子に供給する。

30

【0031】

前記第1PチャンネルMOSトランジスタのゲート端子に入力される信号(Vpon)で前記第2PチャンネルMOSトランジスタ(MP20)のゲート端子を制御することにより、前記高電位側電源から供給される前記正の電流を増加させ、前記第1NチャンネルMOSトランジスタのゲート端子に入力される信号(Vnon)で前記第2NチャンネルMOSトランジスタ(MN20)のゲート端子を制御することにより、前記低電位側電源から供給される前記負の電流の絶対値を増加させる。

40

【0032】

これにより、出力電圧(Vout)が高電位側電源から低電位側電源までの間の所謂レールトゥレール(Rail to Rail)でフルスイングする差動増幅回路において、出力電圧(Vout)の遷移に応じた適切なタイミングで、スルーレートを向上させることができる。

【0033】

50

〔 8 〕 < 追加電流源へのフィードバック量 >

項 7 において、前記第 1 P チャンネル MOS トランジスタ (MP10) と前記第 2 P チャンネル MOS トランジスタ (MP20) の相互コンダクタンスの比率 (N) と、前記第 1 N チャンネル MOS トランジスタ (MN10) と前記第 2 N チャンネル MOS トランジスタ (MN20) の相互コンダクタンスの比率 (N) とが等しくされる。

【 0034 】

これにより、スルーレートを向上するためのバイアス電流量が、出力の立上りと立下りにおいてバランスされる。当該比率によって追加電流源へのフィードバック量が規定される。ここで、「等しく」とは、数学的に厳密な等しさを要件とするものではなく、工業的に許容される誤差を含んだ範囲で、概ね同じ比率になるように設計されることを意味する (本願において同様)。

10

【 0035 】

〔 9 〕 < $N \times W / L$ >

項 8 において、前記第 1 P チャンネル MOS トランジスタ (MP10) と前記第 2 P チャンネル MOS トランジスタ (MP20) のゲート長と、前記第 1 N チャンネル MOS トランジスタ (MN10) と前記第 2 N チャンネル MOS トランジスタ (MN20) のゲート長とはそれぞれ等しく、前記第 1 P チャンネル MOS トランジスタ (MP10) と前記第 2 P チャンネル MOS トランジスタ (MP20) のゲート幅の比率と、前記第 1 N チャンネル MOS トランジスタ (MN10) と前記第 2 N チャンネル MOS トランジスタ (MN20) のゲート幅の比率は、それぞれ前記相互コンダクタンスの比率 (N) と等しくされる。

20

【 0036 】

これにより、トランジスタサイズによって追加電流源へのフィードバック量が規定される。

【 0037 】

〔 10 〕 < 追加電流源の遮断スイッチ >

項 7 において、前記第 2 P チャンネル MOS トランジスタ (MP20) に直列に挿入される第 1 スイッチ (SW1) と、前記第 2 N チャンネル MOS トランジスタ (MN20) に直列に挿入される第 2 スイッチ (SW2) とをさらに備える。

【 0038 】

これにより、項 7 と同様の作用効果を奏し、さらに、スルーレートを向上する必要がない期間には、第 1 及び第 2 スイッチ (SW1, SW2) を遮断して、第 2 P チャンネル MOS トランジスタ (MP20) と第 2 N チャンネル MOS トランジスタ (MN20) とによる差動対トランジスタ (MP2, MP3, MN2, MN3) における電流のリークを抑えることができる。

30

【 0039 】

〔 11 〕 < 追加電流源の遮断スイッチの自己制御 >

項 10 において、前記第 1 P チャンネル MOS トランジスタと前記第 1 N チャンネル MOS トランジスタのそれぞれのゲート端子に入力される信号 (V_{pon} , V_{non}) に基づいて、前記 1 スイッチと前記 2 スイッチを遮断する制御を行う。

【 0040 】

これにより、出力端子からの出力電圧 (V_{out}) が安定したことを検出するタイミング信号を、差動増幅回路の内部信号 (V_{pon} , V_{non}) から生成し、このタイミング信号で前記スイッチを制御することで適切なタイミングで、追加電流源である第 2 P チャンネル MOS トランジスタ (MP20) 及び第 2 N チャンネル MOS トランジスタ (MN20) を遮断することができる。

40

【 0041 】

〔 12 〕 < 追加電流源の遮断スイッチの制御回路 >

項 10 において、前記出力端子からの出力が立上る遷移期間に前記第 2 スイッチをオンし、前記出力端子からの出力が立下る遷移期間に前記第 1 スイッチをオンする、スイッチ制御回路 (コンパレータ) をさらに備える。

50

【0042】

これにより、項11と同様に、適切なタイミングで、追加電流源である第2PチャンネルMOSトランジスタ及び第2NチャンネルMOSトランジスタを遮断することができる。

【0043】

〔13〕＜コンパレータによりスイッチ制御回路＞

項12において、前記スイッチ制御回路は、前記高電位側電源と立下り検出ノード（V_{p_{sw}}）との間に接続される第5PチャンネルMOSトランジスタ（MP11）と、前記低電位側電源と前記立下り検出ノード（V_{p_{sw}}）との間に接続される第5NチャンネルMOSトランジスタ（MN11）と、前記高電位側電源と立上り検出ノード（V_{n_{sw}}）との間に接続される第6PチャンネルMOSトランジスタ（MP12）と、前記低電位側電源と前記立上り検出ノード（V_{n_{sw}}）との間に接続される第6NチャンネルMOSトランジスタ（MN12）とを含む。

10

【0044】

前記第5PチャンネルMOSトランジスタと前記第5NチャンネルMOSトランジスタの相互コンダクタンスの比率は、前記第1PチャンネルMOSトランジスタと前記第1NチャンネルMOSトランジスタの相互コンダクタンスの比率よりも大きい。

【0045】

前記第6PチャンネルMOSトランジスタと前記第6NチャンネルMOSトランジスタの相互コンダクタンスの比率は、前記第1PチャンネルMOSトランジスタと前記第1NチャンネルMOSトランジスタの相互コンダクタンスの比率よりも小さい。

20

【0046】

これにより、追加電流源のスイッチを自己制御によって遮断するためのスイッチ制御回路（コンパレータ）を、簡単な回路で構成することができる。スイッチ制御回路を構成する2つのコンパレータに適切なオフセットを持たせ、一方に出力電圧（V_{out}）の立下り期間を、他方を出力電圧（V_{out}）の立上り期間を、それぞれ検出させることができる。即ち、第5PチャンネルMOSトランジスタ（MP11）と第5NチャンネルMOSトランジスタ（MN11）によって構成されるコンパレータは、出力トランジスタに対してオフセットを持ち、出力電圧（V_{out}）の立上り期間と安定期間にはハイ、立下り期間にロウを出力するので、第1スイッチ（SW1）をオンして差動段のPチャンネル側のバイアス電流を増やして立下りのスルーレートを向上する。第6PチャンネルMOSトランジスタ（MP12）と第6NチャンネルMOSトランジスタ（MN12）によって構成されるコンパレータは、出力トランジスタに対して逆のオフセットを持ち、出力電圧（V_{out}）の立下り期間と安定期間にはロウ、立下り期間にハイを出力するので、第2スイッチ（SW2）をオンして差動段のNチャンネル側のバイアス電流を増やして立上りのスルーレートを向上する。

30

【0047】

〔14〕＜表示駆動回路＞

本願において開示される代表的な実施の形態に係る表示駆動回路（1）は、項7から項13のうちのいずれか1項に記載される差動増幅回路によって構成されるボルテージフォロワアンプを、接続される表示パネルのソース電極を駆動するソースアンプ（4₁～4_n）として含む。

40

【0048】

これにより、項5と同様に、接続される表示パネル（2）のソース電極の負荷の大きさに応じて、スルーレートを向上する期間を自律的かつ適切に制御することができる、表示駆動回路（1）を提供することができる。

【0049】

〔15〕＜表示ドライバIC＞

項14において、前記表示駆動回路は、単一の半導体基板上に形成される。

【0050】

これにより、項6と同様に、接続される表示パネル（2）ごとにスルーレートを最適化

50

した別品種の表示ドライバIC(1)を開発したり、接続される表示パネルごとにソースアンプのスルーレートを調整する表示ドライバICを提供することなく、1つの製品で広範囲の表示パネルに適応することができる表示ドライバICを提供することができる。

【0051】

2. 実施の形態の詳細

実施の形態について更に詳述する。

【0052】

〔実施形態1〕

図1は、本発明に係る差動増幅回路がソースアンプとして搭載される表示駆動回路(表示ドライバIC)1を含む電子機器100の構成例を示すブロック図である。電子機器100は、本発明に係る電子機器の一例であり、例えばPDA(Personal Digital Assistant)や携帯電話機などの携帯端末の一部を構成し、表示パネル2、表示駆動回路(表示ドライバIC)1及びホストプロセッサ3を備える。電子機器100では、ホストプロセッサ3から供給される画像データが、表示駆動回路(表示ドライバIC)1によって表示パネル2に表示される。

10

【0053】

電子機器100は、図示は省略されるが、さらにタッチパネル、タッチパネルコントローラ、タッチ検出のためのサブプロセッサなどを含んで構成されてもよい。このとき、表示駆動回路1とタッチパネルコントローラ、或いはさらにサブプロセッサやホストプロセッサ3が、単一の半導体チップ上に形成され、又は例えばマルチチップモジュールとして1個のパッケージに搭載されて1個の半導体装置として構成されてもよい。また、表示パネル2とタッチパネルは、互いに重ね合せて実装されても良く、これらが一体として製造されたインセル構成でも、個別に製造されて重ね合わされたオンセル構成でも良い。ホストプロセッサ3は画像データを生成し、表示駆動回路1は、ホストプロセッサ3から受け取った画像データを表示パネル2に表示するための表示制御を行う。また、ホストプロセッサ3は、接触イベント(タッチ)が発生したときの位置座標のデータをサブプロセッサから取得し、表示パネル2における位置座標のデータと表示駆動回路1に与えて表示させた画面との関係から、タッチパネルの操作による入力を解析するように構成されても良い。さらに、ホストプロセッサ3に、通信制御ユニット、画像処理ユニット、音声処理ユニット、及びその他アクセラレータなどが内蔵され或いは接続されることによって、電子機器100は例えば携帯端末として構成される。

20

30

【0054】

表示パネル2には、横方向に形成された走査電極としてのゲート配線G1~Gmと縦方向に形成された信号電極としてのソース配線S1~Snとが配置され、その各交点部分には表示セル16が配置される。表示セル16は、図中に破線で囲まれる領域に例示されるように、ゲート配線にゲート端子がソース配線にソース端子が接続されるトランスファゲートTrと、トランスファゲートTrのドレイン端子と共通電圧Vcomの間に形成された、例えば液晶などの画素容量Cxによって構成される。トランスファゲートTrの構造は対称であり、上述のドレイン端子とソース端子の関係は逆でもよい。走査電極であるゲート配線G1~Gmは、表示パネル2に形成されたゲート駆動回路15によって走査駆動される。ゲート駆動回路15を構成する回路は、例えば表示パネル2のガラス基板上に形成された薄膜トランジスタ(TFT:Thin Film Transistor)を使って構成される。このとき、ゲート駆動回路15はゲートインパネル(GIP:Gate In Panel)と呼ばれる。ゲート駆動回路(GIP)15を制御するための信号Gctlは、表示駆動回路1から供給される。例えば、ゲート駆動回路(GIP)15がシフトレジスタで構成されているとき、供給される信号Gctlには、シフト動作のためのクロックや開始フラグ、シフト方向やシフト動作をイネーブル/ディセーブルする信号などが含まれる。信号電極としてのソース配線S1~Snには、表示駆動回路1から、直接またはデマルチプレクサを介して、表示されるべき輝度に対応する階調レベルの信号が印加され、走査電極によって選択されたラインの画素容量Cxが並列に充電される。表示パネル2が液晶表示パネルの場合、

40

50

画素容量 $C \times$ に保持される電荷によって形成される電界の大きさにより、液晶の偏光の大きさが決まり、光の透過量即ちその画素の輝度が決まる。画素容量 $C \times$ は次のフレームで同じラインが選択され新たな表示レベルが充電されるまで、電荷を保持して同じ輝度を表示する。画素容量 $C \times$ に表示レベルに対応する電荷を転送するために、走査電極と信号電極を上述のように駆動することを、表示駆動と称し、表示駆動期間（略して表示期間と言う場合も含む）は、表示駆動が行われる期間を意味する。表示パネル 2 の構成は、図示された例に制限されず任意である。例えば、ゲート駆動回路 15 を備える代わりに、ゲート配線 $G_1 \sim G_m$ が表示駆動回路（表示ドライバ IC）1 または別チップのゲートドライバ IC によって直接駆動される構成とすることもできる。

【0055】

図 2 は、表示駆動回路（表示ドライバ IC）1 の構成例を示すブロック図である。表示駆動回路 1 は、ホストインターフェース 9 と、制御部 8 と、フレームメモリ 7 と、ラインラッチ 6 と、ソースアンプ $4_1 \sim 4_n$ と、階調レベル選択回路 $5_1 \sim 5_n$ と、ソースアンプバイアス制御回路 14 と、階調レベル生成回路 13 と、ゲート制御信号駆動回路 12 と、電源回路 11 とを含んで構成される。ソースアンプ $4_1 \sim 4_n$ には、本発明に係る差動増幅回路が適用される。

【0056】

表示駆動回路 1 は、ホストインターフェース 9 を介してホストプロセッサ 3 と接続され、制御コマンドを受信し、各種パラメータを送受信し、さらに表示パネル 2 に表示すべき画像データを高速に受信し、垂直同期信号（ V_{sync} ）及び水平同期信号（ H_{sync} ）などのタイミング情報も合わせて受信する。ホストインターフェース 9 は、例えば表示デバイスの標準的な通信インターフェースの 1 つである、MIPI-DSI（Mobile Industry Processor Interface Display Serial Interface）に準拠するインターフェースであってもよい。制御部 8 は、ホストプロセッサ 3 から受信した制御コマンドやパラメータを保持するコマンドレジスタ（不図示）とパラメータレジスタ（不図示）を備え、それに基づいて各回路の動作、例えばゲート制御信号駆動回路 12 からゲート駆動回路 15 の制御信号 G_{ctl} を出力させる動作、を制御する。制御部 8 は、ホストインターフェース 9 を介してホストプロセッサ 3 から受信する画像データを、フレームメモリ 7 に書き込む。フレームメモリ 7 は、例えば SRAM（Static Random Access Memory）で構成される。フレームメモリ 7 から 1 ライン分の画像データがラインラッチ 6 に読み出され、ラインラッチ 6 は 1 ライン分の画像データを並列に階調レベル選択回路 $5_1 \sim 5_n$ に供給する。階調レベル選択回路 $5_1 \sim 5_n$ には、階調レベル生成回路 13 から、多階調のアナログ階調電圧が供給されている。階調レベル選択回路 $5_1 \sim 5_n$ は、それぞれ、供給される多階調のアナログ階調電圧の中からラインラッチ 6 から入力される画像データに対応する、1 つの階調レベルを選択し、または、複数の階調レベルを選択してそれらから中間の階調レベルを生成して、接続されるソースアンプ $4_1 \sim 4_n$ に供給する。ソースアンプ $4_1 \sim 4_n$ は、図 2 に例示されるように、差動増幅回路で構成されるボルテージフォロワアンプであり、供給される階調レベルを電流増幅して、接続される表示パネル 2 の信号電極であるソース配線 $S_1 \sim S_n$ を駆動する。ソースアンプ $4_1 \sim 4_n$ には、ソースアンプバイアス制御回路 14 からバイアス電圧が供給されている。

【0057】

電源回路 11 は、昇圧回路、降圧回路、安定化回路（レギュレータ）などを含んで構成され、外部から供給される電源 V_{DD}/V_{SS} から、表示駆動回路（表示ドライバ IC）1 内の各回路で使用される内部電源を生成し供給する。

【0058】

上述の表示駆動回路（表示ドライバ IC）1 は、フレームメモリ 7 を内蔵する構成例について説明したが、フレームメモリを内蔵しない構成も採用し得る。フレームメモリ 7 を内蔵する構成例では、表示する画像が静止画の場合に、1 フレームの静止画をフレームメモリ 7 に保持し、繰り返し読み出して表示することにより、静止画が表示されている期間のホストプロセッサ 3 からの画像データの転送を省略することができる。一方、フレーム

10

20

30

40

50

メモリを内蔵しない構成では、チップ面積が小さくて済み、コストが低減される。

【 0 0 5 9 】

図 3 は、ソースアンプ 4 の表示パネル 2 による負荷の等価回路を模式的に示す説明図である。ソースアンプ 4 の出力は、端子 S_{out} を介してソース配線に接続される。ソース配線には、上述のようにライン数と同数の表示セル 16 が接続されている。ソースアンプ 4 の負荷の等価回路は、ソース配線の配線抵抗 R と、配線容量などの寄生容量 C による分布定数回路である。ただし、図 3 には集中定数回路として図示されている。また、ゲート配線によって選択されたラインの表示セル 16 では画素容量 C_x が負荷の寄生容量 C に含まれるが、非選択のラインではトランスファゲート T_r のオフ時の拡散層容量等のみが、負荷の寄生容量 C に含まれ、画素容量 C_x は含まれない。ソースアンプ 4 の出力端子における電圧 V_{out} は、図示される等価回路によって減衰して遠端では V_{out_Far} となる。 V_{out_Far} は V_{out} に対して抵抗 R と容量 C によって遅延されるので、ソースアンプ 4 のスルーレートを大きくすることにより、この遅延を相殺することが期待される。

10

【 0 0 6 0 】

図 5 は、本発明に係る差動増幅回路によるソースアンプ 4 の構成例を示す回路図であり、図 4 は、ソースアンプ 4₁ ~ 4_n にバイアスを供給するソースアンプバイアス制御回路 14 の構成例を示す回路図である。通常、表示駆動回路 1 には複数のソースアンプ 4₁ ~ 4_n が搭載されているが、その 1 個を指すときは、符号「4」を用いる。ソースアンプバイアス制御回路 14 は複数のソースアンプ 4₁ ~ 4_n に共通するバイアスを供給することができる。ソースアンプバイアス制御回路 14 は、電流源 30 と 3 個の N チャンネル MOS トランジスタ M_{N0} 、 M_{N8} 、 M_{N9} と、2 個の P チャンネル MOS トランジスタ M_{P8} 、 M_{P9} と、抵抗 R_b によって構成される。 M_{N0} と M_{N8} によってカレントミラーが構成され、電流源 30 によって規定される電流値が、 M_{N0} と M_{N8} のサイズ（相互コンダクタンス）の比率にしたがって増幅されて、 M_{N8} と M_{N9} と M_{P8} と M_{P9} と抵抗 R_b に流れる。 M_{N8} と M_{N9} と M_{P8} と M_{P9} は、後述のソースアンプ 4 の差動段と中間段の MOS トランジスタとによってそれぞれカレントミラーを構成し、バイアス制御線 V_{bp1} 、 V_{bp2} 、 V_{bn2} 、 V_{bn1} を介してそれぞれのバイアス電流を制御する。

20

【 0 0 6 1 】

図 5 は、ソースアンプ 4 の構成例を示す回路図である。ソースアンプ 4 は、差動段と中間段と出力段からなる差動増幅器（演算増幅器）であり、出力 V_{out} が差動入力の方にフィードバックされて、ボルテージフォロワアンプが構成されている。差動段は、3 個の P チャンネル MOS トランジスタ M_{P1} ~ M_{P3} と、3 個の N チャンネル MOS トランジスタ M_{N1} ~ M_{N3} を含んで構成される。 M_{P1} と M_{N1} にはバイアス制御線 V_{bp1} と V_{bn1} がそれぞれ接続され、ソースアンプバイアス制御回路 14 の M_{P8} と M_{N8} との間でカレントミラーを構成して、ソースアンプ 4 の差動段にバイアス電流 I_{bp} と I_{bn} を与えるテール電流源として機能する。本発明では、 M_{P1} と M_{N1} にそれぞれ並列に P チャンネル MOS トランジスタ M_{P20} と N チャンネル MOS トランジスタ M_{N20} が付加されるが、この構成と動作については後段で詳述する。 M_{P2} と M_{N2} のゲート端子には V_{out} からのフィードバックが接続され、 M_{P3} と M_{N3} のゲート端子には、他方の入力である V_{in} が入力される。中間段は、4 個の P チャンネル MOS トランジスタ M_{P4} ~ M_{P7} と、4 個の N チャンネル MOS トランジスタ M_{N4} ~ M_{N7} とによって構成される。 M_{P4} と M_{P6} と M_{N6} と M_{N4} で構成される電流路と、 M_{P5} と M_{P7} と M_{N7} と M_{N5} で構成される電流路の 2 本の電流路が、それぞれ同じ値の電流 I_b を流すように構成され、差動段への 2 つの入力 V_{in} と V_{out} の差に従って、差動段から流入する電流と、差動段へ流出する電流とによって差動電圧を生成し、 V_{pon} と V_{non} として出力段へ出力する。 M_{P6} と M_{P7} 、 M_{N6} と M_{N7} それぞれゲート端子へは、ソースアンプバイアス制御回路 14 からバイアス制御線 V_{bp2} と V_{bn2} が入力され、ソースアンプバイアス制御回路 14 の M_{P9} と M_{N9} との間でカレントミラーを構成して、 M_{P6} と M_{N6} 、 M

30

40

50

P7とMN7がそれぞれ抵抗性負荷として機能するように構成されている。出力段は、ゲート端子に V_{pon} が入力される1個のPチャンネルMOSトランジスタMP10と、 V_{non} が入力される1個のNチャンネルMOSトランジスタMN10と、それぞれのドレイン端子とゲート端子の間に接続されたフィードバック容量 C_p と C_n とによって構成される。中間段から入力される差動電圧を電流増幅して、 V_{out} を出力する。

【0062】

本発明では、差動段のPチャンネルMOSトランジスタMP1に変動バイアス源として機能するMP20が並列に付加され、そのゲート端子には出力段のゲート電圧 V_{pon} がフィードバックされ、NチャンネルMOSトランジスタMN1に変動バイアス源として機能するMN20が並列に付加され、そのゲート端子には出力段のゲート電圧 V_{non} がフィードバックされている。MP20のゲート幅/ゲート長比は W_p/L_p 、出力トランジスタMP10のゲート幅/ゲート長比は $N \times W_p/L_p$ 、MN20のゲート幅/ゲート長比は W_n/L_n 、出力トランジスタMN10のゲート幅/ゲート長比は $N \times W_n/L_n$ とされ、変動バイアス源として機能するMP20とMN20の相互コンダクタンスは、出力トランジスタMP10とMN10の $1/N$ に設定されている。

10

【0063】

差動段の入力トランジスタMP2とMP3、MN2とMN3には通常それぞれバイアス電流 I_{bp} と I_{bn} が流されているが、変動バイアス源MP20とMN20がオンすると、変動バイアス I_{pd} と I_{nd} がそれぞれ加算される。これにより、変動バイアス源MP20とMN20がオンする期間に、スルーレートを向上させソースアンプ4を高速動作させることができる。

20

【0064】

ソースアンプ4の動作について、より詳しく説明する。図6は、図5の差動増幅回路(ソースアンプ4)の動作例を示す波形図である。横軸は時間であり、縦軸方向には上から順に、入力電圧 V_{in} 、出力トランジスタMP10とMN10に流れる電流 I_{oup} と I_{outn} 、変動バイアス電流 I_{pd} と I_{nd} の波形が示される。図7は図5の差動増幅回路の出力信号(V_{out})を示す波形図であり、図8は表示パネル2の遠端での信号(V_{out_Far})の波形図である。図7と図8はそれぞれ横軸が時間であり、縦軸に出力信号(V_{out})と遠端での信号(V_{out_Far})の波形が示される。実線は図5の差動増幅回路(ソースアンプ4)の動作における波形であり、破線は比較例である、変動バイアス源MP20とMN20を付加しない差動増幅回路の波形である。

30

【0065】

時刻 t_1 において入力電圧 V_{in} の立上りに伴って出力電圧 V_{out} が立上る場合、出力段のゲート電圧 V_{pon} と V_{non} は、 V_{out} から V_{in} のもう一方の入力端子へのフィードバック制御により、MP10をオンしMN10をオフする。出力端子 S_{out} に接続される負荷(図3参照)を充電するために、出力電流 I_{outp} が流れる。出力段のゲート電圧 V_{pon} は、差動段の変動バイアス源MP20にも入力されているので、MP10と同様にMP20もオンして I_{pd} が流れ、差動入力トランジスタMP2とMP3に流れるバイアス電流を、 I_{bp} から $I_{bp} + I_{pd}$ に増加させる。これに伴って中間段のカレント部であるMN4とMN5は高速化し、 V_{non} 電位を急峻に降下させ出力トランジスタMN10を高速にオフする。一方、差動段の変動バイアス源MN20は、MN10と同様に高速にオフされ、差動入力トランジスタMN2とMN3に流れるバイアス電流は、減少して I_{bn} のみとなる。これに伴い出力段のゲート電圧 V_{pon} は、急峻に降下しMP10を高速でオンする。これにより、図7に示されるように、 V_{out} は破線で示される変動バイアス源を付加しない比較例よりも急峻に立上り、図8に示される遠端での電圧 V_{out_Far} も同様に、破線で示される変動バイアス源を付加しない比較例よりも急峻に立上る。

40

【0066】

時刻 t_2 において入力電圧 V_{in} の立下りに伴って出力電圧 V_{out} が立下る場合、出力段のゲート電圧 V_{pon} と V_{non} は、MP10をオフしMN10をオンする。出力端

50

子 S_{out} に接続される負荷 (図 3 参照) から放電するために、出力電流 I_{outn} が流れる。出力段のゲート電圧 V_{non} は、差動段の変動バイアス源 $MN20$ にも入力されているので、 $MN10$ と同様に $MN20$ もオンして I_{nd} が流れ、差動入力トランジスタ $MN2$ と $MN3$ に流れるバイアス電流を、 I_{bn} から $I_{bn} + I_{nd}$ に増加させる。これに伴って中間段のカレント部である $MP4$ と $MP5$ は高速化し、 V_{pon} 電位を急峻に上昇させ出力トランジスタ $MP10$ を高速にオフする。一方、差動段の変動バイアス源 $MP20$ は、 $MP10$ と同様に高速にオフされ、差動入力トランジスタ $MP2$ と $MP3$ に流れるバイアス電流は、減少して I_{bp} のみとなる。これに伴い出力段のゲート電圧 V_{non} は、急峻に上昇し $MN10$ を高速でオンする。これにより、図 7 に示されるように、 V_{out} は破線で示される変動バイアス源を付加しない比較例よりも急峻に立下り、図 8 に示される遠端での電圧 V_{out_Far} も同様に、破線で示される変動バイアス源を付加しない比較例よりも急峻に立下る。

10

【 0067 】

$MP20$ と $MN20$ のサイズは上述のように $MP10$ と $MN10$ の $1/N$ とされ、 V_{out} 電圧が安定したときは $MP20$ と $MN20$ の電流値が微小になるように、 N の値が設定される。

【 0068 】

図 7 と図 8 は、表示パネルを例にとった場合の波形であるが、図 7 は負荷が軽い場合の例、図 8 は負荷が重い場合の例として一般化される。

20

【 0069 】

以上述べたように、本発明の差動増幅器 (ソースアンプ) 4 では、高速駆動時にスルーレートを向上するためにバイアスを増加させる制御を、差動増幅器 (ソースアンプ) 4 の内部信号をフィードバックさせる自己制御によって実現することができる。また、高速駆動時の充放電電流に応じたバイアス制御を行うため、高速駆動時でもソース出力に応じたバイアス調整を行うことができる。即ち、出力電圧 V_{out} の変動が大きく、充放電電流である I_{outp} または I_{outn} のピークが大きくかつ充放電時間が長い場合には、それに応じて変動バイアス電流 I_{pd} と I_{nd} の値も大きくかつ付加される時間も長くなる。逆に、出力電圧 V_{out} の変動が小さい場合には、充放電電流である I_{outp} または I_{outn} のピークは小さくかつ充放電時間も短いため、それに応じて変動バイアス電流 I_{pd} と I_{nd} の値も小さくかつ付加される時間も短くなる。このように、一時的にスルーレートを向上することができる差動増幅回路 (ソースアンプ) 4 において、スルーレートを向上させるタイミングを、入力される差動信号 V_{in} の遷移に応じて適切に制御することができる。さらに、出力トランジスタ $MP10$ と $MN10$ が負荷を充放電する充放電電流と同じタイミング且つ概ね比例する大きさで、差動対トランジスタ $MP2$ と $MP3$, $MN2$ と $MN3$ のバイアス電流を増加させる ($I_{bp} + I_{pd}$, $I_{bn} + I_{nd}$) ことができ、スルーレートを向上させるタイミングだけでなくその大きさを、出力電圧 (V_{out}) の遷移に応じて適切に制御することができる。

30

【 0070 】

図 5 に示される差動増幅回路 (ソースアンプ) 4 は、差動段が高電位側電源 (例えば電源 V_{DD}) のバイアス電流源 $MP1$ と $MP20$ と、低電位側電源 (例えば接地 GND) のバイアス電流源 $MN1$ と $MN20$ の両方を備える回路であるが、一方のみを備える差動段を有する差動増幅回路も同様の作用効果を奏する。

40

【 0071 】

図 9 は、本発明に係る差動増幅回路の第 1 の変形例を示す回路図である。図 5 に示される差動増幅回路 (ソースアンプ) 4 と比較して、差動段の N チャネル MOS トランジスタ $MN1$, $MN2$, $MN3$, $MN20$ が省略され、 V_{in} は $MP3$ のゲート端子に入力され、 V_{out} は $MP2$ のゲート端子にフィードバックされている。他の回路は図 5 と同様であるので、説明を省略する。

【 0072 】

図 9 に示される差動増幅器 4 の動作は、入力電圧 V_{in} の立上りに伴って出力電圧 V_{o}

50

ut が立上る場合には、図 6 ~ 8 を引用して説明した、図 5 の差動増幅回路（ソースアンプ）4 の時刻 t_1 における立上りの動作と同様に、差動入力トランジスタ MP 2 と MP 3 に流れる電流を I_{bp} から $I_{bp} + I_{pd}$ に増加させる。これに伴って中間段のカレント部である MN 4 と MN 5 は高速化し、 V_{non} 電位を急峻に降下させ出力トランジスタ MN 10 を高速にオフする。出力段のゲート電圧 V_{pon} は比較例と同様に降下し MP 10 をオンする。これにより、図 7 と図 8 に示される出力電圧 V_{out} と遠端での電圧 V_{out_Far} は、破線で示される変動バイアス源を付加しない比較例よりも急峻に立上る。一方、時刻 t_2 における立下り時には、スルーレートを向上することはできず、図 7 と図 8 に示される出力電圧 V_{out} と遠端での電圧 V_{out_Far} は、破線で示される変動バイアス源を付加しない比較例と同様の波形となる。

10

【0073】

図 10 は、本発明に係る差動増幅回路の第 2 の変形例を示す回路図である。図 5 に示される差動増幅回路（ソースアンプ）4 と比較して、差動段の P チャネル MOS トランジスタ MP 1, MP 2, MP 3, MP 20 が省略され、 V_{in} は MN 3 のゲート端子に入力され、 V_{out} は MN 2 のゲート端子にフィードバックされている。他の回路は図 5 と同様であるので、説明を省略する。

【0074】

図 10 に示される差動増幅器 4 の動作は、入力電圧 V_{in} の立下りに伴って出力電圧 V_{out} が立下る場合には、図 6 ~ 8 を引用して説明した、図 5 の差動増幅回路（ソースアンプ）4 の時刻 t_2 における立下りの動作と同様に、差動入力トランジスタ MN 2 と MN 3 に流れる電流を I_{bn} から $I_{bn} + I_{nd}$ に増加させる。これに伴って中間段のカレント部である MP 4 と MP 5 は高速化し、 V_{pon} 電位を急峻に降下させ出力トランジスタ MP 10 を高速にオフする。これにより、図 7 と図 8 に示される出力電圧 V_{out} と遠端での電圧 V_{out_Far} は、破線で示される変動バイアス源を付加しない比較例よりも急峻に立下る。一方、時刻 t_1 における立上り時には、スルーレートを向上することはできず、図 7 と図 8 に示される出力電圧 V_{out} と遠端での電圧 V_{out_Far} は、破線で示される I 変動バイアス源を付加しない比較例と同様の波形となる。

20

【0075】

図 9 と図 10 には、本発明に係る差動増幅回路の変形例として、理解を助けるために、図 5 に示される回路からの変更量が少ない回路を示したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

30

【0076】

〔実施形態 2〕

図 11 は、実施形態 2 の差動増幅回路によるソースアンプ 4 の構成例を示す回路図である。図 5 に示される実施形態 1 の差動増幅回路（ソースアンプ）4 の構成例との違いは、変動バイアス源として機能する MP 20 と MN 20 に直列にスイッチ SW 1 と SW 2 がそれぞれ挿入されている点である。即ち、MP 20 と高電位側電源（例えば VDD）との間にスイッチ SW 1 が挿入され、MN 20 と低電位側電源（例えば GND）との間にスイッチ SW 2 が挿入される。他の構成については、図 5 と同様であるので説明を省略する。

40

【0077】

図 12 は、図 11 に示される差動増幅回路（ソースアンプ）4 の動作例を示すタイミングチャートである。横軸は時間であり、縦軸方向に上から、外部制御信号であるソース高速駆動タイミング信号と出力電圧 V_{out} とが模式的に示される。MP 20 と MN 20 のゲート端子に、それぞれ V_{pon} と V_{non} がフィードバックされており、変動バイアス源は実施形態 1 と同様に自己制御である。SW 1 と SW 2 にはソース高速駆動タイミング信号が入力されており、出力 V_{out} が遷移する、時刻 $t_1 \sim t_2$ の高速駆動期間には SW 1 と SW 2 はオンされ、出力トランジスタ MP 10 と MN 10 の充放電動作と同期して、バイアス電流を増やしスルーレートを向上させる。 V_{out} のレベルが安定する時刻 t_2 以降（安定駆動期間）にオフされる。これにより、変動バイアス源の微小電流も完全に

50

オフすることができ、安定駆動時の消費電流は、変動バイアス源を付加しない比較例の差動増幅回路と同じレベルに抑えることができる。この差動増幅回路4が表示駆動回路1における多数のソースアンプ4₁ ~ 4_nに適用される場合には、1個のソースアンプ4あたりの変動バイアス源の微小電流が小さいとしても、ソースアンプの数nが1000個以上の多数に及ぶ場合に、安定駆動時の消費電流の抑制効果は大きい。また、表示駆動回路1に適用される場合には、ソース高速駆動タイミング信号は、例えば、表示タイミングを示すストローク信号や水平同期信号Hsyncから生成することができる。

【0078】

〔実施形態3〕

図13は、実施形態3の差動増幅回路によるソースアンプ4の構成例を示す回路図である。差動段において変動バイアス源として機能するMP20とMN20に直列にスイッチSW1とSW2がそれぞれ挿入されている点は、図11に示される実施形態2の差動増幅回路(ソースアンプ)4と同様である。実施形態3では、スイッチSW1とSW2を制御するソース高速駆動タイミング信号Vpsw_bとVnsw_bが、差動増幅回路(ソースアンプ)4の外部から供給される代わりに、VponとVnonに基づいて内部で生成される。他の回路は、図11に示される実施形態2の差動増幅回路(ソースアンプ)4と同様であるので、説明を省略する。

10

【0079】

図14は、実施形態3の差動増幅回路における制御信号Vpsw_bとVnsw_bを内部生成する回路の回路図である。出力段に並列してコンパレータが設けられる。コンパレータは、2個のPチャンネルMOSトランジスタMP11とMP12と、2個のNチャンネルMOSトランジスタMN11とMN12と、2個のインバータINVpとINVnとを含んで構成される。MP11とMP12は、出力段のMP10と同様にVponがゲート端子に入力され、ソース端子が高電位側電源(例えばVDD)に接続される。MN11とMN12は、出力段のMN10と同様にVnonがゲート端子に入力され、ソース端子が低電位側電源(例えばGND)に接続される。MP11とMN11のドレインが互いに接続されてVpswを出力し、インバータINVpによって反転されて、SW2を制御するVpsw_bを出力する。MP12とMN12のドレインが互いに接続されてVnswを出力し、インバータINVnによって反転されて、SW1を制御するVnsw_bを出力する。MP11とMP12のサイズ(ゲート幅/ゲート長)は、MP10のサイズ(ゲート幅/ゲート長) $N \times W_p / L_p$ に対して、それぞれ $(W_p + p) / L_p$ と W_p / L_p とされる。MN11とMN12のサイズ(ゲート幅/ゲート長)は、MN10のサイズ(ゲート幅/ゲート長) $N \times W_n / L_n$ に対して、それぞれ W_n / L_n と $(W_n + n) / L_n$ とされる。MP11とMN11によるコンパレータと、MP12とMN12によるコンパレータは、MP10とMN10による出力段に対して、それぞれ逆方向にオフセットが持っており、安定駆動時にVpsw = High、Vnsw = Lowとなる。

20

30

【0080】

図15は、図14に示される差動増幅回路(ソースアンプ)4の動作例を示すタイミングチャートである。横軸は時間であり、縦軸方向に上からVout, Vpsw, Vnsw, Vpsw_b, Vnsw_bの波形が示される。SW1はPチャンネルMOSトランジスタで構成され、Vnsw_b = Lowのときにオンになり、SW2はNチャンネルMOSトランジスタで構成され、Vpsw_b = Highのときにオンになるものとして描かれている。Voutの立上りでは、MP12とMN12によるコンパレータが動作してSW2をオンさせ、Voutの立下りでは、MP11とMN11によるコンパレータが動作してSW1をオンさせる自己制御を行う。Vpsw, Vnsw, Vpsw_b, Vnsw_bは、Voutとは異なり、表示パネル2のソース配線のような重い負荷が接続されていないので、高速に動作する。

40

【0081】

MP12とMN12によるコンパレータは、上述のオフセットを持っているので、時刻t0 ~ t1のVoutが比較的低い電圧で安定している期間には、Vnsw = Lowを出

50

力しており、 V_{out} が上昇を始めてオフセットで規定される所定の電圧以上に上昇した時点（時刻 t_1 ）で $V_{nsw} = High$ を出力し、その反転信号である V_{nsw_b} は Low に立下って SW_1 をオンする。その後、 V_{out} が安定する電圧よりもオフセットで規定される所定の電圧だけ低い電圧に到達したことを検出した時点（時刻 t_2 ）で $V_{nsw} = Low$ を出力し、その反転信号である V_{nsw_b} は $High$ に立上って SW_1 をオフする。この間、 MP_{11} と MN_{11} によるコンパレータは、時刻 $t_0 \sim t_1$ の安定駆動期間に既に $V_{psw} = High$ を出力しているので、 V_{out} の立上りに応答する動作はしない。 MP_{11} と MN_{11} によるコンパレータは、上述のオフセットを持っているので、時刻 $t_0 \sim t_3$ の V_{out} が立上り比較的高い電圧で安定している期間には、 $V_{psw} = High$ を出力しており、 V_{out} が下降を始めてオフセットで規定される所定の電圧まで下がった時点（時刻 t_3 ）で $V_{psw} = Low$ を出力し、その反転信号である V_{psw_b} は $High$ に立上って SW_2 をオンする。その後、 V_{out} が安定する電圧よりもオフセットで規定される所定の電圧だけ高い電圧に到達したことを検出した時点（時刻 t_4 ）で $V_{psw} = High$ を出力し、その反転信号である V_{psw_b} は Low に立下って SW_2 をオフする。この間、 MP_{12} と MN_{12} によるコンパレータは、時刻 $t_2 \sim t_3$ の安定駆動期間に既に $V_{nsw} = Low$ を出力しているので、 V_{out} の立下りに応答する動作はしない。

10

【0082】

これにより、出力端子からの出力電圧 V_{out} が遷移するタイミングと安定するタイミングとを、差動増幅回路の内部信号から生成し、適切なタイミングで、変動バイアス源である MP_{20} と MN_{20} を動作させまた遮断することができる。

20

【0083】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0084】

例えば、主に液晶表示パネルを駆動するソースアンプに適用した場合について説明したが、他の負荷を駆動する回路に適用することができるように変更することもできる。

【符号の説明】

【0085】

30

- 1 表示駆動回路（表示ドライバIC）
- 2 表示パネル
- 3 ホストプロセッサ
- 4 差動増幅回路（ソースアンプ）
- 5 階調レベル選択回路
- 6 ラインラッチ
- 7 フレームメモリ
- 8 制御部
- 9 ホストインターフェース

- 11 電源回路
- 12 ゲート制御信号駆動回路
- 13 階調レベル生成回路
- 14 ソースアンプバイアス制御回路
- 15 ゲートインパネル（GIP）
- 16 表示セル
- 30 電流源
- 100 電子機器

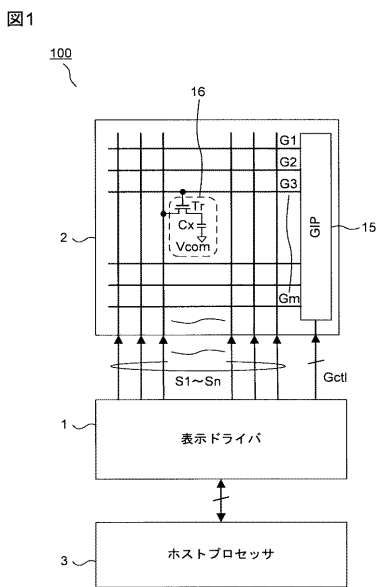
40

- $MP_1 \sim MP_{12}$ 、 MP_{20} PチャンネルMOSFET
 $MN_0 \sim MN_{12}$ 、 MN_{20} NチャンネルMOSFET
 Tr トランスマフゲート

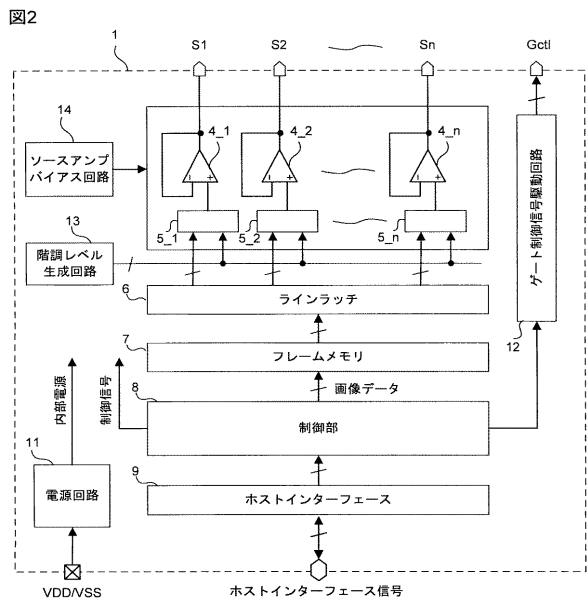
50

C_x 画素容量
 C_n, C_p フィードバック容量
 C 容量
 R, R_b 抵抗
 I_{NV} インバータ

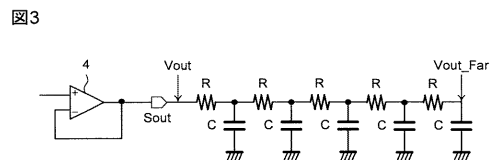
【図1】



【図2】

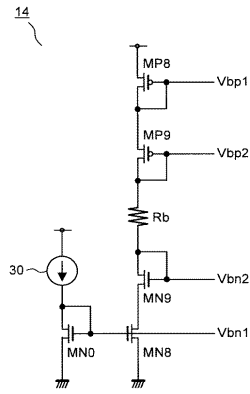


【図3】



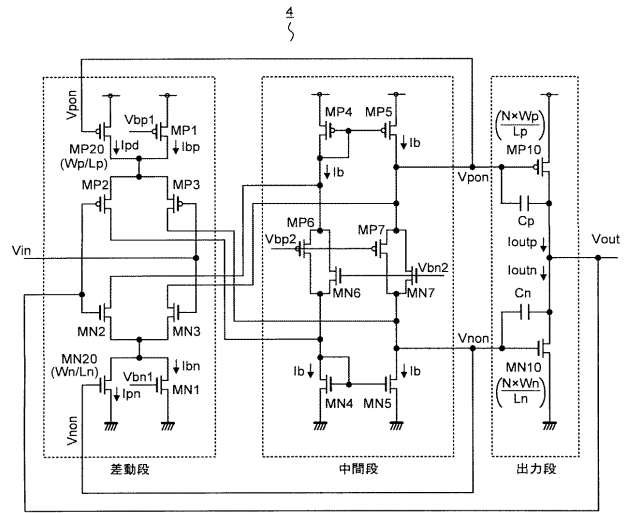
【 図 4 】

図4



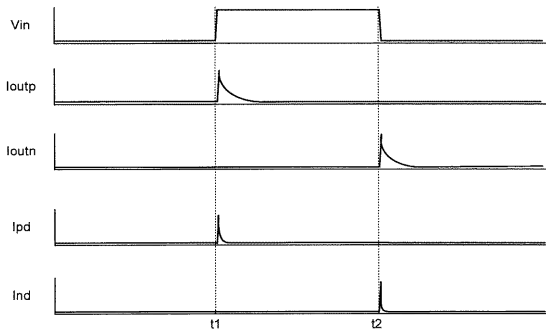
【 図 5 】

図5



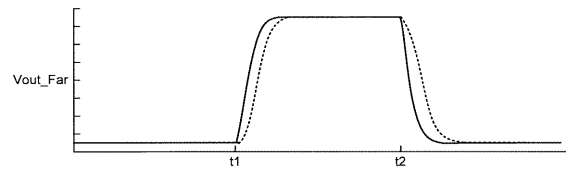
【 図 6 】

図6



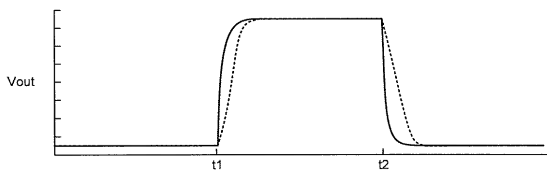
【 図 8 】

図8



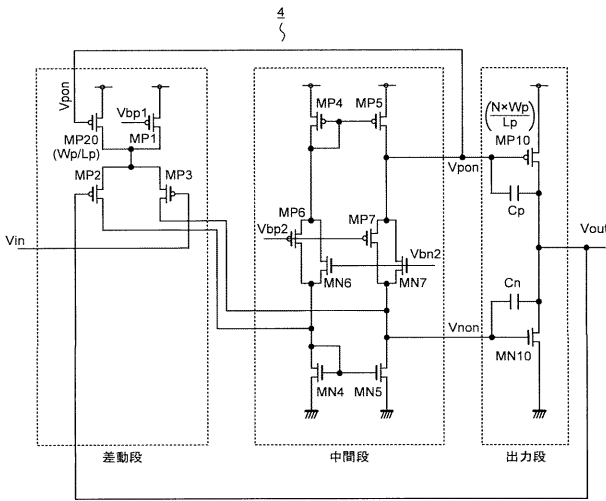
【 図 7 】

図7



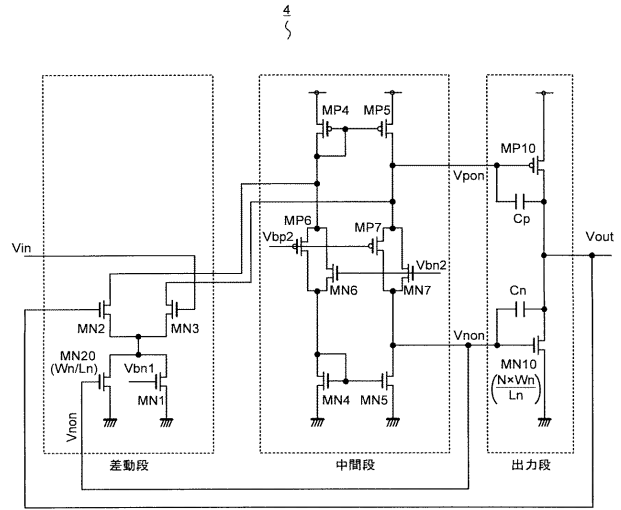
【 図 9 】

図9



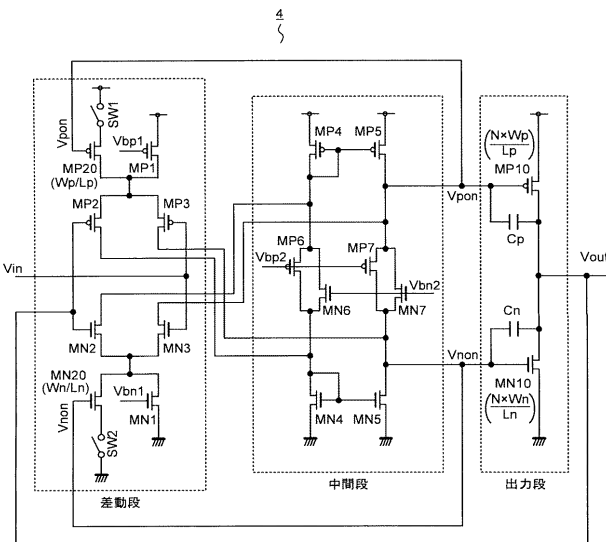
【 図 1 0 】

図10



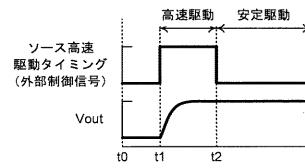
【 図 1 1 】

図11

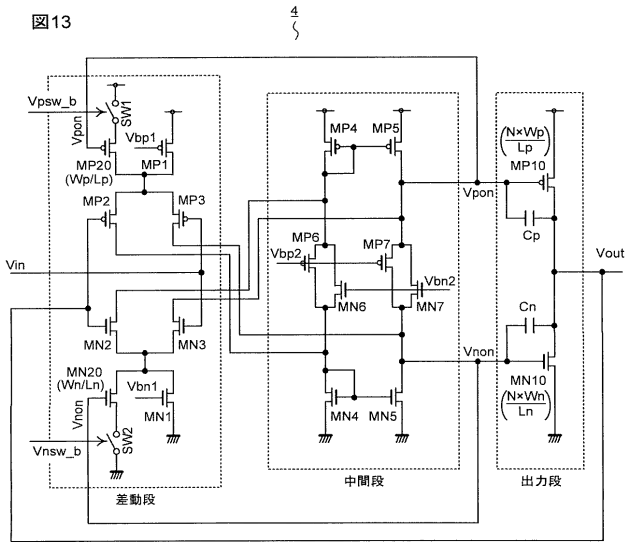


【 図 1 2 】

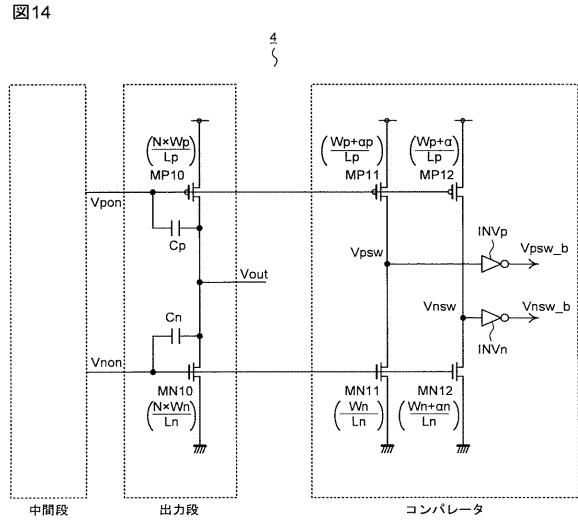
図12



【 図 1 3 】

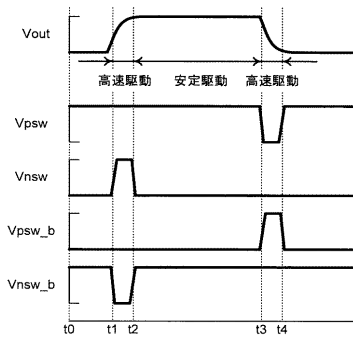


【 図 1 4 】



【 図 1 5 】

図15



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

Fターム(参考) 5C080 AA10 BB05 DD08 DD26 FF11 JJ02 JJ03 JJ04 KK07 KK47
5J500 AA01 AA12 AA17 AA63 AC65 AF10 AH10 AH17 AH29 AK02
AK08 AK09 AK12 AM08 AM20 AS08 AT01 DM03 DN02 DN12
DN28 DP01