

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6308757号
(P6308757)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338
	GO9F 9/30 343
	GO9F 9/30 348A

請求項の数 15 (全 25 頁)

(21) 出願番号	特願2013-239443 (P2013-239443)	(73) 特許権者	000006013
(22) 出願日	平成25年11月20日(2013.11.20)		三菱電機株式会社
(65) 公開番号	特開2015-99287 (P2015-99287A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成27年5月28日(2015.5.28)	(74) 代理人	100088672
審査請求日	平成28年11月14日(2016.11.14)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	山吉 一司
			熊本県合志市御代志997番地 メルコ・
			ディスプレイ・テクノロジー株式会社内
		(72) 発明者	園田 武司
			熊本県合志市御代志997番地 メルコ・
			ディスプレイ・テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示パネルおよび液晶表示パネルの製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板と、
 前記絶縁性基板上に設けられたゲート電極と、
 前記絶縁性基板上において前記ゲート電極を覆うゲート絶縁膜と、
 前記ゲート絶縁膜上に部分的に設けられ、前記ゲート絶縁膜を介して前記ゲート電極に
 対向する半導体膜と、
 前記絶縁性基板上に設けられた信号線と、
 前記半導体膜上に部分的に設けられ、前記信号線とつながるソース電極と、
 前記半導体膜上に前記ソース電極から離れて設けられたドレイン電極とを備え、前記ソ
 ース電極および前記ドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を
 有し、前記ソース電極側面および前記ドレイン電極側面は前記半導体膜上で対向方向にお
 いて間隔を空けて互いに対向し、さらに
 前記絶縁性基板上において前記信号線を覆い表面を平坦化する平坦化絶縁膜を備え、前
 記平坦化絶縁膜は前記ドレイン電極を部分的に露出する開口部を有し、前記開口部は前記
 ドレイン電極上から延びる側壁を有し、さらに
 前記平坦化絶縁膜の前記開口部で前記ドレイン電極に接触し平面レイアウトにおいて前
 記ゲート電極の形成領域内に設けられた接触部分と、前記接触部分から直接前記平坦化絶
 縁膜の前記側壁上に延びる配線部分と、前記配線部分につながり前記平坦化絶縁膜上に設
 けられた本体部分とを有し、透明導電体から作られた画素電極と、

10

20

前記画素電極を覆う層間絶縁膜とを備え、前記層間絶縁膜は、前記ソース電極を覆いかつ前記ソース電極側面および前記ドレイン電極側面の間において前記半導体膜を直接覆いかつ前記画素電極の前記接触部分を覆い、さらに

前記層間絶縁膜上に配置され、前記層間絶縁膜を介して前記画素電極に対向するスリットが設けられた共通電極とを備える、液晶表示パネル。

【請求項 2】

前記層間絶縁膜のうち前記ソース電極側面および前記ドレイン電極側面の間において前記半導体膜を直接覆う部分は、前記平坦化絶縁膜の前記開口部内にある、請求項 1 に記載の液晶表示パネル。

10

【請求項 3】

前記画素電極は 1 層の連続パターンよりなる、請求項 1 または 2 に記載の液晶表示パネル。

【請求項 4】

絶縁性基板と、
前記絶縁性基板上に設けられたゲート電極と、
前記絶縁性基板上において前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜上に部分的に設けられ、前記ゲート絶縁膜を介して前記ゲート電極に対向する半導体膜と、
前記絶縁性基板上に設けられた信号線と、
前記半導体膜上に部分的に設けられ、前記信号線とつながるソース電極と、
前記半導体膜上に前記ソース電極から離れて設けられたドレイン電極とを備え、前記ソース電極および前記ドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を有し、前記ソース電極側面および前記ドレイン電極側面は前記半導体膜上で対向方向において間隔を空けて互いに対向し、さらに

20

前記絶縁性基板上において前記信号線を覆い表面を平坦化する平坦化絶縁膜を備え、前記平坦化絶縁膜は前記ドレイン電極を部分的に露出する開口部を有し、前記開口部は前記ドレイン電極上から延びる側壁を有し、さらに

前記平坦化絶縁膜の前記開口部で前記ドレイン電極に接触し平面レイアウトにおいて前記ゲート電極の形成領域内に設けられた接触部分と、前記接触部分から直接前記平坦化絶縁膜の前記側壁上に延びる配線部分と、前記配線部分につながり前記平坦化絶縁膜上に設けられた本体部分とを有し、1 層の連続パターンよりなる透明導電体から作られた画素電極と、

30

前記画素電極を覆う層間絶縁膜とを備え、前記層間絶縁膜は、前記ソース電極を覆いかつ前記ソース電極側面および前記ドレイン電極側面の間において前記半導体膜を直接覆い、さらに

前記層間絶縁膜上に配置され、前記層間絶縁膜を介して前記画素電極に対向するスリットが設けられた共通電極とを備える、液晶表示パネル。

【請求項 5】

40

前記層間絶縁膜のうち前記ソース電極側面および前記ドレイン電極側面の間において前記半導体膜を直接覆う部分は、前記平坦化絶縁膜の前記開口部内にある、請求項 4 に記載の液晶表示パネル。

【請求項 6】

前記平坦化絶縁膜の前記開口部は前記絶縁性基板に向かってテーパ形状を有する、請求項 1 から 5 のいずれか 1 項に記載の液晶表示パネル。

【請求項 7】

前記平坦化絶縁膜は感光性を有する樹脂から作られている、請求項 1 から 6 のいずれか 1 項に記載の液晶表示パネル。

【請求項 8】

50

前記画素電極は前記平坦化絶縁膜の前記開口部内での前記対向方向における端部として画素電極端部を有し、前記画素電極端部は前記ドレイン電極上において前記ドレイン電極側面よりも内側に位置する、請求項 1 から 7 のいずれか 1 項に記載の液晶表示パネル。

【請求項 9】

前記ソース電極上に設けられ前記画素電極と同じ材料から作られたダミー電極をさらに備え、前記ダミー電極は、前記平坦化絶縁膜の前記開口部内で前記画素電極端部に対向するダミー電極端部を有し、前記ダミー電極端部は前記ソース電極側面よりも内側に位置する、請求項 8 に記載の液晶表示パネル。

【請求項 10】

前記層間絶縁膜はスピノングラス膜である、請求項 1 から 9 のいずれか 1 項に記載の液晶表示パネル。

【請求項 11】

絶縁性基板上にゲート電極を形成する工程と、

前記絶縁性基板上において前記ゲート電極を覆うゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に部分的に設けられ前記ゲート絶縁膜を介して前記ゲート電極に対向する半導体膜と、前記絶縁性基板上に設けられた信号線と、前記信号線とつながり前記半導体膜上に設けられた電極膜とを形成する工程と、

前記絶縁性基板上において前記信号線を覆い表面を平坦化するとともに、前記電極膜を部分的に露出する開口部を有する平坦化絶縁膜を形成する工程とを備え、前記開口部は前記電極膜上から延びる側壁を有し、さらに

前記平坦化絶縁膜を覆い、前記平坦化絶縁膜の前記開口部で前記電極膜に接触する透明導電膜を成膜する工程と、

前記透明導電膜上に、開口パターンと、第 1 の厚さを有する第 1 のフォトリソパターンと、前記第 1 の厚さよりも大きい厚さを有する第 2 のフォトリソパターンと、を含むフォトリソ膜を形成する工程と、

前記フォトリソ膜の前記第 1 および第 2 のフォトリソパターンをエッチングマスクとして用いて前記透明導電膜をパターンングすることによって、前記平坦化絶縁膜の前記開口部で前記電極膜に接触する接触部分と、前記接触部分から直接前記平坦化絶縁膜の前記側壁上に延びる配線部分と、前記配線部分につながり前記平坦化絶縁膜上に設けられた本体部分とを有し、透明導電体から作られた画素電極を形成する工程と、

前記フォトリソ膜の前記第 1 および第 2 のフォトリソパターンをエッチングマスクとして用いて前記電極膜をパターンングする工程とを備え、前記電極膜をパターンングする工程は、前記電極膜から、前記信号線とつながるソース電極と、前記ソース電極から離れて設けられ前記画素電極の前記接触部分と接触するドレイン電極とを形成する工程を含み、前記ソース電極および前記ドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を有し、前記ソース電極側面および前記ドレイン電極側面は前記半導体膜上で対向方向において間隔を空けて互いに対向し、さらに

前記第 1 のフォトリソパターンを除去しかつ平面レイアウトにおいて前記第 2 のフォトリソパターンの少なくとも一部を残存させることによって、前記フォトリソ膜を狭小化する工程と、

前記フォトリソ膜を狭小化する工程の後に、前記フォトリソ膜を用いて前記画素電極をパターンングする工程と、

前記画素電極を覆う層間絶縁膜を形成する工程を備え、前記層間絶縁膜は、前記ソース電極を覆いかつ前記ソース電極側面および前記ドレイン電極側面の間において前記半導体膜を直接覆い、さらに

前記層間絶縁膜上に、前記層間絶縁膜を介して前記画素電極に対向するスリットが設けられた共通電極を形成する工程と

を備える、液晶表示パネルの製造方法。

【請求項 12】

前記フォトリソ膜を形成する工程は、多階調マスクを用いて前記フォトリソ膜

10

20

30

40

50

を露光する工程を含む、請求項 1 1 に記載の液晶表示パネルの製造方法。

【請求項 1 3】

前記フォトリソ膜を露光する工程は、第 1 の透過率を有する第 1 のマスクパターンと、前記第 1 の透過率よりも高い第 2 の透過率を有する第 2 のマスクパターンと、前記第 2 の透過率よりも高い第 3 の透過率を有する第 3 のマスクパターンとを有する前記多階調マスクを準備する工程を含む、

前記フォトリソ膜を露光する工程において、前記第 2 のマスクパターンは、前記フォトリソ膜のうち前記平坦化絶縁膜の前記開口部の外側に位置する部分のみに対して投影される、請求項 1 2 に記載の液晶表示パネルの製造方法。

【請求項 1 4】

前記フォトリソ膜を狭小化する工程は、平面レイアウトにおいて前記第 2 のフォトリソパターンを狭小化する工程を含む、請求項 1 1 から 1 3 のいずれか 1 項に記載の液晶表示パネルの製造方法。

【請求項 1 5】

前記フォトリソ膜を形成する工程は、前記透明導電膜のうち前記平坦化絶縁膜上の部分に前記第 1 および第 2 のフォトリソパターンの各々を形成する工程を含む、請求項 1 1 から 1 4 のいずれか 1 項に記載の液晶表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルおよび液晶表示パネルの製造方法に関するものである。

【背景技術】

【0002】

液晶表示パネルの表示方式として TN (Twisted Nematic) モードが広く用いられている。このモードは、パネルにほぼ垂直な電界を発生させることで液晶分子を駆動する縦電界方式である。一方で近年、パネルにほぼ水平な電界を発生させることで液晶分子を水平方向で駆動する横電界方式も用いられている。横電界方式は、広視野角、高精細および高輝度化といった長所を有していることから、スマートフォンおよびタブレットなどを代表とする中小型パネルでは主流になりつつある。横電界方式の代表的なものとして、FFS (Fringe Field Switching) モードがある。

【0003】

横電界を発生させるために画素電極および対向電極（共通電極）の間に電圧が印加されると、両電極のうち基板に近いほうのもの（下部電極）と、信号線との間に寄生容量が発生する。寄生容量が大きいと表示品位の低下につながりやすい。寄生容量を小さくするためには、下部電極と信号線との間の絶縁膜は、大きな厚さと小さな比誘電率とを有することが望ましい。この点で、絶縁膜は有機絶縁膜であることが好ましい。有機絶縁膜は、薄膜トランジスタ (TFT) などの段差を覆うことで平坦性を得ることができるという利点も有する。また有機絶縁膜として感光性を有するものが用いられる場合、フォトリソグラフィ法によって開口部（コンタクトホール）を直接形成することができる。

【0004】

特開 2007 - 226175 号公報（特許文献 1）に FFS を用いた液晶装置が開示されている。その一例によれば液晶装置は、SiO₂ からなる絶縁膜、すなわち無機絶縁膜、が有するコンタクトホール内に入り込んだ中継電極を有する。この中継電極により TFT と画素電極とが電氣的に接続されている。この技術によれば、中継電極が用いられるために構造および製造方法が複雑となる。そこで中継電極を用いずに画素電極とドレイン電極とを直接接続することが望まれる。

【0005】

米国特許出願公開第 2013/0063673 号明細書（特許文献 2）によれば、TFT 上に設けられる絶縁膜として、感光性を有する有機絶縁膜を用いることが開示されている。有機絶縁膜には、TFT を露出する開口部が設けられている。この開口部を介して画

10

20

30

40

50

素電極がTFTに電氣的に接続されている。具体的には画素電極はオーミックコンタクト層および活性層の側面とドレイン電極とに直接接している。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-226175号公報

【特許文献2】米国特許出願公開第2013/0063673号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

特許文献2によれば、画素電極のうち電界発生上有効な部分、すなわち共通電極と対向する部分は、有機絶縁膜の開口部上と、ゲート絶縁膜上と、活性層の側面上と、オーミックコンタクト層の側壁とを経て、TFTのドレイン電極とつながっている。このように画素電極が複雑な経路を経ることから、製造工程のばらつきなどに起因して画素電極が途中で途切れてしまうことがあり、特に層の境界において途切れやすい。これに起因して液晶表示パネルの製造歩留まりが低下し得る。

【0008】

本発明は以上のような課題を解決するためになされたものであり、その目的は、製造歩留まりを向上させることができる、液晶表示パネルおよび液晶表示パネルの製造方法を提供することである。

20

【課題を解決するための手段】

【0009】

本発明の一の局面に従う液晶表示パネルは、絶縁性基板と、ゲート電極と、ゲート絶縁膜と、半導体膜と、信号線と、ソース電極と、ドレイン電極と、平坦化絶縁膜と、画素電極と、層間絶縁膜と、共通電極とを有する。ゲート電極は絶縁性基板上に設けられている。ゲート絶縁膜は絶縁性基板上においてゲート電極を覆っている。半導体膜は、ゲート絶縁膜上に部分的に設けられており、ゲート絶縁膜を介してゲート電極に対向している。信号線は絶縁性基板上に設けられている。ソース電極は、半導体膜上に部分的に設けられており、信号線とつながっている。ドレイン電極は半導体膜上にソース電極から離れて設けられている。ソース電極およびドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を有する。ソース電極側面およびドレイン電極側面は半導体膜上で対向方向において間隔を空けて互いに対向している。平坦化絶縁膜は絶縁性基板上において信号線を覆い表面を平坦化している。平坦化絶縁膜はドレイン電極を部分的に露出する開口部を有する。開口部はドレイン電極上から延びる側壁を有する。画素電極は、平坦化絶縁膜の開口部でドレイン電極に接触し平面レイアウトにおいてゲート電極の形成領域内に設けられた接触部分と、接触部分から直接平坦化絶縁膜の側壁上に延びる配線部分と、配線部分につながり平坦化絶縁膜上に設けられた本体部分とを有する。画素電極は透明導電体から作られている。層間絶縁膜は画素電極を覆っている。層間絶縁膜は、ソース電極を覆っており、かつソース電極側面およびドレイン電極側面の間において半導体膜を直接覆い、かつ画素電極の接触部分を覆っている。共通電極は、層間絶縁膜上に配置されており、層間絶縁膜を介して画素電極に対向するスリットが設けられている。

30

40

本発明の他の局面に従う液晶表示パネルは、絶縁性基板と、ゲート電極と、ゲート絶縁膜と、半導体膜と、信号線と、ソース電極と、ドレイン電極と、平坦化絶縁膜と、画素電極と、層間絶縁膜と、共通電極とを有する。ゲート電極は絶縁性基板上に設けられている。ゲート絶縁膜は絶縁性基板上においてゲート電極を覆っている。半導体膜は、ゲート絶縁膜上に部分的に設けられており、ゲート絶縁膜を介してゲート電極に対向している。信号線は絶縁性基板上に設けられている。ソース電極は、半導体膜上に部分的に設けられており、信号線とつながっている。ドレイン電極は半導体膜上にソース電極から離れて設けられている。ソース電極およびドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を有する。ソース電極側面およびドレイン電極側面は半導体膜上で対向方向にお

50

いて間隔を空けて互いに対向している。平坦化絶縁膜は絶縁性基板上において信号線を覆い表面を平坦化している。平坦化絶縁膜はドレイン電極を部分的に露出する開口部を有する。開口部はドレイン電極上から延びる側壁を有する。画素電極は、平坦化絶縁膜の開口部でドレイン電極に接触し平面レイアウトにおいてゲート電極の形成領域内に設けられた接触部分と、接触部分から直接平坦化絶縁膜の側壁上に延びる配線部分と、配線部分につながり平坦化絶縁膜上に設けられた本体部分とを有する。画素電極は、1層の連続パターンよりなる透明導電体から作られている。層間絶縁膜は画素電極を覆っている。層間絶縁膜は、ソース電極を覆っており、かつソース電極側面およびドレイン電極側面の間において半導体膜を直接覆っている。共通電極は、層間絶縁膜上に配置されており、層間絶縁膜を介して画素電極に対向するスリットが設けられている。

10

【0010】

本発明の液晶表示パネルの製造方法は、以下の工程を有する。

【0011】

絶縁性基板上にゲート電極が形成される。

【0012】

絶縁性基板上においてゲート電極を覆うゲート絶縁膜が形成される。

【0013】

ゲート絶縁膜上に部分的に設けられゲート絶縁膜を介してゲート電極に対向する半導体膜と、絶縁性基板上に設けられた信号線と、信号線とつながり半導体膜上に設けられた電極膜とが形成される。

20

【0014】

絶縁性基板上において信号線を覆い表面を平坦化するとともに、電極膜を部分的に露出する開口部を有する平坦化絶縁膜が形成される。開口部は電極膜上から延びる側壁を有する。

【0015】

平坦化絶縁膜を覆い、平坦化絶縁膜の開口部で電極膜に接触する透明導電膜が成膜される。

【0016】

透明導電膜上に、開口パターンと、第1の厚さを有する第1のフォトリソパターンと、第1の厚さよりも大きい厚さを有する第2のフォトリソパターンと、を含むフォトリソ膜が形成される。

30

【0017】

フォトリソ膜の第1および第2のフォトリソパターンをエッチングマスクとして用いて透明導電膜をパターンングすることによって、透明導電体から作られた画素電極が形成される。画素電極は、平坦化絶縁膜の開口部で電極膜に接触する接触部分と、接触部分から直接平坦化絶縁膜の側壁上に延びる配線部分と、配線部分につながり平坦化絶縁膜上に設けられた本体部分とを有する。

【0018】

フォトリソ膜の第1および第2のフォトリソパターンをエッチングマスクとして用いて電極膜がパターンングされる。電極膜をパターンングする工程は、電極膜から、信号線とつながるソース電極と、ソース電極から離れて設けられ画素電極の接触部分と接触するドレイン電極とを形成する工程を含む。ソース電極およびドレイン電極のそれぞれはソース電極側面およびドレイン電極側面を有し、ソース電極側面およびドレイン電極側面は半導体膜上で対向方向において間隔を空けて互いに対向する。

40

【0019】

第1のフォトリソパターンを除去しかつ平面レイアウトにおいて第2のフォトリソパターンの少なくとも一部を残存させることによって、フォトリソ膜が狭小化される。

【0020】

フォトリソ膜が狭小化された後に、フォトリソ膜を用いて画素電極がパターニ

50

ングされる。

【 0 0 2 1 】

画素電極を覆う層間絶縁膜が形成される。層間絶縁膜は、ソース電極を覆いかつソース電極側面およびドレイン電極側面の間において半導体膜を直接覆う。

【 0 0 2 2 】

層間絶縁膜上に、層間絶縁膜を介して画素電極に対向するスリットが設けられた共通電極が形成される。

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、画素電極は、平坦化絶縁膜の開口部でドレイン電極に接触する接触部分と、接触部分から直接平坦化絶縁膜の側壁上に延びる配線部分と、配線部分につながり平坦化絶縁膜上に設けられた本体部分とを有する。この構成により、製造工程のばらつきなどに起因して画素電極が途中で途切れることが抑制される。これにより製造歩留まりが向上する。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 本発明の実施の形態 1 における液晶表示パネルの構成を示す断面図である。

【 図 2 】 図 1 の液晶表示パネルが有するアレイ基板の構成を模式的に示す平面図である。

【 図 3 】 図 2 のアレイ基板の一の画素の近傍の構成を概略的に示す部分平面図である。

【 図 4 】 図 3 の共通電極および層間絶縁膜の図示を省略した概略部分平面図である。

【 図 5 】 図 4 の画素電極および有機絶縁膜の図示を省略した概略部分平面図である。

【 図 6 】 図 3 ~ 5 の各々にける、線 V I A - V I A に沿う概略断面図 (A)、および線 V I B - V I B に沿う概略断面図 (B) である。

【 図 7 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 1 工程を概略的に示す部分平面図である。

【 図 8 】 図 7 の、線 V I I I A - V I I I A に沿う概略断面図 (A)、および線 V I I I B - V I I I B に沿う概略断面図 (B) である。

【 図 9 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 2 工程を概略的に示す部分平面図である。

【 図 1 0 】 図 9 の、線 X A - X A に沿う概略断面図 (A)、および線 X B - X B に沿う概略断面図 (B) である。

【 図 1 1 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 3 工程を概略的に示す部分平面図である。

【 図 1 2 】 図 1 1 の、線 X I I A - X I I A に沿う概略断面図 (A)、および線 X I I B - X I I B に沿う概略断面図 (B) である。

【 図 1 3 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 4 工程を概略的に示す部分平面図である。

【 図 1 4 】 図 1 3 の、線 X I V A - X I V A に沿う概略断面図 (A)、および線 X I V B - X I V B に沿う概略断面図 (B) である。

【 図 1 5 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 5 工程を概略的に示す部分平面図である。

【 図 1 6 】 図 1 5 の、線 X V I A - X V I A に沿う概略断面図 (A)、および線 X V I B - X V I B に沿う概略断面図 (B) である。

【 図 1 7 】 本発明の実施の形態 1 における液晶パネルが有するアレイ基板の製造方法の第 6 工程を概略的に示す部分平面図である。

【 図 1 8 】 図 1 7 の、線 X V I I I A - X V I I I A に沿う概略断面図 (A)、および線 X V I I I B - X V I I I B に沿う概略断面図 (B) である。

【 図 1 9 】 図 1 3 のフォトリソグラフィのためのフォトマスクの構成を概略的に示す部分平面図である。

【 図 2 0 】 比較例における、ソース電極とダミー電極との間の位置関係と、ドレイン電極

10

20

30

40

50

と画素電極との間の位置関係とを概略的に示す部分断面図（Ａ）と、実施の形態１における、ソース電極とダミー電極との間の位置関係と、ドレイン電極と画素電極との間の位置関係とを概略的に示す部分断面図（Ｂ）とである。

【図２１】有機絶縁膜の開口部のテーパ角を説明する部分断面図である。

【図２２】実施の形態１における画素電極の有効領域を模式的に示す平面図（Ａ）、および画素電極が上部電極として配置された場合の比較例における画素電極の有効領域を模式的に示す平面図（Ｂ）である。

【図２３】本発明の実施の形態２における液晶パネルが有するアレイ基板の構成を概略的に示す部分断面図であり、図６（Ａ）の視野に対応する図（Ａ）、および図６（Ｂ）の視野に対応する図（Ｂ）である。

【図２４】本発明の実施の形態２における液晶パネルが有するアレイ基板の製造方法の一工程を概略的に示す部分断面図であり、図２３（Ａ）の視野に対応する図（Ａ）、および図２３（Ｂ）の視野に対応する図（Ｂ）である。

【図２５】本発明の実施の形態３における液晶パネルが有するアレイ基板の構成を概略的に示す部分断面図であり、図６（Ａ）の視野に対応する図（Ａ）、および図６（Ｂ）の視野に対応する図（Ｂ）である。

【発明を実施するための形態】

【００２５】

以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。図は模式的なものであり、示された構成要素の正確な大きさなどを反映するものではない。また、図面が煩雑とならない様、発明の主要部以外の省略や構成の一部簡略化などを適宜行っている。

【００２６】

< 実施の形態１ >

（全体構成）

はじめに本実施の形態の液晶表示パネルの全体的な構成の概略について、図１および図２を参照して説明する。なお本実施の形態において特に特徴的な構成であるアレイ基板の構成については、図３以降を参照して後述する。

【００２７】

図１を参照して、本実施の形態の液晶表示パネル３００は、アレイ基板２０１と、配向膜３６１ａ、３６１ｂと、液晶層３６２と、対向基板３６０と、シール３６９と、偏光板３６５ａ、３６５ｂと、光学フィルム３６６と、バックライトユニット３６７とを有する。

【００２８】

配向膜３６１ａは、アレイ基板２０１の、後述する共通電極上に設けられている。液晶層３６２は配向膜３６１ａ上に設けられている。液晶層３６２の上には配向膜３６１ｂが設けられている。配向膜３６１ｂは、対向基板３６０上に設けられている。配向膜３６１ｂが設けられた対向基板３６０は、間隔を空けてアレイ基板２０１に対向している。対向基板３６０は視認側に配置されている。対向基板３６０にはカラーフィルタ３６４およびブラックマトリクス３６３が設けられている。この構成によりアレイ基板２０１と対向基板３６０との間に液晶層３６２が挟持されている。

【００２９】

さらに、アレイ基板２０１および対向基板３６０のそれぞれの外側の面には偏光板３６５ａおよび３６５ｂが設けられている。偏光板３６５ａおよび３６５ｂはクロスニコル配置をなすことが好ましい。また、液晶表示パネルの反視認側となるアレイ基板２０１の裏面側に、位相差板などの光学フィルム３６６を介してバックライトユニット３６７が配置されている。液晶表示パネルおよびこれら周辺部材は、樹脂や金属などよりなるフレーム（図示せず）内に収納されていてもよい。

【００３０】

アレイ基板 201 によって液晶層 362 の配向方向を調整することにより、液晶層 362 を通過する光の偏光状態が制御される。具体的には、バックライトユニット 367 から光は、アレイ基板 201 側の偏光板 365a によって直線偏光になる。この直線偏光が液晶層 362 を通過することによって、偏光状態が変化する。この偏光状態に応じて、対向基板 360 側の偏光板 365b を通過する光の強度が変化する。液晶層 362 の配向方向は、アレイ基板 201 に印加される表示電圧によって変化する。従って、表示電圧を制御することによって、偏光板 365b を通過する光の強度を変化させることができる。これにより液晶表示がなされる。

【0031】

図 2 を参照して、アレイ基板 201 は、画像を表示する表示領域 101 と、表示領域 101 を囲む額縁領域 102 とを有する。額縁領域 102 においては、表示領域 101 から延設された外部配線 107 が、外部接続用の複数の端子電極に接続されている。端子電極はプリント基板 108 および IC チップ 109 側の端子と、ACF (Anisotropic Conductive Film) またはバンプを介して接続されている。表示領域 101 においては、複数の信号線 103 と複数の走査線 104 とが互いに直交するように配置されている。複数の共通配線 105 は走査線 104 に平行して配置されている。そして隣接する信号線 103 と走査線 104 とでひとつの画素が形成されることで、複数の画素がマトリクス状 (アレイ状) に配列されている。各画素には、信号線 103 に接続されたソース電極と、走査線 104 に接続されたゲート電極とを有する TFT 106 が設けられている。

【0032】

TFT 106 は、表示電圧の供給のオン・オフを制御するスイッチング素子としての機能を有する。具体的には、走査線 104 から信号が供給されると TFT 106 のソース電極側からドレイン電極側へ電流が流れる。すなわち、信号線 103 から供給される信号データに基づいた電圧が、画素電極側に印加される。これら信号データがプリント基板 108 または IC チップ 109 によって制御されることで、外部からの表示データに応じた電圧が各画素に供給される。

【0033】

(アレイ基板の構成)

次に液晶表示パネル 300 が有するアレイ基板 201 の一の画素の近傍の構成について詳述する。

【0034】

図 3 ~ 図 5 と図 6 (A) および (B) とを参照して、アレイ基板 201 は、絶縁性基板 100 と、ゲート電極 11 と、コンタクト電極 12 と、ゲート絶縁膜 2 と、半導体膜 3 および 31 と、ソース電極 51 と、ドレイン電極 52 と、有機絶縁膜 6 と、ダミー電極 71 と、画素電極 72 と、導電膜 74 と、層間絶縁膜 8 と、コンタクト層 4、41 および 42 と、共通電極 91 と、信号線 103 と、走査線 104 と、共通配線 105 とを有する。

【0035】

絶縁性基板 100 は透光性を有する。絶縁性基板 100 は、たとえばガラス基板である。

【0036】

ゲート電極 11、走査線 104、コンタクト電極 12 および共通配線 105 は、絶縁性基板 100 上に設けられている。本実施の形態においては、これらは同じ金属から作られている。金属としては、アルミニウム (Al) もしくはそれを含む合金、または銅 (Cu)、モリブデン (Mo) もしくはクロム (Cr) を用い得る。ゲート電極 11 は、TFT 106 のそれぞれに対応して設けられている。図 5 に示すように、ゲート電極 11 および走査線 104 は一体に形成されている。これによりゲート電極 11 は走査線 104 に接続されている。同様にコンタクト電極 12 および共通配線 105 は一体に形成されている。これによりコンタクト電極 12 は共通配線 105 に接続されている。走査線 104 および共通配線 105 は互いに平行に延びている。

【 0 0 3 7 】

ゲート絶縁膜 2 は絶縁性基板 1 0 0 上においてゲート電極 1 1、走査線 1 0 4 および共通配線 1 0 5 を覆っている。またゲート絶縁膜 2 はコンタクト電極 1 2 を露出する開口部 2 2 を有する。ゲート絶縁膜 2 の材料は、たとえば窒化珪素である。

【 0 0 3 8 】

半導体膜 3 1 は、ゲート絶縁膜 2 上に部分的に設けられており、ゲート絶縁膜 2 を介してゲート電極 1 1 に対向している。半導体膜 3 1 は、たとえば、アモルファス、微結晶、多結晶のいずれかの層もしくはこれらの積層体であるシリコン半導体膜、または酸化物半導体膜である。信号線 1 0 3 は絶縁性基板 1 0 0 上に設けられている。ゲート絶縁膜 2 は、平面視（図 4 参照）において画素電極 7 2 から離れた位置に、共通配線 1 0 5 を露出する開口部 2 2 を有する。

10

【 0 0 3 9 】

ソース電極 5 1 および信号線 1 0 3 は一体に形成されている。これによりソース電極 5 1 は信号線 1 0 3 に接続されている。ソース電極 5 1 は半導体膜 3 1 上に部分的に設けられている。信号線 1 0 3 はゲート絶縁膜 2 上に設けられている。

【 0 0 4 0 】

ドレイン電極 5 2 は半導体膜 3 1 上にソース電極 5 1 から離れて設けられている。ソース電極 5 1 およびドレイン電極 5 2 のそれぞれはソース電極側面 5 1 S およびドレイン電極側面 5 2 S（図 2 0（B）参照）を有する。ソース電極側面 5 1 S およびドレイン電極側面 5 2 S は、半導体膜 3 1 上で対向方向（図 6（A）における横方向）において間隔を空けて互いに対向している。

20

【 0 0 4 1 】

ソース電極 5 1、ドレイン電極 5 2 および信号線 1 0 3 は、同様の材料構成を有する。ここでソース電極 5 1、ドレイン電極 5 2 および信号線 1 0 3 の各々は、単一層から作られている必要はなく、異なる材料の積層膜であってもよい。

【 0 0 4 2 】

半導体膜 3 1 とソース電極 5 1 およびドレイン電極 5 2 のそれぞれとの間には、コンタクト層 4 1 および 4 2 が設けられている。また信号線 1 0 3 およびゲート絶縁膜 2 の間にはコンタクト層 4 および半導体膜 3 が設けられている。コンタクト層 4 は、コンタクト層 4 1 および 4 2 と同じ材料から作られており、たとえば、導電型不純物が添加された半導体から作られている。半導体膜 3 は半導体膜 3 1 と同じ材料から作られている。

30

【 0 0 4 3 】

上述したゲート絶縁膜 2 と、ゲート電極 1 1 と、半導体膜 3 1 と、コンタクト層 4 1 および 4 2 と、ソース電極 5 1 と、ドレイン電極 5 2 とは、TFT 1 0 6（図 2）を構成している。TFT 1 0 6 は、絶縁性基板 1 0 0 と半導体膜 3 1 との間にゲート電極 1 1 を有する構造を有する。すなわち TFT 1 0 6 は、バックチャネルを有する逆スタガ型のものである。

【 0 0 4 4 】

有機絶縁膜 6 は絶縁性基板 1 0 0 上において TFT 1 0 6 の一部と信号線 1 0 3 とを覆っている。有機絶縁膜 6 は、このような被覆による表面の平坦化と、電氣的絶縁の確保との機能を有する。有機絶縁膜 6 の厚さは、たとえば 2 ~ 4 μm 程度である。有機絶縁膜 6 は、所望のパターンをエッチングに依らずフォトリソグラフィによって直接得ることができる点で、感光性を有する樹脂から作られていることが好ましい。画素電極 7 2 が信号線 1 0 3 から受ける、表示品位に悪影響を及ぼし得るノイズを抑制するためには、有機絶縁膜 6 の誘電率が低いことが好ましい。そのため、有機絶縁膜 6 の材料は、ゲート絶縁膜 2 の誘電率よりも低い誘電率を有するものが選択されることが好ましく、たとえば、アクリルを主体とした有機樹脂が用いられる。アクリル樹脂は、誘電率 = 3 ~ 4 程度と窒化珪素膜の 6 ~ 7 よりも低く、よって画素電極 7 2 と信号線 1 0 3 との間の寄生容量を小さくすることで上記ノイズを抑制することが可能である。

40

【 0 0 4 5 】

50

有機絶縁膜 6 は、開口部 6 1 および 6 2 を有する。開口部 6 1 はドレイン電極 5 2 を部分的に露出している。開口部 6 1 は、ドレイン電極 5 2 上から延びる側壁を有する。開口部 6 1 は、図 6 (A) においては貫通方向 (図中、縦方向) に沿って示されているが、詳しくは後述するように (図 2 1 参照)、絶縁性基板 1 0 0 に向かってテーパ形状を有することが好ましい。開口部 6 1 の側壁は、ドレイン電極 5 2 上にかかる辺 (図 4 における上辺) と、ソース電極 5 1 上にかかる辺 (図 4 における左辺) とを有する。開口部 6 2 は、ゲート絶縁膜 2 の開口部 2 2 を露出することでコンタクト電極 1 2 を露出している。

【 0 0 4 6 】

画素電極 7 2 は、有機絶縁膜 6 の開口部 6 1 でドレイン電極 5 2 に接触する接触部分 7 2 a と、接触部分 7 2 a から直接有機絶縁膜 6 の側壁上に延びる配線部分 7 2 b と、配線部分 7 2 b につながり有機絶縁膜 6 上に設けられた本体部分 7 2 c とを有する。配線部分 7 2 b は、画素電極 7 2 が有機絶縁膜 6 の開口部 6 1 の側壁を乗り越えている部分である。画素電極 7 2 は透明導電体から作られており、たとえばインジウム・亜鉛酸化物 (I Z O) またはインジウム・スズ酸化物 (I T O) から作られている。画素電極 7 2 は、有機絶縁膜 6 の開口部 6 1 内での上記対向方向における端部として、画素電極端部 (図 6 (A) における接触部分 7 2 a の左端部) を有する。この画素電極端部は、ドレイン電極 5 2 上においてドレイン電極側面 5 2 S (図 2 0 (B)) よりも内側に位置している。これによりドレイン電極 5 2 と画素電極 7 2 とが段部を形成している (図 2 0 (B) 参照) 。

【 0 0 4 7 】

ダミー電極 7 1 は、ソース電極 5 1 上に設けられており、画素電極 7 2 と同じ材料から作られている。ダミー電極 7 1 は、有機絶縁膜 6 の開口部 6 1 内で上記画素電極端部に対向するダミー電極端部 (図 6 (A) におけるダミー電極 7 1 の右端部) を有する。ダミー電極端部は、ソース電極 5 1 上においてソース電極側面 5 1 S (図 2 0 (B)) よりも内側に位置している。これによりソース電極 5 1 とダミー電極 7 1 とが段部を形成している。

【 0 0 4 8 】

層間絶縁膜 8 は画素電極 7 2 および有機絶縁膜 6 を覆っている。また層間絶縁膜 8 は、ソース電極 5 1 を覆っており、かつソース電極側面 5 1 S およびドレイン電極側面 5 2 S (図 2 0 (B)) の間において半導体膜 3 1 を直接覆っている。また層間絶縁膜 8 は、上述した、ドレイン電極 5 2 および画素電極 7 2 による段差と、ソース電極 5 1 およびダミー電極 7 1 による段差とを直接覆っている。層間絶縁膜 8 は、有機絶縁膜 6 の開口部 6 2 を露出する開口部 8 2 を有する。層間絶縁膜 8 は、たとえば窒化珪素または酸化珪素から作られている。層間絶縁膜 8 にはフリンジ電界を発生させるための電圧が加わる。この電圧は、たとえば 6 ~ 7 V 程度であり、その場合、層間絶縁膜 8 の厚さは 2 0 0 ~ 4 0 0 n m 程度が好ましい。層間絶縁膜 8 の厚さを小さくすることで消費電力を小さくことができるが、過度に小さいと、開口部 6 1 内において T F T 1 0 6 を水分などから遮断する保護膜としての機能が不十分となる。

【 0 0 4 9 】

共通電極 9 1 は、層間絶縁膜 8 上に配置されている。共通電極 9 1 には、層間絶縁膜 8 を介して画素電極 7 2 に対向するスリット 9 2 が設けられている。これにより共通電極 9 1 には、層間絶縁膜 8 を介して画素電極 7 2 に対向するフリンジが設けられている。このフリンジにより、 F F S モードによる液晶駆動に必要なフリンジ電界を発生することができる。

【 0 0 5 0 】

導電膜 7 4 は、有機絶縁膜 6 の開口部 6 2 の側壁に沿って設けられている。導電膜 7 4 は、画素電極 7 2 と同じ材料から作られている。共通電極 9 1 は、層間絶縁膜 8 の開口部 8 2 と、導電膜 7 4 によって被覆された開口部 6 2 と、ゲート絶縁膜 2 の開口部 2 2 とを介して、コンタクト電極 1 2 に接している。これにより共通電極 9 1 と共通配線 1 0 5 とが電氣的に接続されている。

【 0 0 5 1 】

画素電極 7 2 と共通電極 9 1 との間に電圧が印加されると、画素電極 7 2 と共通電極 9 1 との間で電界が発生し、その一部は共通電極 9 1 のスリット 9 2 を通り抜けて、図 6 (A) および (B) における上方に進む。この電界によって液晶層 3 6 2 (図 1) の液晶分子が駆動される。

【 0 0 5 2 】

なお共通電極 9 1 上には配向膜 3 6 1 a (図 1) が設けられる。配向膜 3 6 1 a は、ポリイミドから作られており、ラビング処理がなされた薄膜である。少なくとも画素電極 7 2 の本体部分 7 2 c と共通電極 9 1 とが対向している領域上において、配向膜 3 6 1 a が形成される面は、なるべく平坦であることが望ましい。有機絶縁膜 6 はこの平坦化に寄与している。また共通電極 9 1 の厚さをなるべく薄くすることもこの平坦化に寄与し得る。

【 0 0 5 3 】

(製造方法)

次にアレイ基板 2 0 1 の製造方法について説明する。なお、図 2 に示す、表示領域 1 0 1 と、額縁領域 1 0 2 の外部配線 1 0 7 や端子電極とは同時に形成し得るが、説明を簡略化する為に、表示領域 1 0 1 の 1 つの画素部について図示しつつ説明する。図 7、図 9、図 1 1、図 1 3、図 1 5 および図 1 7 は、図 3 と同様の視野での平面図を工程順に示している。また図 8 (A)、図 1 0 (A)、図 1 2 (A)、図 1 4 (A)、図 1 6 (A) および図 1 8 (A) は、図 6 (A) と同様の視野での断面図を工程順に示している。また図 8 (B)、図 1 0 (B)、図 1 2 (B)、図 1 4 (B)、図 1 6 (B) および図 1 8 (B) は、図 6 (B) と同様の視野での断面図を工程順に示している。なお図 1 3、図 1 5 および図 1 9 は平面図であるが、図面を見やすくするためにハッチングを用いている。

【 0 0 5 4 】

図 7、図 8 (A) および (B) を参照して、まず絶縁性基板 1 0 0 上に、たとえばスパッタ法を用いて、金属膜が成膜される。金属膜としては、アルミニウムもしくはそれを含む合金、または銅、モリブデンもしくはクロムなどを用いることができる。そして、金属膜上に、感光性樹脂であるフォトレジストをスピンコートなどによって塗布し、塗布したレジストを露光、現像する第 1 のフォトリソグラフィ工程 (写真製版工程) が行われる。これにより所望の形状にフォトレジストがパターンニングされる。その後、フォトレジストパターンをマスクとしてエッチングを行うことで、金属膜が所望の形状にパターンニングされる。その後、フォトレジストパターンが剥離される。これにより絶縁性基板 1 0 0 上に、ゲート電極 1 1 と、走査線 1 0 4 と、コンタクト電極 1 2 と、共通配線 1 0 5 とが形成される。

【 0 0 5 5 】

図 9、図 1 0 (A) および (B) を参照して、まず、ゲート電極 1 1 と、走査線 1 0 4 と、コンタクト電極 1 2 と、共通配線 1 0 5 とを絶縁性基板 1 0 0 上において覆うゲート絶縁膜 2 が形成される。たとえば、窒化珪素膜がプラズマ C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法によって成膜される。

【 0 0 5 6 】

次に半導体膜 3、コンタクト層 4 および電極膜 5 0 の成膜が行われる。半導体膜 3 およびコンタクト層 4 は、たとえばプラズマ C V D 法により成膜される。コンタクト層 4 は、導電型不純物が添加された半導体から作られている。電極膜 5 0 は、たとえばスパッタ法により成膜される。電極膜 5 0 としては、アルミニウムもしくはそれを含む合金、または銅、モリブデンもしくはクロム用い得る。

【 0 0 5 7 】

そして第 2 のフォトリソグラフィ工程によってフォトレジストパターンが形成され、これをマスクとして用いたエッチングが行われる。これにより半導体膜 3、コンタクト層 4 および電極膜 5 0 は、同一の形状にパターンニングされる。具体的には、半導体膜 3 から、ゲート絶縁膜 2 上に部分的に設けられゲート絶縁膜 2 を介してゲート電極 1 1 に対向する半導体膜 3 1 が形成される。また信号線 1 0 3 の下部には半導体膜 3 が残存する。また上記コンタクト層 4 から、コンタクト層 4 0 が形成される。また信号線 1 0 3 の下部にはコ

ンタクト層 4 が残存する。また（パターニング前の）成膜された電極膜 5 0 からは、絶縁性基板 1 0 0 上にゲート絶縁膜 2 と半導体膜 3 とコンタクト層 4 とを介して設けられた信号線 1 0 3、および、信号線 1 0 3 とつながり半導体膜 3 1 上にコンタクト層 4 0 を介して設けられた電極膜 5 0 が形成される。コンタクト層 4 0 および電極膜 5 0 の各々は、ソース電極 5 1 およびドレイン電極 5 2（図 5）を包含する 1 つのパターンを有する。

【 0 0 5 8 】

図 1 1、図 1 2（A）および（B）を参照して、まず、感光性を有する有機絶縁膜 6 が、たとえばスピンコート法によって塗布されることで形成される。塗布法が用いられることで、有機絶縁膜 6 は平坦で平滑な表面を有する。有機絶縁膜 6 は、絶縁性基板 1 0 0 上において信号線 1 0 3 を覆う。そして有機絶縁膜 6 を露光、現像する第 3 のフォトリソグラフィ工程によって、開口部 6 1 および 6 2 が形成される。開口部 6 1 によって電極膜 5 0 が部分的に露出される。開口部 6 1 は、電極膜 5 0 上から延びる側壁を有する。

10

【 0 0 5 9 】

その後、有機絶縁膜 6 は温度 2 3 0 程度で焼成される。これにより、開口部 6 1 および 6 2 には、4 0 ~ 6 0 ° 程度のテーパ角 T A（図 2 1）が形成される。

【 0 0 6 0 】

図 1 3、図 1 4（A）および（B）を参照して、まず、スパッタ法で透明導電膜 7 が成膜される。透明導電膜 7 は、前述した画素電極 7 2 となる部分を含む。すなわち、透明導電膜 7 は、有機絶縁膜 6 を覆い、有機絶縁膜 6 の開口部 6 1 で電極膜 5 0 に接触する。次に透明導電膜 7 のパターニングが、以下のように行われる。

20

【 0 0 6 1 】

まず第 4 のフォトリソグラフィ工程によって、透明導電膜 7 上に、第 1 の厚さを有するフォトレジストパターン P R 1（第 1 のフォトレジストパターン）と、第 1 の厚さよりも大きい厚さを有するフォトレジストパターン P R 2（第 2 のフォトレジストパターン）と、開口パターンと、を含むフォトレジスト膜 5 0 0 が形成される。この工程において、透明導電膜 7 のうち有機絶縁膜 6 上の部分には、フォトレジストパターン P R 1 および P R 2 の各々が形成される。

【 0 0 6 2 】

このように高低差を有するフォトレジストパターンを形成するために多階調マスク 9 0 0（図 1 9）が準備される。多階調マスク 9 0 0 を用いてフォトレジスト膜 5 0 0 を露光することで、フォトレジスト膜 5 0 0 が残存する厚さを位置によって相違させることができる。多階調マスク 9 0 0 は、遮光領域 M 1（第 1 の透過率を有する第 1 のマスクパターン）と、半透過領域 M 2（第 1 の透過率よりも高い第 2 の透過率を有する第 2 のマスクパターン）と、透過領域 M 3（第 2 の透過率よりも高い第 3 の透過率を有する第 3 のマスクパターン）とを有する。多階調マスク 9 0 0 を用いてポジ型レジストを露光することで、透過領域 M 3 に対応する開口部と、半透過領域 M 2 に対応するパターンと、遮光領域 M 1 に対応する、より厚いパターンとを形成することができる。好ましくは、半透過領域 M 2 は、フォトレジスト膜 5 0 0 のうち有機絶縁膜 6 の開口部 6 1 の外側に位置する部分のみに対して投影される。

30

【 0 0 6 3 】

次にフォトレジスト膜 5 0 0 のフォトレジストパターン P R 1 および P R 2 をエッチングマスクとして用いて透明導電膜 7 がパターニングされる。これにより画素電極 7 2 が形成される。さらにフォトレジストパターン P R 1 および P R 2 をエッチングマスクとして用いたエッチングにより電極膜 5 0 およびコンタクト層 4 0（図 1 2（A））がパターニングされる。これにより電極膜 5 0 から、互いに分離されたソース電極 5 1 とドレイン電極 5 2 とが形成される。またコンタクト層 4 0 から、互いに分離されたコンタクト層 4 1 および 4 2 が形成される。なおこのエッチングの際に半導体膜 3 1 表面へのオーバーエッチングが若干生じてよい。

40

【 0 0 6 4 】

ここまでの工程によって有機絶縁膜 6 の開口部 6 1 に、バックチャネルを有する逆スタ

50

ガ型のTF T 1 0 6が形成される。また有機絶縁膜6の開口部6 2に透明導電膜7の開口が形成される。

【0065】

次に、フォトリソパターンPR 1を除去しかつ平面レイアウトにおいてフォトリソパターンPR 2の少なくとも一部を残存させることによって、フォトリソ膜5 0 0が狭小化される。本実施の形態においては、平面レイアウトにおいてフォトリソパターンPR 2自体も狭小化される。すなわち、フォトリソパターンPR 1が除去されることに加えて、フォトリソパターンPR 2が狭小化される。この狭小化はアッシング処理によって行われる。アッシングによってフォトリソパターンPR 1が除去されるだけでなく、フォトリソパターンPR 2が後退する。アッシング処理は、先のドライエッチングと連続で行なうことができる。

10

【0066】

図15、図16(A)および(B)を参照して、上記の狭小化により、フォトリソ膜5 0 0は、前述したフォトリソパターンPR 2が狭小化されたフォトリソパターンPR 2 Nを有する。フォトリソパターンPR 2 Nを有するフォトリソ膜5 0 0を用いて画素電極7 2がパターニングされる。このパターニングにより、図16(A)の右上部分に示すように、互いに隣り合う画素電極7 2が分離される。またダミー電極7 1と、画素電極7 2の接触部分7 2 aとの各々のパターンが、それらの縁が後退するように調整される(図14(A)および図16(A)参照)。このパターニングにおいて、透明導電膜7のうち導電膜7 4(図16(B))の部分も選択的に残存させられる。その後、フォトリソ膜5 0 0が、剥離されることで除去される。

20

【0067】

図17、図18(A)および(B)を参照して、画素電極7 2を覆う層間絶縁膜8が形成される。この形成は、たとえばプラズマCVD法により行い得る。次に第5のフォトリソグラフィ工程が行われる。具体的には、層間絶縁膜8の開口部8 2と、ゲート絶縁膜2の開口部2 2とがエッチングによって形成される。

【0068】

再び図6(A)および(B)を参照して、層間絶縁膜8上に共通電極9 1が形成される。具体的には、透明導電膜の成膜と、第6のフォトリソグラフィ工程によるパターニングとが行われる。以上によりアレイ基板2 0 1が得られる。

30

【0069】

(比較例)

図14(A)を参照して、1回のエッチングによって、互いに分離されたソース電極5 1およびドレイン電極5 2と、そのそれぞれの上に位置するダミー電極7 1および画素電極7 2との形成が完了されると仮定する。ダミー電極7 1および画素電極7 2となる透明導電膜7の材料に比して、ソース電極5 1およびドレイン電極5 2となる電極膜5 0がエッチングされやすい材料である場合、図20(A)に示すように、ソース電極側面5 1 Sおよびドレイン電極側面5 2 Sのそれぞれからダミー電極7 1および画素電極7 2が張り出した形状(以下、庇形状と称する)が形成されてしまう。特に電極膜5 0がAlまたはAl合金の場合、このような現象が生じやすい。このような庇形状は、層間絶縁膜8(図18(A))によって十分に被覆することが難しい。庇形状はTF T 1 0 6のチャンネル近傍に位置することから、庇形状の不十分な被覆はTF T 1 0 6の動作不良につながりやすい。TF T 1 0 6に動作不良があると液晶表示パネルの表示品位が低下し得る。

40

【0070】

(作用効果)

上記比較例と異なり本実施の形態によれば、前述した庇形状の形成が防止される。逆に、ソース電極側面5 1 Sおよびドレイン電極側面5 2 S(図20(B))のそれぞれがダミー電極7 1および画素電極7 2から張り出した形状(以下、テラス形状と称する)が形成される。テラス形状は、層間絶縁膜8(図18(A))によって十分に被覆することが容易である。よって、被覆不良による歩留まり低下を抑制することができる。

50

【 0 0 7 1 】

また上記のように層間絶縁膜 8 の被覆性が高いことから、T F T 1 0 6 の保護膜としての機能を維持しつつ、層間絶縁膜 8 の厚さをより小さくすることができる。これにより、所望のフリンジ電界の発生に必要な電圧が低くなるので、液晶表示パネル 3 0 0 (図 1) の消費電力を抑えることができる。

【 0 0 7 2 】

上記テラス形状は、透明導電膜 7 および電極膜 5 0 をフォトレジストパターン P R 2 を用いてエッチングした後に (図 1 4 (A))、狭小化されたフォトレジストパターン P R 2 N を用いた再度のエッチングによって透明導電膜 7 (すなわち画素電極 7 2) が狭小化されることで形成される。言い換えれば、この再度のエッチングによってダミー電極 7 1 および画素電極 7 2 のそれぞれがソース電極側面 5 1 S およびドレイン電極側面 5 2 S の内側へと後退する。フォトレジストパターン P R 2 の狭小化は、フォトレジストパターン P R 1 の除去のためのアッシングと同時に行うことができるので、工程上の負担が小さい。またこの狭小化は、独立したフォトリソグラフィ工程をとまなうものではないので、露光の重ね合わせ誤差に起因した位置ばらつきが生じない。よって狭小化を高い精度で行うことができる。

10

【 0 0 7 3 】

また本実施の形態によれば、画素電極 7 2 は、有機絶縁膜 6 の開口部 6 1 でドレイン電極 5 2 に接触する接触部分 7 2 a と、接触部分 7 2 a から直接有機絶縁膜 6 の側壁上に延びる配線部分 7 2 b と、配線部分 7 2 b につながり有機絶縁膜 6 上に設けられた本体部分 7 2 c とを有する。この構成により、製造工程のばらつきなどに起因して画素電極 7 2 が途中で途切れることが抑制される。これにより製造歩留まりが向上する。

20

【 0 0 7 4 】

特に有機絶縁膜 6 にテーパ角 T A (図 2 1) が設けられることにより、接触部分 7 2 a と本体部分 7 2 c とをつなぐ配線部分 7 2 b をより確実に形成することができる。有機絶縁膜 6 に対するテーパ角 T A の十分な付与は、有機絶縁膜 6 が有機物からなることから、加熱処理によって容易に行い得る。

【 0 0 7 5 】

なお仮に画素電極 7 2 が接触部分 7 2 a からゲート絶縁膜 2 上の部分を経由して有機絶縁膜 6 の側壁上に延びるような構造が用いられると、画素電極 7 2 が複雑な経路を経ることから、製造工程のばらつきなどに起因して、画素電極が途中で途切れてしまうことがあり、特に層の境界上において途切れることがある。これにより製造歩留まりが低下し得る。

30

【 0 0 7 6 】

また本実施の形態によれば、フォトレジストパターン P R 1 (図 1 4 (A) および (B)) は、有機絶縁膜 6 の開口部 6 1 および 6 2 の外側にのみ形成される。すなわち、フォトレジストパターン P R 1 は、開口部 6 1 および 6 2 中に形成されない。その理由は、開口部 6 1 および 6 2 には有機絶縁膜 6 の膜厚分の段差があるので、厚さの小さいフォトレジストパターン P R 1 の形成が困難なためである。フォトレジストパターン P R 1 を開口部 6 1 および 6 2 の外側のみに形成することで、この段差に起因したパターン形状の不良を避けることができる。

40

【 0 0 7 7 】

また図 1 4 (A) および (B) に示すように、開口部 6 1 において透明導電膜 7 をエッチングしさらに、半導体膜 3 1 上に互いに離されたソース電極 5 1 およびドレイン電極 5 2 を形成する際、すなわちバックチャネルを形成する際に、仮に有機絶縁膜 6 が露出していると、この露出部分にエッチングダメージが加わる。たとえば、フォトレジスト膜 5 0 がフォトレジストパターン P R 2 のみを有しフォトレジストパターン P R 1 を有していないと仮定すると、上記のようなエッチングダメージが生じる。これに対して本実施の形態においては、フォトレジストパターン P R 1 とその下に位置する透明導電膜 7 とが有機絶縁膜 6 を、チャネル形成のためのエッチングに起因したダメージから保護する。これに

50

より、エッチングダメージに起因した有機絶縁膜 6 の削れ、平滑性の低下、および形状変化を避けることができる。よって有機絶縁膜 6 がより平坦とされるので、その上に配置される配向膜 3 6 1 a も平坦なものとなる。よって配向膜 3 6 1 a に対するラビング処理の不良に起因した歩留まりの低下または表示品位の低下を抑制することができる。

【 0 0 7 8 】

また上述したように、信号線 1 0 3 上の有機絶縁膜 6 が保護されることによって、信号線 1 0 3 へのダメージも避けることができる。よって信号線 1 0 3 へのダメージに起因した歩留まり低下を避けることができる。

【 0 0 7 9 】

また上述したように、層間絶縁膜 8 が T F T 1 0 6 の保護絶縁膜として機能し、また有機絶縁膜 6 が信号線 1 0 3 の保護膜として機能する。よってこれら保護機能のためだけの膜を形成する必要がない。よって製造方法が簡素化される。

【 0 0 8 0 】

また上述したようにフォトリソグラフィ工程の回数を最低 6 回にまで低減することができる。これにより製造コストを低減することができる。

【 0 0 8 1 】

また図 6 (A) に示すように、絶縁性基板 1 0 0 と共通電極 9 1 との間に画素電極 7 2 が配置される。このため、図 2 2 (A) に示すように、画素電極 7 2 のうち多くの割合を、液晶駆動のための電界発生における有効領域 E A として用いることができる。言い換えれば、液晶表示パネル 3 0 0 (図 1) の開口率を大きくすることができる。

【 0 0 8 2 】

仮に絶縁性基板と画素電極 (図中、画素電極 7 2 1) との間に共通電極が配置されるとすると、図 2 2 (B) に示すように、画素電極のうち有効領域 E B の割合が小さくなる。この第 1 の理由は、画素電極 7 2 1 にはフリンジ電界発生のためのスリットを形成する必要があり、そのため外周に冗長パターン 7 2 2 が必要となるためである。また第 2 の理由は、画素電極 7 2 1 に信号を印加するためのコンタクトホールを形成するための領域 C R を確保する必要があるためである。

【 0 0 8 3 】

図 2 2 (A) および (B) を比較すると、前者 (本実施の形態) の方が有効領域の割合が数 % から 1 0 % 程度高い。つまり開口率がより大きい。これにより輝度向上およびそれに伴うコントラスト向上、および視野角向上などのような表示品位の向上が得られる。

【 0 0 8 4 】

なお本実施の形態においては、多階調マスク 9 0 0 によってポジ型レジストが露光される場合について説明したが、ネガ型レジストが用いられる場合は多階調マスク 9 0 0 の明暗が反転されればよい。

【 0 0 8 5 】

< 実施の形態 2 >

図 2 3 (A) および (B) は本実施の形態のアレイ基板 2 0 2 の構成を概略的に示しており、そのそれぞれは実施の形態 1 の図 6 (A) および (B) の視野に対応している。

【 0 0 8 6 】

図 2 3 (A) を参照して、本実施の形態のアレイ基板 2 0 2 においては、有機絶縁膜 6 の開口部 6 1 において、ゲート絶縁膜 2 が開口部 2 1 を有する。開口部 2 1 において層間絶縁膜 8 が絶縁性基板 1 0 0 に達している。

【 0 0 8 7 】

図 2 3 (B) を参照して導電膜 7 4 がゲート絶縁膜 2 の開口部 2 2 においてコンタクト電極 1 2 に接している。ゲート絶縁膜 2 の開口部 2 2 は有機絶縁膜 6 の開口部 6 2 と同じ大きさである。これによりコンタクト電極 1 2 上でのコンタクトの接触面積が実施の形態 1 に比して大きくなる。よって接触抵抗を抑えることができる。

【 0 0 8 8 】

なお、上記以外の構成については、上述した実施の形態 1 のアレイ基板 2 0 1 の構成と

10

20

30

40

50

ほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。アレイ基板 202 は液晶表示パネル 300 (図 1) においてアレイ基板 201 の代わりに用い得る。

【0089】

図 24 (A) および (B) を参照して、上記アレイ基板 202 の製造において、有機絶縁膜 6 をマスクにしたドライエッチングが行われる。これによりゲート絶縁膜 2 に開口部 21 および 22 が形成される。このドライエッチングが有機絶縁膜 6 に及ぼす影響は、有機絶縁膜 6 の全体にわたってほぼ均一である。よって有機絶縁膜 6 は、ダメージは受けるものの、段差の発生などの形状変化はあまり受けない。その後、実施の形態 1 と同様に、画素電極 72、層間絶縁膜 8 および共通電極 91 が形成される。

10

【0090】

< 実施の形態 3 >

図 25 (A) および (B) を参照して、本実施の形態のアレイ基板 203 は、前述した層間絶縁膜 8 の代わりに、塗布型のスピノングラス膜 (SOG 膜) である層間絶縁膜 8a を有する。SOG 膜は SiO 組成を有するので誘電率が低い ($\epsilon = 3 \sim 3.5$)。よって、たとえばフリンジ電圧を 6 ~ 7 V とすると、十分なフリンジ電界を得るには膜厚を 500 nm 以下とする必要がある。塗布型 SOG 膜は平坦性に優れているため有機絶縁膜 6 上において薄膜化しやすい。また有機絶縁膜 6 の開口部 61 を局所的に厚い SOG 膜で埋め込むことができるので、表示領域 101 (図 2) のほとんどを平坦化することができる。これにより配向膜 361a (図 1) の膜厚、および配向膜 361a のラビング処理がより均一化される。また TFT 106 上に SOG 膜があることで、寄生容量を小さくすることができる。

20

【0091】

なお、上記以外の構成については、上述した実施の形態 1 または 2 の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。アレイ基板 203 は液晶表示パネル 300 (図 1) においてアレイ基板 201 の代わりに用い得る。

【0092】

本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

30

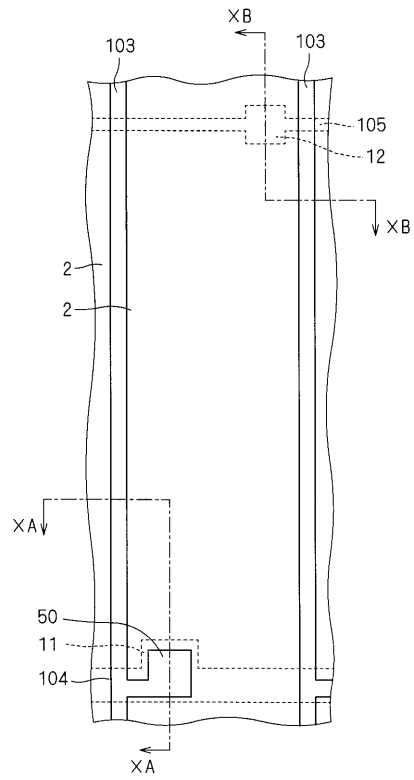
【符号の説明】

【0093】

100 絶縁性基板、101 表示領域、102 額縁領域、103 信号線、104 走査線、105 共通配線、106 TFT、107 外部配線、108 プリント基板、109 ICチップ、11 ゲート電極、12 コンタクト電極、2 ゲート絶縁膜、201 ~ 203 アレイ基板、21, 22, 61, 62, 82 開口部、3, 31 半導体膜、300 液晶表示パネル、360 対向基板、361a, 361b 配向膜、362 液晶層、363 ブラックマトリクス、364 カラーフィルタ、365a, 365b 偏光板、366 光学フィルム、367 バックライトユニット、369 シール、4, 40, 41 コンタクト層、50 電極膜、500 フォトレジスト膜、51 ソース電極、51S ソース電極側面、52 ドレイン電極、52S ドレイン電極側面、6 有機絶縁膜、7 透明導電膜、71 ダミー電極、72 画素電極、72a 接触部分、72b 配線部分、72c 本体部分、74 導電膜、8, 8a 層間絶縁膜、900 多階調マスク、91 共通電極、92 スリット、M1 遮光領域、M2 半透過領域、M3 透過領域、PR1 フォトレジストパターン (第 1 のフォトレジストパターン)、PR2, PR2N フォトレジストパターン (第 2 のフォトレジストパターン)。

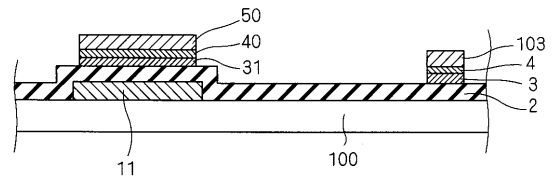
40

【図 9】

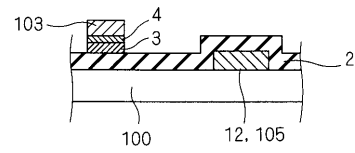


【図 10】

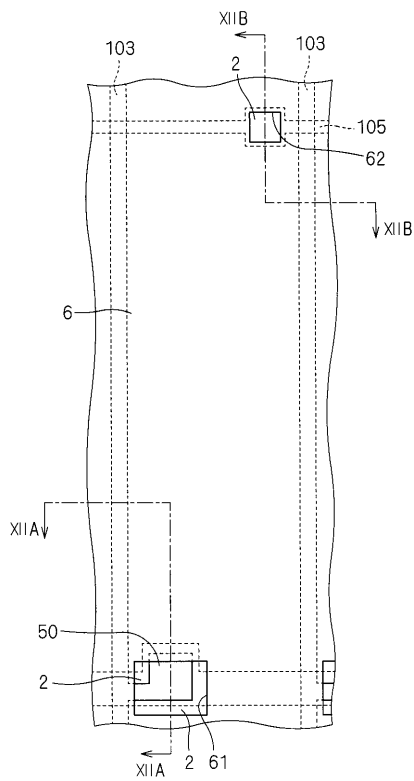
(A)



(B)

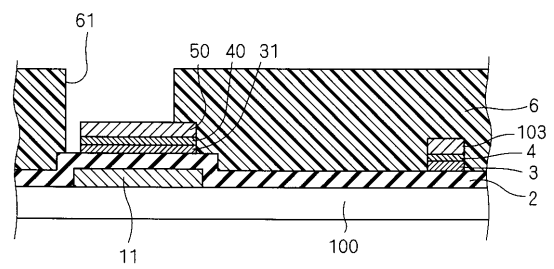


【図 11】

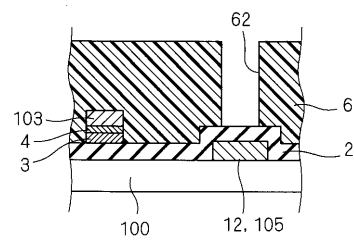


【図 12】

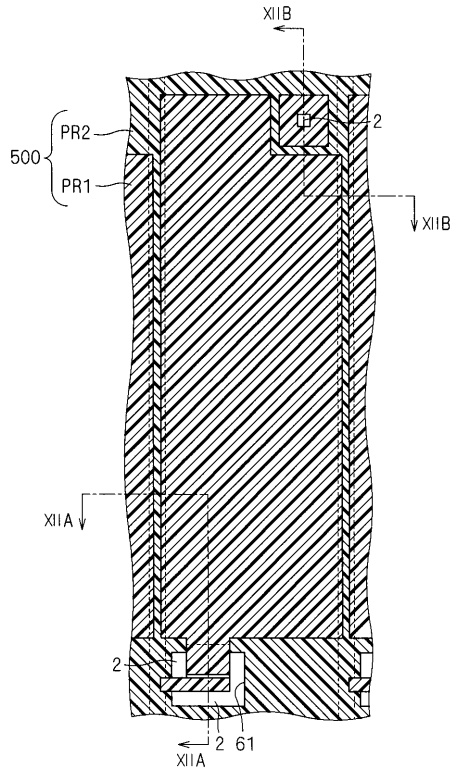
(A)



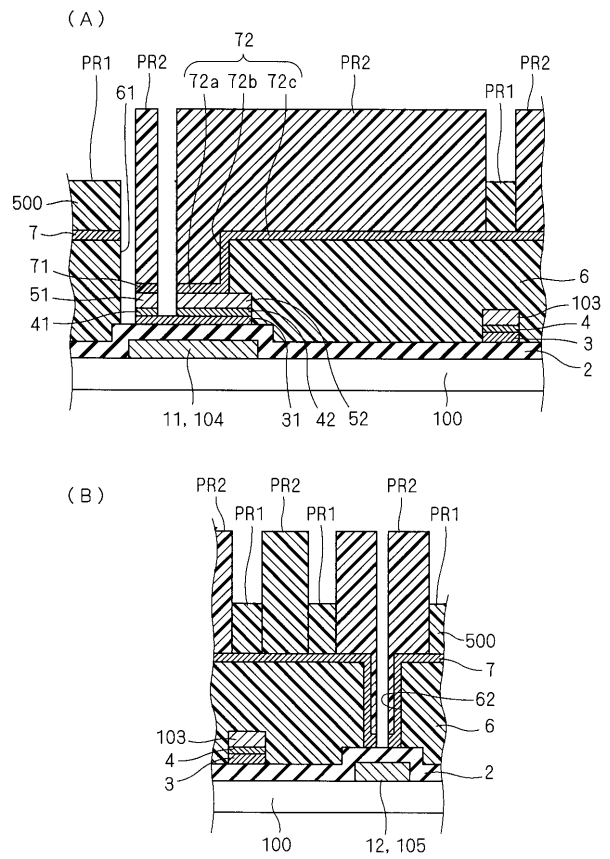
(B)



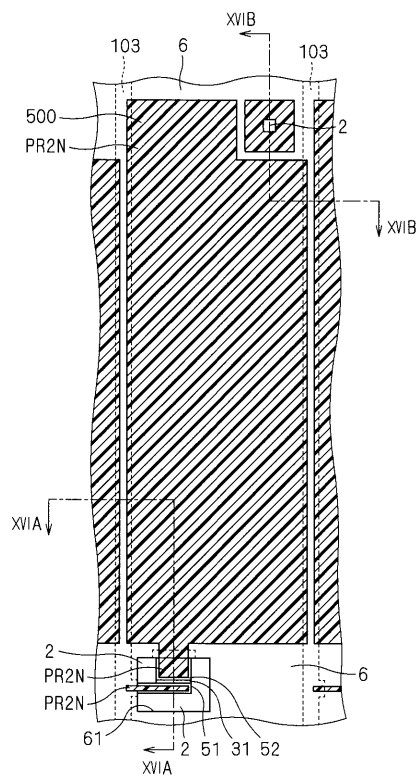
【図 13】



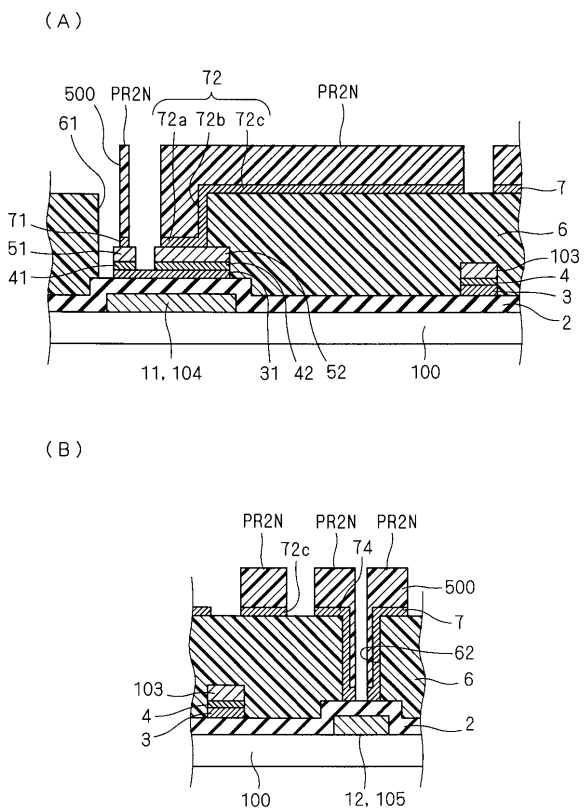
【図 14】



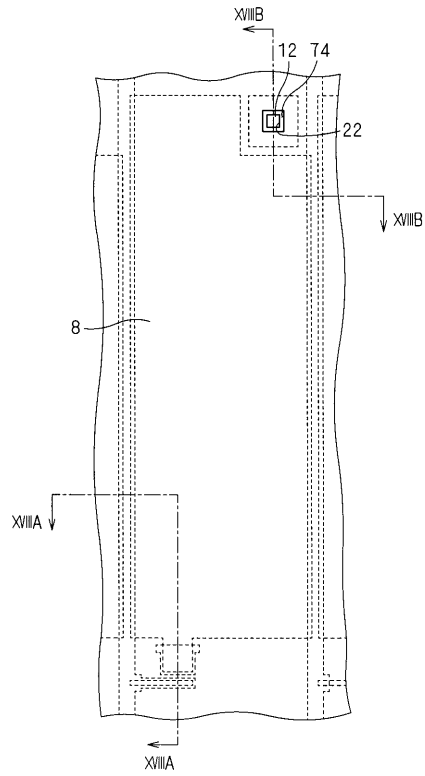
【図 15】



【図 16】

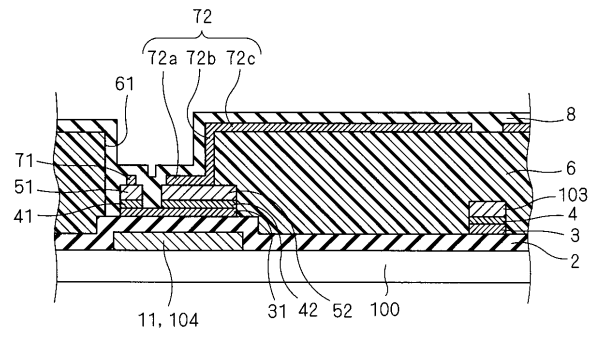


【図 17】

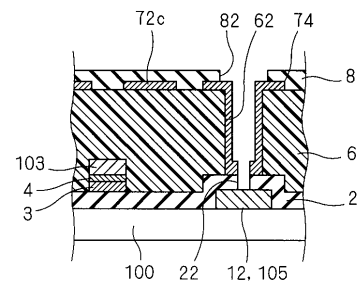


【図 18】

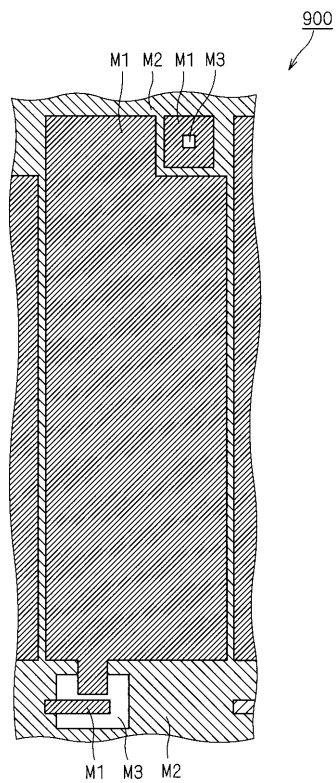
(A)



(B)

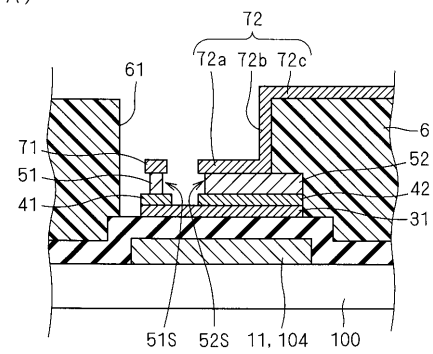


【図 19】

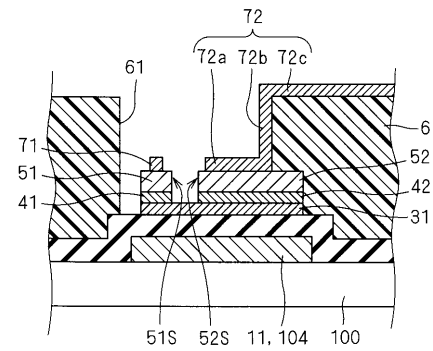


【図 20】

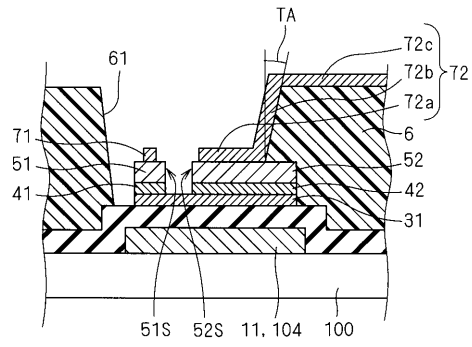
(A)



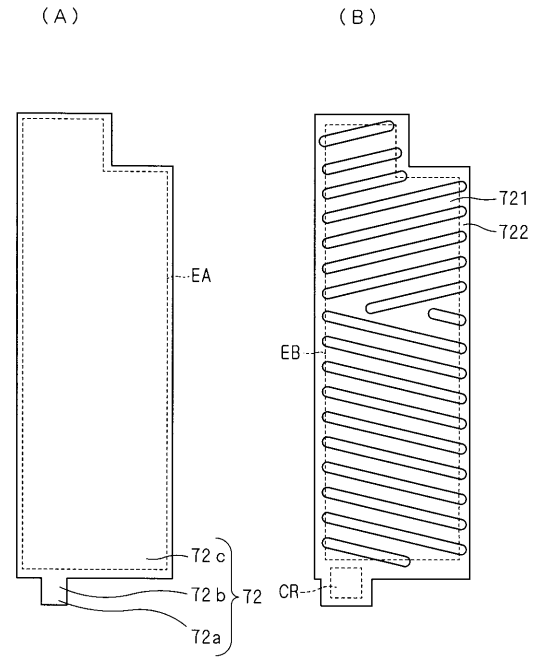
(B)



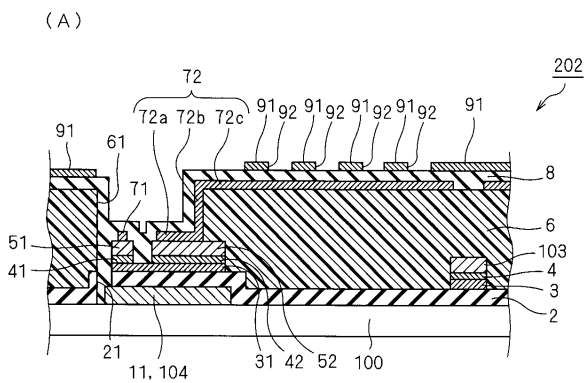
【図 2 1】



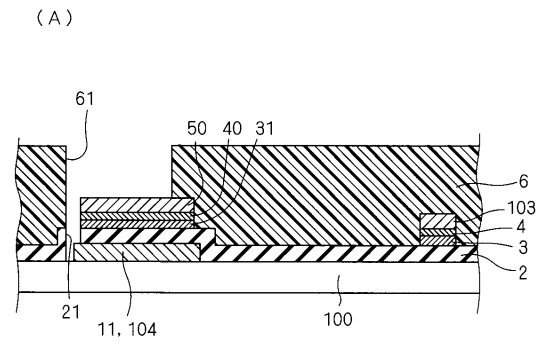
【図 2 2】



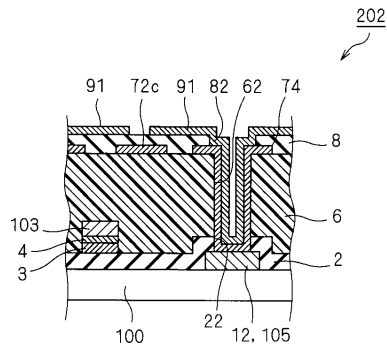
【図 2 3】



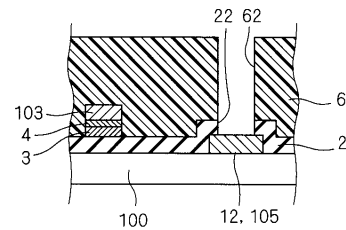
【図 2 4】



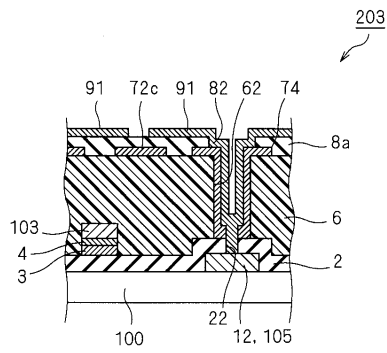
(B)



(B)



(A)



フロントページの続き

(72)発明者 緒方 伸介

熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 佐藤 洋允

(56)参考文献 特開 2 0 0 9 - 1 6 2 9 8 1 (J P , A)

米国特許出願公開第 2 0 1 2 / 0 1 4 0 1 5 5 (U S , A 1)

特開 2 0 1 3 - 1 0 9 3 4 7 (J P , A)

特開 2 0 0 8 - 2 0 9 6 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8