

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年10月7日 (07.10.2021)



(10) 国际公布号
WO 2021/196974 A1

- (51) 国际专利分类号:
H01L 21/02 (2006.01)
- (21) 国际申请号: PCT/CN2021/079157
- (22) 国际申请日: 2021年3月4日 (04.03.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010241496.7 2020年3月31日 (31.03.2020) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 陈智斌 (CHEN, Zhibin); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市

越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: SEMICONDUCTOR EPITAXIAL STRUCTURE AND SEMICONDUCTOR DEVICE

(54) 发明名称: 一种半导体外延结构及半导体器件

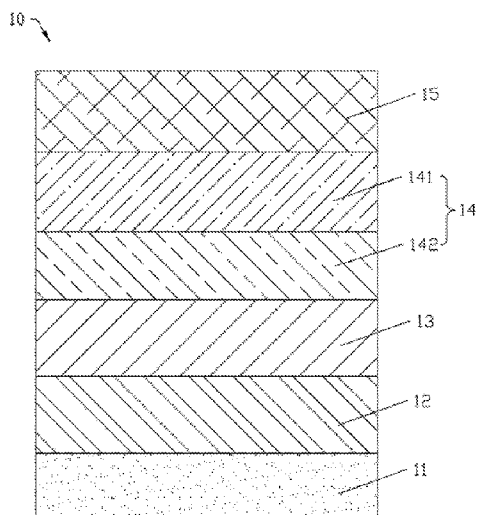


图 1

(57) Abstract: The present application provides a semiconductor epitaxial structure and a semiconductor device. The semiconductor epitaxial structure comprises a channel layer, a composite barrier layer, and a doped layer; the doped layer is disposed on the composite barrier layer; the channel layer is located on the side of the composite barrier layer away from the doped layer; the composite barrier layer comprises a digital alloy barrier layer and an AlGaN barrier layer that are stacked; the digital alloy barrier layer comprises one or more AlN layers. The semiconductor epitaxial structure provided by the present application effectively avoids the problem of an increase in on-resistance caused by the effect on the density and mobility of a two-dimensional electron gas due to the diffusion of Mg ions in a p-GaN layer to a barrier layer and a channel layer.

(57) 摘要: 本申请提供一种半导体外延结构及半导体器件。所述半导体外延结构包括沟道层、复合势垒层和掺杂层, 所述掺杂层设于所述复合势垒层上, 所述沟道层位于所述复合势垒层背离所述掺杂层一侧, 所述复合势垒层包括层叠设置的数字合金势垒层和AlGaN势垒层, 所述数字合金势垒层中包括一层或多层AlN层。本申请提供的半导体外延结构有效避免p-GaN层中Mg离子扩散到势垒层和沟道层, 影响二维电子气的密度和迁移率, 导致导通电阻上升的问题。



WO 2021/196974 A1

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

一种半导体外延结构及半导体器件

本申请要求于2020年03月31日提交中国专利局、申请号为202010241496.7、申请名称为“一种半导体外延结构及半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，特别涉及一种半导体外延结构及半导体器件。

背景技术

氮化镓(Gallium nitride, GaN)由于禁带宽度大、迁移率高等优势，广泛用于电力电子器件和射频器件等。其中，在高电子迁移率晶体管(High electron mobility transistor, HEMT)领域应用最广泛。目前的增强型HEMT包括依次层叠的沟道层、势垒层和p-GaN层，而其中的p-GaN层一般通过Mg离子掺杂实现。但是Mg离子存在扩散问题，当Mg离子大量扩散到势垒层和沟道层时，会影响二维电子气(Two-dimensional electronic gas, 2DEG)的密度和迁移率，导致导通电阻上升。

发明内容

本申请提供一种半导体外延结构，有效避免p-GaN层中的Mg离子扩散到势垒层和沟道层，影响2DEG的密度和迁移率，导致导通电阻上升的问题。

本申请还提供一种半导体器件。

本申请所述半导体外延结构包括沟道层、复合势垒层和掺杂层，所述掺杂层设于所述复合势垒层上，所述沟道层位于所述复合势垒层背离所述掺杂层一侧，所述复合势垒层包括层叠设置的数字合金势垒层和AlGaN势垒层，所述数字合金势垒层中包括一层或多层AlN层。

本申请通过在所述掺杂层和所述沟道层之间设置所述复合势垒层，所述复合势垒层中的所述数字合金势垒层中包括一层或多层AlN层，其为化合物形成的原子层叠层，换言之，本申请通过在所述掺杂层和所述沟道层之间设置包括一层或多层AlN层的所述数字合金势垒层，能有效防止掺杂层中掺杂的Mg离子在所述复合势垒层和所述沟道层中扩散，避免了导通电阻上升，保证了所述半导体外延结构的电性能。同时，所述数字合金势垒层还起到等效AlGaN势垒层的作用，也就是说，所述数字合金势垒层和所述AlGaN势垒层共同形成所述复合势垒层，用于与所述沟道层产生极化作用，以使所述复合势垒层和所述沟道层之间产生2DEG。且所述数字合金势垒层的生长速率远低于所述AlGaN势垒层，因此，通过将所述数字合金势垒和所述AlGaN势垒层组合，在起到防止Mg离子扩散的基础上，有效提高产品的生产效率，降低产品生产成本。所述数字合金势垒层的生长方法在同样的Al的原子数占比下产生的应力极小，避免了在高温大功率工作条件下，应力造成的逆压电效应。

一种实施方式中，所述数字合金势垒层设置在所述掺杂层和所述AlGaN势垒层之间。

也就是说,所述数字合金势垒层相对于所述 AlGaIn 势垒层更加靠近所述掺杂层,由于所述数字合金势垒层为单质或化合物形成的原子层,相比于由混合物形成的所述 AlGaIn 势垒层,所述数字合金势垒层能更有效的阻挡所述掺杂层的 Mg 离子扩散,因此,将所述数字合金势垒层靠近所述掺杂层设置能更有效防止掺杂层中掺杂的 Mg 离子在所述复合势垒层和所述沟道层中扩散,避免了导通电阻上升,保证了所述半导体外延结构的电性能。当然,在其他实施例中,所述 AlGaIn 势垒层连接在所述掺杂层和所述数字合金势垒层之间。

一种实施方式中,所述数字合金势垒层为 1~10 个单周期 AlN 层/GaN 层形成的叠层。也就是说,将 AlN 层和 GaN 层周期性排列以形成所述数字合金势垒层,以使所述数字合金势垒层的排列方式更为规则,从而具有更好的防止掺杂层中掺杂的 Mg 离子在所述复合势垒层和所述沟道层中扩散的作用,避免了导通电阻上升,保证了所述半导体外延结构的电性能。同时,由于所述数字合金势垒层的生长速率相对于所述 AlGaIn 势垒层慢很多,因此,将所述数字合金势垒层限制为 1~10 个单周期 AlN 层/GaN 层形成的叠层,从而在起到防止 Mg 离子扩散的基础上,有效提高产品的生产效率,降低产品生产成本。

一种实施方式中,所述数字合金势垒层的厚度为 1 nm~10 nm。在此厚度下,所述数字合金势垒层能更好的与所述 AlGaIn 势垒层结合,保证了所述数字合金势垒层和所述 AlGaIn 势垒层的电性能。同时,所述数字合金势垒层的厚度在 1 nm~10 nm 之间,在起到防止 Mg 离子扩散的基础上,能有效提高产品的生产效率,降低产品生产成本。

一种实施方式中,所述 AlGaIn 势垒层的厚度为 2 nm~40 nm,以避免所述 AlGaIn 势垒层的厚度过厚而产生驰豫现象,而影响所述半导体外延结构的电性能。

一种实施方式中,所述数字合金势垒层中所述单周期 AlN 层/GaN 层中 Al 的原子数占比为 10%~50%。单周期 AlN 层/GaN 层中 Al 的原子数占比为 10%~50%能有效防止 Mg 离子扩散,同时还能避免所述数字合金势垒层中 Al 的原子数占比过高而产生漏电现象,保证了半导体外延结构的电性能。

一种实施方式中,所述单周期 AlN 层/GaN 层中 AlN 层和 GaN 层的厚度比值为 m:n,其中 m 为小于等于 3 的正整数, n 为小于等于 10 的正整数。也就是说,本实施例通过控制单周期 AlN 层/GaN 层中 AlN 层和 GaN 层的厚度比值,来控制单周期 AlN 层/GaN 层中 Al 的原子数占比。

一种实施方式中,所述单周期 AlN 层/GaN 层中的 AlN 层和 GaN 层的厚度比值 1:3,从而能保证所述数字合金势垒层在起到防止 Mg 离子扩散的基础上,有效提高产品的生产效率,降低产品生产成本。

一种实施方式中,所述数字合金势垒层中 Al 的原子数占比大于所述 AlGaIn 势垒层中 Al 的原子数占比。也就是说,靠近所述掺杂层的所述数字合金势垒层中的 Al 的原子数占比更高,从而起到更好的防止 Mg 离子扩散的作用。当然,在其他实施例中,所述数字合金势垒层中 Al 的原子数占比还可以小于或等于所述 AlGaIn 势垒层中 Al 的原子数占比。

一种实施方式中,所述数字合金势垒层的数量为两层,两层所述数字合金势垒层分别设于所述 AlGaIn 势垒层两侧,所述数字合金势垒层中 Al 的原子数占比大于所述 AlGaIn 势垒层中 Al 的原子数占比。也就是说,在所述 AlGaIn 势垒层的两侧均设有具有很好防止 Mg 离子扩散的所述数字合金势垒层,能有效避免 Mg 离子扩散到所述 AlGaIn 势垒层中,就算

有少量 Mg 离子扩散到所述 AlGaIn 势垒层中,还是会被位于另一侧的数字合金势垒层阻挡,从而能避免 Mg 离子通过所述 AlGaIn 势垒层扩散到所述沟道层中,避免了导通电阻上升,有效保证了所述半导体外延结构的电性能。当然,在其他实施例中,所述数字合金势垒层中 Al 的原子数占比还可以小于或等于所述 AlGaIn 势垒层中 Al 的原子数占比。

一种实施方式中,所述半导体外延结构还包括插入层,所述插入层的相对两个表面分别与所述 AlGaIn 势垒层和所述沟道层连接。本实施例中,插入层为 AlN 层,插入层的禁带宽度更大,增强沟道层的极化效应,可增加 2DEG 的浓度,同时还具有缓冲应力的作用,即起到缓和所述复合势垒层与沟道层之间晶格失配的作用。

一种实施方式中,所述半导体外延结构还包括衬底层,所述衬底层位于所述沟道层背向所述复合势垒层一侧。本实施例中,所述衬底层的材料为硅。当然,在其他实施例中,所述衬底层也可以用其他衬底材料制成,例如蓝宝石、氮化镓、碳化硅和金刚石等材料。所述衬底层用于承载所述沟道层、所述复合势垒层和所述掺杂层等层结构。

一种实施方式中,所述半导体外延结构还包括缓冲层,所述缓冲层设于所述沟道层背向所述复合势垒层的表面。本实施例中,所述缓冲层的材料为 AlGaIn。当然,在其他实施例中,所述缓冲层还可以由 AlN、GaIn 等材料构成。所述缓冲层用于缓冲所述沟道层与相关层结构之间的力的作用。

一种实施方式中,所述半导体外延结构还包括成核层,所述成核层所述缓冲层背向所述沟道层的表面。本实施例中,成核层的材料为 AlN,起到改善材料间晶格失配带来的应力作用。

本申请所述半导体器件包括上述的半导体外延结构。具有上述半导体外延结构的所述半导体器件能有效避免 Mg 离子从 p-GaIn 层扩散至势垒层和沟道层导致的导通电阻上升,进而使得所述半导体器件的功率密度提高,具有更好的电学性能。

本申请通过在所述掺杂层和所述沟道层之间设置所述复合势垒层,所述复合势垒层中的所述数字合金势垒层中包括一层或多层 AlN 层,其为化合物形成的原子层叠层,换言之,本申请通过在所述掺杂层和所述沟道层之间设置包括一层或多层 AlN 层的所述数字合金势垒层,能有效防止掺杂层中掺杂的 Mg 离子在所述复合势垒层和所述沟道层中扩散,避免了导通电阻上升,进而保证了所述半导体外延结构的电性能。

附图说明

为了更清楚地说明本申请实施例或背景技术中的技术方案,下面将对本申请实施例或背景技术中所需要使用的附图进行说明。

图 1 是本申请实施例提供的一种半导体外延结构的结构示意图。

图 2 是图 1 提供的半导体外延结构中的数字合金势垒层的结构示意图。

图 3 是图 2 提供的数字合金势垒层的具体排列结构示意图。

图 4 是图 1 提供的 AlGaIn 势垒层的具体排列结构示意图。

图 5 是半导体外延结构的另一种结构示意图。

图 6 是半导体外延结构的又一种结构示意图。

图 7 是半导体外延结构的又一种结构示意图。

图 8 是半导体外延结构的再一种结构示意图。

具体实施方式

下面结合本申请实施例中的附图对本申请实施例进行描述。

传统的 HEMT 多为 D-mode 结构，即耗尽型 HEMT，无 p-GaN 层，也就是说，耗尽型 HEMT 的沟道层上设有势垒层，沟道层和势垒层之间通过极化作用产生 2DEG，势垒层的设计目的在于提高 2DEG 密度和迁移率，势垒层主要采用 AlGaIn 势垒层，数字合金由于生长速率低等原因鲜少作为势垒层使用。但商用的 HEMT 结构必须为 E-mode 结构，即增强型 HEMT，相比于耗尽型 HEMT 没有危险性，且静态功耗小，其主要实现方式之一是通过在势垒层上增加一层 p-GaN 来调控阈值电压。也就是说，增强型 HEMT 包括依次层叠设置的沟道层、势垒层和 p-GaN 层，p-GaN 层通过掺杂 Mg 离子以形成，其矛盾点在于为了使阈值电压正飘，需要通过提高 p-GaN 层中的 Mg 离子浓度来提高空穴浓度，由于势垒层主要采用 AlGaIn 势垒层，但是 AlGaIn 势垒层防止 p-GaN 层中的 Mg 离子扩散的效果不好，过高的 Mg 离子浓度会通过 AlGaIn 势垒层扩散进入沟道层，导致沟道层的方块电阻(Rsheet)和导通电阻 (Ron) 上升，进而限制 HEMT 的功率密度，影响 HEMT 的电学性能。

鉴于此，本申请实施例提供一种半导体器件，解决了由于 p-GaN 层中的 Mg 离子扩散而导致的沟道层的方块电阻 (Rsheet) 和导通电阻 (Ron) 上升，进而限制 HEMT 的功率密度，影响 HEMT 的电学性能的问题，有效防止 Mg 离子扩散，并采用数字合金势垒和传统 AlGaIn 势垒的复合结构来减少生长时间，降低成本。

半导体器件包括且不限于 HEMT 和具有产生 2DEG 的异质结构等电力电子器件及射频器件等半导体器件。本申请以半导体器件是 HEMT 为例进行具体说明。本申请半导体器件包括半导体外延结构。具有上述半导体外延结构的半导体器件能有效避免 Mg 离子从 p-GaN 层扩散至势垒层和沟道层导致的导通电阻上升，进而使得功率密度提高，具有很好的电学性能。

请参阅图 1，图 1 是本申请实施例提供的一种半导体外延结构的结构示意图。图 1 为半导体外延结构 10 的第一实施例。

本申请半导体外延结构 10 包括衬底层 11、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15，掺杂层 15 设于复合势垒层 14 上，沟道层 13 位于复合势垒层 14 背离掺杂层 15 一侧，衬底层 11 位于沟道层 13 背离复合势垒层 14 一侧，缓冲层 12 位于衬底层 11 和沟道层 13 之间，复合势垒层 14 包括层叠设置的数字合金势垒层 141 和 AlGaIn 势垒层 142，数字合金势垒层 141 内可以包括一层或多层 AlN 层 1411。

本申请的半导体外延结构 10 通过在掺杂层 15 和沟道层 13 之间设置复合势垒层 14，复合势垒层 14 中的数字合金势垒层 141 内可以包括一层或多层 AlN 层 1411，其为化合物形成的原子层叠层，换言之，本申请通过在掺杂层 15 和沟道层 13 之间设置包括一层或多层 AlN 层 1411 的数字合金势垒层 141，能有效防止掺杂层 15 中掺杂的 Mg 离子在复合势垒层 14 和沟道层 13 中扩散，避免了导通电阻上升，保证了半导体外延结构 10 的电性能。同时，数字合金势垒层 141 还起到等效 AlGaIn 势垒层 142 的作用，也就是说，数字合金势垒层 141 和 AlGaIn 势垒层 142 共同形成复合势垒层 14，用于与沟道层 13 产生极化作用，

以使复合势垒层 14 和沟道层 13 之间产生 2DEG。且数字合金势垒层 141 的生长速率远低于 AlGaIn 势垒层 142，因此，通过将数字合金势垒层 141 和 AlGaIn 势垒层 142 组合，在起到防止 Mg 离子扩散的基础上，有效提高产品的生产效率，降低产品生产成本。数字合金势垒层 141 的生长方法在同样的 Al 的原子数占比下产生的应力极小，避免了在高温大功率工作条件下，应力造成的逆压电效应。

本实施例中，衬底层 11 的材料为硅。当然，在其他实施例中，衬底层 11 也可以用其他衬底材料制成，例如蓝宝石、氮化镓、碳化硅和金刚石等材料。衬底层 11 用于承载缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15 等层结构。

缓冲层 12 设于衬底层 11 朝向沟道层 13 的表面，缓冲层 12 的材料为 AlGaIn。当然，在其他实施例中，缓冲层 12 还可以由 AlN、GaN 等材料构成。缓冲层 12 的厚度为 0.5 μm ~ 10 μm 之间，缓冲层 12 用于缓冲衬底层 11 和沟道层 13 之间的力的作用。

沟道层 13 连接于缓冲层 12 背向衬底层 11 的表面，沟道层 13 的材料为 GaN。当然，在其他实施例中，沟道层 13 还可以由 AlGaIn 或 InGaIn 等材料构成。沟道层 13 的厚度为 0.02 μm ~ 1 μm 之间，沟道层 13 与复合势垒层 14 作用形成 2DEG。

本实施例中，数字合金势垒层 141 设置在掺杂层 15 和 AlGaIn 势垒层 142 之间，AlGaIn 势垒层 142 设于沟道层 13 背向缓冲层 12 的表面。也就是说，沟道层 13、AlGaIn 势垒层 142、数字合金势垒层 141 和掺杂层 15 依次层叠设置，数字合金势垒层 141 的相对两个表面分别与掺杂层 15 和 AlGaIn 势垒层 142 连接，数字合金势垒层 141 相对于 AlGaIn 势垒层 142 更加靠近掺杂层 15，由于数字合金势垒层 141 为单质或化合物形成的原子层，相比于由混合物形成的 AlGaIn 势垒层 142，数字合金势垒层 141 能更有效的阻挡掺杂层 15 的 Mg 离子扩散，因此，将数字合金势垒层 141 靠近掺杂层 15 设置能更有效防止掺杂层 15 中掺杂的 Mg 离子在复合势垒层 14 和沟道层 13 中扩散，避免了导通电阻上升，保证了半导体外延结构 10 的电性能。当然，在其他实施例中，AlGaIn 势垒层 142 连接在掺杂层 15 和数字合金势垒层 141 之间。也就是说，数字合金势垒层 141 和 AlGaIn 势垒层 142 的设置位置相换，也能有效防止 Mg 离子大量扩散到复合势垒层 14 和沟道层 13 中，避免了导通电阻上升，保证了半导体外延结构 10 的电性能。

本实施例中的掺杂层 15 设于数字合金势垒层 141 背向 AlGaIn 势垒层 142 的表面，掺杂层 15 为 GaN 材料形成并通过掺杂 Mg 离子形成的 P 型掺杂层 15。当然，在其他实施例中，掺杂层 15 朝向数字合金势垒层 141 的表面与数字合金势垒层 141 中的 GaN 层 1412 层叠。

请参阅图 2 和图 3，图 2 是图 1 提供的半导体外延结构中的数字合金势垒层的结构示意图。图 3 是图 2 提供的数字合金势垒层的具体排列结构示意图。

具体的，在氮化物材料中，AlN 材料的杂质扩散抑制能力远强于 GaN。本实施例中，数字合金势垒层 141 为 3 个单周期 AlN 层 1411/GaN 层 1412 形成的叠层。可以理解的是，单周期 AlN 层 1411/GaN 层 1412 为一层 AlN 层 1411 和一层 GaN 层 1412 层叠形成，3 个单周期 AlN 层 1411/GaN 层 1412 为一层 AlN 层 1411、一层 GaN 层、一层 AlN 层 1411、一层 GaN 层、一层 AlN 层 1411 和一层 GaN 层层叠形成，换言之，3 个单周期 AlN 层 1411/GaN 层 1412 为三层 AlN 层 1411 和三层 GaN 层依次交叠形成。数字合金势垒层 141 中的 AlN

层 1411 与掺杂层 15 朝向数字合金势垒层 141 的表面层叠, 有利于防止 Mg 离子的扩散。本实施例将 AlN 层 1411 和 GaN 层 1412 周期性排列以形成数字合金势垒层 141, 以使数字合金势垒层 141 的化合物 AlNa 和化合物 GaNb 分别成排规则排列, 相比于混合物 AlGaIn 中的化合物 AlNa 和化合物 GaNb 的无规则排列方式(请参阅图 4), 数字合金势垒层 141 中的化合物 AlNa 排列得更加规则, 具有更好的防止掺杂层 15 中掺杂的 Mg 离子在复合势垒层 14 和沟道层 13 中扩散的作用, 避免了导通电阻上升, 保证了半导体外延结构 10 的电性能。同时, 由于数字合金势垒层 141 的生长速率相对于 AlGaIn 势垒层 142 慢很多, 也就是说, 形成越多个周期 AlN 层 1411/GaN 层 1412 叠层, 花费的生产时间越多, 因此, 将数字合金势垒层 141 限制为 3 个单周期 AlN 层 1411/GaN 层 1412 形成的叠层, 即数字合金势垒层 141 足够用于阻挡 Mg 离子扩散即可, 从而在起到防止 Mg 离子扩散的基础上, 有效提高产品的生产效率, 降低产品生产成本。当然, 在其他实施例中, 数字合金势垒层 141 为 1~10 个单周期 AlN 层 1411/GaN 层 1412 形成的叠层。或者, 数字合金势垒层 141 中的 GaN 还可以由其他化合物代替, 例如数字合金势垒层 141 为 InN 层\AlN 层形成的叠层。

本实施例中数字合金势垒层 141 的厚度为 6 nm。具体的, 在此厚度下, 数字合金势垒层 141 能更好的与 AlGaIn 势垒层 142 结合, 保证了数字合金势垒层 141 和 AlGaIn 势垒层 142 的电性能。同时, 数字合金势垒层 141 的厚度为 6 nm, 在起到防止 Mg 离子扩散的基础上, 能有效提高产品的生产效率, 降低产品生产成本。当然, 在其他实施例中, 数字合金势垒层 141 的厚度可选为 1 nm~10 nm。

数字合金势垒层 141 中单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占比为 25%, 也就是说, 单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占有所有原子的原子数的比例。本实施例中, 单周期 AlN 层 1411/GaN 层 1412 中 GaN 层 1412 与 AlN 层 1411 的单层厚度约为 0.5nm, 单周期 AlN 层 1411/GaN 层 1412 中的 AlN 层 1411 和 GaN 层 1412 的厚度比值 1:3, 三层 GaN 层 1412 和一层 AlN 层 1411 依次层叠设置, 即得到单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占比为 25%。当然, 单周期 AlN 层 1411/GaN 层 1412 还可以是一层 AlN 层 1411 和三层 GaN 层 1412 依次层叠设置, 或者, 一层 AlN 层 1411 位于三层 GaN 层 1412 中任意两层之间。单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占比为 25%能有效防止 Mg 离子扩散, 同时还能避免数字合金势垒层 141 中 Al 的原子数占比过高而产生漏电现象, 保证了半导体外延结构 10 的电性能。同时, 能保证数字合金势垒层 141 在起到防止 Mg 离子扩散的基础上, 有效提高产品的生产效率, 降低产品生产成本。当然, 在其他实施例中, 单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占比可选为 10%~50%, 例如 GaN 层 1412 与 AlN 层 1411 的单层厚度约为 0.5nm, 单周期 AlN 层 1411/GaN 层 1412 中 AlN 层 1411 和 GaN 层 1412 的厚度比值为 m:n, 其中 m 为小于等于 3 的正整数, n 为小于等于 10 的正整数, 也就是说, 本实施例通过控制单周期 AlN 层 1411/GaN 层 1412 中 AlN 层 1411 和 GaN 层 1412 的厚度比值, 来控制单周期 AlN 层 1411/GaN 层 1412 中 Al 的原子数占比为 10%~50%。能有效防止 Mg 离子扩散, 同时还能避免数字合金势垒层 141 中 Al 的原子数占比过高而产生漏电现象, 保证了半导体外延结构 10 的电性能。

如图 2 所示, AlGaIn 势垒层 142 的厚度为 2 nm~40 nm, 以避免 AlGaIn 势垒层 142 的厚度过厚而产生驰豫现象, 即 AlGaIn 势垒层 142 厚度过厚会产生应力作用而产生形变(例

如表面发生弯曲的现象),从而导致 AlGa_N 势垒层 142 和与其层叠的层不能很好的贴合,而影响半导体外延结构 10 的电性能。AlGa_N 势垒层 142 中 Al 的原子数占比为 25%。当然,在其他实施例中,AlGa_N 势垒层 142 中 Al 原子数占比还可以为 5%~30%,具体可根据数字合金势垒层 141 中的 Al 的原子数占比调整,从而使得整个复合势垒层 14 达到电性能要求。

请参阅图 5,图 5 是半导体外延结构的另一种结构示意图。图 5 为半导体外延结构 10 的第二实施例。本实施例中的半导体外延结构 10 包括衬底层 11、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15,衬底层 11、缓冲层 12 和沟道层 13 依次层叠设置,复合势垒层 14 设于沟道层 13 背离缓冲层 12 的一侧,掺杂层 15 设于复合势垒层 14 背离沟道层 13 的表面,复合势垒层 14 包括层叠设置的数字合金势垒层 141 和 AlGa_N 势垒层 142,数字合金势垒层 141 靠近掺杂层 15 设置。本实施例中的半导体外延结构 10 还包括插入层 16,插入层 16 的相对两个表面分别与 AlGa_N 势垒层 142 和沟道层 13 连接。本实施例中,插入层 16 为 AlN 层,插入层 16 的禁带宽度(禁带宽度是指一个带隙宽度(单位是电子伏特(eV)),被束缚的电子要成为自由电子或者空穴,就必须获得足够能量从价带跃迁到导带,这个能量的最小值就是禁带宽度。)更大,增强沟道层 13 的极化效应,可增加 2DEG 的浓度,同时还具有缓冲应力的作用,即起到缓和复合势垒层 14 与沟道层 13 之间晶格失配的作用。当然,在其他实施例中,半导体外延结构 10 还可以包括成核层 17。

请参阅图 6,图 6 是半导体外延结构的又一种结构示意图。图 6 为半导体外延结构 10 的第三实施例。本实施例中的半导体外延结构 10 包括衬底层 11、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15,缓冲层 12 和沟道层 13 层叠设置,衬底层 11 设于缓冲层 12 背向沟道层 13 的一侧,复合势垒层 14 设于沟道层 13 背离缓冲层 12 的一侧,掺杂层 15 设于复合势垒层 14 背离沟道层 13 的表面,复合势垒层 14 包括层叠设置的数字合金势垒层 141 和 AlGa_N 势垒层 142,数字合金势垒层 141 靠近掺杂层 15 设置,复合势垒层 14 和沟道层 13 之间设有插入层 16。本实施例中的半导体外延结构 10 还包括成核层 17,成核层 17 设于衬底层 11 朝向缓冲层 12 的表面。本实施例中,成核层 17 的材料为 AlN,起到改善材料间晶格失配带来的应力作用。当然,其他实施例中,复合势垒层 14 和沟道层 13 之间未设有插入层 16,也就是说,复合势垒层 14 和沟道层 13 直接连接。

请参阅图 7,图 7 是半导体外延结构的又一种结构示意图。图 7 为半导体外延结构 10 的第四实施例。本实施例中的半导体外延结构 10 包括依次层叠设置的衬底层 11、成核层 17、缓冲层 12、沟道层 13、插入层 16、复合势垒层 14 和掺杂层 15,复合势垒层 14 包括层叠设置的数字合金势垒层 141 和 AlGa_N 势垒层 142,数字合金势垒层 141 靠近掺杂层 15 设置。本实施例中的数字合金势垒层 141 中 Al 的原子数占比大于 AlGa_N 势垒层 142 中 Al 的原子数占比。具体的,数字合金势垒层 141 中 Al 的原子数占比和 AlGa_N 势垒层 142 中 Al 的原子数占比可根据具体需要设置。也就是说,靠近掺杂层 15 的数字合金势垒层 141 中的 Al 的原子数占比更高,从而起到更好的防止 Mg 离子扩散的作用。当然,其他实施例中,数字合金势垒层 141 中 Al 的原子数占比还可以小于或等于 AlGa_N 势垒层 142 中 Al 的原子数占比。半导体外延结构 10 还可以不设置成核层 17 和/或插入层 16,也就是说,衬底层 11、缓冲层 12、沟道层 13、插入层 16、复合势垒层 14 和掺杂层 15 依次层叠设置,或者衬底层 11、成核层 17、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15 依次层叠设置。

置，或者衬底层 11、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15 依次层叠设置。

请参阅图 8，图 8 是半导体外延结构的再一种结构示意图。图 8 为半导体外延结构 10 的第五实施例。本实施例中的半导体外延结构 10 包括依次层叠设置的衬底层 11、成核层 17、缓冲层 12、沟道层 13、插入层 16、复合势垒层 14 和掺杂层 15，复合势垒层 14 包括层叠设置的数字合金势垒层 141 和 AlGaN 势垒层 142，数字合金势垒层 141 靠近掺杂层 15 设置。本实施例中的数字合金势垒层 141 的数量为两层，两层数字合金势垒层 141 分别设于 AlGaN 势垒层 142 两侧，即，在 AlGaN 势垒层 142 和插入层 16 之间新增了一层数字合金势垒层 141，数字合金势垒层 141 中 Al 的原子数占比大于 AlGaN 势垒层 142 中 Al 的原子数占比。本实施例中的两层数字合金势垒层 141 的厚度相同或不同，也就是说，在 AlGaN 势垒层 142 的两侧均设有具有很好防止 Mg 离子扩散的数字合金势垒层 141，能有效避免 Mg 离子扩散到 AlGaN 势垒层 142 中，就算有少量 Mg 离子扩散到 AlGaN 势垒层 142 中，还是会被位于另一侧的数字合金势垒层 141 阻挡，从而能避免 Mg 离子通过 AlGaN 势垒层 142 扩散到沟道层 13 中，避免了导通电阻上升，有效保证了半导体外延结构 10 的电性能。当然，其他实施例中，数字合金势垒层 141 中 Al 的原子数占比还可以小于或等于 AlGaN 势垒层 142 中 Al 的原子数占比。AlGaN 势垒层 142 的数量也可以为两层，分别设于数字合金势垒层 141 的两侧。半导体外延结构 10 还可以不设置成核层 17 和/或插入层 16，也就是说，衬底层 11、缓冲层 12、沟道层 13、插入层 16、复合势垒层 14 和掺杂层 15 依次层叠设置，或者衬底层 11、成核层 17、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15 依次层叠设置，或者衬底层 11、缓冲层 12、沟道层 13、复合势垒层 14 和掺杂层 15 依次层叠设置。

本申请中的保护范围不限于上述实施例一至实施例五，实施例一至实施例五中的任意组合也在本申请的保护范围内，也就是说，上述描述的多个实施例还可根据实际需要任意组合。

本申请通过在掺杂层 15 和沟道层 13 之间设置复合势垒层 14，复合势垒层 14 中的数字合金势垒层 141 中包括一层或多层 AlN 层 1411，其为化合物形成的原子层叠层，换言之，本申请通过在掺杂层 15 和沟道层 13 之间设置包括一层或多层 AlN 层 1411 的数字合金势垒层 141，能有效防止掺杂层 15 中掺杂的 Mg 离子在复合势垒层 14 和沟道层 13 中扩散，避免了 2DEG 导通电阻上升，保证了半导体外延结构 10 的电性能。同时，数字合金势垒层 141 还起到等效 AlGaN 势垒层 142 的作用，也就是说，数字合金势垒层 141 和 AlGaN 势垒层 142 共同形成复合势垒层 14，用于与沟道层 13 产生极化作用，以使复合势垒层 14 和沟道层 13 之间产生 2DEG。且数字合金势垒层 141 的生长速率远低于 AlGaN 势垒层 142，因此，通过将数字合金势垒和 AlGaN 势垒层 142 组合，在起到防止 Mg 离子扩散的基础上，有效提高产品的生产效率，降低产品生产成本。数字合金势垒层 141 的生长方法在同样的 Al 的原子数占比下产生的应力极小，避免了在高温大功率工作条件下，应力造成的逆压电效应。

以上，仅为本申请的部分实施例和实施方式，本申请的保护范围不局限于此，任何熟知本领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权利要求书

1. 一种半导体外延结构，其特征在于，包括沟道层、复合势垒层和掺杂层，所述掺杂层设于所述复合势垒层上，所述沟道层位于所述复合势垒层背离所述掺杂层一侧，所述复合势垒层包括层叠设置的数字合金势垒层和 AlGaN 势垒层，所述数字合金势垒层中包括一层或多层 AlN 层。
2. 根据权利要求 1 所述的半导体外延结构，其特征在于，所述数字合金势垒层设置在所述掺杂层和所述 AlGaN 势垒层之间。
3. 根据权利要求 2 所述的半导体外延结构，其特征在于，所述数字合金势垒层为 1~10 个单周期 AlN 层/GaN 层形成的叠层。
4. 根据权利要求 1-3 中任意一项权利要求所述的半导体外延结构，其特征在于，所述数字合金势垒层中所述单周期 AlN 层/GaN 层中 Al 的原子数占比为 10%~50%。
5. 根据权利要求 4 所述的半导体外延结构，其特征在于，所述单周期 AlN 层/GaN 层中 AlN 层和 GaN 层的厚度比值为 m:n，其中 m 为小于等于 3 的正整数，n 为小于等于 10 的正整数。
6. 根据权利要求 5 所述的半导体外延结构，其特征在于，所述数字合金势垒层中 Al 的原子数占比大于或等于所述 AlGaN 势垒层中 Al 的原子数占比。
7. 根据权利要求 5 所述的半导体外延结构，其特征在于，所述数字合金势垒层的数量为两层，两层所述数字合金势垒层分别设于所述 AlGaN 势垒层两侧，所述数字合金势垒层中 Al 的原子数占比大于或等于所述 AlGaN 势垒层中 Al 的原子数占比。
8. 根据权利要求 1 所述的半导体外延结构，其特征在于，所述半导体外延结构还包括插入层，所述插入层的相对两个表面分别与所述 AlGaN 势垒层和所述沟道层连接。
9. 根据权利要求 8 所述的半导体外延结构，其特征在于，所述半导体外延结构还包括衬底层，所述衬底层位于所述沟道层背向所述复合势垒层一侧。
10. 根据权利要求 8 或 9 所述的半导体外延结构，其特征在于，所述半导体外延结构还包括缓冲层，所述缓冲层设于所述沟道层背向所述复合势垒层的表面。
11. 根据权利要求 10 所述的半导体外延结构，其特征在于，所述半导体外延结构还包括成核层，所述成核层设于所述缓冲层背向所述沟道层的表面。
12. 一种半导体器件，其特征在于，所述半导体器件包括权利要求 1-11 任一项所述的半导体外延结构。

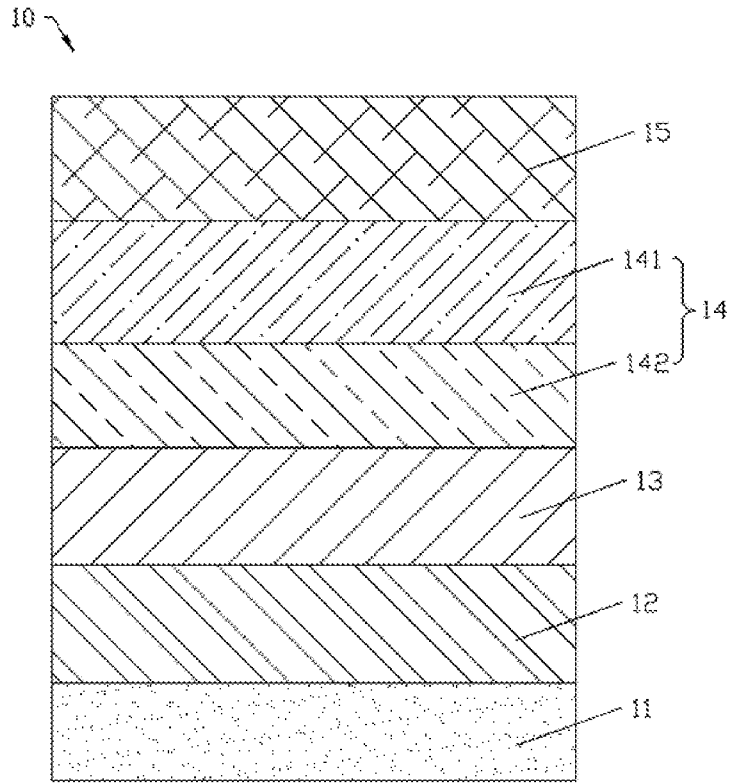


图 1

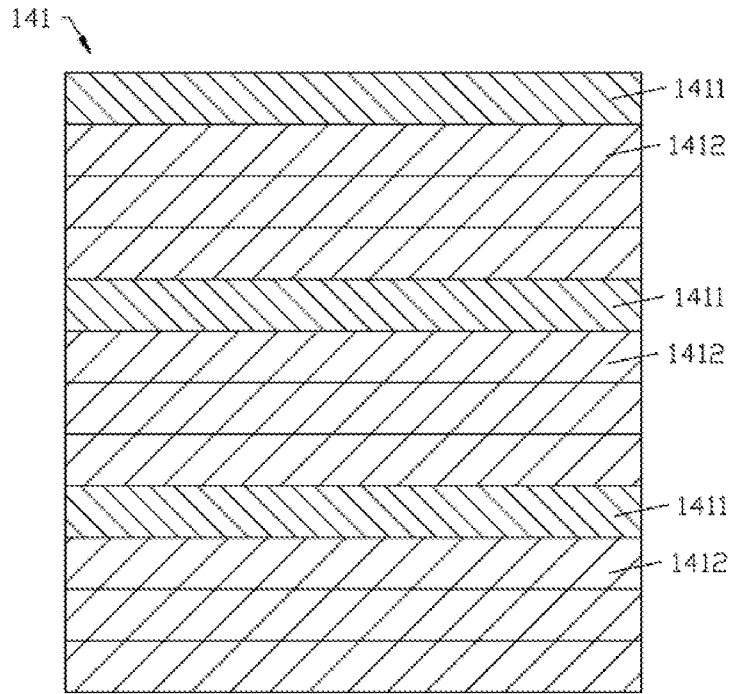


图 2

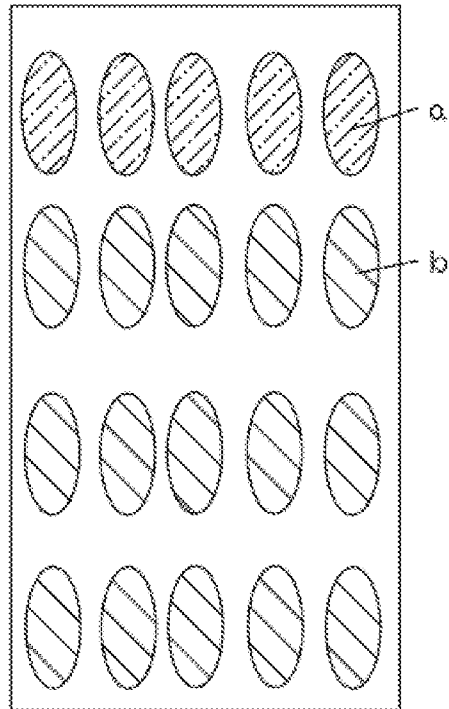


图 3

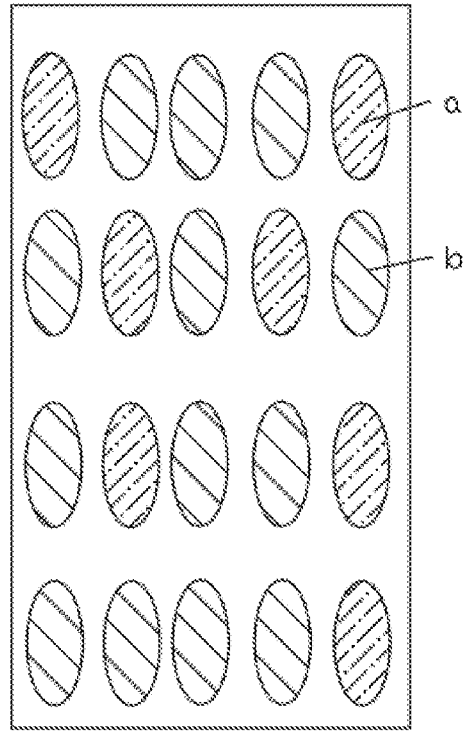


图 4

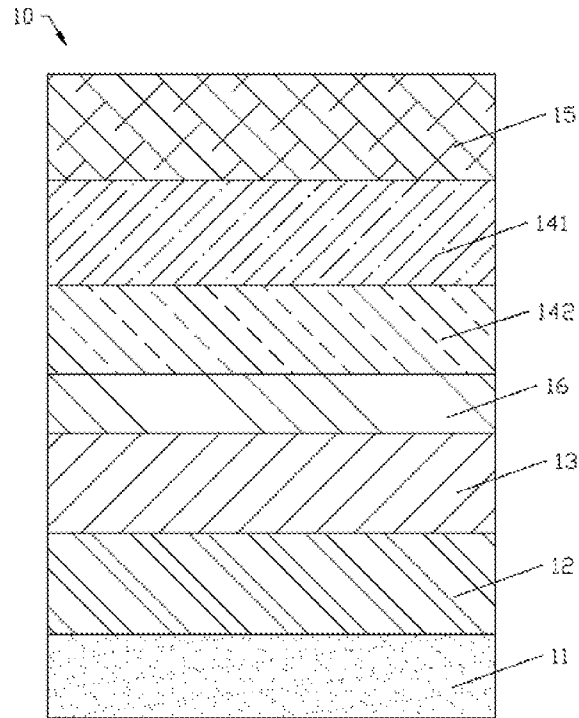


图 5

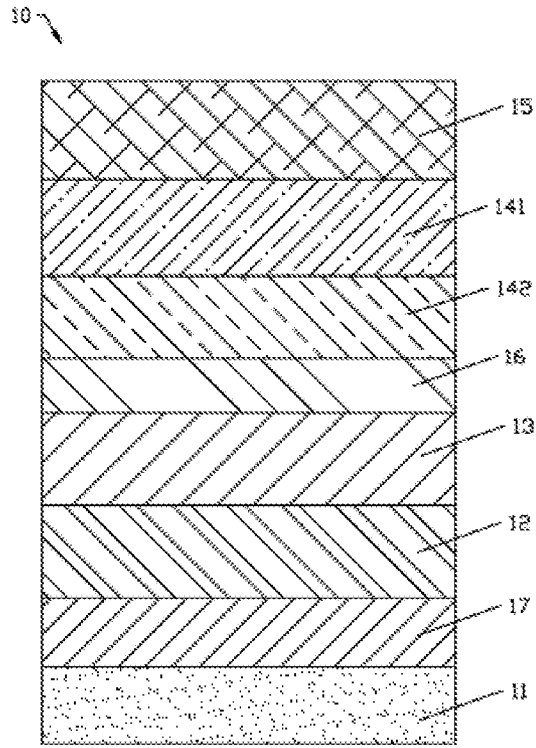


图 6

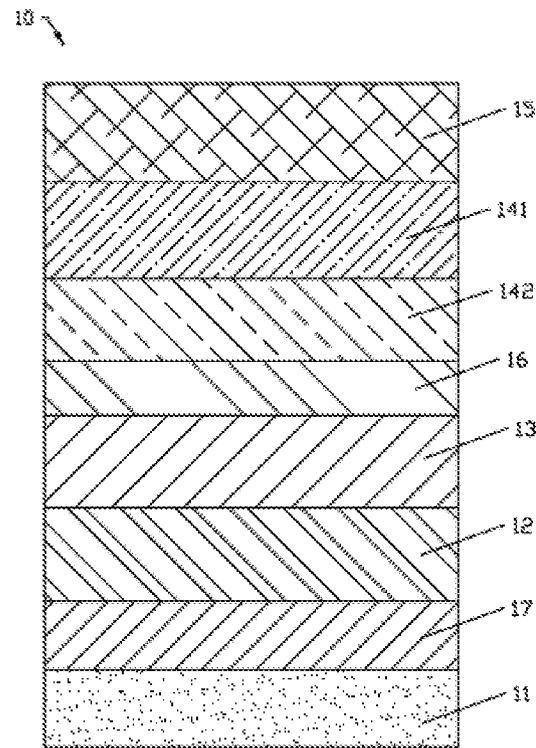


图 7

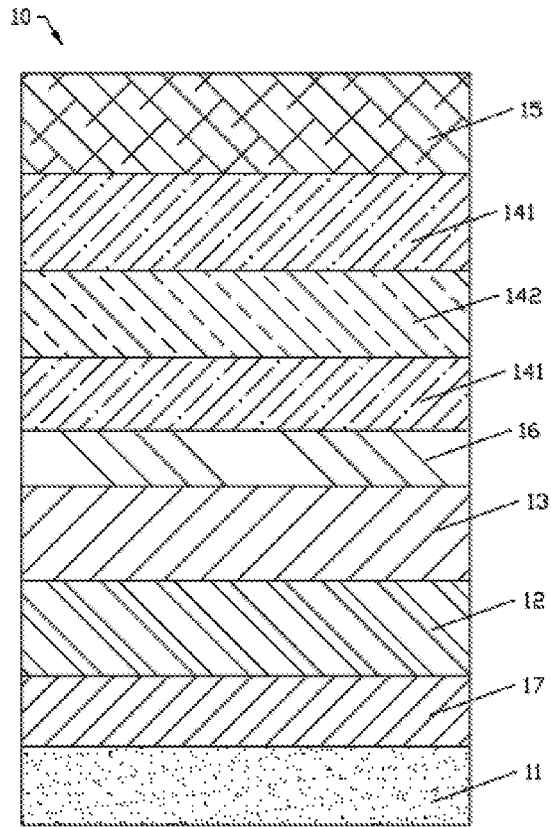


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/079157

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 21/02(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L21/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNBAS; CNTXT; VEN; USTXT; EPTXT; JPTXT; WOTXT; CNKI: 复合势垒, 组合势垒, 沟道, 周期, 重复, 氮化镓, 氮化铝, 镁, 扩散, compound barrier, combinatorial barrier, channel, cycle, repeat, gallium nitride, aluminum nitride, magnesium, diffuse		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111477536 A (HUAWEI TECHNOLOGIES CO., LTD.) 31 July 2020 (2020-07-31) entire document	1-12
X	CN 108511522 A (INNOSCIENCE (ZHUHAI) TECHNOLOGY CO., LTD.) 07 September 2018 (2018-09-07) description, paragraphs 6-62, figure 1	1-12
A	CN 106449914 A (ENRAYTEK OPTOELECTRONICS CO., LTD.) 22 February 2017 (2017-02-22) entire document	1-12
A	CN 109952655 A (MITSUBISHI ELECTRIC CORPORATION) 28 June 2019 (2019-06-28) entire document	1-12
A	US 2014264441 A1 (RENESAS ELECTRONICS CORPORATION) 18 September 2014 (2014-09-18) entire document	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
31 May 2021		11 June 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/079157

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)	
CN	111477536	A	31 July 2020	None		
CN	108511522	A	07 September 2018	None		
CN	106449914	A	22 February 2017	CN	106449914 B	27 November 2018
CN	109952655	A	28 June 2019	KR	102174546 B1	05 November 2020
				CA	3044512 A1	31 May 2018
				WO	2018096796 A1	31 May 2018
				US	2018145163 A1	24 May 2018
				JP	2019525499 A	05 September 2019
				EP	3545554 A1	02 October 2019
				US	10411125 B2	10 September 2019
				KR	20190058668 A	29 May 2019
				JP	6732131 B2	29 July 2020
US	2014264441	A1	18 September 2014	US	9401413 B2	26 July 2016
				JP	2014179546 A	25 September 2014
				JP	6174874 B2	02 August 2017

<p>A. 主题的分类</p> <p>H01L 21/02 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L21/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNBAS;CNTXT;VEN;USTXT;EPTXT;JPTXT;WOTXT;CNKI:复合势垒, 组合势垒, 沟道, 周期, 重复, 氮化镓, 氮化铝, 镁, 扩散, compound barrier, combinatorial barrier, channel, cycle, repeat, gallium nitride, aluminum nitride, magnesium, diffuse</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 111477536 A (华为技术有限公司) 2020年 7月 31日 (2020 - 07 - 31) 全文</td> <td>1-12</td> </tr> <tr> <td>X</td> <td>CN 108511522 A (英诺赛科珠海科技有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第6-62段, 图1</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 106449914 A (映瑞光电科技上海有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 109952655 A (三菱电机株式会社) 2019年 6月 28日 (2019 - 06 - 28) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US 2014264441 A1 (RENESAS ELECTRONICS CORP) 2014年 9月 18日 (2014 - 09 - 18) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 111477536 A (华为技术有限公司) 2020年 7月 31日 (2020 - 07 - 31) 全文	1-12	X	CN 108511522 A (英诺赛科珠海科技有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第6-62段, 图1	1-12	A	CN 106449914 A (映瑞光电科技上海有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-12	A	CN 109952655 A (三菱电机株式会社) 2019年 6月 28日 (2019 - 06 - 28) 全文	1-12	A	US 2014264441 A1 (RENESAS ELECTRONICS CORP) 2014年 9月 18日 (2014 - 09 - 18) 全文	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 111477536 A (华为技术有限公司) 2020年 7月 31日 (2020 - 07 - 31) 全文	1-12																		
X	CN 108511522 A (英诺赛科珠海科技有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第6-62段, 图1	1-12																		
A	CN 106449914 A (映瑞光电科技上海有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-12																		
A	CN 109952655 A (三菱电机株式会社) 2019年 6月 28日 (2019 - 06 - 28) 全文	1-12																		
A	US 2014264441 A1 (RENESAS ELECTRONICS CORP) 2014年 9月 18日 (2014 - 09 - 18) 全文	1-12																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年 5月 31日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 6月 11日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>周忠饶</p> <p>电话号码 86-(20)-28958519</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/079157

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111477536	A	2020年 7月 31日	无			
CN	108511522	A	2018年 9月 7日	无			
CN	106449914	A	2017年 2月 22日	CN	106449914	B	2018年 11月 27日
CN	109952655	A	2019年 6月 28日	KR	102174546	B1	2020年 11月 5日
				CA	3044512	A1	2018年 5月 31日
				WO	2018096796	A1	2018年 5月 31日
				US	2018145163	A1	2018年 5月 24日
				JP	2019525499	A	2019年 9月 5日
				EP	3545554	A1	2019年 10月 2日
				US	10411125	B2	2019年 9月 10日
				KR	20190058668	A	2019年 5月 29日
				JP	6732131	B2	2020年 7月 29日
US	2014264441	A1	2014年 9月 18日	US	9401413	B2	2016年 7月 26日
				JP	2014179546	A	2014年 9月 25日
				JP	6174874	B2	2017年 8月 2日