



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I603445 B

(45) 公告日：中華民國 106 (2017) 年 10 月 21 日

(21) 申請案號：102125422 (22) 申請日：中華民國 102 (2013) 年 07 月 16 日
 (51) Int. Cl. : *H01L23/488 (2006.01)* *H01L21/60 (2006.01)*
 (30) 優先權：2012/07/16 美國 13/550,225
 (71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
 美國
 (72) 發明人：菲 歐文 R. FAY, OWEN R. (US) ; 英格蘭 路克 G. ENGLAND, LUKE G. (US) ;
 甘畢 克里斯多夫 J. GAMBEE, CHRISTOPHER J. (US)
 (74) 代理人：陳長文
 (56) 參考文獻：
 JP 10-321630A JP 2006-245288A
 US 2012/0104602A1
 審查人員：黃本立
 申請專利範圍項數：29 項 圖式數：7 共 32 頁

(54) 名稱

墊上柱體互聯結構、半導體晶粒及含有該等互聯結構之晶粒總成及相關方法

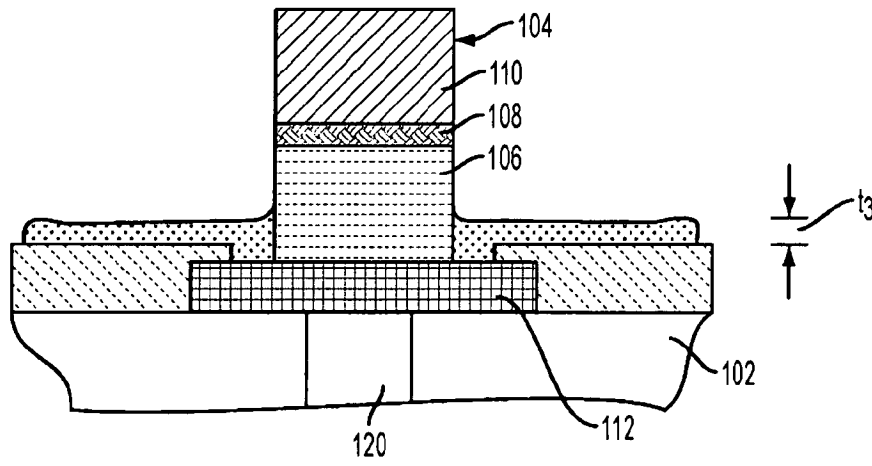
PILLAR ON PAD INTERCONNECT STRUCTURES, SEMICONDUCTOR DICE AND DIE ASSEMBLIES INCLUDING SUCH INTERCONNECT STRUCTURES, AND RELATED METHODS

(57) 摘要

本發明係關於一種製作半導體晶粒之互聯結構之方法，其包括形成導電元件，沿該等導電元件之全柱體直徑接觸活性表面上之鐳墊，接著將包含光阻材料之光學可界定材料施用至該活性表面並覆蓋該等導電元件。使聚醯亞胺材料選擇性地曝光及顯影以移除覆蓋導電元件之至少頂部之光可界定材料。亦揭示半導體晶粒及半導體晶粒總成。

Methods of fabricating interconnect structures for semiconductor dice comprise forming conductive elements in contact with bond pads on an active surface over a full pillar diameter of the conductive elements, followed by application of a photodefinable material comprising a photoresist to the active surface and over the conductive elements. The polyimide material is selectively exposed and developed to remove photodefinable material covering at least tops of the conductive elements. Semiconductor dice and semiconductor die assemblies are also disclosed.

指定代表圖：



符號簡單說明：

102 . . . 半導體晶粒

104 . . . 導電元件

106 . . . 銅材料

108 . . . 鎳材料

110 . . . 焊料

112 . . . 錫墊

120 . . . 通孔

圖4C

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

墊上柱體互聯結構、半導體晶粒及含有該等互聯結構之晶粒總成及相關方法

PILLAR ON PAD INTERCONNECT STRUCTURES,
SEMICONDUCTOR DICE AND DIE ASSEMBLIES INCLUDING
SUCH INTERCONNECT STRUCTURES, AND RELATED
METHODS

優先權主張

本申請案主張 2012 年 7 月 16 日申請之美國專利申請案號 13/550,225 「PILLAR ON PAD INTERCONNECT STRUCTURES, SEMICONDUCTOR DICE AND DIE ASSEMBLIES INCLUDING SUCH INTERCONNECT STRUCTURES, AND RELATED METHODS」之申請日的權益。

【技術領域】

本揭示內容之實施例係關於半導體晶粒之墊上柱體互聯結構、半導體晶粒及含有該等互聯結構之晶粒總成，及相關方法。

【先前技術】

半導體裝置製造商之持續目的係增大電路密度。一種長期有利組態係垂直堆疊半導體晶粒總成，其中至少一些半導體晶粒經電互聯且該堆疊晶粒總成經機械及電連接成較高級封裝，諸如帶有導電軌跡之中介層或其他基板。

採用複數個堆疊半導體晶粒之一種組態係微柱體柵格陣列封裝(「MPGA」)。此種封裝包含複數個(例如四(4)個)自最頂晶粒垂

直互聯至最底晶粒之動態隨機存取 (DRAM) 半導體記憶晶粒堆疊，及複數個自最底記憶晶粒之底側面延伸之導電柱體用於連接至邏輯晶粒或系統晶片 (SoC) 晶粒。

邏輯晶粒或SoC晶粒之供應商習慣上將其等裝置安裝在中介層 (如球柵陣列 (BGA) 基板)，該等邏輯或SoC晶粒包含導電通孔用於連接至MPGA底側面上之導電柱體。將MPGA安裝至中介層上之邏輯晶粒或SoC晶粒及隨後藉由封裝劑將總成包覆成形為最終球柵陣列 (BGA) 封裝。

作為所謂「寬I/O」記憶裝置形式實現之上述組態提供快速記憶存取及降低電力要求。

MPGA之一個特別可靠組態係晶粒總成，其將高速邏輯晶粒合併在與矽通孔 (TSV) 互聯之DRAM晶粒垂直堆疊的下方。DRAM晶粒經專門組態成僅處理數據，同時邏輯晶粒提供在晶粒總成內之所有DRAM控制。預期該設計降低延時，及大幅改善頻寬及速度，同時提供顯著降低電力需求及物理空間要求且提供用於多種平台及使用不同邏輯晶粒予以應用之靈活性。如上所述之晶粒總成之一種實現形式可為記憶體立方體DRAM(MCDRAM)，其包含覆蓋DRAM晶粒且接觸邏輯晶粒之導熱包覆模製件，導熱包覆模製件自邏輯晶粒周邊延伸超出DRAM晶粒堆疊。此種晶粒總成之另一實現形式可為混合記憶體立方體 (HMC)，其中將蓋佈置在DRAM晶粒堆疊上，使其與邏輯晶粒周邊接觸。

以上設計之最終產品具有各種不同應用，尤其包括行動電子裝置，如所謂「智慧型電話」、膝上型及筆記型電腦、超級電腦、BLACKBERRY®裝置、iPHONE®及iPAD®裝置及DROID®裝置。

上述設計之實現形式之一重要貢獻係提供良好黏著，使半導體晶粒鐳墊與用於可靠電連接至另一半導體晶粒、在半導體晶粒堆疊上

方或下方之中介層或其他基板之小間距小直徑柱體之間的黏著足以抵受可靠性應力測試。

參考圖1，用於半導體晶粒102之習知墊上柱體互聯結構100包含呈柱體形式之導電元件104，其包含約30 μm 直徑之銅材料106、覆蓋於銅材料106上之鎳材料108及覆蓋於鎳材料108上之焊料110，如SnAg焊料。在半導體晶粒102之活性表面114上之錫墊112由鈍化材料116（例如， SiN_x 及 SiO_x 中之至少一者）包圍。聚合物再鈍化材料118位於鈍化材料116上，延伸覆蓋錫墊112並留下約9 μm 直徑開口用於錫墊112與30 μm 直徑銅材料106之接觸。在上述應力測試期間及如圖2所描繪，由於由聚合物再鈍化材料118提供之錫墊112之曝露表面積相對小，故導電元件104之銅材料106會起離錫墊112，藉此在電接觸半導體晶粒102之電路系統之錫墊112之間建立開放電路OC，例如導電通孔120。藉由聚合物再鈍化材料118之相對柔軟及塑膠屬性給與錫墊112接觸區域周邊之導電元件104之有限結構支撐會加劇在用於回焊焊料110以將半導體晶粒102附接及電連接至另一組件之熱壓接合期間的連接性問題。

在發明人嘗試修補上述問題時（但該嘗試未被先前技術認可或在其他情況中包含公開揭露內容），將30 μm 導電元件直接形成在不存在聚合物再鈍化材料之錫墊上。然而，當回焊焊料時，焊料會沿柱體側面潤濕經過鎳材料及銅材料直至接觸錫墊，導致半導體晶粒失效，此係因焊料會與錫墊材料形成金屬間化合物，藉此導致此等化合物膨脹，及在錫墊下之電路系統短路。此外，在一些情況中，焊料沿柱體向下潤濕會導致焊料不足以在回焊期間連接在鄰接組件上之著陸錫墊。

【圖式簡單說明】

圖1係其上具有習知互聯結構之半導體晶粒之一部分的示意性側

截面正視圖；

圖2係在半導體晶粒可靠性應力測試後之屬於圖1類型之失效互聯結構之25,000×光學顯微圖的一部分；

圖3A至3C為用於製作根據本揭示內容實施例之互聯結構之方法之一部分的示意性側截面正視圖；及

圖4A至4C為用於製作根據本揭示內容一些實施例之互聯結構之方法之餘下部分的示意性側截面正視圖；

圖5A及5B為用於製作根據本揭示內容其他實施例之互聯結構之方法之餘下部分的示意性側截面正視圖；

圖6A至6C為具有形成在其上之根據本揭示內容實施例之互聯結構之半導體晶粒之一部分之截面光學顯微圖；

圖6D係具有形成在其上之根據本揭示內容實施例之互聯結構之半導體晶粒之立體光學顯微圖；及

圖7係採用根據本揭示內容實施例之互聯結構之晶粒總成的示意性側截面正視圖。

【實施方式】

本發明揭示半導體晶粒總成之墊上柱體互聯結構，及含有該等互聯結構之半導體晶粒總成及製作該等互聯結構之方法。如本文中所使用，術語「互聯結構」意指且包括鐳墊及形成在鐳墊上用於電連接至其他組件之導電元件，及相關材料及結構。

在圖式中，為簡明起見，類似元件及特徵件係藉由相同或類似參考數字描述。

如本文中所使用，術語「晶圓」意指且包括呈塊狀半導體基板形式之大量半導體材料且不限於習知實質圓形晶圓。如本文中所使用，術語「半導體材料」意指且包括矽、鍺、砷化鎵、磷化銦及其他III-V或II-VI型半導體材料。如本文中所使用，術語「半導體基板」、

「半導體晶粒」及「晶粒」及其等複數形式意指且包括帶有積體電路系統且自塊狀半導體基板單粒化而成之半導體材料段。如本文中所使用，術語「記憶體晶粒」及其複數形式意指且包括所有形式之積體電路記憶體，舉非限制性實例來說包括DRAM、SRAM、快閃記憶體及其他記憶體形式。

如本文中所使用，術語「主表面」意指且包括晶圓、半導體基板或半導體晶粒之活性表面及背側面中之一者。

如本文中所使用，術語「光學可界定材料」意指且包括經調配以響應於輻射能曝露改變一或多種材料特性的材料。此等材料特性包括，但不限於，材料化學性質及結構特性，及具體言之包括在所選擇溶劑中之相對溶解度或缺乏溶解度。光學可界定材料之實例包括市售正調性及負調性光阻材料，及溶解或懸浮在如用於在此等光阻材料中提供上述行為之載劑流體中的材料。溶劑之實例包括在曝露於輻射能後與光阻材料連用之顯影劑。

如本文中所使用，與指定參數連用之術語「約」及「實質上」各自意指且包括針對彼特定參數所引述之指定值在視情況而定且為一般熟練者知曉的正常製造容差、材料變化、測量儀器準確度、對照一致性等內之偏差。

以下敘述提供具體細節，如材料類型及加工條件，以提供關於本揭示內容實施例之充分敘述。然而，一般熟練者將理解本揭示內容之實施例可在不採用此等具體細節下實施。實際上，本揭示內容之實施例可利用工業中所採用之習知半導體製作技術實施。此外，下文所提供之敘述並未構成製造半導體裝置之完整加工流程。下文僅詳細描述供理解本揭示內容實施例所需之彼等加工行為及結構。可藉由習知製作技術實施其他行為以自半導體結構形成完整的半導體裝置。

在以下詳細敘述中，參考構成敘述之一部分的附圖，且其中以

說明方式顯示可實施本揭示內容之具體實施例。充分描述此等實施例以使一般熟練者可實現本揭示內容之實施例。然而，可實現其他實施例，且本揭示內容可涵蓋結構、邏輯及電學變化。本文中所提供之圖式不意欲作為任何特定半導體晶粒或半導體裝置之實際視圖，而僅為用於更完整描述本揭示內容實施例之理想化表示。本文中所提供之圖式不必依比例繪製。此外，圖中所共用之元件可保持相同或類似數字命名。

為簡明起見，本揭示內容之方法實施例及相關結構之以下敘述主要係針對形成在半導體基板上之單互聯結構予以特徵化。然而，在實際上，可針對晶圓級之效率實施各種實施例，以在駐留於晶圓上之上百個半導體晶粒上形成上千個互聯結構。此種晶圓級加工係為一般熟練者熟知，並因此不再詳細描述。

在一實施例中，形成至少一互聯結構之方法包括將光學可界定材料以第一厚度施用在半導體基板之表面上，包圍自該半導體基板之該表面伸出之至少一導電元件之周邊，及以第二較小厚度施用在該至少一導電元件之至少頂表面上，將該至少一導電元件之至少頂表面曝露於足以穿透該第二厚度光學可界定材料之劑量之輻射能，及移除該第二厚度光學可界定材料。

在另一實施例中，將互聯結構形成在半導體基板之活性表面上之方法包括形成在該等鐳墊上之包含銅及焊料之柱體，該等柱體沿柱體之全直徑接觸該等鐳墊，將光學可界定材料以一厚度旋塗在該活性表面上及以另一較小厚度旋塗在該等柱體之焊料上，及將在該焊料上之光學可界定材料曝露於實質上足以穿透該另一厚度光學可界定材料之劑量之輻射能。

在另一實施例中，形成至少一互聯結構之方法包括將光學可界定材料施用至半導體基板之表面，包圍自該半導體基板之該表面伸出

之至少一導電元件之周邊並覆蓋該至少一導電元件，將該半導體基板之該表面曝露於足以穿透該光學可界定材料之劑量之輻射能，同時遮蔽在該至少一導電元件之頂表面上之光學可界定材料，及移除在該至少一導電元件之頂表面上之該光學可界定材料。

現參考圖3A至5B，描述製作用於半導體晶粒之互聯結構之方法及所獲得之結構之實施例。

在圖3A中，半導體晶粒102包含在活性表面114上受鈍化材料116包圍之鐳墊112。鐳墊112可包含銅材料及鈍化材料116可包含，例如， SiN_x 、 SiO_x 及 SiO_xN_y 中之至少一者。在一實施例中，鈍化材料116可包含藉由化學氣相沈積（CVD）技術施用之 SiO_2 及 Si_3N_4 。與圖1中所描繪之結構不同，鈍化材料116可延伸超出鐳墊112之側邊113一小段距離，例如約5 μm ，留下鐳墊112之實質大部分曝露，用於形成導電元件104（參見圖3B）。

在圖3B中，可藉由將銅材料106、視需要鎳材料108及焊料110（例如SnAg）或其他可電鍍材料（例如Sn、SnCu）依序直接沈積在鐳墊112上形成導電元件104（為簡明起見，下文簡稱為「導電元件104」），使得與鐳墊112材料接觸之銅材料之全導電元件橫向範圍（例如直徑）為約5 μm 至約70 μm ，例如約30 μm 。在實施例中，在導電元件104與鈍化材料116之內邊界115之間保留曝露之鐳墊112之環形區域。將以虛線描繪之正性或負性光阻材料122以大厚度（例如約44 μm ）施用、圖案化及顯影以提供孔隙124用於將導電元件104之材料電鍍在依習慣藉由物理氣相沈積（PVD）沈積在活性表面114上之晶種層（未顯示）上。電鍍銅材料106可例如具有介於約5 μm 與約15 μm 之間之高度。在一些實施例中，可將電鍍鎳材料108用作阻障層以防止銅材料106與焊料110之錫之間形成金屬間化合物。鎳材料108可具有例如約3 μm 之厚度。電鍍焊料110可具有例如約15 μm 之厚度。參考

圖6A至6D可知，導電元件之所有材料厚度為近似數，係因在實際上電鍍銅材料106、鎳材料108及焊料110展現在鄰接材料之間之非直線（例如，弓狀）邊界。在完成電鍍製程後，將光阻材料122及晶種層自活性表面114移除。

在圖3C中，在製作導電元件104後，將展示介電（即電絕緣）性質且包含（以非限制性實例方式）正調性光學可界定材料（如光阻材料）之光學可界定材料218非選擇性施用在活性表面114上，包括鍍墊112之任何曝露區域111，達到約5 μm 之第一厚度 t_1 ，同時亦覆蓋導電元件104，達到例如約1 μm 或更小之第二較小厚度 t_2 。可利用旋塗將光學可界定材料218施用在活性表面上，同時可利用離心力及重力之組合減小在導電元件104上之光學可界定材料218之厚度。相對黏稠光學可界定材料218之使用使得當在活性表面114上之光學可界定材料218覆蓋在導電元件104上時可變薄同時確保具有充足厚度。亦可利用真空層壓施用呈乾膜形式之光學可界定材料218，該技術亦促使在導電元件104上之光學可界定材料218變薄。用於光學可界定材料中之合適介電材料包括，例如，聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯。可用於實施例中之具體產品包括，例如，由JSR Micro, Inc. of Sunnvale, CA提供之WPR-5070及由Sumitomo Bakelite Co., Ltd, Tokyo, Japan提供之CRC-7561。

在圖4A及一實施例中，在將光學可界定材料218施用至活性表面114及導電元件104後，將光學可界定材料218曝露於選擇劑量之廣帶輻射能 R_{SD} （例如汞弧光源）。所選擇之劑量大小可稱為「次劑量」，且包括例如 E_0 （藉由使材料變為可溶於顯影劑中來將某一厚度之光學可界定材料218自活性表面114上實質上完全移除所需之輻射能劑量）之約百分之二十五至約百分之五十之功率大小。就功率而言，施加至例如約5 μm 厚（即， t_1 ）聚醯亞胺型光學可界定材料218之次劑量可

包括約150 mJ之能量，而 $E_0=500$ mJ。廣帶輻射能可包含各別在436、405及365 nm之波長峰下之G-H-I紫外線廣帶曝露。採用小於 E_0 之經選擇劑量之廣帶輻射能 R_{SD} 導致厚度 t_1 之光學可界定材料218僅虛線所示部分被穿透，使得僅穿透部分變為可溶於顯影劑中及因此可藉由顯影劑移除。

如圖4B所示，替代降低用於曝露光學可界定材料之輻射能之功率，可使用諸如上述汞弧光源之能源來產生全劑量之輻射能 R_{FD} ，使用本技藝稱為「漏銘」罩之部分光學透射光罩130及步進器將在一組半導體晶粒102上之光學可界定材料218曝露於降低劑量之輻射能 R_{SD} 。習知使用銘作為遮蔽材料以阻止光透射，及漏銘罩包含銘或其他遮罩材料之棋盤圖案及極小解析度（例如小於1 μm ，如0.5 μm 或甚至0.25 μm 解析度）下之開放區域。可利用部分光學透射光罩130覆蓋半導體晶粒102，以藉由利用光罩產生所需能量下降之特性限制輻射能透射來將全劑量之輻射能 R_{FD} 降低至合適劑量 R_{SD} 。同樣地，採用小於 E_0 之選擇劑量之廣帶輻射能 R_{SD} 導致厚度 t_1 之光學可界定材料218中僅一部分被穿透，藉此僅使穿透部分變為可溶於顯影劑中及因此可藉由顯影劑移除。

如圖4C中所示，在曝露於次劑量之輻射能後，將正性光學可界定材料218予以顯影。隨後移除已被次劑量輻射能 R_{SD} 實質上完全穿透及曝露之上覆及圍繞導電元件104的側面之較小厚度 t_2 光學可界定材料218。然而，由於輻射能 R_{SD} 之強度較小，故在活性表面114上且包圍導電元件104之全厚度 t_1 光學可界定材料218未被穿透及曝露。因此，當將厚度 t_1 光學可界定材料218之曝露部分予以顯影及溶解時，未曝露厚度 t_3 保留在活性表面114上，包圍且接觸導電元件104。

在圖5A及另一實施例中，在將光學可界定材料218施用於活性表面114及導電元件104後，經由不透明遮罩132中之孔隙將上覆及鄰接

導電元件104之光學可界定材料218曝露於來自（例如）汞弧光源且足以將厚度 t_2 光學可界定材料218自導電元件104頂部移除之次劑量廣帶輻射能 R_{SD} 。就功率而言，所施加之劑量亦可為約150 mJ之能量，而 $E_0=500$ mJ。同樣地，所選擇之次劑量輻射能 R_{SD} 導致厚度 t_1 光學可界定材料218中之僅一部分被穿透及曝露。

理所當然，若孔隙134之尺寸及與導電元件之對準情況足以阻止周圍光學可界定218曝露，則亦可採用全劑量之輻射能 R_{FD} 。在其他情況中，可將全劑量輻射能 R_{FD} 與具有與導電元件104對準之部分光可透射部分的不透明遮罩132連用，或可採用具有與導電元件對準之孔隙134之部分光可透射遮罩130（圖4B）。所採用之輻射能功率及遮罩可經選擇以將光學可界定材料218自導電元件104上移除，同時提供所需保留厚度之光學可界定材料218包圍及接觸導電元件104。

如圖5B中所示，在曝露於次劑量輻射能 R_{SD} 後，將光學可界定材料218予以顯影。隨後移除已經實質上完全曝露之上覆且圍繞導電元件104之厚度 t_2 光學可界定材料218。然而，由於輻射能受不透明遮罩132阻擋，故除緊鄰導電元件104的部分外，在活性表面114上及包圍導電元件104之全厚度 t_1 聚醯亞胺材料218未曝露。因此，當將光學可界定材料218予以顯影時，未曝露厚度 t_3 保持包圍及接觸導電元件104，同時全厚度 t_1 之經遮蔽光學可界定材料218駐留在活性表面114之餘下部分上。

因此，一實施例包括用於半導體基板之互聯結構，其包含鉍墊、包含沿柱體之全直徑上覆且直接接觸該鉍墊之柱體之導電元件、在與鉍墊相反之柱體末端上之焊料及在鉍墊之一部分上圍繞且接觸該柱體之光學可界定材料。

圖6A描繪根據圖4A及4B之實施例在半導體晶粒102上經加工之數個導電元件104，其等駐留於鉍墊112上，鉍墊112與TSV 120及在鉍

墊112與光學可界定材料218之間之鈍化材料116連通，光學可界定材料218包圍及鄰接導電元件104。圖6B係圖6A之放大圖且描繪兩鄰接導電元件104之一部分，圖6C係單個導電元件104之放大視圖，其顯示銅材料106、鎳材料108及焊料110，焊料受包圍導電元件104之光學可界定材料218包圍，處於在鎳材料108與焊料110之邊界上方之某一高度。然而，適宜控制在光學可界定材料218曝露期間之加工參數以維持光學可界定材料218之高度實質上不超過銅材料106之高度，藉此確保所有焊料可伸出高於光學可界定材料218及增進與另一組件上之著陸錒墊140（參見圖7）形成互聯。圖6D係受光學可界定材料218包圍之一行導電元件104的立體視圖。

在此實施例中，半導體基板包含半導體材料，其包含積體電路系統及具有在其活性表面上之錒墊；導電元件，其包含沿柱體之全直徑上覆且直接接觸錒墊之金屬柱體；在各金屬柱體上之焊料，及在活性表面上包圍及至少接觸金屬柱體之光學可界定材料。

圖7描繪透過連接彼此鄰接之半導體晶粒102a、102b及102c形成之晶粒總成，在針對所謂「覆晶」接合進行半導體晶粒102a與半導體晶粒102b反轉後，利用熱壓接合回焊導電元件104之焊料110各別連接至在半導體晶粒102b及102c之背側面142上之著陸錒墊140。若採用SnAg焊料110，則導電元件104與著陸錒墊140之間之互聯係藉由在例如約250°C之溫度下回焊（即熔化）焊料110以將導電元件104之銅材料106接合至著陸錒墊140形成。作為熱壓接合之替代方案，在進行半導體晶粒102（102a與102b）反轉後，可將導電元件104之焊料110浸入焊劑中及接觸著陸錒墊140及將晶粒總成置於烘箱中進行回焊。介電側填滿材料150位於半導體晶粒102a、102b及102c之間，包圍導電元件104及大部分焊料110，同時光學可界定材料218包圍導電元件104之至少銅材料106。

如上所述之實施例可特徵化為半導體晶粒總成，其包含具有在其主表面上之錫墊之半導體晶粒及位於該等錫墊上之導電柱體、具有在其主表面上之著陸錫墊之另一半導體晶粒及連接至具有焊料之導電柱體之著陸錫墊、在該半導體晶粒之主表面上且包圍及接觸導電柱體之介電光學可界定材料及在另一半導體晶粒之主表面上、接觸該光學可界定材料及側向包圍將導電柱體連接至著陸錫墊之焊料的至少一部分之介電材料。

在比較合併根據本揭示內容實施例及如本文參照圖7所描述之互聯結構之晶粒總成與採用如圖1及2所示之習知墊上柱體結構之晶粒總成的測試中，在利用高加速應力測試（HAST）及溫度循環（TMCL）測試實施雙高晶粒堆疊之可靠性應力測試後，發現半導體晶粒之功能結果提高超百分之十（10%）。

在本文中已將包含例如光阻材料之光學可界定材料描述為所謂「正」調性材料，當曝露於一或多個合適波長之輻射能及隨後經顯影時，可將該材料移除。然而，在本文中，發明人預期亦可利用「負」調性光學可界定材料，結合用於在將包含經光學可界定材料塗覆之半導體晶粒之晶圓曝露於輻射能期間（經此種輻射後，接著利用正性顯影劑顯影）主要覆蓋柱體型導電元件頂部的骨架形遮罩實現本文所描述之技術。在此情況下，移除覆蓋導電元件頂部之未曝露光學可界定材料，留下經曝露、顯影之光學可界定材料覆蓋導電元件側面及錫墊之至少一部分及包圍鈍化材料。

本揭示內容可以各種修改及替代形式存在，同時已藉由圖式中之實例方式顯示及在本文中詳細描述具體實施例。然而，本揭示內容不意欲限制於所揭示之特定形式。相對地，本揭示內容涵蓋由附接申請專利範圍及其等合法等效內容定義之本揭示內容範圍的所有修改方案、等效內容及替代方案。

【符號說明】

- 100 墊上柱體互聯結構
- 102 半導體晶粒
- 102a 半導體晶粒
- 102b 半導體晶粒
- 102c 半導體晶粒
- 104 導電元件
- 106 銅材料
- 108 鎳材料
- 110 焊料
- 111 曝露區域
- 112 鍍墊
- 113 側邊
- 114 活性表面
- 115 內邊界
- 116 鈍化材料
- 118 再鈍化材料
- 120 通孔
- 122 光阻材料
- 124 孔隙
- 130 部分光學透射光罩
- 132 不透明遮罩
- 134 孔隙
- 140 著陸鍍墊
- 142 背側面
- 150 側填滿材料

218 光學可界定材料

OC 開放電路

R_{SD} 輻射能

R_{FD} 輻射能

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：H01L

【發明名稱】

墊上柱體互聯結構、半導體晶粒及含有該等互聯結構之晶粒總成及相關方法

PILLAR ON PAD INTERCONNECT STRUCTURES,
SEMICONDUCTOR DICE AND DIE ASSEMBLIES INCLUDING
SUCH INTERCONNECT STRUCTURES, AND RELATED
METHODS

【中文】

本發明係關於一種製作半導體晶粒之互聯結構之方法，其包括形成導電元件，沿該等導電元件之全柱體直徑接觸活性表面上之鉚墊，接著將包含光阻材料之光學可界定材料施用至該活性表面並覆蓋該等導電元件。使聚醯亞胺材料選擇性地曝光及顯影以移除覆蓋導電元件之至少頂部之光可界定材料。亦揭示半導體晶粒及半導體晶粒總成。

【英文】

Methods of fabricating interconnect structures for semiconductor dice comprise forming conductive elements in contact with bond pads on an active surface over a full pillar diameter of the conductive elements, followed by application of a photodefinable material comprising a photoresist to the active surface and over the conductive elements. The polyimide material is selectively exposed and developed to remove photodefinable material covering at least tops of the conductive elements. Semiconductor dice and semiconductor die assemblies are also disclosed.

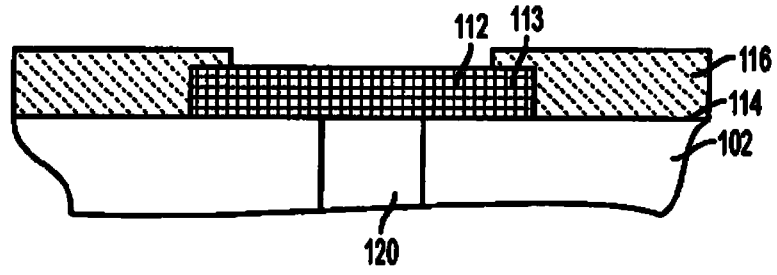


圖3A

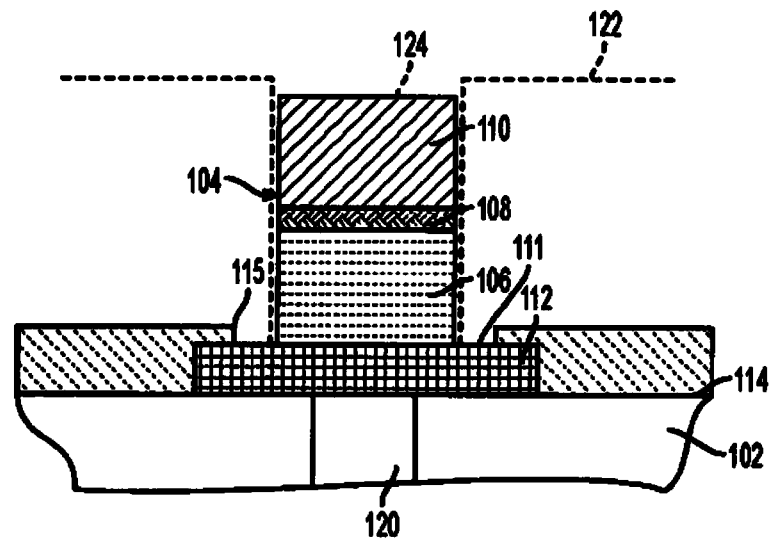


圖3B

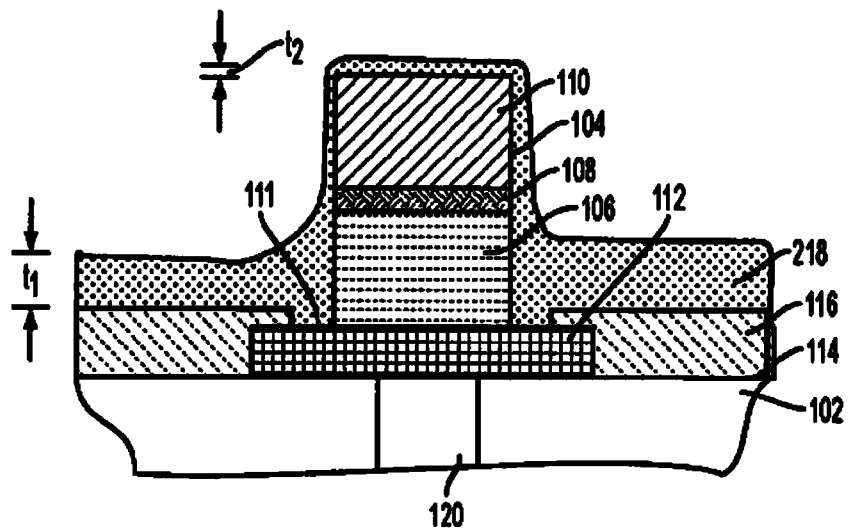


圖3C

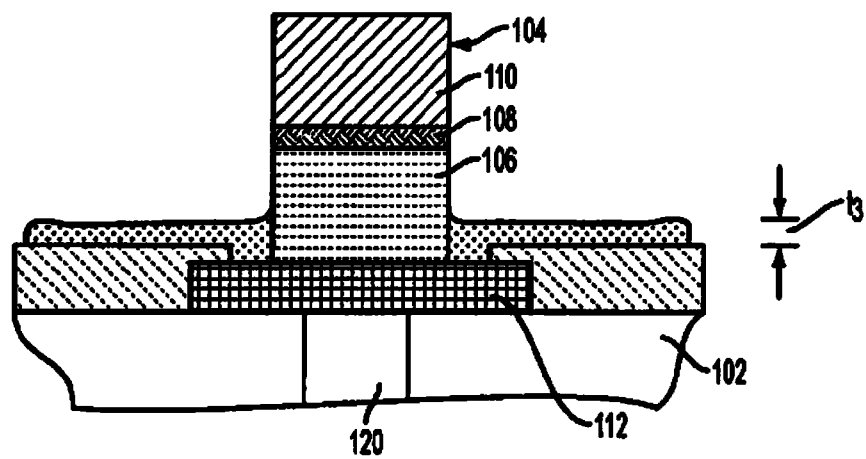


圖4C

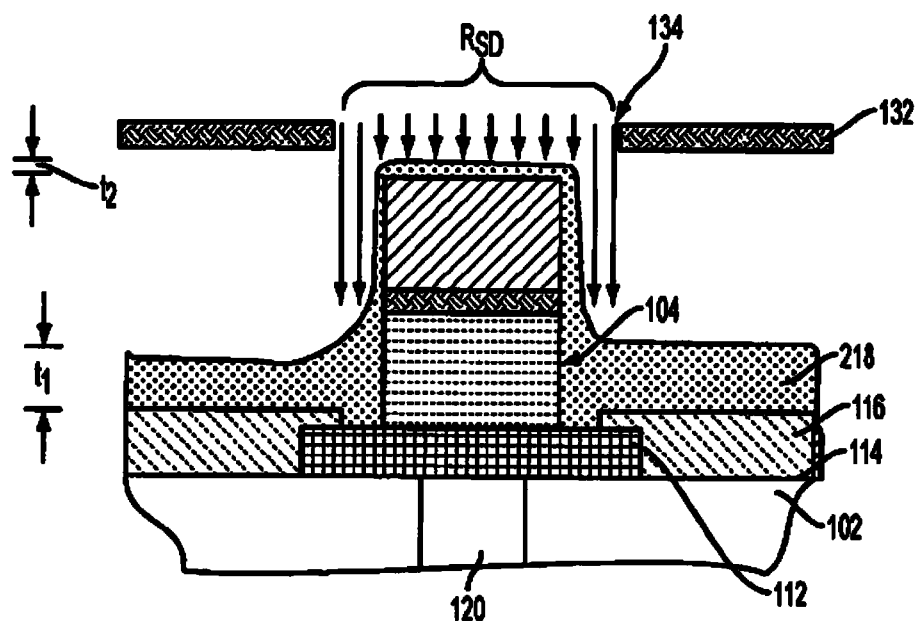


圖5A

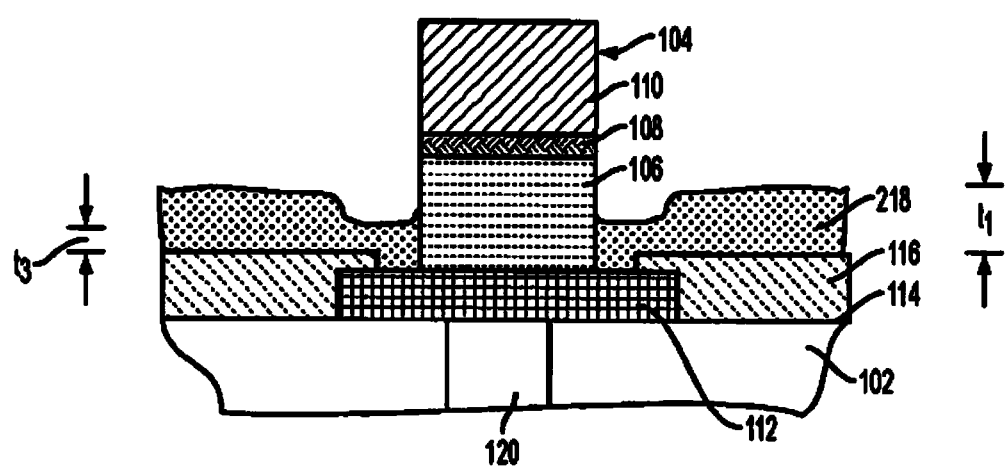


圖5B

【代表圖】

【本案指定代表圖】：第（ 4C ）圖。

【本代表圖之符號簡單說明】：

- 102 半導體晶粒
- 104 導電元件
- 106 銅材料
- 108 鎳材料
- 110 焊料
- 112 鐳墊
- 120 通孔

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種形成至少一互聯結構之方法，其包括：

形成至少一導電元件，使其沿該至少一導電元件之整個橫向範圍上覆及接觸在半導體基板之表面上之鍍墊，

將光學可界定材料以第一厚度施用至該半導體基板之該表面上之鄰接該至少一導電元件之該鍍墊之曝露區域上，包圍自該半導體基板之該表面伸出之該至少一導電元件之外周，及以第二較小厚度施用在該至少一導電元件之至少頂表面上；

將該至少一導電元件之該至少頂表面曝露於足以穿透該第二厚度光學可界定材料之劑量之輻射能；及

移除該第二厚度之光學可界定材料。
2. 如請求項1之方法，其中將該至少一導電元件之該至少頂表面曝露於足以穿透該第二厚度光學可界定材料之劑量之輻射能包括使經穿透之光學可界定材料變為可溶於顯影劑中，及移除該第二厚度之光學可界定材料包括將該可溶性光學可界定材料溶於顯影劑中。
3. 如請求項1之方法，其進一步包括阻止除緊鄰該至少一導電元件部分外之該第一厚度之光學可界定材料曝露至該劑量之輻射能。
4. 如請求項3之方法，其中該劑量之輻射能足以穿透該第一厚度光學可界定材料之僅一部分，且進一步包括僅將該第一厚度光學可界定材料之該緊鄰導電元件部分曝露於該劑量之輻射能及移除該第一厚度光學可界定材料之經穿透部分。
5. 如請求項1之方法，其中該劑量之輻射能足以穿透該第一厚度光學可界定材料之僅一部分，且進一步包括將該第一厚度之光學

可界定材料曝露於該劑量之輻射能及移除該第一厚度光學可界定材料之經穿透部分。

6. 如請求項5之方法，其中將該至少一導電元件之該至少頂表面曝露於足以穿透該第二厚度光學可界定材料並僅部份穿透該第一厚度光學可界定材料之劑量之輻射能，係包括使經穿透之光學可界定材料變為可溶於顯影劑中，及移除該第二厚度之光學可界定材料及該第一厚度光學可界定材料之該部分包括將該可溶性光學可界定材料溶於顯影劑中。
7. 如請求項5之方法，其進一步包括藉由控制來自該輻射能光源之功率輸出來產生該劑量之輻射能。
8. 如請求項5之方法，其進一步包括藉由使用部分透射光罩降低來自輻射能光源之輻射能之透射率來產生該劑量之輻射能。
9. 如請求項1之方法，其進一步包括形成具有含有焊料之該頂表面之該至少一導電元件。
10. 如請求項1之方法，其進一步包括形成該至少一導電元件，包括：

將晶種材料形成在該鍍墊上；

利用對準該鍍墊之遮罩之孔隙，將該晶種材料上之光阻材料圖案化；

在該孔隙中電鍍：

銅材料；

覆蓋該銅材料之鎳材料；

及覆蓋該鎳材料之焊料；及

移除在該半導體基板之該表面上及在該至少一導電元件周圍之該光阻材料及該晶種材料。

11. 如請求項1之方法，其中該光學可界定材料包括選自由聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯組成之群之材料。
12. 如請求項1之方法，其進一步包括藉由旋塗及乾膜真空層壓中之一者施用該光學可界定材料。
13. 一種將互聯結構形成在半導體基板之活性表面上之方法，該方法包括：

將含有銅材料及焊料之柱體形成在鍍墊上，沿該等柱體之全直徑接觸該等鍍墊，並使每一個圍繞該等柱體之鍍墊之外周區域曝露；

將光學可界定材料以一厚度旋塗在該活性表面上及以另一較小厚度旋塗在該等柱體之該焊料上；及

將在該焊料上之該光學可界定材料曝露於足以穿透該另一較小厚度之光學可界定材料之劑量之輻射能。
14. 如請求項13之方法，其進一步包括藉由顯影劑溶解該經穿透之另一厚度光學可界定材料。
15. 如請求項13之方法，其進一步包括將輻射能之劑量限制為足以穿透該另一較小厚度之光學可界定材料之大小，將至少鄰接該等柱體之該厚度之光學可界定材料曝露於該劑量之輻射能，及藉由顯影劑溶解經曝露之該厚度光學可界定材料之部分。
16. 如請求項15之方法，其中將至少鄰接該等柱體之該厚度之光學可界定材料曝露於該劑量之輻射能包括曝露該半導體基板之整個活性表面。
17. 如請求項13之方法，其進一步包括藉由控制該輻射能之源之功率及降低該輻射能經由遮罩向該光學可界定材料之透射中之一者將該輻射能之劑量大小控制為足以穿透該另一厚度之光學可界定材料。

18. 如請求項13之方法，其中該光學可界定材料包括選自由聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯組成之群之介電材料。
19. 一種形成至少一互聯結構之方法，其包括：
 - 形成至少一導電元件，使其沿該至少一導電元件之整個橫向範圍上覆及接觸在半導體基板之表面上之鐳墊，
 - 將光學可界定材料施用至該半導體基板之表面，包圍自該半導體基板之該表面伸出之該至少一導電元件之外周且覆蓋鄰近該至少一導電元件之該鐳墊之曝露區域上；
 - 將該半導體基板之該表面曝露於足以穿透該光學可界定材料之劑量之輻射能，同時遮蔽在該至少一導電元件之頂表面上之該光學可界定材料；及
 - 移除在該至少一導電元件之該頂表面上之該光學可界定材料。
20. 如請求項19之方法，其中移除在該至少一導電元件之該頂表面上之該光學可界定材料包括藉由顯影劑溶解該經遮蔽之光學可界定材料。
21. 一種半導體基板，其包含：
 - 半導體材料，其包含積體電路系統且具有位在其活性表面上之鐳墊；
 - 導電元件，其包含金屬柱體，該等金屬柱體沿其全直徑上覆且直接接觸該等鐳墊；
 - 在各金屬柱體上之焊料；及
 - 光學可界定材料，其在該活性表面上包圍及至少接觸該等金屬柱體及該金屬柱體與在該等鐳墊周圍之鈍化材料之間之該等鐳墊表面。

22. 如請求項21之半導體基板，其中該光學可界定材料包括選自由聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯組成之群之介電材料。
23. 如請求項21之半導體基板，其中該光學可界定材料係自該活性表面沿該等金屬柱體之側面向上延伸到達該等金屬柱體與該焊料之間之邊界附近。
24. 一種半導體晶粒總成，其包含：
 - 半導體晶粒，其具有在其主表面上之鐳墊及位於該等鐳墊上之導電柱體；
 - 另一半導體晶粒，其具有在其主表面上之著陸鐳墊，及透過焊料連接至該等導電柱體之著陸鐳墊；
 - 在該半導體晶粒之該主表面上之介電光學可界定材料，其包圍及接觸該等導電柱體；及
 - 在該另一半導體晶粒之該主表面上之介電材料，其接觸該光學可界定材料且側向包圍將該等導電柱體連接至該等著陸鐳墊之該焊料之至少一部分。
25. 如請求項24之半導體晶粒總成，其中各導電柱體包含銅且沿該導電柱體之整個橫向範圍直接接觸鐳墊。
26. 如請求項24之半導體晶粒總成，其中該介電光學可界定材料包括聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯中之一者。
27. 一種用於半導體基板之互聯結構，其包含：
 - 鐳墊；
 - 導電元件，其包含沿柱體之全直徑上覆且直接接觸該鐳墊之柱體；
 - 在與該鐳墊相對之柱體末端上之焊料；及
 - 光學可界定材料，其在該鐳墊之一部分上圍繞且接觸該柱體

及該柱體與在該鐳墊周圍之鈍化材料之間之該鐳墊表面。

28. 如請求項27之互聯結構，其中該光學可界定材料包括選自由聚醯亞胺、環氧樹脂、聚苯并噁唑及苯并環丁烯組成之群之介電材料。
29. 如請求項27之互聯結構，其中該光學可界定材料係位於該柱體之側面上並延伸至該柱體與該焊料之間之邊界附近。