



(21) 申請案號：112110210

(22) 申請日：中華民國 112 (2023) 年 03 月 20 日

(51) Int. Cl. : *H01L23/28 (2006.01)**H01L23/488 (2006.01)**H01L21/56 (2006.01)**H01L21/60 (2006.01)*

(30) 優先權：2022/04/04 美國

17/657,760

(71) 申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72) 發明人：宋 史丹利承哲 SONG, STANLEY SEUNGCHUL (US)；金 鐘海 KIM, JONGHAE (US)；藍 哲雄 LAN, JE-HSIUNG (US)；曲丹巴瑞 派瑞安南 CHIDAMBARAM, PERIANNAN (US)

(74) 代理人：李世章

申請實體審查：無 申請專利範圍項數：29 項 圖式數：13 共 85 頁

(54) 名稱

採用促進半導體晶粒堆疊的重分佈層 (RDL) 內插器的三維 (3D) 積體電路 (IC) (3DIC) 封裝以及相關的製作方法

(57) 摘要

採用促進半導體晶粒 (「晶粒」) 的重分佈層 (RDL) 內插器的三維 (3D) 積體電路 (IC) (3DIC) 封裝以及相關的製作方法。3DIC 封裝包括 RDL 內插器，其具有與第一底部晶粒相鄰形成的一或多個 RDL 金屬化層。第二頂部晶粒被堆疊在 RDL 內插器上。RDL 內插器提供頂部晶粒可以被耦合的擴展的晶粒區域，使得 3DIC 封裝的製作製程獨立於晶粒大小。底部晶粒可以被單個化並且設置在 RDL 金屬化層中，作為重組 RDL 內插器的部分，無論頂部晶粒是大於還是小於底部晶粒的大小。而且，作為在其中設置底部晶粒並且頂部晶粒被耦合的基板的 RDL 內插器為頂部晶粒和底部晶粒提供高效的信號路由路徑。

Three-dimensional (3D) integrated circuit (IC) (3DIC) package employing a redistribution layer (RDL) interposer facilitating semiconductor die ("die"), and related fabrication methods. The 3DIC package includes an RDL interposer that has one or more RDL metallization layers formed adjacent to a first, bottom die(s). A second, top die(s) is stacked on the RDL interposer. The RDL interposer provides an extended die area that the top die can be coupled so that the fabrication process of the 3DIC package is independent die sizes. The bottom die(s) can be singulated and disposed in an RDL metallization layer(s) as part of a reconstituted RDL interposer regardless of whether the top die(s) is greater than or less than the size of the bottom die(s). Also, the RDL interposer being the substrate in which the bottom die(s) is disposed and top die(s) is coupled provides efficient signal routing paths to the top and bottom dies.

指定代表圖：

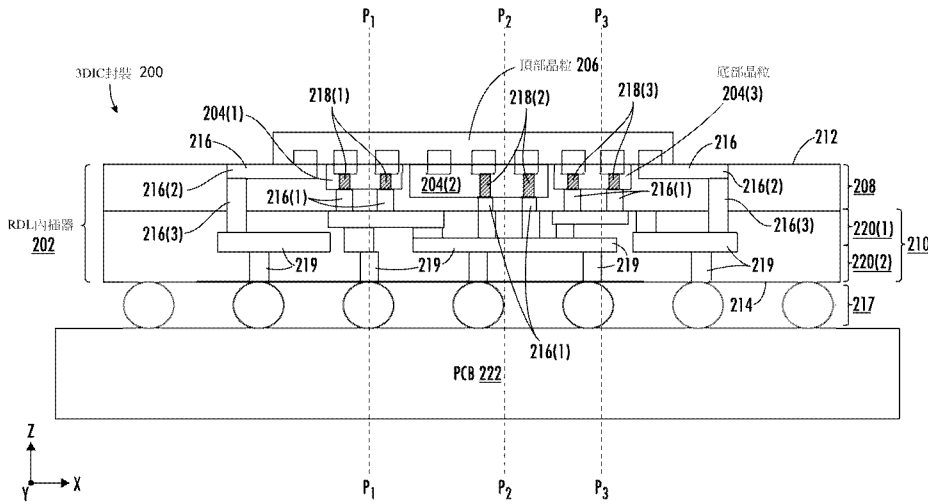


圖2A

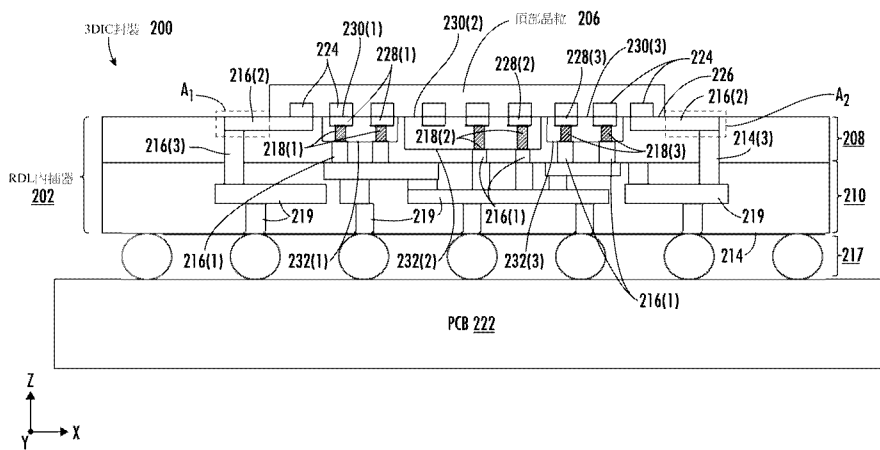


圖2B

符號簡單說明：

200:3DIC 封裝

202:內插器

204(1):第一底部晶粒

204(2):第一底部晶粒

204(3):第一底部晶粒

206:頂部晶粒

208:第一 RDL 金屬化層

210:內插器基板

212:第一頂表面

214:第二表面

214(3):

216:金屬互連

216(1):金屬互連

216(2):金屬互連

216(3):金屬互連

217:外部互連

218(1):過孔

218(2):過孔

218(3):過孔

219:金屬互連

220(1):金屬化層

220(2):金屬化層

222:印刷電路板(PCB)

224:晶粒互連

226:主動面

228(1):晶粒互連

228(2):晶粒互連

228(3):晶粒互連

230(1):主動面

230(2):主動面

230(3):主動面

232(1):背側非主動面

232(2):背側非主動面

232(3):背側非主動面

A1:區域

A₂:區域

P₁:共用垂直平面

P₂:共用垂直平面

P₃:共用垂直平面

X:軸

Y:軸

Z:軸

【發明摘要】

【中文發明名稱】採用促進半導體晶粒堆疊的重分佈層（RDL）內插器的三維（3D）積體電路（IC）（3DIC）封裝以及相關的製作方法

【英文發明名稱】THREE-DIMENSIONAL (3D) INTEGRATED CIRCUIT (IC) (3DIC) PACKAGE EMPLOYING A REDISTRIBUTION LAYER (RDL) INTERPOSER FACILITATING SEMICONDUCTOR DIE STACKING, AND RELATED FABRICATION METHODS

【中文】

採用促進半導體晶粒（「晶粒」）的重分佈層（RDL）內插器的三維（3D）積體電路（IC）（3DIC）封裝以及相關的製作方法。3DIC封裝包括RDL內插器，其具有與第一底部晶粒相鄰形成的一或多個RDL金屬化層。第二頂部晶粒被堆疊在RDL內插器上。RDL內插器提供頂部晶粒可以被耦合的擴展的晶粒區域，使得3DIC封裝的製作製程獨立於晶粒大小。底部晶粒可以被單個化並且設置在RDL金屬化層中，作為重組RDL內插器的部分，無論頂部晶粒是大於還是小於底部晶粒的大小。而且，作為在其中設置底部晶粒並且頂部晶粒被耦合的基板的RDL內插器為頂部晶粒和底部晶粒提供高效的信號路由路徑。

【英文】

Three-dimensional (3D) integrated circuit (IC) (3DIC) package employing a redistribution layer (RDL) interposer facilitating semiconductor die ("die"), and related

fabrication methods. The 3DIC package includes an RDL interposer that has one or more RDL metallization layers formed adjacent to a first, bottom die(s). A second, top die(s) is stacked on the RDL interposer. The RDL interposer provides an extended die area that the top die can be coupled so that the fabrication process of the 3DIC package is independent die sizes. The bottom die(s) can be singulated and disposed in an RDL metallization layer(s) as part of a reconstituted RDL interposer regardless of whether the top die(s) is greater than or less than the size of the bottom die(s). Also, the RDL interposer being the substrate in which the bottom die(s) is disposed and top die(s) is coupled provides efficient signal routing paths to the top and bottom dies.

【指定代表圖】第(2)圖。

【代表圖之符號簡單說明】

200: 3DIC 封裝

202: 內插器

204(1): 第一底部晶粒

204(2): 第一底部晶粒

204(3): 第一底部晶粒

206: 頂部晶粒

208: 第一RDL金屬化層

210: 內插器基板

212: 第一頂表面

214: 第二表面

214(3):

216: 金屬互連

216(1): 金屬互連

- 2 1 6 (2) : 金 屬 互 連
- 2 1 6 (3) : 金 屬 互 連
- 2 1 7 : 外 部 互 連
- 2 1 8 (1) : 過 孔
- 2 1 8 (2) : 過 孔
- 2 1 8 (3) : 過 孔
- 2 1 9 : 金 屬 互 連
- 2 2 0 (1) : 金 屬 化 層
- 2 2 0 (2) : 金 屬 化 層
- 2 2 2 : 印 刷 電 路 板 (P C B)
- 2 2 4 : 晶 粒 互 連
- 2 2 6 : 主 動 面
- 2 2 8 (1) : 晶 粒 互 連
- 2 2 8 (2) : 晶 粒 互 連
- 2 2 8 (3) : 晶 粒 互 連
- 2 3 0 (1) : 主 動 面
- 2 3 0 (2) : 主 動 面
- 2 3 0 (3) : 主 動 面
- 2 3 2 (1) : 背 側 非 主 動 面
- 2 3 2 (2) : 背 側 非 主 動 面
- 2 3 2 (3) : 背 側 非 主 動 面
- A₁ : 區 域
- A₂ : 區 域
- P₁ : 共 用 垂 直 平 面

P₂ : 共用垂直平面

P₃ : 共用垂直平面

X : 軸

Y : 軸

Z : 軸

【特徵化學式】

無

【發明說明書】

【中文發明名稱】採用促進半導體晶粒堆疊的重分佈層（RDL）內插器的三維（3D）積體電路（IC）（3DIC）封裝以及相關的製作方法

【英文發明名稱】THREE-DIMENSIONAL (3D) INTEGRATED CIRCUIT (IC) (3DIC) PACKAGE EMPLOYING A REDISTRIBUTION LAYER (RDL) INTERPOSER FACILITATING SEMICONDUCTOR DIE STACKING, AND RELATED FABRICATION METHODS

【技術領域】

【0001】 本案內容的領域係關於積體電路（IC）封裝，並且更具體地係關於包括多個堆疊的半導體晶粒的三維（3D）IC封裝。

【先前技術】

【0002】 積體電路（IC）是電子設備的基石。IC被封裝在IC封裝中，IC封裝亦被稱為「半導體封裝」或「晶片封裝」。IC封裝包括作為IC的一或多個半導體裸片（「晶粒」或「裸片」），該一或多個半導體裸片被安裝在封裝基板上並且被電耦合到封裝基板，以提供針實體支撐以及到晶粒的電介面。封裝基板包括一或多個金屬化層，該一或多個金屬化層包括電跡線（例如，金屬線），其具有將相鄰的金屬化層之間的電跡線耦合在一起的過孔，從而在晶粒之間提供電介面。晶粒被電介面連接到暴露在封裝基板的頂層或外層中的金屬互連，以將半導體晶粒電耦合到封裝基板的

電跡線。封裝基板包括被耦合到外部金屬互連（例如，焊料凸塊）的外金屬化層，以在 IC 封裝中提供晶粒之間的外部介面，以用於將 IC 封裝安裝在電路板上，從而使晶粒與其他電路系統介面連接。

【0003】 一些 IC 封裝被稱為「混合」IC 封裝，其包括用於不同目的或應用的多個晶粒。例如，混合 IC 封裝可以包括數據機晶粒，作為前端電路系統的部分，用於支援通訊介面。混合 IC 封裝亦可以包括一或多個記憶體晶粒，該一或多個記憶體晶粒提供記憶體以支援由數據機晶粒進行的資料儲存和存取，諸如用於緩衝和輸出要被調制的資料及 / 或要被解調的資料。因此，在該等混合 IC 封裝中，習知的方法是在 IC 封裝的第二垂直方向上將多個晶粒堆疊在彼此之上，作為三維（3D）堆疊體，以提供 3D IC 封裝，以節省由 IC 晶粒封裝在第一水平方向上所消耗的面積。在 3D IC 封裝中，與 IC 封裝的封裝基板直接相鄰的最底部的晶粒經由晶粒互連電耦合到封裝基板的上金屬化層中的金屬互連。與 IC 封裝的封裝基板不直接相鄰的其他堆疊的晶粒亦被耦合到封裝基板。例如，其他堆疊晶粒可以經由導線接合被電耦合到封裝基板，或者經由延伸穿過中間晶粒層及 / 或底部晶粒層的穿矽過孔（TSV）被耦合到封裝基板。到晶粒的外部連接經由封裝基板中的電連接形成。而且，堆疊的晶粒之間的晶粒到晶粒（D2D）連接是經由封裝基板中的電連接形成的。

【0004】 3 D I C 封裝可以是底部大於頂部 (B G T) 的晶粒配置，或者頂部大於底部 (T G B) 的晶粒配置。在 B G T 3 D I C 封裝中，底部晶粒在水平方向上的長度大於被堆疊在底部晶粒上的頂部晶粒。在 T G B 3 D I C 封裝中，頂部晶粒在水平方向上的長度大於在其中頂部晶粒被堆疊的底部晶粒。對於 B G T 3 D I C 封裝和 T G B 3 D I C 封裝，製作製程不同，因為在每個製程中，較小的晶粒被單獨製作，並且被接合到在其中較大的晶粒被形成的晶圓。在 B G T 3 D I C 封裝中，先前在單獨的製作製程中已經被製作並且切分成晶片形式的頂部晶粒在頂部晶片到底部晶圓的接合製程中被接合到底部晶圓。隨後可以對堆疊的頂部晶粒和底部晶圓及其底部晶粒進行切分。包覆成型 (o v e r m o l d) 材料不需要被用來填充若頂部晶粒的長度大於底部晶粒時會以其他方式出現的間隙。然而，在 T G B 3 D I C 封裝中，採用了底部晶片到頂部晶圓的接合製程，因為頂部晶粒的長度大於底部晶粒。在 T G B 3 D I C 封裝中，先前在單獨的製作製程中已經被製作並且切分成晶片形式的底部晶粒在底部晶片到頂部晶圓的接合製程中被接合到頂部晶圓。

【發明內容】

【0005】 本文中所揭示的態樣包括採用促進半導體晶粒 (「晶粒」) 堆疊的重分佈層 (R D L) 內插器的三維 (3 D) 積體電路 (I C) (3 D I C) 封裝。亦揭示相關的製作方法。在示例性態樣中，3 D I C 封裝包括 R D L 內插器，該 R D L 內插器具有與第一底部晶粒相鄰形成的一或多個 R D L 金屬化

層。RDL內插器中的重分佈金屬化層是包括金屬互連（例如，金屬線、金屬跡線）的金屬化層，該等金屬互連提供從第一底部晶粒及/或第二頂部晶粒的晶粒互連到3DIC封裝中的其他位置的扇出連接（例如，金屬焊盤），以用於信號路由。3DIC封裝亦包括在垂直方向上以3D堆疊晶粒佈置堆疊在RDL內插器上的第二頂部晶粒。RDL內插器中的重分佈金屬化層是包括金屬互連（例如，金屬線、金屬跡線）的金屬化層，該等金屬互連提供從第一底部晶粒及/或第二頂部晶粒的晶粒互連到3DIC封裝中的其他位置的扇出連接（例如，金屬焊盤），以用於信號路由。而且，經由將第一底部晶粒整合在RDL內插器中，RDL內插器提供擴展的晶粒區域，在擴展的晶粒區域中，頂部晶粒可以被耦合到RDL內插器及/或第一底部晶粒以提供3DIC封裝。以此方式，作為實例，3DIC封裝中的堆疊的頂部和底部晶粒的製作製程可以與在頂部晶粒大於底部晶粒(TGB)配置中頂部晶粒大於底部晶粒還是在底部晶粒大於頂部晶粒(BGT)配置中底部晶粒大於頂部晶粒無關。底部晶粒可以被單個化並且設置在形成的RDL金屬化層上，作為重組RDL內插器的部分。頂部晶粒隨後可以被耦合到RDL內插器，無論3DIC封裝將是TGB配置還是BGT配置。在習知的3DIC封裝製作製程中，較小的晶粒在單獨的製程中被製作並單個化，並且隨後被接合到在其中較大的晶粒被形成的晶圓。使用RDL內插器來促進3DIC封裝中的3D晶粒

堆疊可能與進一步封裝無關，諸如執行外部凸塊化製程從而將3DIC封裝耦合到例如封裝基板。

【0006】 而且，3DIC封裝中的作為在其中設置底部晶粒並且在其中頂部晶粒被耦合的基板的RDL內插器為頂部晶粒和底部晶粒提供高效的信號路由路徑。在一個實例中，底部晶粒被耦合到RDL內插器中的重分佈金屬化層中的金屬互連，以在3DIC封裝的底部晶粒與外部互連（例如，球柵陣列（BGA）互連）之間提供信號路由路徑。外部互連可以被直接耦合到3DIC封裝中的RDL內插器及/或RDL金屬化層。在另一實例中，作為將頂部晶粒耦合到RDL內插器的結果，頂部晶粒被耦合到RDL內插器的外重分佈金屬化層中的金屬互連，以在3DIC封裝的頂部晶粒與外部互連之間提供信號路由路徑。而且，在另一實例中，頂部晶粒被耦合到延伸穿過底部晶粒的穿矽過孔（TSV），以在頂部晶粒與RDL內插器之間提供信號路由路徑。而且，在底部晶粒設置在RDL內插器中的情況下，頂部晶粒可以在垂直方向上與底部晶粒對準並且被耦合到底部晶粒，以在頂部晶粒與底部晶粒之間提供晶粒到晶粒（D2D）互連。其他晶粒亦可以被耦合到底部晶粒外部的RDL內插器，其中信號路由路徑在RDL內插器中被提供在此種其他晶粒與頂部晶粒及/或底部晶粒之間。

【0007】 就該點而言，在一個示例性態樣中，提供了一種IC封裝。IC封裝包括內插器。內插器包括第一表面以及與第一表面相對的第二表面。內插器亦包括第一表面與第二

表面之間的一或多個RDL金屬化層。IC封裝亦包括：設置在內插器中的第一晶粒。第一晶粒包括被耦合到一或多個RDL金屬化層中的第一RDL金屬化層中的第一金屬互連的第一晶粒互連；及被耦合到內插器的第一表面的第二晶粒。第二晶粒包括被耦合到第一RDL金屬化層的第二晶粒互連。

【0008】 在另一示例性態樣中，提供了一種製作IC封裝的方法。該方法包括以下步驟：形成內插器，形成內插器包括：形成與第一晶粒相鄰的第一RDL金屬化層，第一RDL金屬化層包括第一表面以及與第一表面相對的第二表面；及將第一晶粒的第一晶粒互連耦合到第一RDL金屬化層中的第一金屬互連。該方法亦包括以下步驟：將第二晶粒耦合到內插器的第一表面。該方法亦包括以下步驟：將第二晶粒的第二晶粒互連耦合到第一RDL金屬化層。

【圖式簡單說明】

【0009】 圖1是包括半導體晶粒（「晶粒」）的三維（3D）積體電路（IC）（3DIC）封裝的側視圖，半導體晶粒包括被耦合到底部晶粒封裝中的底部晶粒的頂部晶粒封裝中的頂部晶粒；

【0010】 圖2A和圖2B是底部晶粒大於頂部晶粒（BGT）配置的示例性3DIC封裝的側視圖，其中3DIC封裝包括重組重分佈層（RDL）內插器，該重組重分佈層（RDL）內插器促進用於頂部晶粒到底部晶粒的3D堆疊的擴展的晶

粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 R D L 金屬化層；

【0011】 圖 3 是頂部晶粒大於底部晶粒 (T G B) 配置的另一示例性 3 D I C 封裝的側視圖，其中 3 D I C 封裝包括 R D L 內插器，該 R D L 內插器促進用於頂部晶粒到底部晶粒的 3 D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 R D L 金屬化層；

【0012】 圖 4 是類似於圖 2 A 和圖 2 B 中的 3 D I C 封裝並且亦包括被耦合到 R D L 內插器中的底部晶粒外部的 R D L 內插器的額外的晶粒的另一示例性 3 D I C 封裝的側視圖；

【0013】 圖 5 是類似於圖 4 中的 3 D I C 封裝並且包括被耦合到 R D L 內插器中的底部晶粒外部的 R D L 內插器的額外的晶粒以及設置在 R D L 內插器中的內插器晶粒的另一示例性 3 D I C 封裝的側視圖；

【0014】 圖 6 是類似於圖 4 中的 3 D I C 封裝的 B G T 配置的另一示例性 3 D I C 封裝的側視圖，其中頂部晶粒被耦合到 R D L 內插器，R D L 內插器被耦合在包括底部晶粒的重組 R D L 內插器上；

【0015】 圖 7 是類似於圖 4 中的 3 D I C 封裝的另一示例性 3 D I C 封裝的側視圖，其中頂部晶粒被整合到包括被耦合到 R D L 內插器的整合去耦電容器的小晶片；

【0016】 圖 8 是圖 4 中的 3 D I C 封裝的側視圖，並且其外部互連被耦合到封裝基板；

【0017】 圖 9 是圖示製作包括 RDL 內插器的 3DIC 封裝的示例性製程的流程圖，RDL 內插器促進用於頂部晶粒到底部晶粒的 3D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 RDL 金屬化層；

【0018】 圖 10A - 圖 10D 是圖示製作包括 RDL 內插器的 3DIC 封裝的另一示例性製作製程的流程圖，RDL 內插器促進用於頂部晶粒到底部晶粒的 3D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 RDL 金屬化層；

【0019】 圖 11A - 圖 11H 圖示根據圖 10A - 圖 10D 中的示例性 3DIC 封裝製作製程的示例性製作階段；

【0020】 圖 12 是可以包括元件的示例性基於處理器的系統的方塊圖，該等元件可以包括 3DIC 封裝（包括但不限於圖 2A - 圖 8 和圖 11A - 圖 11H 中的以及根據圖 9 和圖 10A - 圖 10D 中的示例性製作製程的 3DIC 封裝），該 3DIC 封裝包括促進用於頂部晶粒到底部晶粒的 3D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 RDL 金屬化層的 RDL 內插器；及

【0021】 圖 13 是可以包括射頻（RF）元件的示例性無線通訊設備的方塊圖，該等射頻（RF）元件可以包括 3DIC 封裝（包括但不限於圖 2A - 圖 8 和圖 11A - 圖 11H 中的以及根據圖 9 和圖 10A - 圖 10D 中的示例性製作製程的 3DIC 封裝），該 3DIC 封裝包括促進用於頂部晶粒到底部晶粒的 3D

堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 R D L 金屬化層的 R D L 內插器。

【實施方式】

【0022】 現在參照附圖來描述本案內容的若干個示例性態樣。詞語「示例性的」在本文中用於意指「用作示例、實例或說明」。本文中描述為「示例性」的任何態樣不一定被解釋為較佳或勝過其他態樣。

【0023】 本文中所揭示的態樣包括採用促進半導體晶粒（「晶粒」）堆疊的重分佈層（R D L）內插器的三維（3 D）積體電路（I C）（3 D I C）封裝。亦揭示相關的製作方法。在示例性態樣中，3 D I C 封裝包括 R D L 內插器，該 R D L 內插器具有與第一底部晶粒相鄰形成的一或多個 R D L 金屬化層。3 D I C 封裝亦包括在垂直方向上以 3 D 堆疊晶粒佈置堆疊在 R D L 內插器上的第二頂部晶粒。R D L 內插器中的重分佈金屬化層是包括金屬互連（例如，金屬線、金屬跡線）的金屬化層，該等金屬互連提供從第一底部晶粒及 / 或第二頂部晶粒的晶粒互連到 3 D I C 封裝中的其他位置的扇出連接（例如，金屬焊盤），以用於信號路由。而且，經由將第一底部晶粒整合在 R D L 內插器中，R D L 內插器提供擴展的晶粒區域，在擴展的晶粒區域中，頂部晶粒可以被耦合到 R D L 內插器及 / 或第一底部晶粒以提供 3 D I C 封裝。以此方式，作為實例，3 D I C 封裝中的堆疊的頂部和底部晶粒的製作製程可以與在頂部晶粒大於底部晶粒（T G B）配置中

頂部晶粒大於底部晶粒還是在底部晶粒大於頂部晶粒（BGT）配置中底部晶粒大於頂部晶粒無關。底部晶粒可以被單個化並且設置在形成的RDL金屬化層上，作為重組RDL內插器的部分。頂部晶粒隨後可以被耦合到RDL內插器，無論3DIC封裝將是TGB配置還是BGT配置。在習知的3DIC封裝製作製程中，較小的晶粒在單獨的製程中被製作並單個化，並且隨後被接合到在其中較大的晶粒被形成的晶圓。使用RDL內插器來促進3DIC封裝中的3D晶粒堆疊可能與進一步封裝無關，諸如執行外部凸塊化製程從而將3DIC封裝耦合到例如封裝基板。

【0024】 3DIC封裝中的作為在其中設置底部晶粒並且在其中頂部晶粒被耦合的基板的RDL內插器為頂部晶粒和底部晶粒提供高效的信號路由路徑。在一個實例中，底部晶粒被耦合到RDL內插器中的重分佈金屬化層中的金屬互連，以在3DIC封裝的底部晶粒與外部互連（例如，球柵陣列（BGA）互連）之間提供信號路由路徑。外部互連可以被直接耦合到3DIC封裝中的RDL內插器及/或RDL金屬化層。在另一實例中，作為將頂部晶粒耦合到RDL內插器的結果，頂部晶粒被耦合到RDL內插器的外重分佈金屬化層中的金屬互連，以在3DIC封裝的頂部晶粒與外部互連之間提供信號路由路徑。而且，在另一實例中，頂部晶粒被耦合到延伸穿過底部晶粒的穿矽過孔（TSV），以在頂部晶粒與RDL內插器之間提供信號路由路徑。而且，在底部晶粒設置在RDL內插器中的情況下，頂部晶粒可以在垂直

方向上與底部晶粒對準並且被耦合到底部晶粒，以在頂部晶粒與底部晶粒之間提供晶粒到晶粒（D2D）互連。其他晶粒亦可以被耦合到底部晶粒外部的RDL內插器，其中信號路由路徑在RDL內插器中被提供在此種其他晶粒與頂部晶粒及/或底部晶粒之間。

【0025】 在圖2A處開始論述包括促進用於頂部晶粒到底部晶粒的3D堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及/或底部晶粒提供信號路由路徑的一或多個RDL金屬化層的RDL內插器的3DIC封裝的實例之前，首先關於圖1描述不包括RDL內插器的示例性頂部大於底部（TGB）三維（3D）積體電路（IC）（3DIC）封裝100（亦被稱為「3DIC封裝100」）。

【0026】 就該點而言，圖1是示例性IC封裝100的側視圖。IC封裝100是3D堆疊的晶粒IC封裝102，其包括被包括在相應的晶粒封裝106(1)、106(2)中的多個晶粒104(1)、104(2)，晶粒封裝106(1)、106(2)在垂直方向（Z軸方向）上被堆疊在彼此之上。IC封裝100的第一晶粒封裝106(1)包括被耦合到封裝基板108的晶粒104(1)。在該實例中，封裝基板108包括設置在核心基板112上的第一上金屬化層110，其在本文中亦被稱為「金屬化層110」。核心基板112設置在第二底部金屬化層114上。上金屬化層110提供用於到晶粒104(1)的信號路由的電介面。晶粒104(1)被耦合到晶粒互連116（例如，凸起的金屬凸塊），晶粒互連116被電耦合到上金屬化層110

中的金屬互連 118。上金屬化層 110 中的金屬互連 118 被耦合到核心基板 112 中的金屬互連 120，金屬互連 120 被耦合到底部金屬化層 114 中的金屬互連 122。以此方式，封裝基板 108 在其金屬化層 110、114 和核心基板 112 之間提供互連，以提供到晶粒 104(1) 的信號路由。外部互連 124（例如，球柵陣列（BGA）互連）被耦合到底部金屬化層 114 中的金屬互連 122，以向穿過晶粒互連 116 的晶粒 104(1) 提供穿過封裝基板 108 的互連。在該實例中，第一晶粒 104(1) 的第一主動側 126(1) 與封裝基板 108 以及更具體地封裝基板 108 的上金屬化層 110 相鄰並且被耦合到封裝基板 108 以及更具體地封裝基板 108 的上金屬化層 110。

【0027】 在圖 1 中的示例性 IC 封裝 100 中，為了提供晶粒的 3D 堆疊，第二晶粒封裝 106(2) 被提供並且耦合到第一晶粒封裝 106(1)，以支撐多個晶粒。例如，第一晶粒封裝 106(1) 中的第一晶粒 104(1) 可以包括應用處理器，並且第二晶粒 104(1) 可以是記憶體晶粒，諸如為應用處理器提供記憶體支援的動態隨機存取記憶體（DRAM）晶粒。就該點而言，在該實例中，第一晶粒封裝 106(1) 亦包括與第一晶粒 104(1) 的第二非主動側 126(2) 相鄰的設置在包裹第一晶粒 104(1) 的封裝模製物 130 上的內插器基板 128。內插器基板 128 亦包括一或多個金屬化層 132，其各包括金屬互連 134，以提供到第二晶粒封裝 106(2) 中的第二晶粒 104(2) 的互連。第二晶粒封裝 106(2) 藉由經由外部互連 136（例如，焊料凸塊、BGA 互連）耦合到內插器基板 128

來實體和電耦合到第一晶粒封裝 106(1)。外部互連 136 被耦合到內插器基板 128 中的金屬互連 134。

【0028】 為了提供互連以將信號從第二晶粒 104(2)經由外部互連 136 和內插器基板 128 路由到第一晶粒 104(1)，垂直互連 138（例如，金屬柱、金屬桿、金屬垂直互連通道（過孔），諸如貫穿模製物過孔（TMV））設置在第一晶粒封裝 106(1)的封裝模製物 130 中。在該實例中，垂直互連 138 在垂直方向（Z 軸方向）上從內插器基板 128 的第一底表面 140 延伸到封裝基板 108 的第一頂表面 142。垂直互連 138 被耦合到內插器基板 128 中的與內插器基板 128 的底表面 140 相鄰的金屬互連 134。垂直互連 138 亦被耦合到封裝基板 108 的上金屬化層 110 中的與封裝基板 108 的頂表面 142 相鄰的金屬互連 118。以此方式，垂直互連 138 提供用於內插器基板 128 與封裝基板 108 之間的互連（諸如輸入/輸出（I/O）連接）的橋。此舉在第二晶粒封裝 106(1) 中的第二晶粒 104(2) 與穿過封裝基板的第一晶粒 104(1) 和外部互連 124 之間提供信號路由路徑。

【0029】 因此，如圖 1 中所示，在 IC 封裝 100 中，第二晶粒 104(2) 在第一晶粒 104(1) 上方的堆疊是經由將第一晶粒 104(1) 和第二晶粒 104(2) 設置在其自身相應的第一晶粒封裝 106(1) 和第二晶粒封裝 106(2) 中來完成的。外部互連 136 被形成用於第二晶粒封裝 106(2)，以提供經由內插器基板 128 到第一晶粒封裝 106(1) 的電信號路由路徑。垂直互連 138 被提供在第一晶粒封裝 106(1) 中，以提

供到第二晶粒 104(2) 的信號路由路徑。因此，在圖 1 中的 IC 封裝 100 中，晶粒堆疊是經由形成和堆疊經由外部互連 138、內插器基板 128 和垂直互連 138 耦合在一起的單獨的晶粒封裝 106(1)、106(2) 來完成的。外部互連 138、內插器基板 128 和垂直互連 138 有助於 IC 封裝 100 的整體高度 H_1 。可能期望的是最小化 3D 堆疊的 IC 封裝（諸如 IC 封裝 100）的高度。而且，可能期望的是簡化 IC 封裝 100 的製作，使得單獨的晶粒封裝 106(1)、106(2) 和內插器基板 128 的形成無需在 IC 封裝中提供 3D 堆疊佈置的第一晶粒 104(1) 和第二晶粒 104(2)。

【0030】 圖 2 A 和圖 2 B 是包括用於促進晶粒在垂直方向（Z 軸方向）上的 3D 堆疊並且以高效的方式提供到晶粒的信號路由的重組內插器 202 的示例性 3D IC 封裝 200 的側視圖。在該實例中，內插器 202 是 RDL 內插器 202，因為內插器 202 包括一或多個 RDL 金屬化層。內插器 202 在本文中亦被稱為「RDL 內插器 202」。RDL 內插器（諸如圖 2 A 和圖 2 B 中的 RDL 內插器 202）包括一或多個 RDL 金屬化層，一或多個 RDL 金屬化層包括金屬互連（例如，金屬線、金屬跡線），金屬互連能夠為 IC 封裝的一部分到 IC 封裝中的另一位置提供扇出連接（例如，金屬焊盤）以用於信號路由，從而提供到此種連接的更佳的存取。RDL 金屬化層包括佈線金屬互連的額外的金屬層，其將連接存取重分佈（亦即，重路由）到 IC 封裝的不同部分，包括例如晶粒在封裝中連接的位置的區域外部，使得更易於提供較小（例

如，較高的線/空間（L/S）密度的）的晶粒互連（例如，微凸塊）以用於晶粒的連接。在該實例中，圖2A中的3DIC封裝200被配置成底部晶粒大於頂部晶粒（BGT）的配置。如圖2A中所示，3DIC封裝200包括複數個第一底部晶粒204(1)-204(3)。3DIC封裝200亦包括在垂直方向（Z軸方向）上被堆疊在底部晶粒204(1)-204(3)上方的第二頂部晶粒206。底部晶粒204(1)-204(3)被整合到RDL內插器202中，作為重組RDL內插器，以促進3DIC封裝200中的頂部晶粒206在底部晶粒204(1)-204(3)上方的高度高效方式的3D堆疊，同時亦提供以其為頂部晶粒206和底部晶粒204(1)-204(3)提供信號路由的有效方式。頂部晶粒206與相應的底部晶粒204(1)-204(3)共享共用垂直平面 P_1 、 P_2 、 P_3 。RDL內插器202在水平方向（X軸和Y軸方向）上延伸。經由將底部晶粒204(1)-204(3)整合在RDL內插器202中，底部晶粒204(1)-204(3)不需要被形成在單獨的晶粒封裝中，單獨的晶粒封裝隨後與外部互連凸塊化以連接3DIC封裝中的底部晶粒204(1)-204(3)。RDL內插器202亦在水平方向（X軸和Y軸方向）上提供擴展的晶粒區域，供頂部晶粒206進行耦合。頂部晶粒206在3D堆疊晶粒佈置中在正交於水平方向（X軸和Y軸方向）的垂直方向（Z軸方向）上被耦合到（例如，在其上堆疊）RDL內插器202的與RDL內插器202的第二外表面214相對的第一頂表面212，作為3DIC封裝200的部分。RDL內插器202的RDL金屬化層208設置在

第一表面 212 與第二表面 214 之間。以此方式，RDL 內插器 202 提供供頂部晶粒 206 以 3D 堆疊佈置的方式堆疊在底部晶粒 204(1)-204(3) 上方的結構，使得無論是以 BGT 配置（如圖 2A 中所示）還是以 TGB 配置，3DIC 封裝 200 可以使用相同的製程來製作。

【0031】 以此方式，經由將第一底部晶粒 204(1)-204(3) 整合在 RDL 內插器 202 中，RDL 內插器 202 提供在其中頂部晶粒 206 可以被耦合到 RDL 內插器 202 的擴展的晶粒區域。以此方式，作為實例，製作 3DIC 封裝 200 的製作製程可以與在 TGB 配置中頂部晶粒 206 在水平方向（X 軸和 Y 軸方向）上的面積大於底部晶粒 204(1)-204(3) 還是在 BGT 配置中底部晶粒 204(1)-204(3) 在水平方向（X 軸和 Y 軸方向）上的面積大於頂部晶粒 206 無關。底部晶粒 204(1)-204(3) 可以被單個化並且設置在 RDL 金屬化層 208 中或相鄰於 RDL 金屬化層 208，作為重組 RDL 內插器 202 的部分。頂部晶粒 206 隨後可以被耦合到 RDL 內插器 202，無論 3DIC 封裝 200 將是 TGB 配置還是 BGT 配置。在習知的 3DIC 封裝製作製程中，較小的晶粒在單獨的製程中被製作並單個化，並且隨後被接合到在其中較大的晶粒被形成的晶圓。使用 RDL 內插器來促進 3DIC 封裝中的 3D 晶粒堆疊可能與進一步封裝無關，諸如執行外部凸塊化製程從而將 3DIC 封裝耦合到例如封裝基板。

【0032】 而且，繼續參照圖 2A，3DIC 封裝 200 中的作為在其中設置底部晶粒 204(1)-204(3) 並且在其中頂部晶

粒 206 被耦合的基板的 RDL 內插器 202 為底部晶粒 204(1)-204(3) 和頂部晶粒 206 提供高效的信號路由路徑。RDL 內插器 202 提供金屬化結構，該金屬化結構在 3DIC 封裝 200 內為底部晶粒 204(1)-204(3) 和頂部晶粒 206 提供信號路由。在該實例中，RDL 內插器 202 包括被形成在內插器基板 210（例如，矽內插器基板）上的第一 RDL 金屬化層 208。內插器基板 210 亦可以是 RDL 金屬化層。RDL 金屬化層 208 是包括在 RDL 內插器 202 中為底部晶粒 204(1)-204(3) 和頂部晶粒 206 提供信號路由路徑的金屬互連 216（例如，金屬線、金屬跡線）的金屬化層。底部晶粒 204(1)-204(3) 相鄰於 RDL 內插器 202 中的 RDL 金屬化層 208 設置，以將底部晶粒 204(1)-204(3) 整合在 RDL 內插器 202 中。

【0033】 在該實例中，底部晶粒 204(1)-204(3) 被耦合到第一 RDL 金屬化層 208 中的金屬互連 216(1)，以在 3DIC 封裝 200 的底部晶粒 204(1)-204(3) 與外部互連 217（例如，焊料球）之間提供信號路由路徑。在該實例中，作為將頂部晶粒 206 耦合到 RDL 內插器 202 的第一外表面 212 的結果，頂部晶粒 206 被耦合到金屬互連 216(2)，金屬互連 216(2) 被扇出在 RDL 內插器 202 的 RDL 金屬化層 208 中的頂部晶粒 206 外部的區域中。此舉在 3DIC 封裝 200 的頂部晶粒 206 與外部互連 217 之間提供信號路由路徑。而且在該實例中，如圖 2A 中所示，頂部晶粒 206 被耦合到延伸穿過底部晶粒 204(1)-204(3) 的相應的穿矽過孔（TSV）

218(1)-218(3)，以在頂部晶粒206與RDL內插器202之間提供信號路由路徑。而且，在底部晶粒204(1)-204(3)設置在RDL內插器202中的情況下，頂部晶粒206被示為在垂直方向（Z軸方向）上與底部晶粒204(1)-204(3)對準並且被耦合到底部晶粒204(1)-204(3)，以在頂部晶粒206與底部晶粒204(1)-204(3)之間提供晶粒到晶粒（D2D）互連。而且，如圖2A中所示，採用上文論述的信號路由實例中的任何信號路由實例，信號亦可以經由金屬互連216(3)（例如，貫穿模製物過孔（TMV））路由到內插器基板210，金屬互連216(3)被耦合到形成在內插器基板210的一或多個金屬化層220(1)-220(2)中的金屬互連219。金屬化層220(1)-220(2)亦可以是RDL金屬化層。因此，在該實例中，信號可以經由內插器基板210的金屬互連219路由到外部互連217，外部互連217被耦合到印刷電路板（PCB）222。

【0034】 圖2B是圖示3DIC封裝200以論述額外的示例性細節的另一側視圖。如圖2B中所示，為了將頂部晶粒206耦合到RDL內插器202，頂部晶粒206具有經由頂部晶粒206的主動面226暴露的晶粒互連224（例如，晶粒焊盤）。晶粒互連224被耦合到RDL內插器202，以提供頂部晶粒206與RDL內插器202之間的及/或到底部晶粒204(1)-204(3)的信號路由。頂部晶粒206的晶粒互連224可以被耦合到RDL金屬化層208中的在水平方向（X軸和Y軸方向）上被扇出在頂部晶粒206外部的區域A₁、

A₂ 中的金屬互連 216(2)，以提供到 RDL 內插器 202 的信號路由路徑。在該實例中，底部晶粒 204(1)-204(3) 亦各具有經由相應的主動面 230(1)-230(3) 暴露的相應的晶粒互連 228(1)-228(3) (例如，晶粒焊盤)。頂部晶粒 206 可以經由將頂部晶粒 206 的相應的晶粒互連 224 耦合到底部晶粒 204(1)-204(3) 的晶粒互連 228(1)-228(3) (諸如經由作為實例的混合接合、壓縮接合或使用微凸塊)，來直接耦合到底部晶粒 204(1)-204(3)。注意，在替代佈置中，底部晶粒 204(1)-204(3) 可以以與圖 2B 中所示的翻轉配置設置在 RDL 內插器 202 中，使得其相應的背側非主動面 232(1)-232(2) 相鄰於並且朝向頂部晶粒 206 的主動面 226。

【0035】 而且在該實例中，亦為了提供從頂部晶粒 206 到底部晶粒 204(1)-204(3) 下方的 RDL 內插器 202 並且繞過底部晶粒 204(1)-204(3) 的信號路由路徑，可以設置穿過相應的底部晶粒 204(1)-204(3) 的過孔 218(1)-218(3) (例如，穿矽過孔 (TSV))，並且過孔 218(1)-218(3) 被耦合到頂部晶粒 206 的晶粒互連 224。過孔 218(1)-218(3) 被路由到 RDL 金屬化層 208 中的相應的金屬互連 216(2)，金屬互連 216(2) 被耦合到內插器基板 210 中的金屬互連 219。

【0036】 因此，如圖 2A 和圖 2B 中所示，3DIC 封裝 200 中的 RDL 內插器 202 提供能夠為頂部晶粒 206 和底部晶粒 204(1)-204(3) 提供高效的信號路由以及提供在其中頂

部晶粒 206 可以被堆疊的結構的金屬化結構。以此方式，3DIC 封裝 200 提供了高效的堆疊晶粒佈置。採用 RDL 內插器（與圖 2A 和圖 2B 中的 RDL 內插器 202 一樣）的其他堆疊晶粒佈置亦是可能的，以促進用於堆疊的晶粒之間的高效信號路由以及提供在其中頂部晶粒可以被堆疊的結構。

【0037】 就該點而言，圖 3 是亦包括用於促進晶粒在垂直方向（Z 軸方向）上的 3D 堆疊並且以高效的方式提供到晶粒的信號路由的重組內插器 302 的另一示例性 3DIC 封裝 300 的側視圖。在該實例中，內插器 302 是 RDL 內插器 302，因為內插器包括一或多個 RDL 金屬化層。內插器 302 在本文中亦被稱為「RDL 內插器 302」。在該實例中，圖 3 中的 3DIC 封裝 300 被配置成 TGB 配置。如圖 3 中所示，3DIC 封裝 300 包括底部晶粒 304。3DIC 封裝 300 亦包括在垂直方向（Z 軸方向）上被堆疊在底部晶粒 304 上方的複數個第二頂部晶粒 306(1)、306(2)。在該實例中，底部晶粒 304 被整合到 RDL 內插器 302 中，作為重組 RDL 內插器，以促進 3DIC 封裝 300 中的頂部晶粒 306(1)、306(2) 在底部晶粒 304 上方的高度高效方式的 3D 堆疊，同時亦提供以其為頂部晶粒 306(1)、306(2) 和底部晶粒 304 提供信號路由的有效方式。頂部晶粒 306(1)、306(2) 與底部晶粒 304 共享共用垂直平面 P_4 、 P_5 。RDL 內插器 302 在水平方向（X 軸和 Y 軸方向）上延伸。經由將底部晶粒 304 整合在 RDL 內插器 302 中，底部晶粒 304 不需要被形成在單獨的晶粒封裝中，單獨的晶粒封裝隨後被與外部互連凸塊

化，以連接3DIC封裝中的底部晶粒304。RDL內插器302亦在水平方向（X軸和Y軸方向）上提供在其中頂部晶粒306(1)、306(2)被耦合的擴展的晶粒區域。頂部晶粒306(1)、306(2)在3D堆疊佈置中在正交於水平方向（X軸和Y軸方向）的垂直方向（Z軸方向）上被耦合到（例如，堆疊在其上）RDL內插器302的與RDL內插器302的第二外表面314相對的第一頂表面312，作為3DIC封裝300的部分。RDL內插器302的RDL金屬化層308設置在第一表面312與第二表面314之間。以此方式，RDL內插器302提供供頂部晶粒206以3D堆疊佈置的方式堆疊在底部晶粒204(1)-204(3)上方的結構，使得無論是以BGT配置（如圖2A中所示）還是TGB配置，3DIC封裝300可以使用相同的製程來製作。

【0038】 以此方式，經由將第一底部晶粒304整合在RDL內插器302中，RDL內插器302提供在其中頂部晶粒306(1)、306(2)可以被耦合到RDL內插器302的擴展的晶粒區域。以此方式，作為實例，如圖3中所示，製作3DIC封裝300的製作製程可以與在TGB配置中頂部晶粒306(1)、306(2)在水平方向（X軸和Y軸方向）上的面積大於底部晶粒304還是在BGT配置中底部晶粒304在水平方向（X軸和Y軸方向）上的面積大於頂部晶粒306(1)、306(2)無關。底部晶粒304可以被單個化並且設置在RDL金屬化層308中或相鄰於RDL金屬化層308，作為重組RDL內插器302的部分。頂部晶粒306(1)、306(2)隨後

可以被耦合到 RDL 內插器 302，無論 3DIC 封裝 300 將是 TGB 配置還是 BGT 配置。在習知的 3DIC 封裝製作製程中，較小的晶粒在單獨的製程中被製作並單個化，並且隨後被接合到在其中較大的晶粒被形成的晶圓。使用 RDL 內插器來促進 3DIC 封裝中的 3D 晶粒堆疊可能與進一步封裝無關，諸如執行外部凸塊化製程從而將 3DIC 封裝耦合到例如封裝基板。

【0039】 而且，繼續參照圖 3，3DIC 封裝 300 中的作為在其中設置底部晶粒 304 並且在其中頂部晶粒 306(1)、306(2) 被耦合的基板的 RDL 內插器 302 為底部晶粒 304 和頂部晶粒 306(1)、306(2) 提供高效的信號路由路徑。RDL 內插器 302 提供金屬化結構，該金屬化結構在 3DIC 封裝 300 內為底部晶粒 304 和頂部晶粒 306(1)、306(2) 提供信號路由。在該實例中，與圖 2A 和圖 2B 中的 3DIC 封裝 200 中所示的一樣，RDL 內插器 302 包括被形成在內插器基板 210（例如，矽內插器基板）上的第一 RDL 金屬化層 308。RDL 金屬化層 308 是包括在 RDL 內插器 302 中為底部晶粒 304 和頂部晶粒 306(1)、306(2) 提供信號路由路徑的金屬互連 316（例如，金屬線、金屬跡線）的金屬化層。底部晶粒 304 相鄰於 RDL 內插器 302 中的 RDL 金屬化層 308 設置，以將底部晶粒 304 整合在 RDL 內插器 302 中。

【0040】 在該實例中，底部晶粒 304 被耦合到第一 RDL 金屬化層 308 中的金屬互連 316(1)，以在 3DIC 封裝 300 的

底部晶粒 304 與外部互連 217 之間提供信號路由路徑。在該實例中，作為將頂部晶粒 306(1)、306(2) 耦合到 RDL 內插器 302 的第一外表面 312 的結果，頂部晶粒 306(1)、306(2) 被耦合到金屬互連 316(2)，金屬互連 316(2) 被扇出在 RDL 內插器 302 的 RDL 金屬化層 308 中的頂部晶粒 306(1)、306(2) 外部的區域中。此舉在 3DIC 封裝 300 的頂部晶粒 306(1)、306(2) 與外部互連 317 之間提供信號路由路徑。而且在該實例中，如圖 3 中所示，頂部晶粒 306(1)、306(2) 被耦合到延伸穿過底部晶粒 304 的穿矽過孔 (TSV) 318，以在頂部晶粒 306(1)、306(2) 與 RDL 內插器 302 之間提供信號路由路徑。而且，在底部晶粒 304 設置在 RDL 內插器 302 中的情況下，頂部晶粒 306(1)、306(2) 被示為在垂直方向 (Z 軸方向) 上與底部晶粒 304 對準並且被耦合到底部晶粒 304，以在頂部晶粒 306(1)、306(2) 與底部晶粒 304 之間提供晶粒到晶粒 (D2D) 互連。而且，如圖 3 中所示，採用上文論述的信號路由實例中的任何信號路由實例，信號亦可以經由金屬互連 316(3) 路由到內插器基板 210，金屬互連 316(3) 被耦合到形成在內插器基板 210 的一或多個金屬化層 220(1)-220(2) 中的金屬互連 219。因此，在該實例中，信號可以經由內插器基板 210 的金屬互連 219 路由到外部互連 217，外部互連 217 被耦合到印刷電路板 (PCB) 222。

【0041】 亦如圖 3 中所示，為了將頂部晶粒 306(1)、306(2) 耦合到 RDL 內插器 302，頂部晶粒 306(1)、

306(2)具有經由頂部晶粒306(1)、306(2)的相應的主動面326(1)、326(2)暴露的晶粒互連324(1)、324(2)(例如,晶粒焊盤)。晶粒互連324(1)、324(2)被耦合到RDL內插器302,以提供頂部晶粒306(1)、306(2)與RDL內插器302之間的及/或到底部晶粒304的信號路由。頂部晶粒306的晶粒互連324(1)、324(2)可以被耦合到RDL金屬化層308中的在水平方向(X軸和Y軸方向)上被扇出在頂部晶粒306(1)、306(2)外部的區域A₃、A₄中的金屬互連316(2),以提供到RDL內插器302的信號路由路徑。在該實例中,底部晶粒304亦具有經由底部晶粒304的主動面330暴露的晶粒互連328(例如,晶粒焊盤)。頂部晶粒306(1)、306(2)可以經由將頂部晶粒306(1)、306(2)的相應的晶粒互連324(1)、324(2)耦合到底部晶粒304的晶粒互連328,諸如經由作為實例的混合接合、壓縮接合或使用微凸塊,來直接耦合到底部晶粒304。注意,在替代佈置中,底部晶粒304可以以與圖3中所示的翻轉配置設置在RDL內插器302中,使得其背側非主動面332相鄰於並且朝向頂部晶粒306(1)、306(2)的主動面326(1)、326(2)。

【0042】 而且在該實例中,亦為了提供從頂部晶粒306(1)、306(2)到底部晶粒304下方的RDL內插器302並且繞過底部晶粒304的信號路由路徑,可以設置穿過底部晶粒304的過孔318(例如,穿矽過孔(TSV)),並且過孔318被耦合到頂部晶粒306(1)、306(2)的晶粒互

連 3 2 4 (1) 、 3 2 4 (2) 。 過 孔 3 1 8 被 路 由 到 R D L 金 屬 化 層 3 0 8 中 的 相 應 的 金 屬 互 連 3 1 6 (1) ， 金 屬 互 連 3 1 6 (1) 被 耦 合 到 內 插 器 基 板 2 1 0 中 的 金 屬 互 連 2 1 9 。

【0043】 圖 4 是 類 似 於 圖 2 A 和 圖 2 B 中 的 3 D I C 封 裝 2 0 0 的 另 一 示 例 性 3 D I C 封 裝 4 0 0 的 側 視 圖 。 圖 4 中 的 3 D I C 封 裝 4 0 0 與 圖 2 A 和 圖 2 B 中 的 3 D I C 封 裝 2 0 0 之 間 的 共 用 元 件 採 用 共 用 元 件 編 號 圖 示 ， 並 且 不 重 複 描 述 。 如 圖 4 中 所 示 ， 3 D I C 封 裝 3 0 0 包 括 被 耦 合 到 內 插 器 4 0 2 的 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 。 在 該 實 例 中 ， 內 插 器 4 0 2 是 R D L 內 插 器 2 0 2 ， 因 為 內 插 器 4 0 2 包 括 一 或 多 個 R D L 金 屬 化 層 。 內 插 器 4 0 2 在 本 文 中 亦 被 稱 為 「 R D L 內 插 器 4 0 2 」 。 R D L 內 插 器 4 0 2 類 似 於 圖 2 A 和 圖 2 B 中 的 R D L 內 插 器 2 0 2 ， 共 用 元 件 採 用 共 用 元 件 編 號 圖 示 。 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 以 2.5 維 (2.5 D) 佈 置 耦 合 到 R D L 內 插 器 4 0 2 ， 其 中 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 在 水 平 方 向 (X 軸 和 Y 軸 方 向) 上 在 頂 部 晶 粒 的 區 域 A₇ 外 部 的 相 應 的 區 域 A₅ 、 A₆ 中 。 因 此 ， 在 圖 4 中 的 3 D I C 封 裝 4 0 0 中 ， R D L 內 插 器 4 0 2 亦 正 在 支 撐 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 。 增 大 在 其 中 用 於 耦 合 晶 粒 的 晶 粒 區 域 的 R D L 內 插 器 4 0 2 在 該 實 例 中 提 供 額 外 的 區 域 ， 從 而 亦 將 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 合 併 和 耦 合 在 3 D I C 封 裝 4 0 0 中 。 例 如 ， 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 可 以 是 記 憶 體 晶 粒 。 R D L 內 插 器 4 0 2 不 僅 提 供 在 其 中 額 外 的 晶 粒 4 0 6 (1) 、 4 0 6 (2) 可 以 被 耦 合 的 區 域 ， 而 且 提 供 內

插器，以用於額外的晶粒 406(1)、406(2)與 RDL 內插器 402 之間的信號路由（類似於頂部晶粒 206）。

【0044】 在該實例中，為了將額外的晶粒 406(1)、406(2) 耦合到 RDL 內插器 402，被耦合到額外的晶粒 406(1)、406(2) 的外部金屬互連 410(1)、410(2)（例如，焊料凸塊、微凸塊、晶粒焊盤）被耦合到 RDL 內插器 402 的第一頂表面 212。外部金屬互連 410(1)、410(2) 被耦合到 RDL 內插器 402，以提供額外的晶粒 406(1)、406(2) 與 RDL 內插器 402 之間的及 / 或到底部晶粒 304 及 / 或頂部晶粒 206(1)、206(2) 的信號路由。額外的晶粒 406(1)、406(2) 的外部金屬互連 410(1)、410(2) 可以被耦合到 RDL 金屬化層 408 中的在水平方向（X 軸和 Y 軸方向）上被扇出在頂部晶粒 206 的區域 A₇ 外部的區域 A₅、A₆ 中的金屬互連 416(3)（例如，TMV），以提供到 RDL 內插器 402 的信號路由路徑。外部金屬互連 410(1)、410(2) 可以被耦合到外部互連 217，經由其他金屬互連 416(1)、416(2) 被耦合到底部晶粒 204(1)-204(3)，及 / 或經由過孔 218(1)-218(3) 被耦合到頂部晶粒 206。

【0045】 因此，如圖 4 中所示，3DIC 封裝 400 中的 RDL 內插器 402 提供能夠為額外的晶粒 406(1)、406(2) 提供高效的信號路由以及提供在其中額外的晶粒 406(1)、406(2) 可以被堆疊的結構的金屬化結構。以此方式，3DIC 封裝 400 提供了高效的堆疊晶粒佈置。

【0046】 圖 5 是類似於圖 4 中的 3 D I C 封裝 4 0 0 的 B G T 配置的另一示例性 3 D I C 封裝 5 0 0 的側視圖。圖 5 中的 3 D I C 封裝 5 0 0 與圖 4 中的 3 D I C 封裝 4 0 0 之間的共用元件採用共用元件編號圖示，並且將不重複描述。然而，在圖 5 中的 3 D I C 封裝 5 0 0 中，代替提供額外的晶粒 4 0 6 (2) ，另一晶粒 5 0 4 被提供在在水平方向（ X 軸和 Y 軸方向）上在頂部晶粒 2 0 6 和底部晶粒 2 0 4 (1) - 2 0 4 (3) 外部的區域 A₈ 中。晶粒 5 0 4 可以是不需要與頂部晶粒 2 0 6 進行通訊並且因此不必垂直對準以與頂部晶粒 2 0 6 具有共用平面的另一功能晶粒或小晶片。然而，在該實例中，晶粒 5 0 4 被耦合到 R D L 金屬化層 4 0 8 中的金屬互連 2 1 6 (3) ，以提供晶粒 5 0 4 與 R D L 內插器 4 0 2 之間信號路由。

【0047】 圖 6 是 B G T 配置的並且類似於圖 4 中的 3 D I C 封裝 4 0 0 的另一示例性 3 D I C 封裝 6 0 0 的側視圖。圖 6 中的 3 D I C 封裝 6 0 0 與圖 4 中的 3 D I C 封裝 4 0 0 之間的共用元件採用共用元件編號圖示，並且將不重複描述。然而，在圖 6 中的 3 D I C 封裝 6 0 0 中，提供包括圖 4 中的 3 D I C 封裝 4 0 0 中的 R D L 金屬化層 4 0 8 的內插器 6 0 2 。在該實例中，內插器 6 0 2 是 R D L 內插器 6 0 2 ，因為內插器 6 0 2 包括一或多個 R D L 金屬化層。內插器 6 0 2 在本文中亦被稱為「 R D L 內插器 6 0 2 」。然而，圖 6 中的 R D L 內插器 6 0 2 包括在垂直方向（ Z 軸方向）上設置在頂部晶粒 2 0 6 (1) - 2 0 6 (3) 與底部晶粒 2 0 4 (1) - 2 0 4 (3) 之間的額外的 R D L 金屬化層 6 0 8 。底部晶粒 2 0 4 (1) - 2 0 4 (3) 設置在 R D L 金屬化層 4 0 8 中，但是

RDL金屬化層408經由中間RDL金屬化層608與頂部晶粒204(1)-204(3)分開。提供額外的RDL金屬化層608可以在3DIC封裝600中提供增加的路由能力及/或靈活性。

【0048】 如圖6中所示，為了將頂部晶粒206耦合到RDL內插器602，經由頂部晶粒206的主動面226暴露的晶粒互連224（例如，晶粒焊盤）被耦合到RDL內插器602的頂表面612。晶粒互連224到RDL內插器602的耦合提供頂部晶粒206與RDL內插器602之間的及/或到底部晶粒204(1)-204(3)的信號路由。頂部晶粒206的晶粒互連224被耦合到RDL金屬化層608中的金屬互連616(1)，以提供到RDL內插器602的信號路由路徑。RDL內插器602中的金屬互連616(1)可以被路由到底部晶粒204(1)-204(3)或RDL內插器602中的其他金屬互連616(2)、616(3)，以將信號路由到額外的晶粒406(1)、406(2)、底部晶粒204(1)-204(3)及/或外部互連217。底部晶粒204(1)-204(3)亦各具有相應的晶粒互連228(1)-228(3)（例如，晶粒焊盤），相應的晶粒互連228(1)-228(3)可以被耦合到RDL金屬化層608中的金屬互連616(1)，以提供到頂部晶粒204的信號路由路徑。而且在該實例中，類似於前文在圖2A和圖2B中的3DIC封裝200中所描述的，亦為了提供從頂部晶粒206到底部晶粒204(1)-204(3)下方的RDL內插器602的信號路由路徑，被耦合到頂部晶粒206的晶粒互連224的金屬互連616(1)可以被耦合到穿過相應的底部晶粒

204(1)-204(3)設置的過孔218(1)-218(3)。過孔218(1)-218(3)被路由到RDL金屬化層208中的相應的金屬互連216(2)，金屬互連216(2)被耦合到內插器基板210中的金屬互連219。金屬互連616(2)、616(3)(例如，TMV)亦設置穿過RDL金屬化層608，以提供額外的晶粒406(1)、406(2)與RDL內插器602之間的連接。

【0049】 圖7是類似於圖4中的3DIC封裝400的另一示例性3DIC封裝700的側視圖。圖7中的3DIC封裝700與圖4中的3DIC封裝400之間的共用元件採用共用元件編號圖示，並且將不重複描述。如圖7中所示，頂部晶粒706被整合在被耦合到RDL內插器408的小晶片702中。小晶片702包括在RDL內插器402與頂部晶粒706之間提供去耦電容的整合去耦電容器708。頂部晶粒706在垂直方向(Z軸方向)上被堆疊在小晶片702中的去耦電容器708上方。小晶片702的金屬互連724被耦合到RDL內插器402，以提供去耦電容器708和頂部晶粒706到RDL內插器402之間的信號路由，類似於圖4中的3DIC封裝400中的頂部晶粒206的晶粒互連224。為了提供頂部晶粒706與RDL內插器408之間的信號路由，包括垂直延伸穿過小晶片702的過孔710的小晶片702被耦合到頂部晶粒706。

【0050】 亦可以提供與以上實例中描述的一樣的3DIC封裝，作為另一IC封裝的部分，其包括用於提供額外的信號路由選項的封裝基板。就該點而言，圖8是圖4中的3DIC封裝400的側視圖。圖8中的3DIC封裝800與圖4中的

3 D I C 封裝 4 0 0 之間的共用元件採用共用元件編號圖示，並且將不重複描述。然而，如圖 8 中所示，3 D I C 封裝 4 0 0 不直接被耦合到 P C B 2 2 2，而是被耦合到封裝基板 8 0 2。封裝基板 8 0 2 包括具有用於提供信號的金屬互連的一或多個金屬化層。3 D I C 封裝 4 0 0 經由外部互連 8 0 4（在該實例中，其是 B G A 互連）被耦合到封裝基板 8 0 2。封裝基板 8 0 2 經由外部互連 2 1 7 被耦合到 P C B 2 2 2。

【0051】 圖 9 是圖示製作包括 R D L 內插器的 3 D I C 封裝（包括但不限於圖 2 A - 圖 8 中的 3 D I C 封裝）的示例性製作製程 9 0 0 的流程圖，R D L 內插器促進用於頂部晶粒到底部晶粒的 3 D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 R D L 金屬化層。圖 9 中的製作製程 9 0 0 是關於圖 2 A 和圖 2 B 中的 3 D I C 封裝 2 0 0 來描述的。然而，注意，圖 9 中的製作製程 9 0 0 亦同樣可以用於製作圖 3 - 圖 8 中的其他 3 D I C 封裝 3 0 0、4 0 0、5 0 0、6 0 0、7 0 0、8 0 0。

【0052】 就該點而言，如圖 9 中所示，製作製程 9 0 0 中的第一步是在基板上設置第一晶粒 2 0 4 (1) - 2 0 4 (3)（圖 9 中的方塊 9 0 2）。製作製程 9 0 0 中的下一步是形成 R D L 內插器 2 0 2（圖 9 中的方塊 9 0 4）。形成 R D L 內插器 2 0 2 可以包括以下步驟：在基板上並且相鄰於第一晶粒 2 0 4 (1) - 2 0 4 (3) 形成包括第一表面 2 1 2 以及與第一表面 2 1 2 相對的第二表面 2 1 4 的第一 R D L 金屬化層 2 0 8（圖 9 中的方塊 9 0 6），以及將第一晶粒 2 0 4 (1) - 2 0 4 (3) 的第一晶粒互連

228(1)-228(3) 耦合到第一 RDL 金屬化層 208 中的第一金屬互連 216 (圖 9 中的方塊 908)。製作製程 900 中的下一步是將第二晶粒 206 耦合到 RDL 內插器 202 的第一表面 212 (圖 9 中的方塊 910)。製作製程 900 中的下一步是將第二晶粒 206 的第二晶粒互連 224 耦合到第一 RDL 金屬化層 208 (圖 9 中的方塊 912)。

【0053】 包括促進用於頂部晶粒到底部晶粒的 3D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 RDL 金屬化層的 RDL 內插器的 3DIC 封裝 (包括但不限於圖 2A - 圖 7 中的 3DIC 封裝, 包括相應的圖 2A - 圖 8 中的 3DIC 封裝 200、300、400、500、600、700、800) 可以在其他製作製程中製作。例如, 圖 10A - 圖 10D 是圖示製作包括被耦合到包括底部晶粒的 RDL 內插器的頂部晶粒的 3DIC 封裝的示例性製作製程 1000 的流程圖, 並且其中 RDL 內插器亦為頂部晶粒及 / 或底部晶粒提供信號路由路徑。圖 11A - 圖 11H 圖示根據圖 10A - 圖 10D 中的示例性 3DIC 製作製程 1000 的示例性製作階段 1100A - 1100H。圖 10A - 圖 10D 中的製作製程 1000 不限於製作圖 2A 和圖 2B 中的 3DIC 封裝 200。

【0054】 就該點而言, 如圖 11A 中的示例性製作階段 1100A 中所示, 製作製程 1000 中的第一步是提供將在最終的 3DIC 封裝中充當底部晶粒的晶粒 1104 (圖 10A 中的方塊 1002)。晶粒 1104 可以被製作, 作為單獨的製作製程的部分, 其中複數個晶粒 1104 被形成在半導體晶圓上並且

隨後隨後被切分並且清潔以形成單獨的晶粒 1104。如圖 11B 中的示例性製作階段 1100B 中所示，製作製程 1000 中的下一步是將晶粒 1104 耦合（例如，安裝）到載體 1102（圖 10A 中的方塊 1004）。此舉允許在製作製程 1000 期間經由處理載體 1102 來操縱晶粒 1104。底部晶粒 1104 的主動面 1130 被耦合到載體 1102 的第一頂表面 1106，使得晶粒互連 1128 與載體 1102 的第一頂表面 1106 相鄰。

【0055】 如圖 11C 中的示例性製作階段 1100C 中所示，製作製程 1000 中的下一步是在被耦合到載體 1102 的晶粒 1104 之上形成包覆成型層 1107（圖 10B 中的方塊 1006）。包覆成型層 1108 是經由在晶粒 204 上並且相鄰於晶粒 204 設置包覆成型材料 1100 來形成在載體 1102 的第一表面 1106 上。包覆成型層 1107 保護並絕緣晶粒 1104。作為實例，包覆成型層 1107 可以經由在晶粒 204 上並且相鄰於晶粒 204 旋塗或以其他方式設置氧化物層 1112 來形成在載體 1102 的第一表面 1106 上。隨後，如圖 11D 中的示例性製作階段 1100D 中所示，製作製程 1000 中的下一步是由包覆成型層 1107 形成第一 RDL 金屬化層 1108。第一 RDL 金屬化層 1108 是經由在包覆成型層 1107 中向下形成重分佈金屬互連 1120 到載體 1102 的第一表面 1106 並且在包覆成型層 1107 中並且穿過晶粒 1104 以耦合到晶粒互連 1128 形成過孔 1118 來形成的（圖 10B 中的方塊 1008）。作為實例，金屬互連 1120 是貫穿模製物過孔（TMV）。金屬互連 1120 和過孔 1118 可以是由金屬（例

如，銅）電鍍製程形成的，其中包覆成型層 1107 被圖案化以形成在其中將形成金屬互連 1120 和過孔 1118 的開口。隨後金屬材料設置在開口中，並且包覆成型層 1107 上的頂表面 1114（圖 11C）上的剩餘殘留金屬材料被拋光，並且包覆成型層 1107 被研磨以移除殘留金屬材料並經由包覆成型層 1107 的頂表面 1116 暴露金屬互連 1120 和過孔 1118（圖 11D）。

【0056】 如圖 11E 中的示例性製作階段 1100E 中所示，製作製程 1000 中的下一步是在第一 RDL 金屬化層 1108 上形成另一 RDL 金屬化層 1124 作為內插器基板，在第一 RDL 金屬化層 1108 中設置底部晶粒 1104（圖 10C 中的方塊 1010）。金屬互連 1122 被形成，作為形成第二 RDL 金屬化層 1124 的部分。金屬互連 1122 被耦合到金屬互連 1120 以及延伸穿過第一 RDL 金屬化層 1108 的過孔 1118。如圖 11F 中的示例性製作階段 1100F 中所示，製作製程 1000 中的下一步是從第一 RDL 金屬化層 1108 移除載體 1102（圖 10C 中的方塊 1012）。此後，可以清潔第一 RDL 金屬化層 1108 的頂表面 1126。在該實例中，第一 RDL 金屬化層 1108 和第二 RDL 金屬化層 1124 形成 RDL 內插器 1125。

【0057】 隨後，如圖 11G 中的示例性製作階段 1100G 中所示，製作製程 1000 中的下一步是將頂部晶粒 1134 耦合（例如，接合）到底部晶粒 1104 和第一 RDL 金屬化層 1108 的頂表面 1126，以形成 3DIC 封裝 1136（圖 10D 中的方塊 1014）。頂部晶粒 1134 的晶粒互連 1138 與金屬互連 1120

的暴露的表面以及底部晶粒 1104 的晶粒互連 1128 對準，以將頂部晶粒 1134 的晶粒互連 1138 耦合到金屬互連 1120 以及延伸穿過底部晶粒 1104 的過孔 1118。此舉是晶粒到晶圓的耦合或接合製程。該晶粒到晶圓的耦合或接合製程提供頂部晶粒 1134 與 RDL 內插器 1125 之間的電耦合。隨後，如圖 11H 中的示例性製作階段 1100H 中所示，製作製程 1000 中的下一步是在頂部晶粒 1134 之上並且相鄰於頂部晶粒 1134 在第一 RDL 金屬化層 1108 上形成包覆成型層 1140，以形成 3DIC 封裝 1136（圖 10D 中的方塊 1016）。亦形成與 RDL 內插器 1125 中的金屬互連接觸的外部互連 1142。

【0058】 包括促進用於頂部晶粒到底部晶粒的 3D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 RDL 金屬化層的 RDL 內插器的 3DIC 封裝（包括但不限於圖 2A - 圖 8 和圖 11A - 圖 11H 中，以及根據圖 9 和圖 10A - 圖 10D 中的示例性製作製程，以及根據本文中所揭示的任何態樣的 3DIC 封裝）可以被提供在或整合到任何基於處理器的設備中。實例（而沒有限制）包括機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、行動位置資料單元、全球定位系統（GPS）設備、行動電話、蜂巢式電話、智慧型電話、通信期啟動協定（SIP）電話、平板電腦、平板手機、伺服器、電腦、可攜式電腦、行動計算設備、可穿戴計算設備（例如，智慧手錶、健康或健身追蹤器、眼鏡等）、桌上型電

腦、個人數位助理（PDA）、監測器、電腦監視器、電視、調諧器、收音機、衛星無線電設備、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊光碟（DVD）播放機、可攜式數位視訊播放機、汽車、車輛元件、航空電子系統、無人機和多旋翼飛行器。

【0059】 就該點而言，圖12圖示基於處理器的系統1200的實例。基於處理器的系統1200的元件是IC 1202。基於處理器的系統1200中的IC 1202中的一些或全部IC 1202可以被提供作為包括促進用於頂部晶粒到底部晶粒的3D堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及/或底部晶粒提供信號路由路徑的一或多個RDL金屬化層的RDL內插器的3DIC封裝，包括但不限於圖2A-圖8和圖11A-圖11H中，以及根據圖9和圖10A-圖10D中的示例性製作製程，以及根據本文中所揭示的任何態樣的3DIC封裝。在該實例中，基於處理器的系統1200可以被形成為IC封裝1204和晶片上系統（SoC）1206。基於處理器的系統1200包括CPU 1208，CPU 1208包括亦可以被稱為CPU核心或處理器核心的一或多個處理器1210。CPU 1208可以具有被耦合到CPU 1208以用於快速存取臨時儲存的資料的快取記憶體1212。CPU 1208被耦合到系統匯流排1214，並且可以相互耦合被包括在基於處理器的系統1200中的主設備和從設備。眾所周知，CPU 1208經由在系統匯流排1214之上交換位址、控制和資料資訊來與該

等其他設備進行通訊。例如，CPU 1208 可以將匯流排事務請求傳送給作為從設備的實例的記憶體控制器 1216。儘管在圖 12 中未圖示，但是可以提供多個系統匯流排 1214，其中每個系統匯流排 1214 構成不同構造。

【0060】 其他主設備和從設備可以被連接到系統匯流排 1214。如圖 12 中所示，該等設備可以包括記憶體系統 1220（其包括記憶體控制器 1216 和記憶體陣列 1218）、一或多個輸入設備 1222、一或多個輸出設備 1224、一或多個網路介面設備 1226 以及一或多個顯示器控制器 1228（作為實例）。記憶體系統 1220、一或多個輸入設備 1222、一或多個輸出設備 1224、一或多個網路介面設備 1226 以及一或多個顯示器控制器 1228 之每一者可以被提供在相同或不同電路封裝中。輸入設備 1222 可以包括任何類型的輸入設備，包括但不限於輸入鍵、開關、語音處理器等。輸出設備 1224 可以包括任何類型的輸出設備，包括但不限於音訊、視訊、其他視覺指示器等。網路介面設備 1226 可以是被配置為允許將資料交換到網路 1230 並從網路 1230 交換資料的任何設備。網路 1230 可以是任何類型的網路，包括但不限於有線或無線網路、私人或公共網路、區域網路（LAN）、無線區域網路（WLAN）、廣域網路（WAN）、藍芽™ 網路以及網際網路。網路介面設備 1226 可以被配置為支援所期望的任何類型的通訊協定。

【0061】 CPU 1208 亦可以被配置為在系統匯流排 1214 之上存取顯示器控制器 1228，以控制發送給一或多個顯示

器 1 2 3 2 的資訊。顯示器控制器 1 2 2 8 將資訊發送給顯示器 1 2 3 2，以經由一或多個視訊處理器 1 2 3 4 來顯示，一或多個視訊處理器 1 2 3 4 將要顯示的資訊處理成適合顯示器 1 2 3 2 的格式。顯示器控制器 1 2 2 8 和視訊處理器 1 2 3 4 可以被包括作為 IC 封裝 1 2 0 4 以及相同或不同的電路封裝，以及被包括在包含 CPU 1 2 0 8（作為實例）的相同或不同電路封裝中。顯示器 1 2 3 2 可以包括任何類型的顯示器，包括但不限於陰極射線管（CRT）、液晶顯示器（LCD）、電漿顯示器、發光二極體（LED）顯示器等。

【0062】 圖 1 3 圖示包括由一或多個 IC 1 3 0 2 形成的射頻（RF）元件的示例性無線通訊設備 1 3 0 0。IC 1 3 0 2 中的任何 IC 1 3 0 2 可以包括 3 D IC 封裝（包括但不限於圖 2 A - 圖 8 和圖 1 1 A - 圖 1 1 H 中，以及根據圖 9 和圖 1 0 A - 圖 1 0 D 中的示例性製作製程，以及根據本文中所揭示的任何態樣的 3 D IC 封裝），該 3 D IC 封裝包括促進用於頂部晶粒到底部晶粒的 3 D 堆疊的擴展的晶粒區域並且亦包括用於為頂部晶粒及 / 或底部晶粒提供信號路由路徑的一或多個 R D L 金屬化層的 R D L 內插器。作為實例，無線通訊設備 1 3 0 0 可以包括以上提及的設備中的任何設備或可以被提供在以上提及的設備中的任何設備中。如圖 1 3 中所示，無線通訊設備 1 3 0 0 包括收發機 1 3 0 4 和資料處理器 1 3 0 6。資料處理器 1 3 0 6 可以包括用於儲存資料和程式碼的記憶體。收發機 1 3 0 4 可以包括支援雙向通訊的傳輸器 1 3 0 8 和接收器 1 3 1 0。通常，無線通訊設備 1 3 0 0 可以包括任何數量的傳

輸器 1308 及 / 或接收器 1310 以用於任何數量的通訊系統和頻帶。收發機 1304 的全部或一部分可以被實現在一或多個類比 IC、RFIC、混合信號 IC 等上。

【0063】 傳輸器 1308 或接收器 1310 可以採用超外差式架構或直接轉換架構來實現。在超外差式架構中，信號在多個階段中在 RF 與基頻之間進行變頻，例如，在一個階段中從 RF 到中頻 (IF)，並且隨後在另一階段中從 IF 到基頻以用於接收器 1310。在直接轉換架構中，信號在一個階段中在 RF 與基頻之間進行變頻。超外差式架構和直接轉換架構可以使用不同的電路區塊及 / 或具有不同的要求。在圖 13 中的無線通訊設備 1300 中，傳輸器 1308 和接收器 1310 是採用直接轉換架構來實現的。

【0064】 在傳輸路徑中，資料處理器 1306 處理要被傳輸的資料，並且將 I 和 Q 類比輸出信號提供給傳輸器 1308。在示例性無線通訊設備 1300 中，資料處理器 1306 包括數位 - 類比轉換器 (DAC) 1312(1)、1312(2)，其用於將由資料處理器 1306 產生的數位信號轉換成 I 和 Q 類比輸出信號(例如，I 和 Q 輸出電流)，以供進一步處理。

【0065】 在傳輸器 1308 內，低通濾波器 1314(1)、1314(2) 分別對 I 和 Q 類比輸出信號進行濾波，以移除由先前數位 - 類比轉換導致的非期望的信號。放大器 (AMP) 1316(1)、1316(2) 分別放大來自低通濾波器 1314(1)、1314(2) 的信號，並且提供 I 和 Q 基頻信號。升頻轉換器 1318 經由來自傳輸 (TX) 本端振盪器 (LO) 信號產生器

1322 的混頻器 1320(1)、1320(2) 採用 I 和 Q TX LO 信號對 I 和 Q 基頻信號進行升頻轉換，以提供經升頻轉換的信號 1324。濾波器 1326 對經升頻轉換的信號 1324 進行濾波，以移除頻率升頻轉換所引起的非期望信號以及接收頻帶中的雜訊。功率放大器(PA)1328 放大來自濾波器 1326 的經升頻轉換的信號 1324 以獲得期望輸出功率位準，並且提供傳輸 RF 信號。傳輸 RF 信號經由雙工器或開關 1330 路由，並且由天線 1332 傳輸。

【0066】 在接收路徑中，天線 1332 接收由基地站傳輸的信號，並且提供所接收的 RF 信號，該所接收的 RF 信號經由雙工器或開關 1330 路由並且被提供給低雜訊放大器(LNA) 1334。雙工器或開關 1330 被設計為採用特定接收(RX)至 TX 雙工器頻率間隔進行操作，使得 RX 信號與 TX 信號隔離。所接收的 RF 信號由 LNA 1334 進行放大，並且由濾波器 1336 進行濾波，以獲得期望 RF 輸入信號。降頻轉換混頻器 1338(1)、1338(2) 將濾波器 1336 的輸出與來自 RX LO 信號產生器 1340 的 I 和 Q RX LO 信號(亦即，LO_I 和 LO_Q) 進行混頻，以產生 I 和 Q 基頻信號。I 和 Q 基頻信號由 AMP 1342(1)、1342(2) 進行放大，並且亦由低通濾波器 1344(1)、1344(2) 進行濾波，以獲得 I 和 Q 類比輸入信號，I 和 Q 類比輸入信號被提供給資料處理器 1306。在該實例中，資料處理器 1306 包括類比-數位轉換器(ADC) 1346(1)、1346(2)，用於將類比輸入信號轉換成數位信號，以供資料處理器 1306 進行進一步處理。

【0067】 在圖 13 的無線通訊設備 1300 中，TX LO 信號產生器 1322 產生用於頻率升頻轉換的 I 和 Q TX LO 信號，而 RX LO 信號產生器 1340 產生用於頻率降頻轉換的 I 和 Q RX LO 信號。每個 LO 信號皆是具有特定基頻的週期性信號。TX 鎖相迴路 (PLL) 電路 1348 從資料處理器 1306 接收時序資訊，並且產生用於調整來自 TX LO 信號產生器 1322 的 TX LO 信號的頻率及 / 或相位的控制信號。類似地，RX PLL 電路 1350 從資料處理器 1306 接收時序資訊，並且產生用於調整來自 RX LO 信號產生器 1340 的 RX LO 信號的頻率及 / 或相位的控制信號。

【0068】 注意，如本文中所使用的術語「頂部」和「底部」是相對術語。如圖中所示，被稱為「頂部」元件的元件在第二垂直方向上設置在被稱為「底部」元件的另一元件上方。然而，此舉並非限制性的。在相反的取向上，被稱為「頂部」元件的元件可以在被稱為「底部」元件的另一元件下方。

【0069】 熟習此項技術者亦將認識到的是，結合本文中所揭示的態樣進行描述的各個示意性邏輯方塊、模組、電路和演算法可以被實現為電子硬體、被儲存在記憶體或另一電腦可讀取媒體中的指令，其中任何此種指令由處理器或其他處理設備或兩者的組合來執行。本文中揭示的記憶體可以是任何類型和大小的記憶體，並且可以被配置為儲存任何類型的期望的資訊。為了清楚地說明此種可互換性，已經在其功能性態樣大致描述了各種示意性元件、方塊、

模組、電路和步驟。此種功能性如何被實現取決於特定的應用、設計選擇，及/或對整體系統提出的設計約束條件。熟習此項技術者可以針對每種具體應用經由不同方式實現所述的功能，但此種實現決定不應被視為造成脫離本案內容的範疇。

【0070】 結合本文中揭示的態樣描述的各種示意性邏輯方塊、模組及電路可以採用處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、現場可程式設計閘陣列(FPGA)，或其他可程式設計邏輯設備、個別閘門或電晶體邏輯、離散硬體元件，或其任何被設計用於執行本文中所描述功能的組合來實現或執行。處理器可以是微處理器，但是在替代方案中，處理器可以是任何習知的處理器、控制器、微控制器或者狀態機。處理器亦可被實現為計算設備的組合(例如，DSP與微處理器的組合、複數個微處理器、一或多個微處理器與DSP核心，或任何其他此種配置)。

【0071】 本文中揭示的態樣可以被體現在硬體以及被儲存在硬體的指令中，並且可以位於例如隨機存取記憶體(RAM)、快閃記憶體、唯讀記憶體(ROM)、電可程式設計ROM(EPROM)、電子可抹除可程式設計ROM(EEPROM)、暫存器、硬碟、抽取式磁碟、CD-ROM，或本領域中已知的任何其他形式的電腦可讀取媒體。示例性儲存媒體被耦合到處理器，使得處理器可以從儲存媒體讀取資訊，以及將資訊寫入儲存媒體。在替代方案中，儲

存媒體可以被整合到處理器。處理器和儲存媒體可位於ASIC中。ASIC可位於遠端站中。在替代方案中，處理器和儲存媒體可作為個別元件位於遠端站、基地站或伺服器中。

【0072】 亦應注意，在本文中的示例性態樣中的任何示例性態樣中描述的操作步驟被描述以提供實例和論述。所描述的操作可以以除所示的順序外的許多不同的順序來執行。此外，在單個操作步驟中描述的操作實際上可以在多個不同的步驟中執行。另外，在示例性態樣中論述的一或多個操作步驟可以被組合。應當理解的是，如對於熟習此項技術者將是易於顯而易見的，流程示意圖中所示的操作步驟可以經受許多不同的修改。熟習此項技術者亦將理解，可以使用多種不同的技術和方法中的任何技術和方法來表示資訊和信號。例如，可以用電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其任意組合來表示整個以上描述中提到的資料、指令、命令、資訊、信號、位元、符號和碼片。

【0073】 提供本案內容的前面描述以使任何熟習此項技術者能夠製造或使用本案內容。對於熟習此項技術者，對本案內容的各種修改將是易於顯而易見的，並且本文中所定義的一般原理可以被應用於其他變化。因此，本案內容並非意在限於本文中所述的實例和設計，而是應為其賦予與本文中所揭示的原理和新穎特徵相一致的最寬範疇。

【0074】 在以下編號的條款中描述了實現方式實例：

1、一種積體電路（IC）封裝，包括：

內插器，其包括：

第一表面以及與該第一表面相對的第二表面；及

在該第一表面與該第二表面之間的一或多個RDL金屬化層；

第一晶粒，其設置在該內插器中，

該第一晶粒包括被耦合到該一或多個RDL金屬化層中的第一RDL金屬化層中的第一金屬互連的第一晶粒互連；及

第二晶粒，其被耦合到該內插器的該第一表面，

該第二晶粒包括被耦合到該第一RDL金屬化層的第二晶粒互連。

2、根據條款1之IC封裝，其中：

該內插器在第一方向上延伸；

該第二表面在正交於該第一方向的第二方向上與該第一表面相對；並且

該一或多個RDL金屬化層在該第二方向上設置在該第一表面與該第二表面之間。

3、根據條款1或2之IC封裝，其中該第一晶粒與該第一RDL金屬化層相鄰。

4、根據條款1或2之IC封裝，其中：

該一或多個RDL金屬化層亦包括第二RDL金屬化層；並且

該第一晶粒亦包括被耦合到該第二RDL金屬化層中的第三金屬互連的第三晶粒互連。

5、根據條款1至4中的任一項之IC封裝，其中：

該第二晶粒互連被耦合到該第一RDL金屬化層中的第二金屬互連；並且

該第二金屬互連被重分佈在被耦合到該內插器的該第一表面的該第二晶粒的第二區域外部的該第一RDL金屬化層的第一區域外部。

6、根據條款5之IC封裝，其中該第一金屬互連被耦合到該第二金屬互連。

7、根據條款5之IC封裝，其中：

該第二晶粒與該第一晶粒共享第一共用平面；並且

該第二晶粒的該第二晶粒互連被耦合到該第一晶粒的第三晶粒互連。

8、根據條款1至7中的任一項之IC封裝，其中：

該第一晶粒包括與該第一表面相鄰的第一主動面以及從該第一主動面暴露的第三晶粒互連；

該第二晶粒包括與該第一表面相鄰的第二主動面，其中該第二晶粒互連是從該第二主動面暴露的；並且

該第二晶粒的該第二晶粒互連被接合到該第一晶粒的該第三晶粒互連。

9、根據條款1至7中的任一項之IC封裝，其中：

該第一晶粒包括與該第一表面相鄰的第一非主動面以及從該第一非主動面暴露的第三晶粒互連；

該第二晶粒包括與該第一表面相鄰的第二主動面，其中該第二晶粒互連是從該第二主動面暴露的；並且

該第二晶粒的該第二晶粒互連被接合到該第一晶粒的該第三晶粒互連。

10、根據條款1-9中的任一項之IC封裝，亦包括：穿過該第一晶粒設置的第一過孔；

其中該第二晶粒的該第二晶粒互連被耦合到該第一過孔。

11、根據條款1至10中的任一項之IC封裝，亦包括：從該內插器的該第一表面延伸到該內插器的該第二表面的第一過孔；

其中該第二晶粒的該第二晶粒互連被耦合到該第一過孔。

12、根據條款1至11中的任一項之IC封裝，亦包括：被耦合到在該內插器中的該第一晶粒的第二區域外部的該內插器的該第一表面上的第一區域的第三晶粒；

其中該第三晶粒包括被耦合到該第一RDL金屬化層的第二金屬互連的第三晶粒互連。

13、根據條款1或2之IC封裝，亦包括：設置在該第一RDL金屬化層中的第三晶粒，

該第三晶粒包括被耦合到該第一RDL金屬化層中的第二金屬互連的第三晶粒互連。

14、根據條款13之IC封裝，其中該第三晶粒不通訊地耦合到該第二晶粒。

15、根據條款1至14中的任一項之IC封裝，亦包括：

被耦合到該內插器的底表面的一或多個外部互連，該一或多個外部互連各被耦合到該第一RDL金屬化層中的一或多個第二金屬互連；及

被耦合到該一或多個外部互連的封裝基板。

16、根據條款15之IC封裝，其中該一或多個外部互連包括一或多個球柵陣列（BGA）互連。

17、根據條款1至16中的任一項之IC封裝，其中：

該第二晶粒亦包括整合電容器；

該第二晶粒亦包括第三晶粒互連；並且

該第三晶粒互連被耦合到該整合電容器以及該第一RDL金屬化層的第二金屬互連。

18、根據條款1至17中的任一項之IC封裝被整合到從由以下各項組成的群組中選擇的設備中：機上盒；娛樂單元；導航設備；通訊設備；固定位置資料單元；行動位置資料單元；全球定位系統（GPS）設備；行動電話；蜂巢式電話；智慧型電話；通信期啟動協定（SIP）電話；平板電腦；平板手機；伺服器；電腦；可攜式電腦；行動計算設備；可穿戴計算設備；桌上型電腦；個人數位助理（PDA）；監測器；電腦監視器；電視；調諧器；收音機；衛星無線電設備；音樂播放機；數位音樂播放機；可攜式音樂播放機；數位視訊播放機；視訊播放機；數位視訊光碟（DVD）播放機；可攜式數位視訊播放機；汽車；車輛元件；航空電子系統；無人機；及多旋翼飛行器。

19、一種製作積體電路（IC）封裝的方法，包括以下步驟：形成內插器，包括：

形成與第一晶粒相鄰的第一RDL金屬化層，該第一RDL金屬化層包括第一表面以及與該第一表面相對的第二表面；及

將該第一晶粒的第一晶粒互連耦合到該第一RDL金屬化層中的第一金屬互連；

將第二晶粒耦合到該內插器的該第一表面；及

將該第二晶粒的第二晶粒互連耦合到該第一RDL金屬化層。

20、根據條款19之方法，亦包括以下步驟：

形成包括第二金屬互連的第二RDL金屬化層；及

將該第一晶粒的第三晶粒互連耦合到該第二RDL金屬化層中的該第二金屬互連。

21、根據條款19或20之方法，亦包括以下步驟：將該第一RDL金屬化層中的第二金屬互連形成到被耦合到該內插器的該第一表面的該第二晶粒的第二區域外部的該第一RDL金屬化層的第一區域；

其中將該第二晶粒的該第二晶粒互連耦合到該第一RDL金屬化層包括：將該第二晶粒互連耦合到該第一RDL金屬化層中的該第二金屬互連。

22、根據條款19至21中的任一項之方法，其中將該第二晶粒耦合到該內插器的該第一表面包括：將該第二晶粒的第二主動面接合到該第一RDL金屬化層的該第一表面並且相鄰於該第一晶粒的第一主動面。

23、根據條款19至21中的任一項之方法，其中將該第二晶粒耦合到該內插器的該第一表面包括：將該第二晶粒的第二主動面接合到該第一RDL金屬化層的該第一表面並且相鄰於該第一晶粒的第一非主動面。

24、根據條款19-23中的任一項之方法，亦包括以下步驟：設置穿過該第一晶粒的第一過孔；

其中將該第二晶粒的該第二晶粒互連耦合到該第一RDL金屬化層包括：將該第二晶粒的該第二晶粒互連耦合到該第一過孔。

25、根據條款19至24中的任一項之方法，亦包括以下步驟：形成從該內插器的該第一表面延伸到該內插器的該第二表面的第一過孔；

其中將該第二晶粒的該第二晶粒互連耦合到該第一RDL金屬化層包括：將該第二晶粒的該第二晶粒互連耦合到該第一過孔。

26、根據條款19至25中的任一項之方法，亦包括以下步驟：將第三晶粒耦合到該內插器中的該第一晶粒的第二區域外部的該內插器的該第一表面上的第一區域；及

將該第三晶粒的第三晶粒互連耦合到該第一RDL金屬化層的第二金屬互連。

27、根據條款19至26中的任一項之方法，亦包括以下步驟：將第三晶粒設置在該第一RDL金屬化層中；及

將該第三晶粒的第三晶粒互連耦合到該第一RDL金屬化層中的第二金屬互連。

28、根據條款27之方法，亦包括以下步驟：不將該第三晶粒通訊地耦合到該第二晶粒。

29、根據條款19-28中的任一項之方法，亦包括以下步驟：在該第一RDL金屬化層的該第一表面上形成包覆成型層，該包覆成型層相鄰於該第二晶粒。

【符號說明】

【0075】

100:3DIC封裝

104(1):晶粒

104(2):晶粒

106(1):晶粒封裝

106(2):晶粒封裝

108:封裝基板

110:金屬化層

112:核心基板

114:金屬化層

116:晶粒互連

118:金屬互連

120:金屬互連

122:金屬互連

124:外部互連

126(1):第一主動側

126(2):第二非主動側

128:內插器基板

- 1 3 0 : 封 裝 模 製 物
- 1 3 2 : 金 屬 化 層
- 1 3 4 : 金 屬 互 連
- 1 3 6 : 外 部 互 連
- 1 3 8 : 垂 直 互 連
- 1 4 0 : 第 一 底 表 面
- 1 4 2 : 第 一 頂 表 面
- 2 0 0 : 3 D I C 封 裝
- 2 0 2 : 內 插 器
- 2 0 4 (1) : 第 一 底 部 晶 粒
- 2 0 4 (2) : 第 一 底 部 晶 粒
- 2 0 4 (3) : 第 一 底 部 晶 粒
- 2 0 6 : 頂 部 晶 粒
- 2 0 8 : 第 一 R D L 金 屬 化 層
- 2 1 0 : 內 插 器 基 板
- 2 1 2 : 第 一 頂 表 面
- 2 1 4 : 第 二 表 面
- 2 1 6 : 金 屬 互 連
- 2 1 6 (1) : 金 屬 互 連
- 2 1 6 (2) : 金 屬 互 連
- 2 1 6 (3) : 金 屬 互 連
- 2 1 7 : 外 部 互 連
- 2 1 8 (1) : 過 孔
- 2 1 8 (2) : 過 孔

2 1 8 (3) : 過 孔
2 1 9 : 金 屬 互 連
2 2 0 (1) : 金 屬 化 層
2 2 0 (2) : 金 屬 化 層
2 2 2 : 印 刷 電 路 板 (P C B)
2 2 4 : 晶 粒 互 連
2 2 6 : 主 動 面
2 2 8 (1) : 晶 粒 互 連
2 2 8 (2) : 晶 粒 互 連
2 2 8 (3) : 晶 粒 互 連
2 3 0 (1) : 主 動 面
2 3 0 (2) : 主 動 面
2 3 0 (3) : 主 動 面
2 3 2 (1) : 背 側 非 主 動 面
2 3 2 (2) : 背 側 非 主 動 面
2 3 2 (3) : 背 側 非 主 動 面
3 0 0 : 3 D I C 封 裝
3 0 2 : 內 插 器
3 0 4 : 底 部 晶 粒
3 0 6 (1) : 頂 部 晶 粒
3 0 6 (2) : 頂 部 晶 粒
3 1 2 : 第 一 頂 表 面
3 1 4 : 第 二 外 表 面
3 1 6 : 金 屬 互 連

3 1 6 (2) : 金 屬 互 連
3 1 6 (3) : 金 屬 互 連
3 1 8 : 過 孔
3 2 4 (1) : 晶 粒 互 連
3 2 4 (2) : 晶 粒 互 連
3 2 6 (1) : 主 動 面
3 2 6 (2) : 主 動 面
3 2 8 : 晶 粒 互 連
3 3 0 : 主 動 面
3 3 2 : 背 側 非 主 動 面
4 0 0 : 3 D I C 封 裝
4 0 2 : 內 插 器
4 0 6 (1) : 晶 粒
4 0 6 (2) : 晶 粒
4 0 8 : R D L 金 屬 化 層
4 1 0 (1) : 外 部 金 屬 互 連
4 1 0 (2) : 外 部 金 屬 互 連
4 1 6 (1) : 金 屬 互 連
4 1 6 (2) : 金 屬 互 連
4 1 6 (3) : 金 屬 互 連
5 0 0 : 3 D I C 封 裝
5 0 4 : 晶 粒
6 0 0 : 3 D I C 封 裝
6 0 2 : 內 插 器

608: RDL 金屬化層

612: 頂表面

616(1): 金屬互連

616(2): 金屬互連

616(3): 金屬互連

700: 3DIC 封裝

702: 小晶片

706: 頂部晶粒

708: 去耦電容器

710: 過孔

724: 金屬互連

800: 3DIC 封裝

802: 封裝基板

804: 外部互連

900: 製作製程

902: 方塊

904: 方塊

906: 方塊

908: 方塊

910: 方塊

912: 方塊

1000: 製作製程

1002: 方塊

1004: 方塊

1 0 0 6 : 方 塊
1 0 0 8 : 方 塊
1 0 1 0 : 方 塊
1 0 1 2 : 方 塊
1 0 1 4 : 方 塊
1 0 1 6 : 方 塊
1 1 0 0 A : 製 作 階 段
1 1 0 0 B : 製 作 階 段
1 1 0 0 C : 製 作 階 段
1 1 0 0 D : 製 作 階 段
1 1 0 0 E : 製 作 階 段
1 1 0 0 F : 製 作 階 段
1 1 0 0 G : 製 作 階 段
1 1 0 0 H : 製 作 階 段
1 1 0 2 : 載 體
1 1 0 4 : 晶 粒
1 1 0 6 : 第 一 頂 表 面
1 1 0 7 : 包 覆 成 型 層
1 1 0 8 : 包 覆 成 型 層
1 1 1 2 : 氧 化 物 層
1 1 1 4 : 頂 表 面
1 1 1 6 : 頂 表 面
1 1 1 8 : 過 孔
1 1 2 0 : 金 屬 互 連

- 1 1 2 2 : 金屬互連
- 1 1 2 4 : 第二 R D L 金屬化層
- 1 1 2 5 : R D L 內插器
- 1 1 2 6 : 頂表面
- 1 1 2 8 : 晶粒互連
- 1 1 3 0 : 主動面
- 1 1 3 4 : 頂部晶粒
- 1 1 3 6 : 3 D I C 封裝
- 1 1 3 8 : 晶粒互連
- 1 1 4 0 : 包覆成型層
- 1 1 4 2 : 外部互連
- 1 2 0 0 : 基於處理器的系統
- 1 2 0 2 : I C
- 1 2 0 4 : I C 封裝
- 1 2 0 6 : 晶片上系統 (S o C)
- 1 2 0 8 : C P U
- 1 2 1 0 : 處理器
- 1 2 1 2 : 快取記憶體
- 1 2 1 4 : 系統匯流排
- 1 2 1 6 : 記憶體控制器
- 1 2 1 8 : 記憶體陣列
- 1 2 2 0 : 記憶體系統
- 1 2 2 2 : 輸入設備
- 1 2 2 4 : 輸出設備

- 1 2 2 6 : 網路 介面 設備
- 1 2 2 8 : 顯示 器 控制 器
- 1 2 3 0 : 網路
- 1 2 3 2 : 顯示 器
- 1 2 3 4 : 視 訊 處 理 器
- 1 3 0 0 : 無 線 通 訊 設 備
- 1 3 0 2 : I C
- 1 3 0 4 : 收 發 機
- 1 3 0 6 : 資 料 處 理 器
- 1 3 0 8 : 傳 輸 器
- 1 3 1 0 : 接 收 器
- 1 3 1 2 (1) : 數 位 - 類 比 轉 換 器 (D A C)
- 1 3 1 2 (2) : 數 位 - 類 比 轉 換 器 (D A C)
- 1 3 1 4 (1) : 低 通 濾 波 器
- 1 3 1 4 (2) : 低 通 濾 波 器
- 1 3 1 6 (1) : 放 大 器 (A M P)
- 1 3 1 6 (2) : 放 大 器 (A M P)
- 1 3 1 8 : 升 頻 轉 換 器
- 1 3 2 0 (1) : 混 頻 器
- 1 3 2 0 (2) : 混 頻 器
- 1 3 2 2 : T X L O 信 號 產 生 器
- 1 3 2 4 : 經 升 頻 轉 換 的 信 號
- 1 3 2 6 : 濾 波 器
- 1 3 2 8 : 功 率 放 大 器 (P A)

1 3 3 0 : 雙工器或開關

1 3 3 2 : 天線

1 3 3 4 : L N A

1 3 3 6 : 濾波器

1 3 3 8 (1) : 降頻轉換混頻器

1 3 3 8 (2) : 降頻轉換混頻器

1 3 4 0 : R X L O 信號產生器

1 3 4 2 (1) : A M P

1 3 4 2 (2) : A M P

1 3 4 4 (1) : 低通濾波器

1 3 4 4 (2) : 低通濾波器

1 3 4 6 (1) : 類比 - 數位轉換器 (A D C)

1 3 4 6 (2) : 類比 - 數位轉換器 (A D C)

1 3 4 8 : T X 鎖相迴路 (P L L) 電路

1 3 5 0 : R X P L L 電路

A ₁ : 區域

A ₂ : 區域

A ₃ : 區域

A ₄ : 區域

A ₅ : 區域

A ₆ : 區域

A ₇ : 區域

A ₈ : 區域

H ₁ : 整體高度

P₁ : 共用垂直平面

P₂ : 共用垂直平面

P₃ : 共用垂直平面

P₄ : 共用垂直平面

P₅ : 共用垂直平面

X : 軸

Y : 軸

Z : 軸

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】 一種積體電路（IC）封裝，包括：

一內插器，其包括：

一第一表面以及與該第一表面相對的一第二表面；

及

在該第一表面與該第二表面之間的一或多個 RDL 金屬化層；

一第一晶粒，其設置在該內插器中，

該第一晶粒包括被耦合到該一或多個 RDL 金屬化層中的一第一 RDL 金屬化層中的一第一金屬互連的一第一晶粒互連；及

一第二晶粒，其被耦合到該內插器的該第一表面，

該第二晶粒包括被耦合到該第一 RDL 金屬化層的一第二晶粒互連。

【請求項 2】 根據請求項 1 之 IC 封裝，其中：

該內插器在一第一方向上延伸；

該第二表面在正交於該第一方向的一第二方向上與該第一表面相對；並且

該一或多個 RDL 金屬化層在該第二方向上設置在該第一表面與該第二表面之間。

【請求項 3】 根據請求項 1 之 IC 封裝，其中該第一晶粒與該第一 RDL 金屬化層相鄰。

【請求項 4】 根據請求項 1 之 IC 封裝，其中：

該一或多個 RDL 金屬化層亦包括一第二 RDL 金屬化

層；並且

該第一晶粒亦包括被耦合到該第二 RDL 金屬化層中的一第三金屬互連的一第三晶粒互連。

【請求項 5】 根據請求項 1 之 IC 封裝，其中：

該第二晶粒互連被耦合到該第一 RDL 金屬化層中的一第二金屬互連；並且

該第二金屬互連被重分佈在被耦合到該內插器的該第一表面的該第二晶粒的一第二區域外部的該第一 RDL 金屬化層的一第一區域外部。

【請求項 6】 根據請求項 5 之 IC 封裝，其中該第一金屬互連被耦合到該第二金屬互連。

【請求項 7】 根據請求項 5 之 IC 封裝，其中：

該第二晶粒與該第一晶粒共享一第一共用平面；並且
該第二晶粒的該第二晶粒互連被耦合到該第一晶粒的一第三晶粒互連。

【請求項 8】 根據請求項 1 之 IC 封裝，其中：

該第一晶粒包括與該第一表面相鄰的一第一主動面以及從該第一主動面暴露的一第三晶粒互連；

該第二晶粒包括與該第一表面相鄰的一第二主動面，其中該第二晶粒互連是從該第二主動面暴露的；並且

該第二晶粒的該第二晶粒互連被接合到該第一晶粒的該第三晶粒互連。

【請求項 9】 根據請求項 1 之 IC 封裝，其中：

該第一晶粒包括與該第一表面相鄰的一第一非主動面

以及從該第一非主動面暴露的一第三晶粒互連；

該第二晶粒包括與該第一表面相鄰的一第二主動面，其中該第二晶粒互連是從該第二主動面暴露的；並且

該第二晶粒的該第二晶粒互連被接合到該第一晶粒的該第三晶粒互連。

【請求項 10】根據請求項 1 之 IC 封裝，亦包括：穿過該第一晶粒設置的一第一過孔；

其中該第二晶粒的該第二晶粒互連被耦合到該第一過孔。

【請求項 11】根據請求項 1 之 IC 封裝，亦包括：從該內插器的該第一表面延伸到該內插器的該第二表面的一第一過孔；

其中該第二晶粒的該第二晶粒互連被耦合到該第一過孔。

【請求項 12】根據請求項 1 之 IC 封裝，亦包括：被耦合到該內插器中的該第一晶粒的一第二區域外部的該內插器的該第一表面上的一第一區域的一第三晶粒；

其中該第三晶粒包括被耦合到該第一 RDL 金屬化層的一第二金屬互連的一第三晶粒互連。

【請求項 13】根據請求項 1 之 IC 封裝，亦包括：設置在該第一 RDL 金屬化層中的一第三晶粒，

該第三晶粒包括被耦合到該第一 RDL 金屬化層中的一第二金屬互連的一第三晶粒互連。

【請求項 14】根據請求項 13 之 IC 封裝，其中該第三晶粒

不通訊地耦合到該第二晶粒。

【請求項 15】根據請求項 1 之 IC 封裝，亦包括：

被耦合到該內插器的一底表面的一或多個外部互連，
該一或多個外部互連各被耦合到該第一 RDL 金屬化層
中的一或多個第二金屬互連；及

被耦合到該一或多個外部互連的一封裝基板。

【請求項 16】根據請求項 15 之 IC 封裝，其中該一或多個
外部互連包括一或多個球柵陣列（BGA）互連。

【請求項 17】根據請求項 1 之 IC 封裝，其中：

該第二晶粒亦包括一整合電容器；

該第二晶粒亦包括一第三晶粒互連；並且

該第三晶粒互連被耦合到該整合電容器以及該第一
RDL 金屬化層的一第二金屬互連。

【請求項 18】根據請求項 1 之 IC 封裝，該 IC 封裝被整
合到從由以下各項組成的群組中選擇的一設備中：一機
上盒；一娛樂單元；一導航設備；一通訊設備；一固定
位置資料單元；一行動位置資料單元；一全球定位系統
（GPS）設備；一行動電話；一蜂巢式電話；一智慧型
電話；一通信期啟動協定（SIP）電話；一平板電腦；
一平板手機；一伺服器；一電腦；一可攜式電腦；一行
動計算設備；一可穿戴計算設備；一桌上型電腦；一個
人數位助理（PDA）；一監視器；一電腦監視器；一電
視；一調諧器；一收音機；一衛星無線電設備；一音樂
播放機；一數位音樂播放機；一可攜式音樂播放機；一

數位視訊播放機；一視訊播放機；一數位視訊光碟(DVD)播放機；一可攜式數位視訊播放機；一汽車；一車輛元件；航空電子系統；一無人機；及一多旋翼飛行器。

【請求項19】一種製作一積體電路(IC)封裝的方法，包括以下步驟：

形成一內插器，包括以下步驟：

形成與一第一晶粒相鄰的一第一RDL金屬化層，該第一RDL金屬化層包括一第一表面以及與該第一表面相對的一第二表面；及

將該第一晶粒的一第一晶粒互連耦合到該第一RDL金屬化層中的一第一金屬互連；

將一第二晶粒耦合到該內插器的該第一表面；及

將該第二晶粒的一第二晶粒互連耦合到該第一RDL金屬化層。

【請求項20】根據請求項19之方法，亦包括以下步驟：

形成包括一第二金屬互連的一第二RDL金屬化層；及

將該第一晶粒的一第三晶粒互連耦合到該第二RDL金屬化層中的該第二金屬互連。

【請求項21】根據請求項19之方法，亦包括以下步驟：

將該第一RDL金屬化層中的一第二金屬互連形成到被耦合到該內插器的該第一表面的該第二晶粒的一第二區域外部的該第一RDL金屬化層的一第一區域；

其中將該第二晶粒的該第二晶粒互連耦合到該第一

R D L 金屬化層之步驟包括以下步驟：將該第二晶粒互連耦合到該第一 R D L 金屬化層中的該第二金屬互連。

【請求項 2 2】根據請求項 1 9 之方法，其中將該第二晶粒耦合到該內插器的該第一表面之步驟包括以下步驟：將該第二晶粒的一第二主動面接合到該第一 R D L 金屬化層的該第一表面並且相鄰於該第一晶粒的一第一主動面。

【請求項 2 3】根據請求項 1 9 之方法，其中將該第二晶粒耦合到該內插器的該第一表面之步驟包括以下步驟：將該第二晶粒的一第二主動面接合到該第一 R D L 金屬化層的該第一表面並且相鄰於該第一晶粒的一第一非主動面。

【請求項 2 4】根據請求項 1 9 之方法，亦包括以下步驟：設置穿過該第一晶粒的一第一過孔；

其中將該第二晶粒的該第二晶粒互連耦合到該第一 R D L 金屬化層之步驟包括以下步驟：將該第二晶粒的該第二晶粒互連耦合到該第一過孔。

【請求項 2 5】根據請求項 1 9 之方法，亦包括以下步驟：形成從該內插器的該第一表面延伸到該內插器的該第二表面的一第一過孔；

其中將該第二晶粒的該第二晶粒互連耦合到該第一 R D L 金屬化層之步驟包括以下步驟：將該第二晶粒的該第二晶粒互連耦合到該第一過孔。

【請求項 2 6】根據請求項 1 9 之方法，亦包括以下步驟：

將一第三晶粒耦合到該內插器中的該第一晶粒的一第二區域外部的該內插器的該第一表面上的一第一區域；
及

將該第三晶粒的一第三晶粒互連耦合到該第一 R D L 金屬化層的一第二金屬互連。

【請求項 27】根據請求項 19 之方法，亦包括以下步驟：

將一第三晶粒設置在該第一 R D L 金屬化層中；及

將該第三晶粒的一第三晶粒互連耦合到該第一 R D L 金屬化層中的一第二金屬互連。

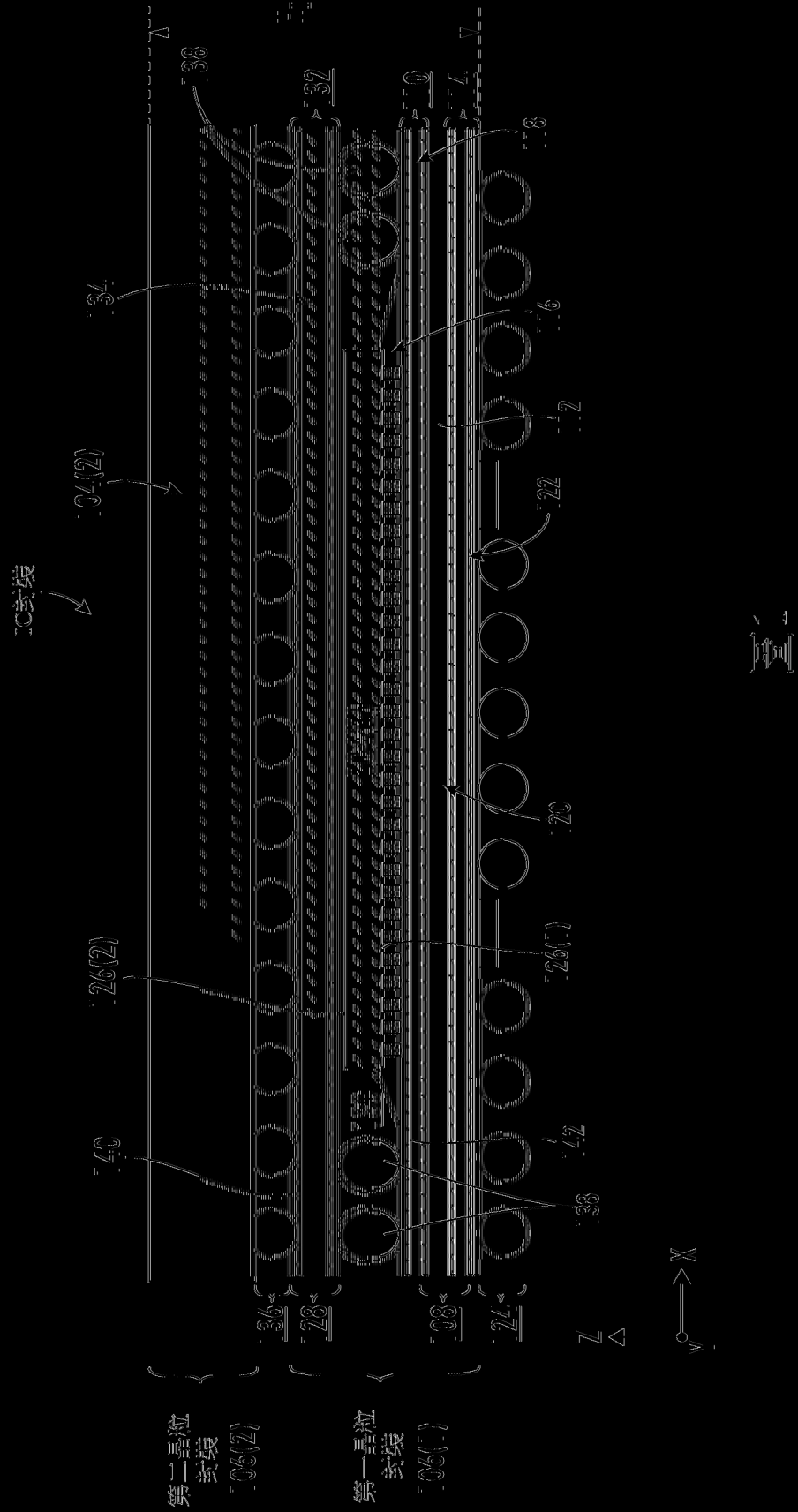
【請求項 28】根據請求項 27 之方法，亦包括以下步驟：

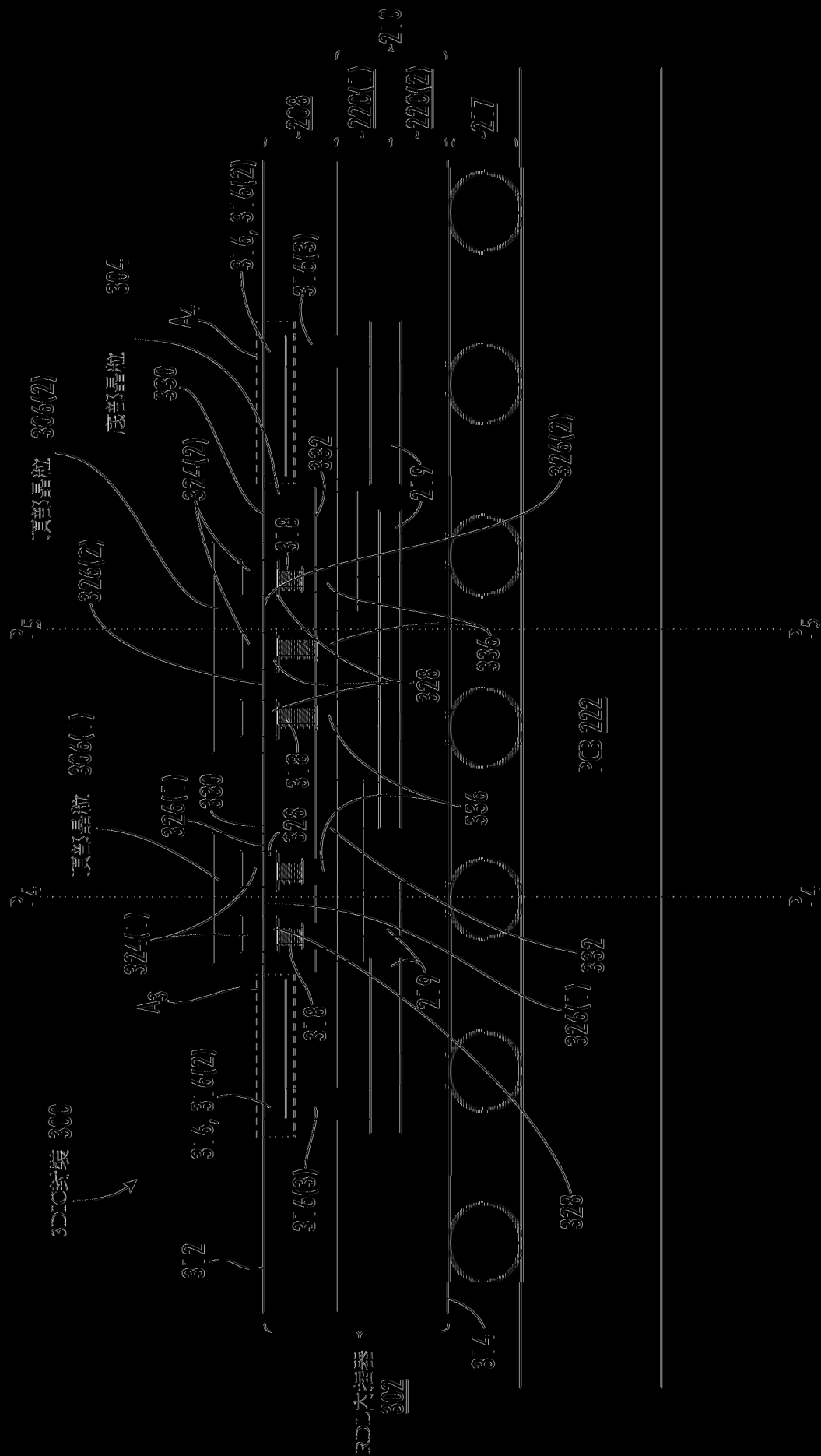
將該第三晶粒不通訊地耦合到該第二晶粒。

【請求項 29】根據請求項 19 之方法，亦包括以下步驟：

在該第一 R D L 金屬化層的該第一表面上形成一包覆成型層，該包覆成型層相鄰於該第二晶粒。

(發明圖式)





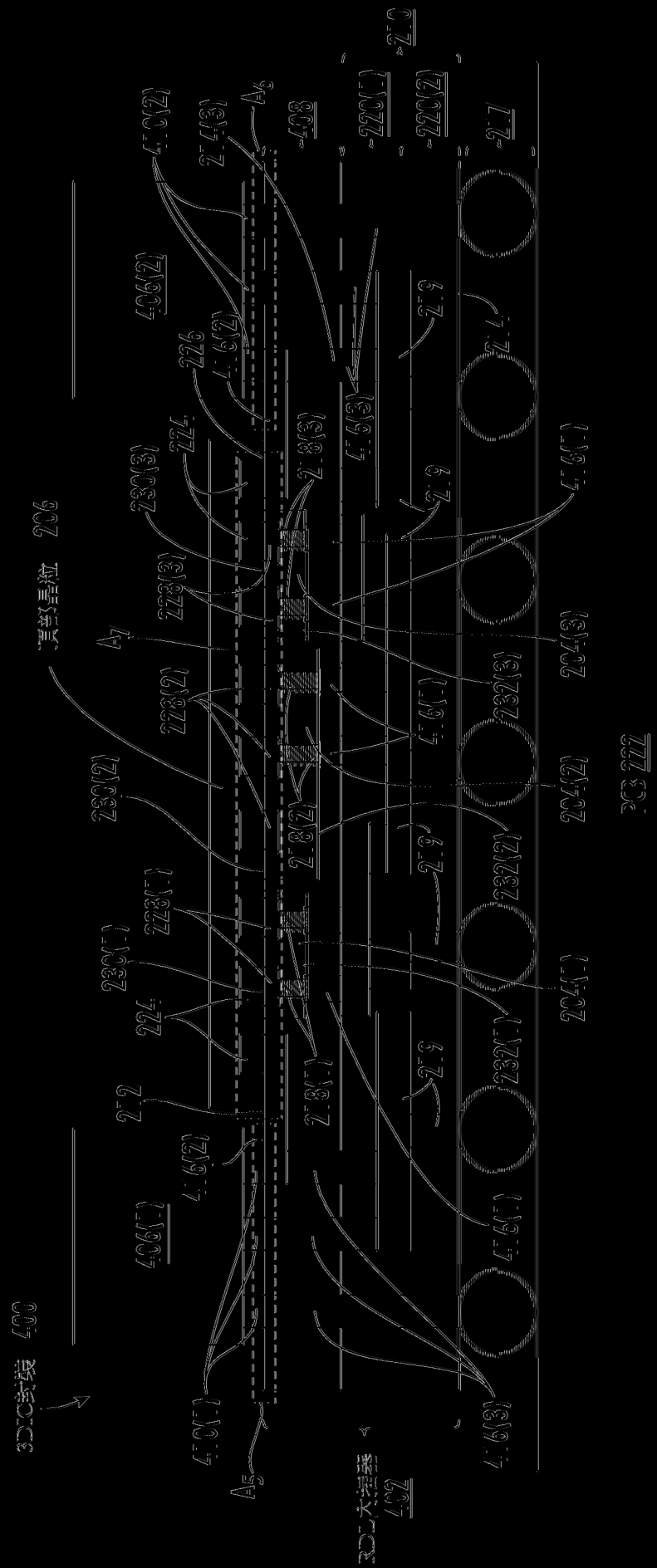
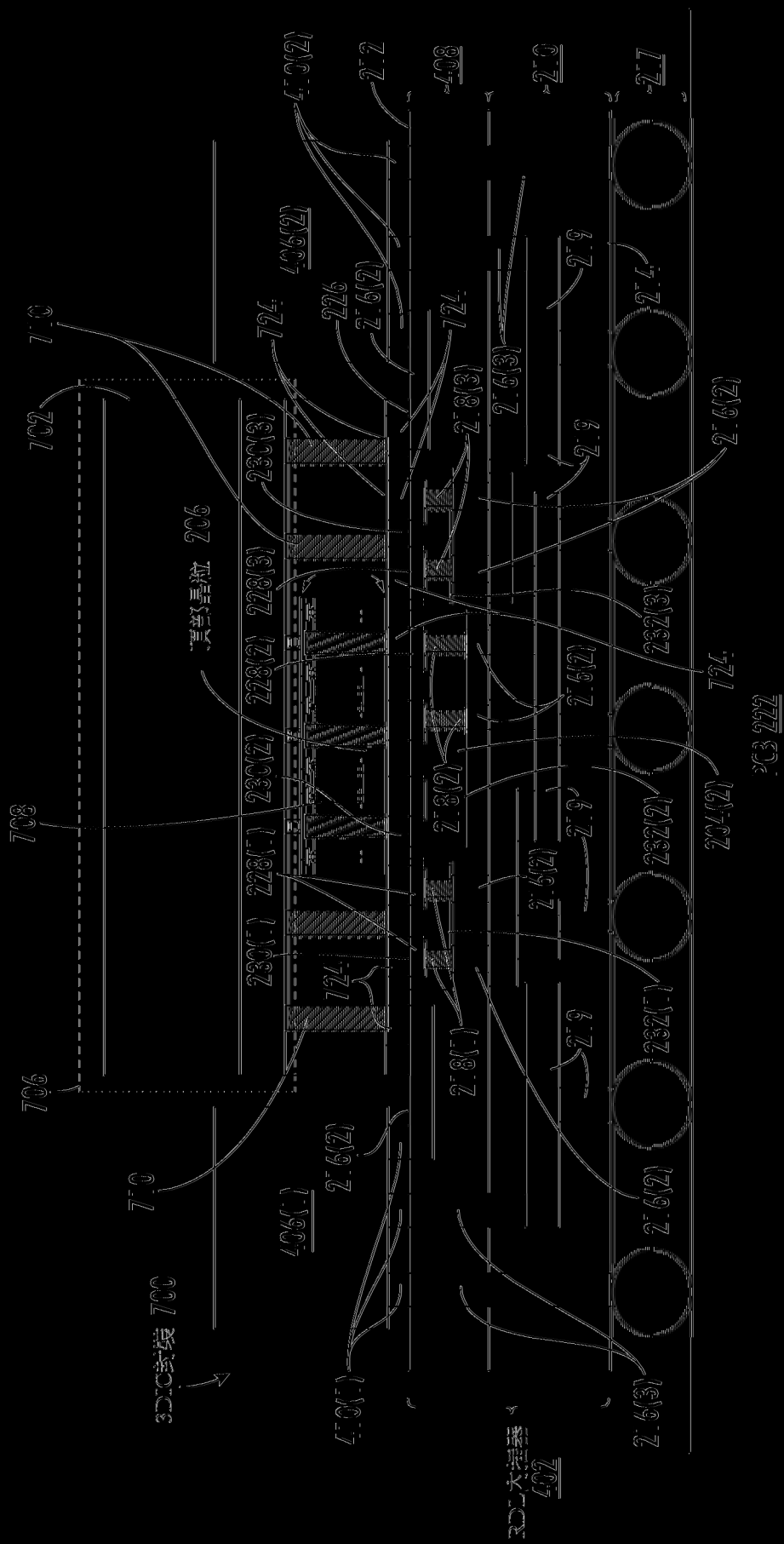


圖 1



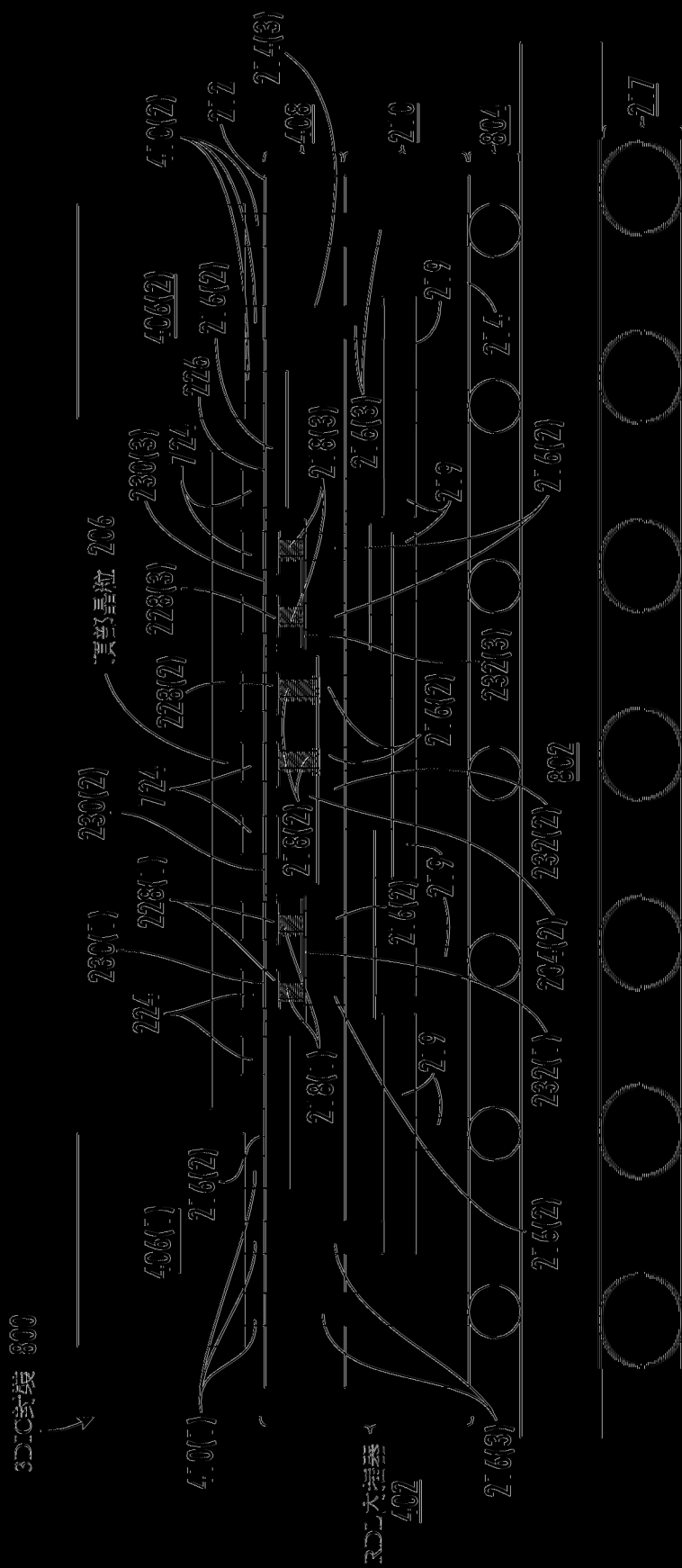


圖 3

8

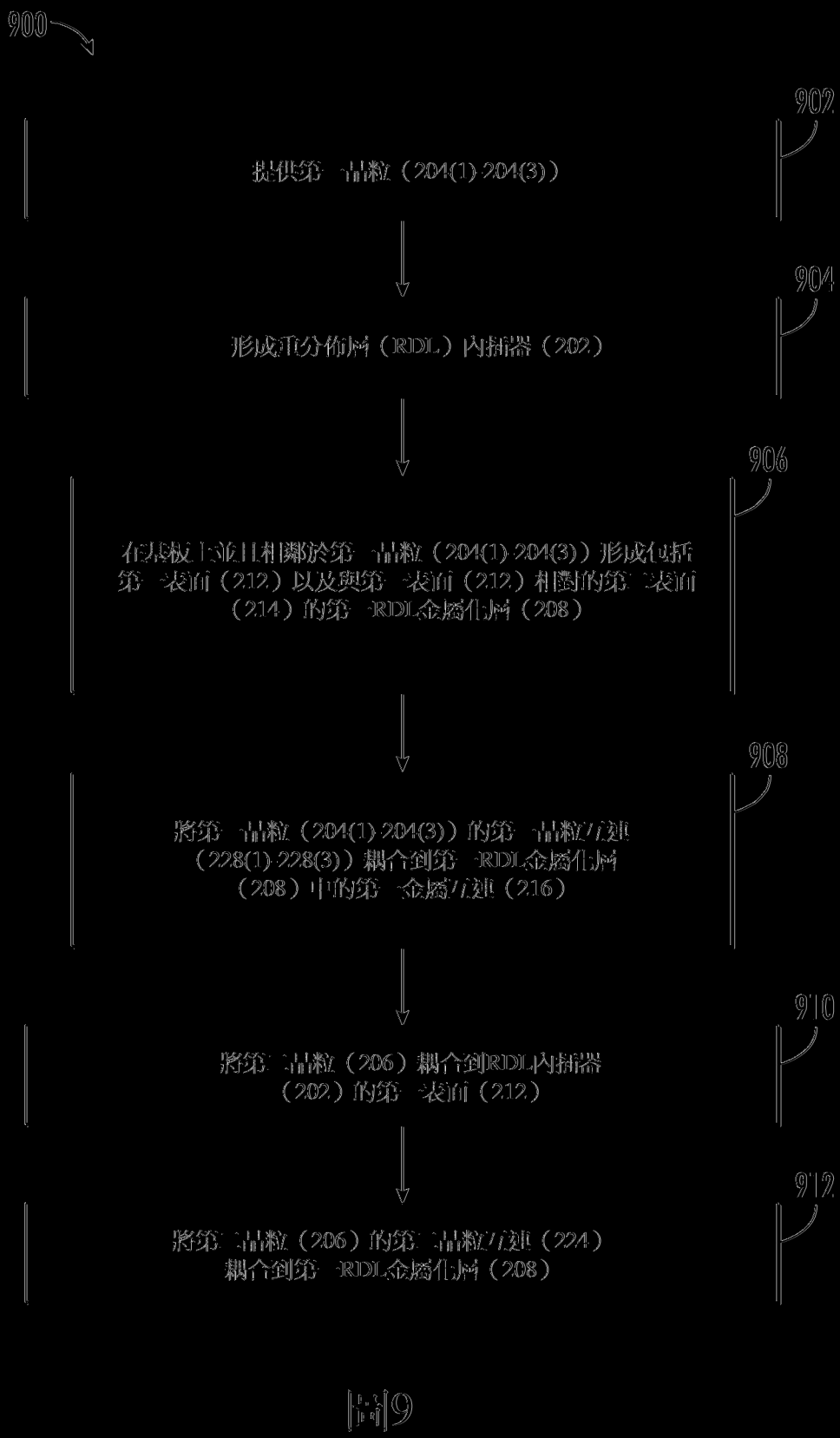


圖9

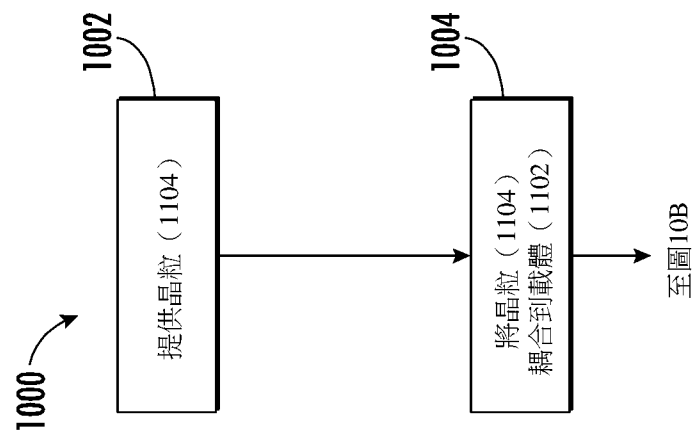


圖10A

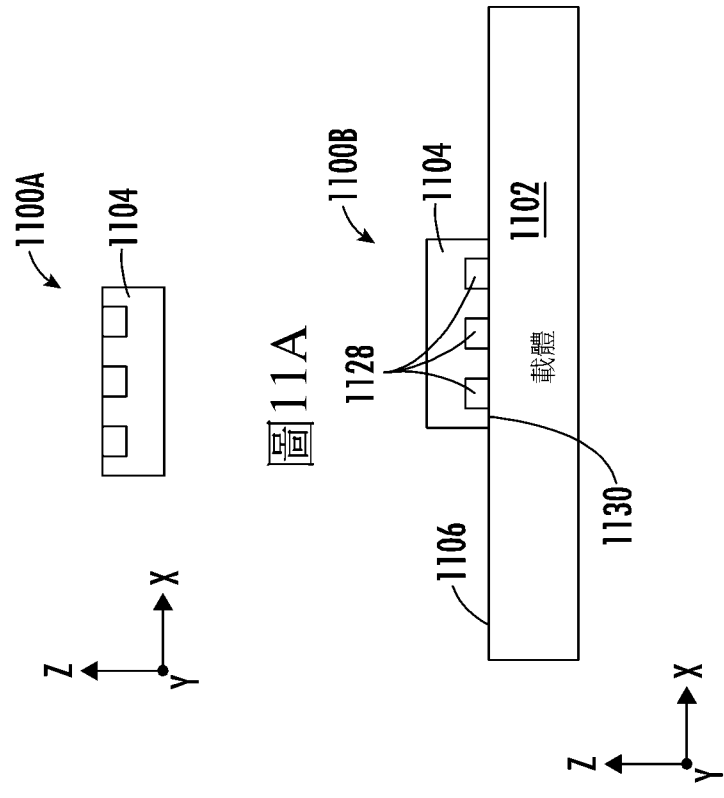
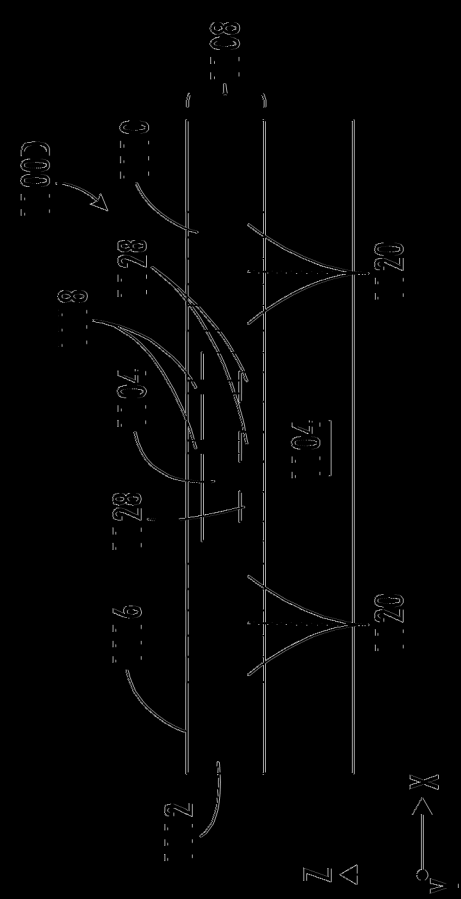
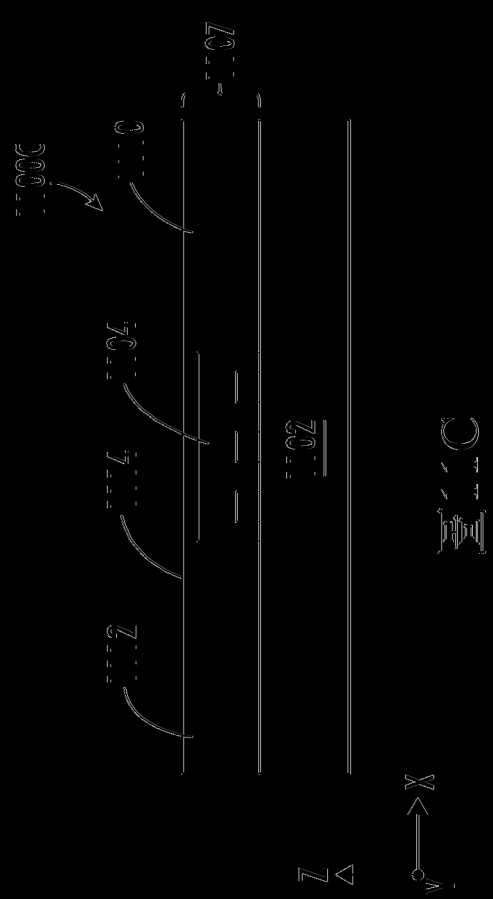


圖11A

圖11B

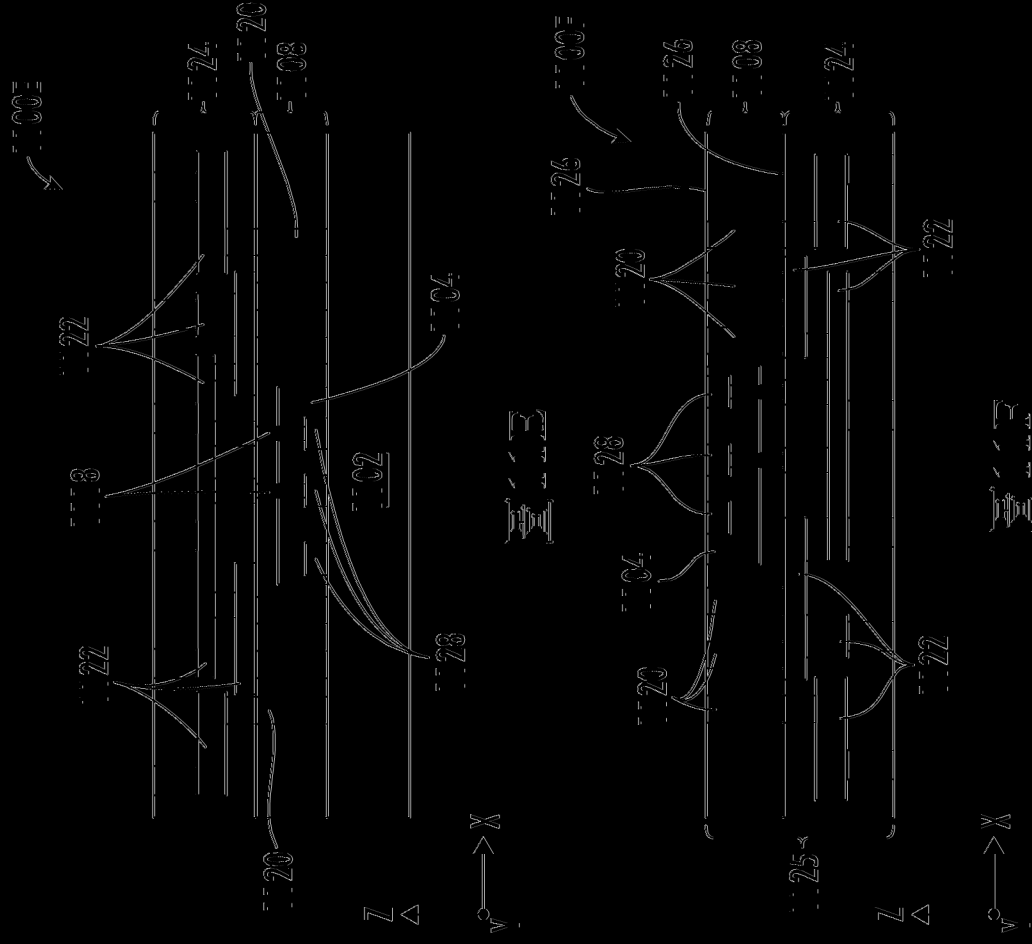


1000
 1006
 1004
 1007
 1002
 1008
 1009
 1010
 1011
 1012
 1013
 1014
 1015
 1016
 1017
 1018
 1019
 1020
 1021
 1022
 1023
 1024
 1025
 1026
 1027
 1028
 1029
 1030
 1031
 1032
 1033
 1034
 1035
 1036
 1037
 1038
 1039
 1040
 1041
 1042
 1043
 1044
 1045
 1046
 1047
 1048
 1049
 1050
 1051
 1052
 1053
 1054
 1055
 1056
 1057
 1058
 1059
 1060
 1061
 1062
 1063
 1064
 1065
 1066
 1067
 1068
 1069
 1070
 1071
 1072
 1073
 1074
 1075
 1076
 1077
 1078
 1079
 1080
 1081
 1082
 1083
 1084
 1085
 1086
 1087
 1088
 1089
 1090
 1091
 1092
 1093
 1094
 1095
 1096
 1097
 1098
 1099
 1100
 1101
 1102
 1103
 1104
 1105
 1106
 1107
 1108
 1109
 1110
 1111
 1112
 1113
 1114
 1115
 1116
 1117
 1118
 1119
 1120
 1121
 1122
 1123
 1124
 1125
 1126
 1127
 1128
 1129
 1130
 1131
 1132
 1133
 1134
 1135
 1136
 1137
 1138
 1139
 1140
 1141
 1142
 1143
 1144
 1145
 1146
 1147
 1148
 1149
 1150
 1151
 1152
 1153
 1154
 1155
 1156
 1157
 1158
 1159
 1160
 1161
 1162
 1163
 1164
 1165
 1166
 1167
 1168
 1169
 1170
 1171
 1172
 1173
 1174
 1175
 1176
 1177
 1178
 1179
 1180
 1181
 1182
 1183
 1184
 1185
 1186
 1187
 1188
 1189
 1190
 1191
 1192
 1193
 1194
 1195
 1196
 1197
 1198
 1199
 1200

1000
 1006
 1004
 1007
 1002
 1008
 1009
 1010
 1011
 1012
 1013
 1014
 1015
 1016
 1017
 1018
 1019
 1020
 1021
 1022
 1023
 1024
 1025
 1026
 1027
 1028
 1029
 1030
 1031
 1032
 1033
 1034
 1035
 1036
 1037
 1038
 1039
 1040
 1041
 1042
 1043
 1044
 1045
 1046
 1047
 1048
 1049
 1050
 1051
 1052
 1053
 1054
 1055
 1056
 1057
 1058
 1059
 1060
 1061
 1062
 1063
 1064
 1065
 1066
 1067
 1068
 1069
 1070
 1071
 1072
 1073
 1074
 1075
 1076
 1077
 1078
 1079
 1080
 1081
 1082
 1083
 1084
 1085
 1086
 1087
 1088
 1089
 1090
 1091
 1092
 1093
 1094
 1095
 1096
 1097
 1098
 1099
 1100

來自圖10A
 左晶粒(1004)和載體(1002)形成包覆成互層(1007)

形成互層金屬互層(1008)；左包覆成互層(1007)中形成金屬互層(1020)和遮罩(1008)，並三層互層(1008)被結合或晶粒互層(1028)

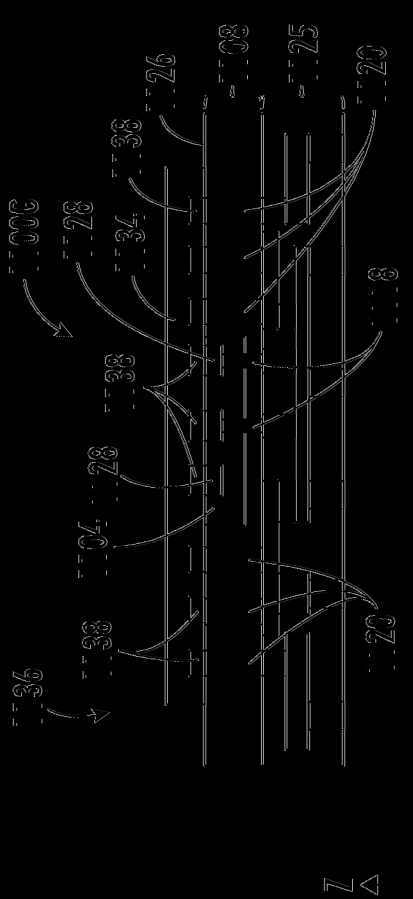


來自 203

左第一 3DL 金屬層
(208) 上形成第二 3DL
金屬層 (224)

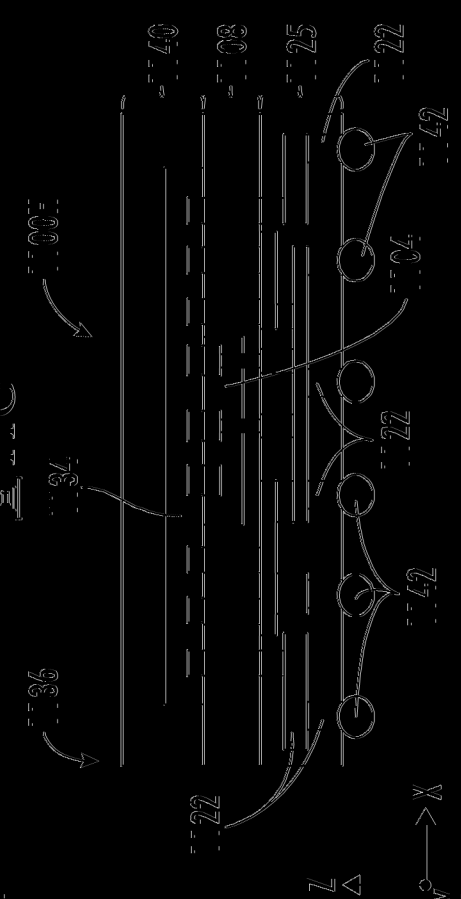
從第一 3DL 金屬層
(208) 移除載體 (202)

203
200



X
X

圖 1



X
X

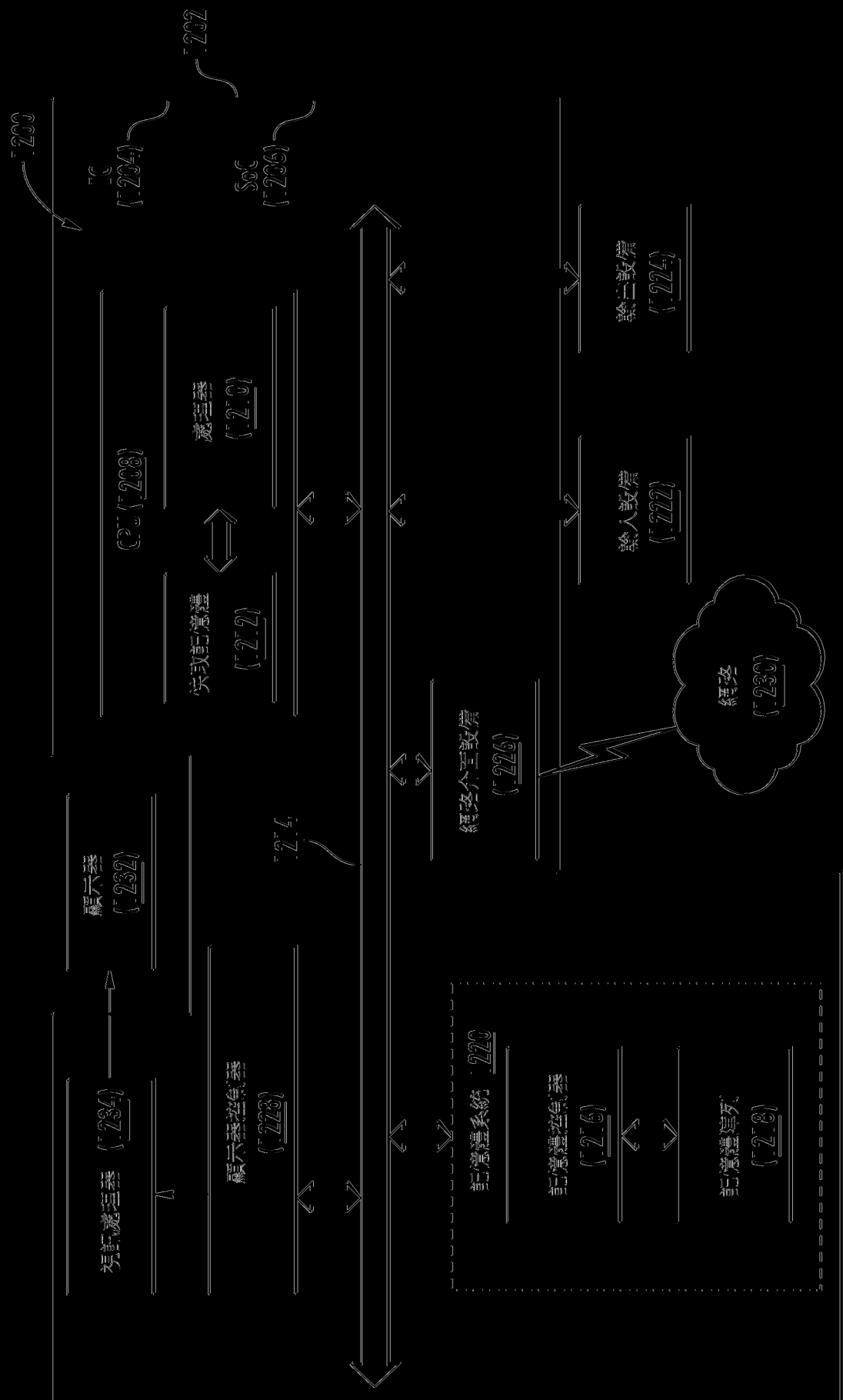
圖 2

來自圖 100

將異質顆粒 (134) 耦合到第一合金層 (108)，以將異質顆粒 (108) 耦合到基板 (125)

將異質顆粒 (134) 耦合到第二合金層 (108) 以形成包圍成芯層 (140)

圖 3



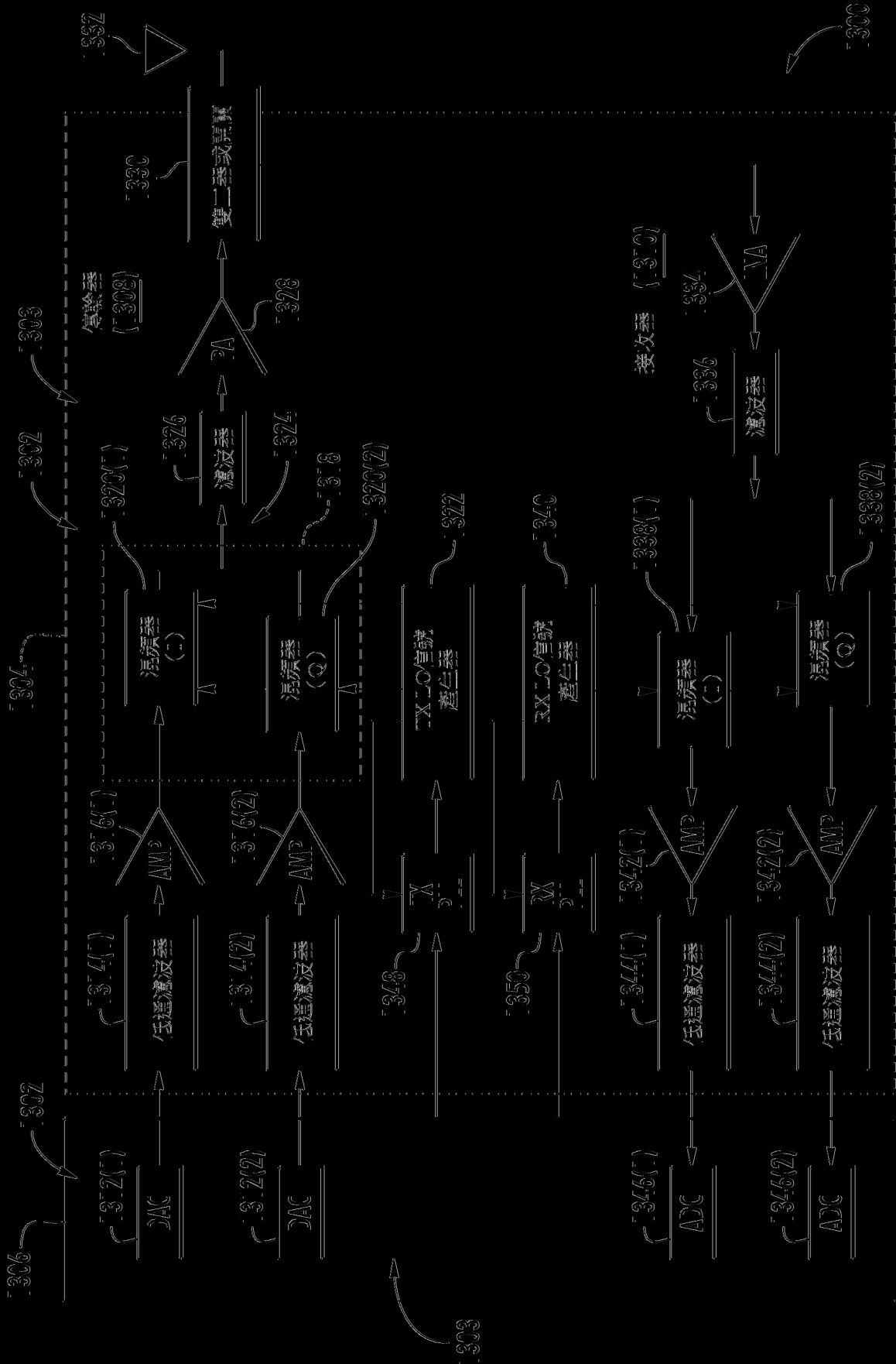


圖 13