

(43) 国際公開日
2007 年 9 月 20 日 (20.09.2007)

PCT

(10) 国際公開番号
WO 2007/105478 A1

- (51) 国際特許分類:
H04N 5/335 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2007/053557
- (22) 国際出願日: 2007 年 2 月 27 日 (27.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-049605 2006 年 2 月 27 日 (27.02.2006) JP
- (71) 出願人 および
- (72) 発明者: 小柳 光正 (KOYANAGI, Mitsumasa) [JP/JP];
〒9811245 宮城県名取市ゆりが丘 1-2-2-5 Miyagi (JP).
- (74) 代理人: 泉 克文 (IZUMI, Katsufumi); 〒1050001 東京都港区虎ノ門一丁目 2 〇 番 6 号 菅沼ビル 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,

BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

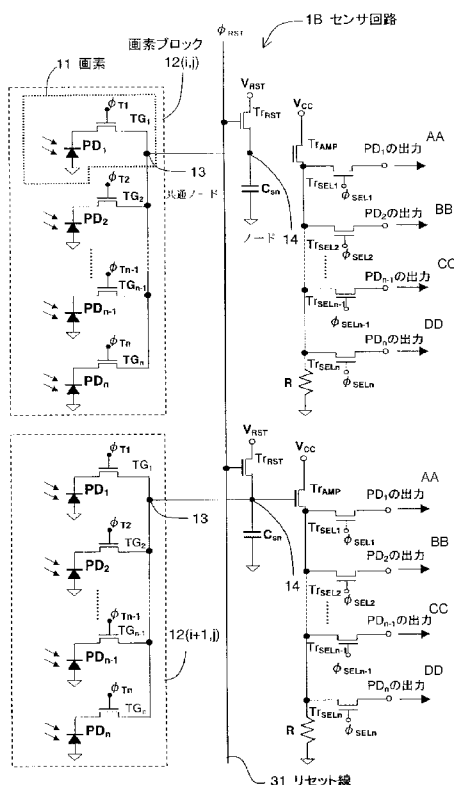
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: LAYERED TYPE SEMICONDUCTOR DEVICE HAVING INTEGRATED SENSOR

(54) 発明の名称: 集積センサを搭載した積層型半導体装置



11 PIXEL
12 (i, j) PIXEL BLOCK
13 COMMON NODE
14 NODE
31 RESET LINE
AA OUTPUT OF PD₁
BB OUTPUT OF PD₂
CC OUTPUT OF PD_{n-1}
DD OUTPUT OF PD_n

(57) Abstract: Provided is a sensor circuit and an address specification type image sensor capable of accumulating signal charges of all the pixels substantially simultaneously and realizing a high pixel numerical aperture. A plurality of pixels (11) arranged in a matrix are divided into groups of n pixels, which are connected in parallel to a common node (13) so as to constitute a plurality of pixel blocks (12). Each of the pixel blocks (12) includes: n photoelectric conversion elements (PD₁ to PD_n) connected in parallel to the common node (13); and n transfer gates (TG₁ to TG_n) for opening and closing channels connecting the photoelectric conversion elements (PD₁ to PD_n) and the common node (13). Outside of each of the pixel blocks (12), a common reset transistor (Tr_{RST}) for resetting all the pixels (11) and a common amplification transistor (Tr_{AMP}) for amplifying the signal read from the n pixels (11).

(57) 要約: 全画素についての信号電荷の実質的の同時蓄積が可能であると共に、高い画素開口率を実現できるセンサ回路及びアドレス指定型イメージセンサを提供する。マトリックス状に配置された複数の画素 11 を n 個毎に共通ノード 13 に並列接続して、複数の画素ブロック 12 を構成する。各画素ブロック 12 は、共通ノード 13 に並列接続された n 個の光電変換素子 PD₁ ~ PD_n と、光電変換素子 PD₁ ~ PD_n の各々と共通ノード 13 とを結ぶ経路をそれぞれ開閉する n 個のトランスファゲート TG₁ ~ TG_n を含む。各画素ブロック 12 に対しては、その外部に、全画素 11 をリセットする共通のリセットトランジスタ Tr_{RST} と、n 個の画素 11 から読み出される信号を増幅する共通の増幅トランジスタ Tr_{AMP} とが設けられる。



- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

集積センサを搭載した積層型半導体装置

技術分野

[0001] 本発明は、集積センサを搭載した積層型半導体装置に関し、さらに言えば、光電変換素子、トランスファ(転送)ゲート、リセットトランジスタ及び増幅トランジスタを含むセンサ回路と、そのセンサ回路を使用して簡単な構成で全ピクセルについて同時シャッタ(グローバル・シャッタ、同時露光)を可能としたアドレス指定型イメージセンサに関する。

背景技術

[0002] 固体撮像装置としては、従来より、マトリックス状に配置された全画素の信号電荷をCCD(Charge-Coupled Device, 電荷結合素子)を用いて転送する構成のCCDイメージセンサ(電荷転送型イメージセンサ)が多く利用されてきた。しかし、近年は、水平方向及び垂直方向に走査することにより、マトリックス状に配置された全画素の各々を選択するCMOSイメージセンサ(X-Yアドレス指定型イメージセンサ)の利用が増えてきており、高級一眼レフのデジタル・スチル・カメラや携帯電話機にまで使用されるようになってきている。これは、CCDイメージセンサと比較して、電源が一つで済む、低消費電力である、標準のCMOS(Complementary Metal-Oxide-Semiconductor, 相補型金属-酸化物-半導体)プロセスで製造できる、システム・オン・チップの実現が容易である、といったCMOSイメージセンサの利点が重視されるようになったためと考えられる。

[0003] しかし、従来の一般的なCMOS(アドレス指定型)イメージセンサには、以下に述べるような二つの問題がある。

[0004] 第一の問題は、全画素についての信号電荷の同時蓄積(換言すれば、同時ないしグローバルシャッタ化)ができない、という点である。

[0005] すなわち、CCDイメージセンサでは、全画素について同一時刻に信号電荷の蓄積が開始され、蓄積された信号電荷は各画素から一斉に読み出されて転送されるため、信号電荷の蓄積期間(これは露光期間に等しい)は全画素について同一である。こ

れに対し、従来のCMOSイメージセンサでは、画素マトリックスの各行毎にあるいは各画素毎に信号電荷の蓄積が開始され、各画素に蓄積された信号電荷はアドレス指定によって各画素から順に時系列的に読み出されるため、各画素の信号電荷の蓄積期間に時間的なズレ(タイミングのズレ)がある。したがって、CCDイメージセンサのような信号電荷の同時蓄積ができない。その理由を図33と図30を用いて説明する。

[0006] 図33(a)は、CCDイメージセンサの一般的な回路構成を示す概念図であり、図33(b)は同CCDイメージセンサの信号電荷の蓄積期間を示す概念図である。図30(a)は、従来のCMOSイメージセンサの一般的な回路構成を示す概念図であり、図30(b)は同CMOSイメージセンサの信号電荷の蓄積期間を示す概念図である。(米本和也著「CCD／CMOSイメージ・センサの基礎と応用」(CQ出版社、2003年発行)175頁及び179頁を参照)。

[0007] CCDイメージセンサは、図33(a)に示すように、マトリックス状に配置された複数の画素の各々が光電変換素子としてのフォトダイオードを含んでおり、それらフォトダイオードの各々は照射された光の強さに応じた量の信号電荷を蓄積する。各画素に蓄積された信号電荷は、各画素用に設けられたトランスファゲート(図示せず)を介して、画素マトリックスの列の各々に沿って配置された垂直CCDに一齐に読み出される。この垂直CCDへの読み出しは、通常、垂直ブランキング期間の最後の一斉に行われる。各垂直CCDに読み出された信号電荷は、当該垂直CCDの垂直転送作用によって、画素マトリックスの行に沿って配置された共通の水平CCDまで順に転送される。こうして水平CCDに転送された信号電荷は、さらに、水平CCDによってその出力端に向かって順に水平転送され、当該出力端に設けられたFD(Floating Diffusion、浮遊拡散)アンプで増幅されて信号出力となる。

[0008] CCDイメージセンサの信号電荷の蓄積期間は、図33(b)から容易に理解されるように、1フレームを構成するN本の走査線(1～N)の各々に対応する画素についての蓄積期間が同じになる、換言すれば、蓄積期間が同一のタイミングで設定される。各画素に蓄積された信号電荷が垂直CCDに一齐に読み出されるという動作を考えれば、このようになることは明らかであろう。

- [0009] これに対して、従来のCMOSイメージセンサでは、図30(a)に示すように、マトリックス状に配置された複数の画素の各々が、光電変換素子としてのフォトダイオードと、そのフォトダイオードによって蓄積された信号電荷を増幅するアンプとを含んでいる。画素マトリックス中の各画素の選択は、垂直走査回路で行選択線を順に選択すると共に、水平走査回路で列信号線を順に選択する(つまりX-Yアドレスを順に指定することによって行われる。(図30(a)では、その様子を各画素中に設けられたスイッチと各列信号線に設けられたスイッチとで示してある。)列信号線の各々に設けられたCDS (Correlated Double Sampling、相関二重サンプリング)回路は、各列信号線を流れる信号電荷からノイズを除去するための回路である。こうして各画素から選択出力される信号電荷は、共通の水平信号線に順に送られ、当該水平信号線の一端に接続された出力回路を経て信号出力となる。
- [0010] 従来のCMOSイメージセンサの信号電荷の蓄積期間については、図30(b)に示すように、1フレームを構成するN本の走査線(1~N)の各々に対応する画素についての蓄積期間が、各走査線の走査タイミングに応じて順に時間的にずれてしまうことが分かる。これは、CMOSイメージセンサでは、CCDイメージセンサのような垂直レジスタ(垂直CCD)が存在しないため、各画素の信号電荷をリセットするタイミングを変えることによって、信号電荷に対応する列信号線に送るタイミングをずらしているからである。
- [0011] このように、従来のCMOSイメージセンサでは、信号電荷の蓄積期間が走査線毎にずれてしまい、信号電荷の同時蓄積(換言すれば同時シャッタ化)ができないという難点があることから、高速移動する被写体を撮像すると、得られた画像に歪みが生じる、という難点がある。例えば、高速回転する羽根を撮像すると、図34(b)のように歪んだ画像となってしまう、という問題が生じるのである。これに対し、信号電荷の同時蓄積(同時シャッタ化)が可能なCCDイメージセンサで撮像した場合は、画像は図34(a)に示すようになり、得られた画像に歪みは生じない(図34は、上記「CCD/C MOSイメージ・センサの基礎と応用」180頁に基づく)。
- [0012] 従来のCMOSイメージセンサの持つ第二の問題は、画素面積に比べて実効的な受光領域が狭い、換言すれば、画素の開口率(fill factor)が低い、という点である。そ

の理由を図31及び図32を参照して説明する。図31は、従来のCMOSイメージセンサの概略回路構成を示す回路図であり、図32はその概略装置構造を示す要部断面図である。

- [0013] 図31に示された回路構成は、4トランジスタ型の画素を持つCMOSイメージセンサのものであり、1画素中に、フォトダイオードの他に四つのトランジスタ(トランスファゲート、リセットトランジスタ、増幅トランジスタ、選択ゲート用の四つのMOSTランジスタ)を含んでいる。これらのトランジスタは、図32の装置構造に示すように、p型シリコン(Si)基板上に形成・配置されている。なお、 V_{CC} は電源電圧、 V_{RST} はリセット電圧である。
- [0014] 図31の第i行第j列の画素(i, j) (ただし、i, jは正の整数)について説明すると、トランスファゲートは、第i行の読出制御線を介して電圧パルス ϕ_{Ti} を印加することにより導通状態となり、フォトダイオードに蓄積された信号電荷を、所定タイミングで、トランスファゲートとリセットトランジスタと増幅トランジスタが相互接続されたノードに送る作用をする。リセットトランジスタは、第i行のリセット線を介して電圧パルス ϕ_{RST} を印加することにより導通状態となり、導通状態となったトランスファゲートを介して、フォトダイオードに蓄積された信号電荷を所定タイミングでリセットする(フォトダイオードに所定のリセット電圧 V_{RST} を印加する)作用をする。前記ノードに接続された増幅トランジスタは、ソースフォロア構成とされており、前記ノードに送出された信号電荷を増幅する作用をする。選択ゲートは、第i行の行選択線(図示せず)を介して電圧パルス $\phi_{SE_{Li}}$ を印加することにより導通状態となり、増幅された信号電荷を所定タイミングで対応する第j列の列信号線に送出する。なお、前記ノードに接続された C_{sn} は、当該ノードに生じる寄生容量を示す。
- [0015] CMOSイメージセンサの画素の回路構成には、3トランジスタ型もある。3トランジスタ型では、1画素中に、フォトダイオードの他に三つのトランジスタ(リセットトランジスタ、増幅トランジスタ、選択ゲート用のMOSTランジスタ)が含まれる。つまり、4トランジスタ型の構成からトランスファゲートが省略された構成となる。
- [0016] 図31の回路構成は、図32に示す構造として具体的に実現される。すなわち、P型シリコン(Si)基板の表面領域に素子分離絶縁膜によって画定された複数の素子領

域内に、フォトダイオードと、トランスファゲート、リセットトランジスタ、増幅トランジスタ、選択ゲートをそれぞれ構成する四つのMOSTランジスタが形成されている。

[0017] 従来のCMOSイメージセンサの装置構造では、図32の要部断面図から明らかなように、4トランジスタ型と3トランジスタ型のいずれであっても、四つまたは三つのMOSTランジスタが画素面積の多くの部分を占有するため、画素面積の中でフォトダイオード(の開口部)が占める面積の割合、すなわち「開口率」がかなり小さくなっている。従来のCMOSイメージセンサの開口率は、一般に30%程度と低いのが通常である。このため、感度が低下してしまうという問題があり、この感度低下を解消しようとする、画素面積(画素のサイズ)を拡大することが必要であるが、それは微細化の要請に反し、好ましくない。

[0018] 第一の問題として挙げた全画素同時シャッタ化を実現したCMOSイメージセンサの一例が、特許文献1(特開2004-266597号公報)に開示されている。このCMOSイメージセンサは、画素内に、受光素子と、当該受光素子で発生した信号電荷を次段へ転送する第1転送手段と、当該第1転送手段の出力を一時記憶する記憶部と、前記受光素子および前記記憶部の電荷の初期化を行う初期化手段と、前記記憶部に接続された第2転送手段と、当該第2転送手段からの電荷を電圧として外部に読み出す電荷検出部とを備え、全画素一斉に前記第1転送手段を動作させることにより蓄積電荷の読み出しを行い、かつ、全画素一斉に前記初期化手段を動作させることにより信号電荷の初期化を行うことを特徴とするものである(請求項1を参照)。発明の効果としては、「CMOSイメージセンサにおいて全画素同時に初期化する電子シャッタ動作を可能にし、かつ、画素回路も簡単で製造工程が単純化される。さらに、画素内で増幅することにより低雑音化が図れる」とされている(段落0036を参照)。

[0019] 他方、近年、複数の半導体チップを積層して三次元構造とした半導体装置が提案されている。例えば、栗野らは1999年に発行された「1999アイ・イー・ディー・エムテクニカル・ダイジェスト」において、「三次元構造を持つインテリジェント・イメージセンサ・チップ」を提案している(非特許文献1参照)。

[0020] このイメージセンサ・チップは、4層構造を持っており、第1半導体回路層にプロセッサ・アレイと出力回路を配置し、第2半導体回路層にデータラッチとマスキング回路を

配置し、第3半導体回路層に増幅器とアナログ・デジタル変換器を配置し、第4半導体回路層にイメージセンサ・アレイを配置している。イメージセンサ・アレイの最上面は、マイクロレンズ・アレイを含む石英ガラス層で覆われており、マイクロレンズ・アレイはその石英ガラス層の表面に形成されている。イメージセンサ・アレイ中の各イメージセンサには、半導体受光素子としてフォトダイオードが形成されている。4層構造を構成する各半導体回路層の間は、接着剤を用いて機械的に接続されていると共に、導電性プラグを用いた埋込配線とそれら埋込配線に接触せしめられたマイクロバンプ電極とを用いて電氣的に接続されている。

[0021] また、李らは、2000年4月に発行された「日本応用物理学会誌」において、「高度並列画像処理チップ用の三次元集積技術の開発」とのタイトルで、栗野らの提案した上記固体イメージセンサと同様のイメージセンサを含む画像処理チップを提案している(非特許文献2参照)。

[0022] 李らの画像処理チップは、栗野らが上記論文で提案した固体イメージセンサとほぼ同じ構造を持っている。

[0023] 非特許文献1及び2に開示された従来のイメージセンサ・チップと画像処理チップは、いずれも、所望の半導体回路を内蔵した複数の半導体ウェハー(以下、単にウェハーともいう)を積層して互いに固着させた後、得られたウェハー積層体を切断(ダイシング)して複数のチップ群に分割することにより製造される。すなわち、内部に半導体回路を形成した半導体ウェハーをウェハーレベルで積層・一体化することにより三次元積層構造を形成し、それを分割してイメージセンサ・チップまたは画像処理チップを得ているのである。

[0024] なお、これら従来のイメージセンサ・チップと画像処理チップでは、当該チップの内部の積層された複数の半導体回路のそれぞれが「半導体回路層」を構成する。

非特許文献1:栗野ら、「三次元構造を持つインテリジェント・イメージセンサ・チップ」、1999年アイ・イー・ディー・エム テクニカル・ダイジェストp. 36. 4. 1~36. 4. 4(H. Kurino et al., "Intelligent Image Sensor Chip with Three Dimensional Structure", 1999 IEDM Technical Digest, pp. 36.4.1 - 36.4.4, 1999)

非特許文献2:李ら、「高度並列画像処理チップ用の三次元集積技術の開発」、「日

本応用物理学会誌」第39巻、p. 2473～2477、第1部4B、2000年4月、(K. Lee et al., "Development of Three-Dimensional Integration Technology for Highly Parallel Image-Processing Chip", Jpn. J. Appl. Phys. Vol. 39, pp. 2474 - 2477, April 2000)

特許文献1:特開2004-266597号公報 (図1-図2、図8、図12、図15)

発明の開示

発明が解決しようとする課題

- [0025] 上述したように、従来の一般的なCMOS(アドレス指定型)イメージセンサでは、全画素についての信号電荷の同時蓄積(換言すれば同時シャッタ化)ができない、画素の開口率が低い、という二つの問題がある。
- [0026] 特許文献1に開示された従来のCMOSイメージセンサでは、全画素についての同時シャッタ化は可能である。しかし、各画素内に、受光素子の他に、当該受光素子で発生した信号電荷を次段へ転送する第1転送手段と、当該第1転送手段の出力を一時記憶する記憶部と、前記受光素子および前記記憶部の電荷の初期化を行う初期化手段と、前記記憶部に接続された第2転送手段とを設けることが必要であるから、3トランジスタ型のCMOSイメージセンサに記憶部を追加した構成である。したがって、このCMOSイメージセンサでは、画素の開口率が低い、という問題は残っている。
- [0027] 非特許文献1及び2にそれぞれ開示されたイメージセンサ・チップと画像処理チップでは、半導体ウェーハあるいは半導体チップを積層・固着することにより三次元積層構造が実現できることについて開示されているだけであり、従来のCMOS(アドレス指定型)イメージセンサの持つ上記二つの問題については言及されていない。
- [0028] 本発明は、これらの点を考慮してなされたものであって、その目的とするところは、全画素についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現できる、センサ回路及びアドレス指定型イメージセンサを提供することにある。
- [0029] 本発明の他の目的は、従来のアドレス指定型イメージセンサにおいて見られる画像の歪みを生じることなく、高速で移動する被写体を撮像することができるセンサ回路及びアドレス指定型イメージセンサを提供することにある。

[0030] 本発明のさらに他の目的は、撮像領域の総面積に対する受光領域の総面積の割合が高いアドレス指定型イメージセンサを提供することにある。

[0031] ここに明記しない本発明の他の目的は、以下の説明及び添付図面から明らかになるであろう。

課題を解決するための手段

[0032] (1) 本発明の第1の観点によるセンサ回路は、
マトリクス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択するアドレス指定型イメージセンサに使用されるセンサ回路であつて、

複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素をリセットするためのリセットトランジスタと、

複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とを含んでいることを特徴とするものである。

[0033] (2) 本発明の第1の観点によるセンサ回路は、複数の画素を所定数(例えば n 個、 n は2以上の整数)毎に共通ノードに並列接続して構成された複数の画素ブロックを有している。それら画素ブロックの各々では、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とを含んでいる。そして、前記画素ブロックの各々の共通ノードに、リセットトランジスタと増幅トランジスタとが接続されているため、前記画素ブロックの各々で前記リセットトランジスタと前記増幅トランジスタとを共用することができる。これは、前記画素の内部には、リセットトランジスタと増幅トランジスタが設けられていないことを意味するものである。

- [0034] このセンサ回路では、次のようにして信号電荷の生成・蓄積から信号の出力までの動作を行う。
- [0035] まず、前記画素ブロックの各々に対して設けられた前記リセットトランジスタを用いて、前記画素のすべてについて一括してリセット(初期化)を行い(グローバルリセット)、前記画素ブロックのすべてについて前記共通ノードを所定のリセット電圧に設定する。この時、前記光電変換素子に対して設けられた前記第1ゲート素子はすべて導通状態とされる。
- [0036] 次に、前記第1ゲート素子を遮断状態としてから、前記画素(光電変換素子)のすべてに光を照射させ、それら画素に一括して信号電荷を生成・蓄積させる。
- [0037] その後、前記画素ブロックの各々において、前記第1ゲート素子を時系列的に順に導通状態にすることにより、当該画素ブロック中の前記画素に蓄積された信号電荷に対応する信号を、対応する前記共通ノードまで時系列的に順に読み出す。この動作は、複数の前記ブロックにおいて並行して行われる。この時、当該画素ブロック中の前記画素の一つより信号を読み出してから前記画素の他の一つより信号を読み出すまでの間に、前記リセットトランジスタを用いて前記共通ノードをリセットする必要がある。これは、前記共通ノードをリセットしないと、先に読み出された信号の影響が残って後の信号が変動する恐れがあるからである。
- [0038] 前記画素ブロックの各々でこうして読み出された信号は、対応する前記増幅トランジスタによって順にあるいは並行して増幅され、その出力端から出力される。すなわち、当該増幅トランジスタの出力端が一つの場合は、当該画素ブロック中の複数の前記画素から順に送出された信号は、当該増幅トランジスタで増幅された後、その出力端子から時系列的に順に出力される。他方、当該増幅トランジスタの出力端子の総数が当該画素ブロック中の前記画素の総数に等しい場合は、当該増幅トランジスタの複数の出力端子から並列的に出力される。
- [0039] 現在の現実的な最高シャッタースピード(つまり最短の信号電荷蓄積期間)は(1/8000)秒(=125 μ sec)であるから、前記リセットトランジスタによる前記共通ノードのリセット動作を必要回数(例えば(n-1)回)実行するのに要する時間(総リセット時間)と、前記画素ブロックの各々で前記画素の信号電荷に対応する前記増幅トランジスタ

で増幅するのに要する時間(総増幅時間)との和が、最短の信号電荷蓄積期間(=125 μ sec)よりも十分小さくなるようにn値を設定すれば、前記画素のすべてについての信号電荷の蓄積(露光)が実質的に同時に行われることになる。換言すれば、このセンサ回路を使用することにより、前記画素のすべてについての信号電荷の実質的に同時蓄積(実質的に同時シャッタ化)が可能となる。

[0040] また、このようにして同時シャッタ化が可能となることにより、従来のアドレス指定型イメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0041] さらに、本発明の第1の観点によるセンサ回路では、前記画素ブロックの各々に対して、当該ブロックの外側に前記リセットトランジスタと前記増幅トランジスタが設けられているため、前記画素は一つの光電変換素子と一つの第1ゲート素子(通常はMOSTランジスタ)を含むだけで済む。したがって、このセンサ回路を使用すれば、画素中に光電変換素子に加えて三つないし四つのMOSTランジスタを含む従来のアドレス指定型イメージセンサに比べて、高い画素開口率を実現することができる。

[0042] (3) 本発明の第1の観点によるセンサ回路の好ましい例では、前記増幅トランジスタが、単一の出力端を有する。この場合、前記増幅トランジスタの出力端に接続される次段の配線が簡単になるという利点がある。

[0043] この例では、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えるのが好ましい。この場合、前記出力トランジスタを使用することによって、前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0044] 本発明の第1の観点によるセンサ回路の他の好ましい例では、前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続される。この場合、前記第2ゲート素子の各々を対応する前記第1ゲート素子と同期して開閉することにより、前記画素ブロック中の複数の前記画素からの信号を複数の前記出力端より並列的に出力することができる。その結果、次段の信号処理が迅速に行

えるという利点がある。

[0045] この例では、前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えるのが好ましい。この場合、複数の前記出力トランジスタを使用することによって、複数の前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0046] 本発明の第1の観点によるセンサ回路のさらに他の好ましい例では、前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる。この場合、実質的な同時シャッタ化が容易に実現できるという利点がある。

[0047] (4) 本発明の第2の観点によるセンサ回路は、

マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択するアドレス指定型イメージセンサに使用されるセンサ回路であって、

複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子と、当該光電変換素子と前記第1ゲート素子との接続点に接続された、当該画素をリセットするためのリセットトランジスタとを含んでいることを特徴とするものである。

[0048] (5) 本発明の第2の観点によるセンサ回路は、複数の画素を所定数(例えば n 個、 n は2以上の整数)毎に共通ノードに並列接続して構成された複数の画素ブロックを有している。それら画素ブロックの各々では、前記画素の各々は、照射された光に応

じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とに加えて、当該光電変換素子と前記第1ゲート素子との接続点に接続された、当該画素をリセットするためのリセットトランジスタとを含んでいる。そして、前記画素ブロックの各々の共通ノードに増幅トランジスタが接続されている。このため、前記画素ブロックの各々で前記増幅トランジスタとを共用することができる。これは、前記画素の内部には、増幅トランジスタが設けられていないことを意味するものである。

[0049] このように、本発明の第2の観点によるセンサ回路では、リセットトランジスタに関する構成が本発明の第1の観点によるセンサ回路とは異なっている。すなわち、本発明の第1の観点によるセンサ回路では、前記リセットトランジスタが、前記画素ブロックの各々に対して設けられている（つまり、前記リセットトランジスタが各画素ブロックの外部に設けられている）のに対し、本発明の第2の観点によるセンサ回路では、前記リセットトランジスタが、前記画素ブロックの各々に属する複数の前記画素の一つ一つに対して設けられている（つまり、前記リセットトランジスタが前記画素の各々に対して設けられている）。このため、次のようにして信号電荷の生成・蓄積から信号の出力までの動作を行う。

[0050] まず、前記画素の各々に対して設けられた前記リセットトランジスタを用いて、前記画素のすべてについて一括してリセット（初期化）を行い（グローバルリセット）、前記画素ブロックのすべてについて前記共通ノードを所定のリセット電圧に設定する。この時、前記光電変換素子に対して設けられた前記第1ゲート素子はすべて導通状態とされる。

[0051] 次に、前記第1ゲート素子を遮断状態としたままで、前記第1ゲート素子を遮断状態としてから、前記画素（光電変換素子）のすべてに光を照射させ、それら画素に一括して信号電荷を生成・蓄積させる。

[0052] その後、前記画素ブロックの各々において、前記第1ゲート素子を時系列的に順に導通状態にすることにより、当該画素ブロック中の前記画素に蓄積された信号電荷に対応する信号を、対応する前記共通ノードまで時系列的に順に読み出す。この動作は、複数の前記ブロックにおいて並行して行われる。この時、当該画素ブロック中の

前記画素の一つより信号を読み出してから前記画素の他の一つより信号を読み出すまでの間に、前記第1ゲート素子を一時的に導通状態にし、前記リセットトランジスタを用いて前記共通ノードをリセットする必要がある。これは、前記共通ノードをリセットしないと、先に読み出された信号の影響が残って後の信号が変動する恐れがあるからである。

[0053] 前記画素ブロックの各々でこうして読み出された信号は、対応する前記増幅トランジスタによって順にあるいは並行して増幅され、その出力端から出力される。すなわち、当該増幅トランジスタの出力端が一つの場合は、当該画素ブロック中の複数の前記画素から順に送出された信号は、当該増幅トランジスタで増幅された後、その出力端子から時系列的に順に出力される。他方、当該増幅トランジスタの出力端子の総数が当該画素ブロック中の前記画素の総数に等しい場合は、当該増幅トランジスタの複数の出力端子から並列的に出力される。この点は、本発明の第1の観点によるセンサ回路と同じである。

[0054] 現在の現実的な最高シャッタスピード(つまり最短の信号電荷蓄積期間)は $(1/8000)$ 秒($=125\mu\text{sec}$)であるから、前記リセットトランジスタによる前記共通ノードのリセット動作を必要回数(例えば $(n-1)$ 回)実行するのに要する時間(総リセット時間)と、前記画素ブロックの各々で前記画素の信号電荷を対応する前記増幅トランジスタで増幅するのに要する時間(総増幅時間)との和が、最短の信号電荷蓄積期間($=125\mu\text{sec}$)よりも十分小さくなるように n 値を設定すれば、前記画素のすべてについての信号電荷の蓄積(露光)が実質的に同時に行われることになる。換言すれば、このセンサ回路を使用することにより、前記画素のすべてについての信号電荷の実質的に同時蓄積(実質的に同時シャッタ化)が可能となる。

[0055] また、このようにして同時シャッタ化が可能となることにより、従来のアドレス指定型イメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0056] さらに、本発明の第2の観点によるセンサ回路では、前記画素ブロックの各々に対して、当該ブロックの外側に前記増幅トランジスタが設けられているため、前記画素は一つの光電変換素子と一つの第1ゲート素子(通常はMOSTランジスタ)と一つのリ

セットトランジスタ(通常はMOSTランジスタ)を含むだけで済む。したがって、このセンサ回路を使用すれば、画素中に光電変換素子に加えて三つないし四つのMOSTランジスタを含む従来のアドレス指定型イメージセンサに比べて、高い画素開口率を実現することができる。

[0057] (6) 本発明の第2の観点によるセンサ回路の好ましい例では、前記増幅トランジスタが、単一の出力端を有する。この場合、前記増幅トランジスタの出力端に接続される次段の配線が簡単になるという利点がある。

[0058] この例では、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えるのが好ましい。この場合、前記出力トランジスタを使用することによって、前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0059] 本発明の第2の観点によるセンサ回路の他の好ましい例では、前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続される。この場合、前記第2ゲート素子の各々を対応する前記第1ゲート素子と同期して開閉することにより、前記画素ブロック中の複数の前記画素からの信号を複数の前記出力端より並列的に出力することができる。その結果、次段の信号処理が迅速に行えるという利点がある。

[0060] この例では、前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えるのが好ましい。この場合、複数の前記出力トランジスタを使用することによって、複数の前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0061] 本発明の第2の観点によるセンサ回路のさらに他の好ましい例では、前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記

共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる。この場合、実質的な同時シャッタ化が容易に実現できるという利点がある。

[0062] (7) 本発明の第3の観点によるアドレス指定型イメージセンサは、

マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択する、三次元積層構造を持つアドレス指定型イメージセンサであって、

複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素をリセットするためのリセットトランジスタと、

複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とを含んでおり、

少なくとも前記光電変換素子は、前記三次元積層構造を構成する第1半導体回路層の中に形成され、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいは第3以降の半導体回路層の中に形成されていることを特徴とするものである。

[0063] (8) 本発明の第3の観点によるアドレス指定型イメージセンサは、上述した本発明の第1の観点によるセンサ回路を用い、少なくとも複数の前記光電変換素子を前記三次元積層構造を構成する前記第1半導体回路層の中に形成し、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいはそれ以降の半導体回路層の中に形成したものに相当する。

[0064] したがって、本発明の第1の観点によるセンサ回路について説明したのと同じ理由により、全画素についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現することができる。また、従来のアドレス指定型イメージセンサにおける画像の歪みを

生じることなく、高速で移動する被写体を撮像することができる。

[0065] さらに、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現できることから、撮像領域の総面積に対する受光領域の総面積の割合を高くすることが可能となる。

[0066] (9) 本発明の第3の観点によるアドレス指定型イメージセンサの好ましい例では、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子が前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタと複数の前記リセットトランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子が存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成する一つのトランジスタを含むだけであるから、各画素が光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0067] 本発明の第3の観点によるアドレス指定型イメージセンサの他の好ましい例では、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子及び複数の前記リセットトランジスタが前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子と複数の前記リセットトランジスタが存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成する一つのトランジスタを含むだけであり、また、前記リセットトランジスタの総数は画素総数の $(1/n)$ で済む。従って、各画素が、光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0068] 本発明の第3の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子(選択トランジスタ)が接続される。そして、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子、複数の前記リセットトランジスタ及び複数の前記

増幅トランジスタが前記第1半導体回路層の中に形成され、複数の前記第2ゲート素子(選択トランジスタ)が前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成する一つのトランジスタを含むだけであり、また、前記リセットトランジスタと前記増幅トランジスタの総数は、いずれも画素総数の $(1/n)$ で済む。従って、各画素が、光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0069] 本発明の第3の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、複数の前記光電変換素子のみが前記第1半導体回路層の中に形成され、複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子だけが形成されるから、各画素はまったくトランジスタを含まないことになる。よって、各画素が、光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。特に、画素開口率の向上が最大となる。

[0070] 本発明の第3の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタの各々が、単一の出力端を有する。この場合、前記増幅トランジスタの出力端に接続される次段の配線が簡単になるという利点がある。

[0071] この例では、前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えるのが好ましい。この場合、前記出力トランジスタを使用することによって、前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0072] 本発明の第3の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタの各々が、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各

々に第2ゲート素子が接続される。この場合、前記第2ゲート素子の各々を対応する前記第1ゲート素子と同期して開閉することにより、前記画素ブロック中の複数の前記画素からの信号を複数の前記出力端より並列的に出力することができる。その結果、次段の信号処理が迅速に行えるという利点がある。

[0073] この例では、前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えるのが好ましい。この場合、複数の前記出力トランジスタを使用することによって、複数の前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0074] 本発明の第3の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる。この場合、実質的な同時シャッタ化が容易に実現できるという利点がある。

[0075] (10) 本発明の第4の観点によるアドレス指定型イメージセンサは、
マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択する、三次元積層構造を持つアドレス指定型イメージセンサであって、
複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、
複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、
前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子と、当該光電変換素子と前記第1

ゲート素子との接続点に接続された、当該画素をリセットするためのリセットトランジスタとを含んでおり、

少なくとも前記光電変換素子は、前記三次元積層構造を構成する第1半導体回路層の中に形成され、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいはそれ以降の半導体回路層の中に形成されていることを特徴とするものである。

[0076] (11) 本発明の第4の観点によるアドレス指定型イメージセンサは、上述した本発明の第2の観点によるセンサ回路を用い、少なくとも複数の前記光電変換素子を前記三次元積層構造を構成する前記第1半導体回路層の中に形成し、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいはそれ以降の半導体回路層の中に形成したものに相当する。

[0077] したがって、本発明の第2の観点によるセンサ回路について説明したのと同じ理由により、全画素についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現することができる。また、従来のアドレス指定型イメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0078] さらに、従来のアドレス指定型イメージセンサよりも高い高い画素開口率を実現できることから、撮像領域の総面積に対する受光領域の総面積の割合を高くすることが可能となる。

[0079] (12) 本発明の第4の観点によるアドレス指定型イメージセンサの好ましい例は、上述した本発明の第3の観点によるアドレス指定型イメージセンサのそれと同様である。これは、本発明の第3の観点によるアドレス指定型イメージセンサでは、リセットトランジスタが前記ブロックの各々に対して設けられている(つまり、リセットトランジスタが各ブロックの外部に設けられている)のに対し、本発明の第4の観点によるアドレス指定型イメージセンサでは、リセットトランジスタが前記ブロックの各々に属する複数の前記光電変換素子の各々に対して設けられている点で、両者は異なるだけだからである。

[0080] すなわち、本発明の第4の観点によるアドレス指定型イメージセンサの好ましい例で

は、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子が前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタと複数の前記リセットトランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子が存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成する一つのトランジスタを含むだけであるから、各画素が光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0081] 本発明の第4の観点によるアドレス指定型イメージセンサの他の好ましい例では、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子及び複数の前記リセットトランジスタが前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子と複数の前記リセットトランジスタが存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成するトランジスタと前記リセットトランジスタの二つを含むだけであるから、各画素が光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0082] 本発明の第4の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子(選択トランジスタ)が接続される。そして、複数の前記光電変換素子に加えて、複数の前記第1ゲート素子、複数の前記リセットトランジスタ及び複数の前記増幅トランジスタが前記第1半導体回路層の中に形成され、複数の前記第2ゲート素子(選択トランジスタ)が前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子の他に複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが存在するが、各画素は前記光電変換素子に加えて前記第1ゲート素子を構成す

るトランジスタと前記リセットトランジスタの二つだけであり、また、前記増幅トランジスタの総数は画素総数の $(1/n)$ で済む。従って、各画素が、光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。

[0083] 本発明の第4の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、複数の前記光電変換素子のみが前記第1半導体回路層の中に形成され、複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成される。この場合、前記第1半導体回路層の中には、複数の前記光電変換素子だけが形成されるから、各画素はまったくトランジスタを含まないことになる。よって、各画素が、光電変換素子に加えて4トランジスタまたは3トランジスタを含む従来のアドレス指定型イメージセンサに比べて、画素開口率が向上する。特に、画素開口率の向上が最大となる。

[0084] 本発明の第4の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタの各々が、単一の出力端を有する。この場合、前記増幅トランジスタの出力端に接続される次段の配線が簡単になるという利点がある。

[0085] この例では、前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えるのが好ましい。この場合、前記出力トランジスタを使用することによって、前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0086] 本発明の第4の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記増幅トランジスタの各々が、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続される。この場合、前記第2ゲート素子の各々を対応する前記第1ゲート素子と同期して開閉することにより、前記画素ブロック中の複数の前記画素からの信号を複数の前記出力端より並列的に出力することができる。その結果、次段の信号処理が迅速に行えるという利点がある。

[0087] この例では、前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジ

スタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えるのが好ましい。この場合、複数の前記出力トランジスタを使用することによって、複数の前記容量素子に記憶された信号を前記第1ゲート素子の開閉とは異なるタイミングで出力することができるという利点がある。

[0088] 本発明の第4の観点によるアドレス指定型イメージセンサのさらに他の好ましい例では、前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる。この場合、実質的な同時シャッタ化が容易に実現できるという利点がある。

[0089] (13) 本発明の第1及び第2の観点によるセンサ回路と、本発明の第3及び第4の観点によるアドレス指定型イメージセンサにおいて、「光電変換素子」とは、照射された光に応じて電荷を生成する素子を意味する。「光電変換素子」としては、半導体素子であるフォトダイオードが好適に使用できるが、照射された光に応じて電荷を生成する機能を持つ素子であれば、本発明はこれに限定されず、任意のものを使用可能である。

[0090] 「第1ゲート素子」とは、複数の前記光電変換素子の各々とそれに対応する前記共通ノードとを結ぶ経路を開閉するゲート機能を有する素子を意味する。MOSTランジスタが好適に使用できるが、本発明はこれに限定されるものではない。

[0091] 「リセットトランジスタ」は、前記グループに属する複数の前記画素(前記光電変換素子)で生成される信号電荷をリセットする機能を持つトランジスタであれば、任意のトランジスタを使用可能である。「リセットトランジスタ」としては、MOSTランジスタが好適に使用できるが、本発明はこれに限定されるものではない。

[0092] 「増幅トランジスタ」は、前記画素ブロックに属する複数の前記画素(前記光電変換素子)で生成される信号電荷に対応する信号を時系列的に増幅して出力信号を生成する機能を持つトランジスタであれば、任意のトランジスタを使用可能である。「増

幅トランジスタ」としては、MOSTランジスタが好適に使用できるが、本発明はこれに限定されるものではない。

[0093] 「第1半導体回路層」及び「第2あるいは第3以降の半導体回路層」とは、それぞれ、半導体回路の層、換言すれば、層状に形成された半導体回路を意味する。通常は、「半導体基板」と、その半導体基板の内部または表面に形成された「素子」及び「配線」を含むが、これに限定されるわけではない。「半導体基板」の材質は任意であり、所望の半導体素子や回路を形成できるものであれば、シリコンでもよいし、化合物半導体でもよいし、その他の半導体でもよい。「半導体基板」の構造も任意であり、半導体製の単なる板でもよいし、いわゆるSOI (Silicon On Insulator) 基板でもよい。

[0094] 「第1半導体回路層」及び「第2あるいは第3以降の半導体回路層」は、必要に応じて(例えば、第1半導体回路層と第2あるいは第3以降の半導体回路層だけでは所望の剛性が得られない場合)、それらを支持するに足る剛性を持つ任意の「支持基板」に対して固定される。「支持基板」の材質は任意である。すなわち、半導体であってもよいし、ガラスであってもよいし、その他の材質であってもよい。内部に回路が形成された半導体基板、すなわち、いわゆるLSIウェハ―やLSIチップでもよい。

[0095] 「埋込配線」とは、「第1半導体回路層」または「第2あるいは第3以降の半導体回路層」の内部に埋設される積層方向の電氣的接続用の配線ないし導体を言う。「埋込配線」は、通常、半導体基板に形成された「トレンチ」または「透孔」の内壁面全体を覆う「絶縁膜」と、その絶縁膜の内側の空間に充填された(埋め込まれた)「導電性材料」とから構成される。しかし、この構成に限定されるわけではない。

[0096] ここで、「トレンチ」または「透孔」とは、所望の深さを持ち、埋込配線となる導電性材料を収容するものであればよく、構成は任意である。「トレンチ」または「透孔」の深さ、開口形状、開口寸法、断面形状等は、必要に応じて任意に設定できる。「トレンチ」または「透孔」の形成方法は、半導体基板をその表面側から選択的に除去して形成できるものであれば、任意の方法が使用できる。例えば、マスクを用いた異方性エッチング法が好適に使用できる。

[0097] 「トレンチ」または「透孔」の内壁面を覆う「絶縁膜」は、半導体基板と「トレンチ」または「透孔」の内部に充填される「導電性材料」とを電氣的に絶縁できるものであれば、

任意の絶縁膜が使用できる。例えば、二酸化シリコン(SiO_2)、窒化シリコン(SiN_x)等が好適に使用できる。「絶縁膜」の形成方法は、任意である。

- [0098] 「トレンチ」または「透孔」の内部に充填される「導電性材料」は、埋込配線(例えば導電性プラグ)として使用できるものであればよく、任意の材料が使用できる。例えば、ポリシリコン等の半導体、タングステン(W)、銅(Cu)、アルミニウム(Al)等の金属が好適に使用できる。「導電性材料」の充填方法は、半導体基板の片面から「導電性材料」を「トレンチ」または「透孔」の内部に充填できるものであれば、任意の方法が使用できる。

発明の効果

- [0099] 本発明のセンサ回路によれば、(a)全画素についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現できる、(b)従来のアドレス指定型イメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる、という効果が得られる。
- [0100] 本発明のアドレス指定型イメージセンサによれば、(a)全画素についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のアドレス指定型イメージセンサよりも高い画素開口率を実現できる、(b)従来のアドレス指定型イメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる、(c)撮像領域の総面積に対する受光領域の総面積の割合が高い、という効果が得られる。

図面の簡単な説明

- [0101] [図1]本発明の第1実施形態に係るセンサ回路が使用されるアドレス指定型イメージセンサの全体構成を示す機能ブロック図である。
- [図2]本発明の第1実施形態に係るセンサ回路の要部回路構成を示す図で、第j列に属する二つの画素ブロックの回路構成を示している。
- [図3]本発明の第2実施形態に係るセンサ回路の要部回路構成を示す図2と同様の図である。
- [図4]本発明の第3実施形態に係るセンサ回路の要部回路構成を示す図2と同様の

図である。

[図5]本発明の第4実施形態に係るセンサ回路の要部回路構成を示す図2と同様の図である。

[図6]本発明の第5実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図7]本発明の第6実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図8]本発明の第5実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図9]本発明の第6実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図10]本発明の第7実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図11]本発明の第7実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図12]本発明の第8実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図13]本発明の第9実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図14]本発明の第9実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図15]本発明の第10実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図16]本発明の第11実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図17]本発明の第11実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図18]本発明の第12実施形態に係るアドレス指定型イメージセンサの実際構造を示

す要部断面図である。

[図19]本発明の第13実施形態に係るセンサ回路が使用されるアドレス指定型イメージセンサの全体構成を示す機能ブロック図である。

[図20]本発明の第13実施形態に係るセンサ回路の要部回路構成を示す図で、第j列に属する二つの画素ブロックの回路構成を示している。

[図21]本発明の第14実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図22]本発明の第15実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図23]本発明の第14実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図24]本発明の第15実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図25]本発明のアドレス指定型イメージセンサに使用される記憶用容量素子の構成例を示す要部断面図である。

[図26]本発明のアドレス指定型イメージセンサに使用される記憶用容量素子の他の構成例を示す要部断面図である。

[図27]本発明のアドレス指定型イメージセンサに使用される記憶用容量素子のさらに他の構成例を示す要部断面図である。

[図28]本発明の第16実施形態に係るアドレス指定型イメージセンサの要部回路構成を示す回路図である。

[図29]本発明の第16実施形態に係るアドレス指定型イメージセンサの実際構造を示す要部断面図である。

[図30] (a) は、従来のCMOS (アドレス指定型) イメージセンサの一般的な回路構成を示す概念図、(b) は同イメージセンサの信号電荷の蓄積期間を示す概念図である。

[図31]従来のCMOS (アドレス指定型) イメージセンサの要部回路構成を示す回路図である。

[図32]従来のCMOS(アドレス指定型)イメージセンサの実際構造を示す要部断面図である。

[図33](a)は、従来のCCD(電荷転送型)イメージセンサの一般的な回路構成を示す概念図、(b)は同イメージセンサの信号電荷の蓄積期間を示す概念図である。

[図34](a)は高速回転する羽根をCCD(電荷転送型)イメージセンサによって撮像して得た画像を示す概念図、同じ羽根を従来のCMOS(アドレス指定型)イメージセンサによって撮像して得た画像を示す概念図である。

符号の説明

- [0102] 1、1A、1B、1C センサ回路
2、2A、2B、2C、2D、2E、2F、2G、2H アドレス指定型イメージセンサ
3 センサ回路
4、4A アドレス指定型イメージセンサ
11、11a 画素
12、12a 画素ブロック
13、13a 共通ノード
14、15 ノード
21、21A、21B、21C、21D、21E、21F 上位半導体回路層
22Fa 中位半導体回路層
22、22'、22A、22A'、22B、22B'、22C'、22D'、22E、22E'、22Fb 下位半導体回路層
23、23' 埋込配線
23a、23a' 導電性コンタクトプラグ
24、24' 絶縁膜
31 リセット線
32 読出制御線
33 水平信号線
34 垂直走査回路
35 水平走査回路

- 36 CDS回路
- 37 列信号線
- 38 列選択信号
- 39 出力選択線
- 39a 出力制御線
- 40 p型シリコン基板
- 41 素子分離絶縁膜
- 42、43 n^+ 型領域
- 44 ゲート電極
- 45 導電性コンタクトプラグ
- 46 配線膜
- 47 配線構造
- 48 n^+ 型領域
- 49 ゲート電極
- 50 導電性コンタクトプラグ
- 52 n^+ 型領域
- 53 ゲート電極
- 54、55 導電性コンタクトプラグ
- 56、57 配線膜
- 58 導電性コンタクトプラグ
- 59 配線膜
- 60、60' p型シリコン基板
- 61、61' 素子分離絶縁膜
- 62、64、66、66a、66b n^+ 型領域
- 63、65、67、67a、67b ゲート電極
- 67aa 容量素子
- 68、69、70、71 導電性コンタクトプラグ
- 72、72a、73 配線膜

74、74' 配線構造

74a、74a、74a' 導電性コンタクトプラグ

75、75' 配線膜

76 n^+ 型領域

77 ゲート電極

78、80、82 導電性コンタクトプラグ

79、81、83 配線膜

90、90'

バンプ電極

91、91' 電氣的絶縁性接着剤

$PD_1 \sim PD_n$ フォトダイオード

$TG_1 \sim TG_n$ トランスファゲート

$Tr_{RST}, Tr_{RST1} \sim Tr_{RSTn}$ リセットトランジスタ

Tr_{AMP} 増幅トランジスタ

$Tr_{SEL1} \sim Tr_{SELn}$ 選択トランジスタ

R 抵抗器

$C_{ST}, C_{ST1} \sim C_{STn}$ 記憶用容量素子

R_0 寄生抵抗

C_{sn}, C_{01}, C_{02} 寄生容量

発明を実施するための最良の形態

[0103] 以下、本発明の好適な実施の形態について、添付図面を参照して詳細に説明する。

[0104] (第1実施形態)

図2は、本発明の第1実施形態に係るセンサ回路1の要部回路構成を示す図である。図1は、このセンサ回路1が使用されるアドレス指定型イメージセンサ(以下、CMOSイメージセンサともいう)の全体構成を示す機能ブロック図である。このセンサ回路1は、本発明の第1の観点によるセンサ回路に対応する。

[0105] 図1のイメージセンサの全体構成は、図30(a)に示す従来のCMOS(アドレス指定

型)イメージセンサとほぼ同様であって、 $(k \times n)$ 行 m 列(k 、 n 、 m はいずれも2以上の整数)のマトリックス状に配置された $(k \times n) \times m$ 個の画素11(以下、これら画素11により形成されるマトリックスを「画素マトリックス」ともいう)を備えている。ただし、これらの画素11は、 $(k \times m)$ 個の画素ブロック12に区分(ブロック化)されている点と、各画素11中にリセットトランジスタ及び増幅トランジスタが含まれていない点で、従来のCMOSイメージセンサとは異なる。すなわち、各画素ブロック12では、同じ列に属する画素11が n 個毎にまとめられて共通ノード(図1には図示せず。図2では共通ノード13に対応する)に並列接続されて、画素ブロック12を構成している(図2を参照)。画素ブロック12もマトリックス状に配置されている。

- [0106] リセットトランジスタ Tr_{RST} 及び増幅トランジスタ Tr_{AMP} は、画素ブロック12の外部において画素ブロック12毎に一つずつ設けられている。換言すれば、リセットトランジスタ Tr_{RST} 及び増幅トランジスタ Tr_{AMP} は、それぞれ、各画素ブロック12中の n 個の画素11に対して共用される。したがって、リセットトランジスタ Tr_{RST} の総数は $(k \times m)$ 個であり、増幅トランジスタ Tr_{AMP} の総数も $(k \times m)$ 個である。
- [0107] 各画素ブロック12の近傍には、それぞれが画素マトリックスの対応する列に沿って延在する m 本のリセット線31が形成されている。各画素ブロック12毎に一つのリセットトランジスタ Tr_{RST} が設けられているので、各リセット線31には k 個のリセットトランジスタ Tr_{RST} が接続されていることになる。それらリセットトランジスタ Tr_{RST} の各々の出力端には、一つの増幅トランジスタ Tr_{AMP} が接続されている。各リセット線31は、対応する列に属する k 個の画素ブロック12中の画素11に蓄積された信号電荷をリセットするために使用される。それらの画素11へのリセット用電圧の印加は、対応するリセットトランジスタ Tr_{RST} を用いて制御される。(画素11の信号電荷をリセットする際に、増幅トランジスタ Tr_{AMP} のゲート電極もリセットされる。)各増幅トランジスタ Tr_{AMP} は、対応する画素ブロック12の中の各画素11から読み出された信号を増幅するために使用される。各増幅トランジスタ Tr_{AMP} で増幅された信号は、当該増幅トランジスタ Tr_{AMP} の出力端を介して、対応する列信号線37に順に送出される。
- [0108] 各画素ブロック12の近傍には、さらに、それぞれが画素マトリックスの対応する行に沿って延在する $(k \times n)$ 本の読出制御線32が形成されている。これら読出制御線32

は、同じ行に属する m 個の画素ブロック12に対して n 本ずつ設けられており、各画素ブロック12中の n 個の画素11の各々から信号を読み出すために使用される。図1では、同じ行に属する m 個の画素ブロック12に対して設けられた n 本の読出制御線32を、まとめて一本の線で示している。

[0109] 画素マトリックスの左端の近傍には、画素マトリックスの列に沿って延在する一つの垂直走査回路34が設けられている。この垂直走査回路34は、 $(k \times n)$ 本の読出制御線32を順に走査してそれらを時系列的に選択する。その際に、各読出制御線32には、対応する行に属する m 個の画素ブロック12の各々に含まれている n 個の画素11を、時系列的に選択する信号(図2のトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ に対応する)が送出される。

[0110] 画素マトリックスの下端の近傍には、画素マトリックスの行に沿って延在する一つの水平信号線33及び一つの水平走査回路35と、ノイズ除去用の m 個のCDS回路36とが設けられている。水平走査回路35は、 m 個の列選択信号38によってこれらCDS回路36を時系列的に選択する。

[0111] m 個のCDS回路36の各々には、当該列に属する k 個の増幅トランジスタ Tr_{AMP} の出力端にそれぞれ接続された k 本の列信号線37が並列に接続されている。したがって、同じ行に属する k 個の増幅トランジスタ Tr_{AMP} の k 個の出力信号が、対応するCDS回路36に並列に入力される。 m 個のCDS回路36の出力端子は、水平信号線33にそれぞれ接続されているので、各CDS回路36の出力信号は、水平信号線33を介して順次、当該イメージセンサの外部に出力される。

[0112] 次に、図2を参照しながら、上記構成を持つアドレス指定型イメージセンサに使用される第1実施形態に係るセンサ回路1について説明する。

[0113] 図2は、画素マトリックスの第 j 列(ただし、 $1 \leq j \leq m$)に属する二つの画素ブロック12の回路構成を示している。上の画素ブロック12は上から i 番目(ただし、 $1 \leq i \leq k$)に位置し、下の画素ブロック12は上から第 $(i+1)$ 番目に位置している。したがって、必要に応じて、上の画素ブロック12を $12(i, j)$ と表示し、下の画素ブロック12を $12(i+1, j)$ と表示する。

[0114] 上の画素ブロック $12(i, j)$ は、第 j 列の第 $[n \times (i-1) + 1]$ 行～第 $(n \times i)$ 行に属す

る画素11を含む。下の画素ブロック12(i+1, j)は、第j列の第[n×i+1]行～第[n×(i+1)]行に属する画素11を含む。これら二つの画素ブロック12(i, j)と12(i+1, j)は同一の構成を有するので、以下の説明では、主として上の画素ブロック12(i, j)について説明することにする。

[0115] 画素ブロック12(i, j)の中には、n個の画素11が含まれており、各画素11は一つのフォトダイオードと一つのトランスファゲートを含む。したがって、各画素11は、n個のフォトダイオードPD₁～PD_nと、n個のトランスファゲートTG₁～TG_nを含んでいる。トランスファゲートTG₁～TG_nの各々は、MOSTランジスタから構成されている。フォトダイオードPD₁～PD_nの各々のアノードは、トランスファゲートTG₁～TG_nの対応するものの一方のソース・ドレイン領域に接続され、カソードは所定電位(通常は接地電位)の端子または領域に共通接続されている。トランスファゲートTG₁～TG_nの各々の他方のソース・ドレイン領域は、画素ブロック12(i, j)の中の共通ノード13に共通接続されている。すなわち、画素ブロック12(i, j)の中のn個の画素11は、共通ノード13に並列に接続されている。

[0116] 画素ブロック12(i, j)の共通ノード13は、当該画素ブロック12(i, j)に対応して設けられた共通のリセットランジスタT_{RST}の一方のソース・ドレイン領域と、当該画素ブロック12(i, j)に対応して設けられた共通の増幅ランジスタT_{AMP}のゲート電極に、ノード14で接続されている。これらのリセットランジスタT_{RST}と増幅ランジスタT_{AMP}は、いずれも画素ブロック12(i, j)の外側に設けられている。リセットランジスタT_{RST}の他方のソース・ドレイン領域は、リセット用電圧源(リセット電圧=V_{RST})に接続されている。増幅ランジスタT_{AMP}の一方のソース・ドレイン領域は、直流電源(電源電圧=V_{CC})に接続されており、他方のソース・ドレイン領域(出力側)は、当該画素ブロック12(i, j)の出力端子(すなわち、対応する列信号線37)に接続されている。増幅ランジスタT_{AMP}の出力端(出力側のソース・ドレイン領域)は、抵抗器Rを介して所定電位(通常は接地電位)の端子または領域に接続されており、ソースフォロア形式の増幅器を構成している。ノード14に接続された容量C_{sn}は、当該ノード14に生じる寄生容量である。ノード14は、寄生容量C_{sn}を介して所定電位(通常は接地電位)の端子または領域に接続されている。

[0117] 増幅トランジスタ T_{AMP} の出力端子(出力側のソース・ドレイン領域)は、図1に示すように、対応する列信号線37に接続されているから、増幅トランジスタ T_{AMP} の出力信号、すなわち n 個のフォトダイオード $PD_1 \sim PD_n$ のシリアル(時系列的な)出力信号は、対応する列信号線37を介して対応するCDS回路36に送られる。そして、CDS回路36から水平信号線33に送られる際に、水平走査回路35の走査によって m 個の列選択信号38を介して当該列信号線37が選択され、それによって当該シリアル出力信号は水平信号線33に送られる。その後、水平信号線33の一端(図1では右端)に設けられた当該イメージセンサの出力端子(図示せず)まで送られる。

[0118] 画素ブロック12(i, j)の以外のすべての画素ブロック12は、画素ブロック12(i, j)と同じ構成を有しているので、上述したのと同様にして、 n 個のフォトダイオード $PD_1 \sim PD_n$ のシリアル出力信号が当該イメージセンサの出力端子まで送られる。こうして被写体の撮像が可能となる。

[0119] 次に、以上の構成を持つセンサ回路1を備えたアドレス指定型イメージセンサの動作(信号電荷の生成・蓄積から出力信号の出力まで)について説明する。

[0120] 1. 全画素(全フォトダイオード)のグローバルリセット

まず、全画素11のフォトダイオード $PD_1 \sim PD_n$ の各々に対して設けられたトランスファゲート $TG_1 \sim TG_n$ (第1ゲート素子)を構成するMOSTランジスタのゲート電極にそれぞれ印加されるパルス信号(トランスファゲート制御信号) $\phi_{T1} \sim \phi_{Tn}$ の論理状態をHigh(H)とし、もって全トランスファゲート $TG_1 \sim TG_n$ を導通状態とする。

[0121] 次に、全画素11のトランスファゲート $TG_1 \sim TG_n$ を開いたままで、全画素ブロック12の各々に対して設けられたリセットトランジスタ Tr_{RST} のゲート電極に印加されるパルス信号(リセット制御信号) ϕ_{RST} の論理状態をHとし、もって全リセットトランジスタ Tr_{RST} を一括して導通状態にする。その結果、所定のリセット電圧 V_{RST} が、ノード14と共通ノード13とトランスファゲート $TG_1 \sim TG_n$ を介して、全画素11のフォトダイオード $PD_1 \sim PD_n$ に同時に印加される。その結果、全画素11のフォトダイオード $PD_1 \sim PD_n$ に印加される電圧がリセット電圧 V_{RST} にほぼ等しくされる、換言すれば、全画素11のフォトダイオード $PD_1 \sim PD_n$ がリセットされる。こうして、全画素11の「一括同時リセット」、すなわち「グローバルリセット」が行われる。

[0122] 2. 露光(電荷蓄積)

次に、全画素11のトランスファゲート $TG_1 \sim TG_n$ に印加されるトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態をLow(L)とし、すべてのトランスファゲート $TG_1 \sim TG_n$ を遮断状態とする。また、それと同時に、リセット制御信号 ϕ_{RST} の論理状態をLとし、全リセットトランジスタ Tr_{RST} も一括して遮断状態とする。

[0123] その後、その状態で、全画素11のフォトダイオード $PD_1 \sim PD_n$ に光を照射させ、全フォトダイオード $PD_1 \sim PD_n$ に一括して信号電荷を生成・蓄積させる。照射時間は通常、数百 μsec ないし数msecで、非常に長い。

[0124] 信号電荷の生成・蓄積が完了すると同時に、リセット制御信号 ϕ_{RST} の論理状態を再びHとして全リセットトランジスタ Tr_{RST} を一括して導通状態にし、所定時間(例えば、 $1 \mu sec$)経過後、リセット制御信号 ϕ_{RST} の論理状態を再びLとして全リセットトランジスタ Tr_{RST} を一括して遮断状態にする。こうして、全ノード14(すなわち全増幅トランジスタ Tr_{AMP} のゲート電極)にリセット電圧 V_{RST} を一時的に印加し、全増幅トランジスタ Tr_{AMP} のゲート電圧を所定の基準電圧に設定する。

[0125] 3. 信号の読み出しとその増幅

上記のようにして全フォトダイオード $PD_1 \sim PD_n$ に生成・蓄積せしめられた電荷量に比例する信号は、電圧の形式で次のようにして各画素11から読み出され、増幅される。

[0126] すなわち、まず、垂直走査回路34と水平走査回路35によって一つの画素ブロック12が選択されると、その画素ブロック12中のn個のトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態を順にLからHに変えてトランスファゲート $TG_1 \sim TG_n$ を順に導通状態にしていく。そして、それらの導通状態を所定時間(例えば、 $0.1 \mu sec$)保持した後、順にそれらの論理状態をLに戻していく。こうして、当該画素ブロック12中の全フォトダイオード $PD_1 \sim PD_n$ から信号がノード14に時系列的に読み出される。その間、全リセットトランジスタ Tr_{RST} は遮断状態に保持される。

[0127] ノード14にソースフォロア形式で接続された増幅トランジスタ Tr_{AMP} は、そのゲート電極がノード14に接続されているので、ノード14に読み出された電圧信号は直ちに当該増幅トランジスタ Tr_{AMP} で増幅される。そして、増幅された信号は、当該増幅トラ

ンジスタ Tr_{AMP} の出力端子側のソース・ドレイン領域から列信号線37に向けて出力される。

[0128] 当該画素ブロック12中の n 個の画素11、すなわちフォトダイオード $\text{PD}_1 \sim \text{PD}_n$ から信号を読み出して増幅する際に、一つの画素11(例えば、フォトダイオード PD_1)からの信号の読み出しと増幅が完了してから、次の画素11(例えば、フォトダイオード PD_2)の信号の読み出しが開始するまでの間に、当該画素ブロック12用のリセットランジスタ Tr_{RST} を導通状態にすることによってリセット電圧 V_{RST} をノード14に一時的に印加し、もって当該ノード14(増幅トランジスタ Tr_{AMP} のゲート電極)を基準電位に設定する(リセットする)必要がある。これは、そうしないと、先の画素11(例えば、フォトダイオード PD_1)からの信号の影響が残って次の画素11(例えば、フォトダイオード PD_2)からの信号に誤差が生じる恐れがあるからである。

[0129] 当該画素ブロック12中には n 個のフォトダイオード $\text{PD}_1 \sim \text{PD}_n$ があるから、トランスファゲート制御信号 $\phi_{\text{T1}} \sim \phi_{\text{Tn}}$ による読み出し動作の総回数は n 回、増幅トランジスタ Tr_{AMP} による増幅動作の総回数は n 回、増幅トランジスタ Tr_{AMP} のリセット動作の総回数は $(n-1)$ 回となる。

[0130] 具体的に説明すると、例えば、最初に、当該画素ブロック12の1番目のトランスファゲート TG_1 を一時的に導通状態にして、1番目のフォトダイオード PD_1 に蓄積された信号電荷に比例する電圧信号をノード14に読み出す。その電圧信号は直ちに増幅トランジスタ Tr_{AMP} で増幅され、得られた増幅信号は列信号線37に向けて送られる。続いて、リセットランジスタ Tr_{RST} を一時的に導通状態にして、増幅トランジスタ Tr_{AMP} のゲート電極(ノード14)を基準電位にリセットする。その後、2番目のフォトダイオード PD_2 に蓄積された信号電荷に比例する電圧信号をノード14に読み出す。その電圧信号は直ちに増幅トランジスタ Tr_{AMP} で増幅され、得られた増幅信号は列信号線37に向けて送られる。続いて、リセットランジスタ Tr_{RST} を一時的に導通状態にして、増幅トランジスタ Tr_{AMP} のゲート電極(ノード14)を基準電位にリセットする。さらに、3番目のフォトダイオード PD_3 、4番目のフォトダイオード PD_4 というように、上記と同じ動作が順に繰り返される。最後に、 n 番目のフォトダイオード PD_n についての読み出し動作と増幅動作を実行すると、当該画素ブロック12についての処理が終了する。

- [0131] 図1のイメージセンサでは、当該画素ブロック12に対応する増幅トランジスタ Tr_{AMP} の出力端子が一つであるから、当該画素ブロック12中の全フォトダイオード $PD_1 \sim PD_n$ から得られる n 個の信号が、当該増幅トランジスタ Tr_{AMP} の出力端子側のソース・ドレイン領域から列信号線37に向けて時系列的に順に出力される。つまり、当該画素ブロック12から出力される信号は、フォトダイオード $PD_1 \sim PD_n$ の信号電荷の量(照射された光の量)を反映する n 個のパルス波形が所定間隔をあけて連結された一つのシリアル信号となる。
- [0132] 上記イメージセンサは、合計で $(k \times m)$ 個の画素ブロック12を有するから、全画素11が走査される間に、上述した動作が $(k \times m)$ 回繰り返されることになる。
- [0133] 当該画素ブロック12から出力される信号、すなわち、 n 個の信号パルスが所定間隔をあけて連結された一つのシリアル信号は、公知のサンプル・アンド・ホールド(Sample & Hold)回路やアナログ・デジタル(A/D)変換回路に送られ、所定の信号処理が行われる。
- [0134] 現在の現実的な最高シャッタースピード(つまり最短の信号電荷蓄積期間)は $(1/8000)$ 秒($=125 \mu \text{ sec}$)である。したがって、 $(k \times m)$ 個の画素ブロック12の各々について、リセットトランジスタ Tr_{RST} によるノード14(増幅トランジスタ Tr_{AMP} のゲート電極)のリセット動作を必要回数(つまり $(n-1)$ 回)実行するのに要する時間(総リセット時間)と、当該画素ブロック12中の全画素11(全フォトダイオード $PD_1 \sim PD_n$)からの信号を対応する増幅トランジスタ Tr_{AMP} で増幅するのに要する時間(総増幅時間)の和を求め、その和の $(k \times m)$ 倍の時間が、最短の信号電荷蓄積期間($=125 \mu \text{ sec}$)よりも十分小さくなるように n 値(各画素ブロック12中の画素11の総数)を設定すれば、全画素ブロック12に属する画素11(フォトダイオード $PD_1 \sim PD_n$)についての信号電荷の蓄積(露光)が実質的に同時に行われることになる。換言すれば、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能となる。
- [0135] また、全画素ブロック12の各々から独立して $(k \times m)$ 個の出力シリアル信号が出力されるので、これら出力シリアル信号に対してアナログ・デジタル(A/D)変換等の処理を並列して行うことができる。よって、従来のCMOSイメージセンサにおけるものよりも高速でデータ処理が可能となる。これも、実質的同時シャッタ化の実現に貢献す

るものである。

[0136] 上述した動作から明らかなように、1フレーム内で見ると、各画素ブロック12から出力されるシリアル出力信号は、走査期間の終わりに近いものほど、当該走査期間の始めに生成・出力されたものよりも、わずかではあるが電荷蓄積期間が長くなる。このため、いっそう忠実度の高い画像データを得たい場合や、 n 値を大きくしたい場合は、電荷蓄積期間の変化に応じた信号補正を行う公知の回路を後段に設けてもよい。そうすれば、電荷蓄積期間の変動の影響を抑制あるいは回避することができるからである。

[0137] このようにして実質的に同時シャッタ化が可能となることにより、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0138] さらに、各画素ブロック12に対して、当該画素ブロック12の外側に共通のリセットトランジスタ Tr_{RST} と共通の増幅トランジスタ Tr_{AMP} が設けられているため、当該画素ブロック12中の各画素11は一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済む。したがって、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができる。

[0139] なお、従来のCMOSイメージセンサでは、走査線の数に応じて信号処理がシリアルに行われるため、高速のA/D変換回路が必要であるが、この第1実施形態のセンサ回路1を用いたイメージセンサでは、 n 値を走査線数よりも小さく設定して並列度を上げることにより、増幅トランジスタ Tr_{AMP} の各々のシリアル出力信号の処理速度を遅くすることが可能となる。このため、より簡単な構成のA/D変換回路を使用できるという効果もある。

[0140] また、 n 個のフォトダイオード $PD_1 \sim PD_n$ からの n 個の出力信号が、シリアルに連結された形態で増幅トランジスタ Tr_{AMP} の各々から出力されるため、増幅トランジスタ Tr_{AMP} の各々の出力端子に接続される次段の配線が簡単になるという効果もある。

[0141] (第2実施形態)

図3は、本発明の第2実施形態に係るセンサ回路1Aの構成を示す回路図である。

このセンサ回路1Aが使用されるアドレス指定型イメージセンサの全体構成は、図1に示したものと同一であるから、その説明は省略する。このセンサ回路1Aは本発明の第1の観点によるセンサ回路に対応する。

[0142] 図3に示すセンサ回路1Aの回路構成は、第1実施形態に係るセンサ回路1(図2を参照)の回路構成とほぼ同じであり、各画素ブロック12に対して設けられた増幅トランジスタ Tr_{AMP} の出力側に、記憶用容量素子 C_{ST} と出力トランジスタ Tr_{OUT} が追加されている点で異なるのみである。したがって、図2のセンサ回路1と同一の要素には同一の符号を付してその説明を省略する。

[0143] 記憶用容量素子 C_{ST} は、対応する増幅トランジスタ Tr_{AMP} で増幅された信号を一時的に記憶するためのもので、その一方の端子は当該増幅トランジスタ Tr_{AMP} の出力側のソース・ドレイン領域に接続され、他方の端子は所定電位(通常は接地電位)の端子または領域に接続されている。

[0144] 出力トランジスタ Tr_{OUT} は、当該記憶用容量素子 C_{ST} に一時的に記憶せしめられた信号を対応する列信号線37に送出するためのもので、その出力側のソース・ドレイン領域は当該画素ブロック12の出力端子(列信号線37)に接続されている。出力トランジスタ Tr_{OUT} は、そのゲート電極に印加される出力制御信号 ϕ_{OUT} の論理状態をHにすることによって導通状態となり、Lにすることによって遮断状態となる。したがって、記憶用容量素子 C_{ST} に一時的に記憶せしめられた信号を列信号線37に出力する際に、出力トランジスタ Tr_{OUT} は、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ の開閉とは異なるタイミングで開閉されることが可能である。

[0145] 上述した第1実施形態のセンサ回路1を用いたイメージセンサでは、対応する画素ブロック12中のn個のフォトダイオード $PD_1 \sim PD_n$ からのシリアル出力信号は、増幅トランジスタ Tr_{AMP} で増幅された後に直ちに列信号線37に向けて出力される。これに対し、第2実施形態のセンサ回路2を用いたイメージセンサでは、画素ブロック12中のn個のフォトダイオード $PD_1 \sim PD_n$ からのシリアル出力信号は、増幅トランジスタ Tr_{AMP} で増幅された後に記憶用容量素子 C_{ST} に一時的に記憶されるため、出力制御信号 ϕ_{OUT} によって、当該フォトダイオード $PD_1 \sim PD_n$ からの信号の読み出しのためのトランスファゲート $TG_1 \sim TG_n$ の開閉とはタイミングをずらして、列信号線37に向けて出

力させることができる。

[0146] 以上の構成を持つ第2実施形態に係るセンサ回路1Aを備えたイメージセンサでは、第1実施形態の場合と同様の理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能となる。また、このようにして実質的同時シャッタ化が可能となることにより、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0147] また、各画素ブロック12に対して、当該画素ブロック12の外側に共通のリセットトランジスタ Tr_{RST} と共通の増幅トランジスタ Tr_{AMP} が設けられているため、当該画素ブロック12の各画素11は一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済む。したがって、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率を実現することができる。

[0148] さらに、出力制御信号 ϕ_{OUT} により、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、第1実施形態のセンサ回路1を用いた場合よりも高速の撮像が可能であるという効果もある。

[0149] (第3実施形態)

図4は、本発明の第3実施形態に係るセンサ回路1Bの構成を示す回路図である。このセンサ回路1Bが使用されるアドレス指定型イメージセンサの全体構成は、図1に示したものと同じであるから、その説明は省略する。このセンサ回路1Bは本発明の第1の観点によるセンサ回路に対応する。

[0150] 図4に示すセンサ回路1Bの回路構成は、第1実施形態に係るセンサ回路1(図2を参照)の回路構成とほぼ同じであり、各画素ブロック12に対して設けられた増幅トランジスタ Tr_{AMP} の出力側のソース・ドレイン領域に、 n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ (第2ゲート素子)が並列に接続されていて、増幅された n 個のフォトダイオード PD_{1n} から n 個の出力信号が、選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ を介して並列的に列信号線37に出力される点で異なるのみである。選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ は、それぞれ、ゲート電極に印加される出力選択信号 $\phi_{SEL1} \sim \phi_{SELn}$ の論理状態をHに

することによって導通状態となり、Lにすることによって遮断状態となる。したがって、図2のセンサ回路1と同一の要素には同一の符号を付してその説明を省略する。

[0151] n 個のフォトダイオード $PD_1 \sim PD_n$ に生成・蓄積された信号電荷に対応する信号を読み出して増幅する際に、 n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ は、対応する画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ とほぼ同期して開閉される。すなわち、例えば、フォトダイオード PD_1 からの信号を読み出して増幅する際には、トランスファゲート TG_1 が開かれる(導通状態とされる)が、それとほぼ同期して選択トランジスタ Tr_{SEL1} が開かれる(導通状態とされる)ので、読み出されたその信号電荷は、増幅トランジスタ Tr_{AMP} で増幅された後に直ちに選択トランジスタ Tr_{SEL1} を介して列信号線37に向けて出力される。

[0152] 以上の構成を持つ第3実施形態に係るセンサ回路1Bを備えたイメージセンサでは、第1実施形態の場合と同様の理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能となる。また、このようにして実質的同時シャッタ化が可能となることにより、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0153] さらに、各画素ブロック12に対して、当該画素ブロック12の外側に共通のリセットトランジスタ Tr_{RST} と共通の増幅トランジスタ Tr_{AMP} が設けられているため、当該画素ブロック12の各画素11は一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済む。したがって、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率を実現することができる。

[0154] なお、増幅された n 個のフォトダイオード $PD_1 \sim PD_n$ からの n 個の出力信号が、対応する n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ を介して並列的に列信号線37に向けて出力されるので、次段の信号処理が迅速に行えるという効果もある。

[0155] (第4実施形態)

図5は、本発明の第4実施形態に係るセンサ回路1Cの構成を示す回路図である。このセンサ回路1Cが使用されるアドレス指定型イメージセンサの全体構成は、図1に示したものと同一であるから、その説明は省略する。このセンサ回路1Cは本発明の第

1の観点によるセンサ回路に対応する。

[0156] 図5に示すセンサ回路1Cの回路構成は、第3実施形態に係るセンサ回路1B(図4を参照)の回路構成とほぼ同じであり、各画素ブロック12に対して設けられた増幅トランジスタ Tr_{AMP} の出力側に、n個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ (第2ゲート素子)が並列に接続され、さらに、それら選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の出力側に、n個の記憶用容量素子 $C_{ST1} \sim C_{STn}$ とn個の出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ が追加されている点で異なるのみである。したがって、図4のセンサ回路1Cと同一の要素には同一の符号を付してその説明を省略する。

[0157] 記憶用容量素子 $C_{ST1} \sim C_{STn}$ は、増幅トランジスタ Tr_{AMP} で増幅されたn個のフォトダイオード $PD_1 \sim PD_n$ からの信号をそれぞれ一時的に記憶するためのもので、それらの一方の端子は対応する選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の出力側のソース・ドレイン領域にそれぞれ接続され、他方の端子は所定電位(通常は接地電位)の端子または領域に接続されている。

[0158] 出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ は、当該記憶用容量素子 $C_{ST1} \sim C_{STn}$ に一時的に記憶せしめられた信号を対応する列信号線37に並列に送出するためのもので、それらの出力側のソース・ドレイン領域は当該画素ブロック12の出力端子(列信号線37)に接続されている。出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ は、それらのゲート電極に印加される出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ の論理状態をHにすることによって導通状態となり、Lにすることによって遮断状態となる。記憶用容量素子 $C_{ST1} \sim C_{STn}$ に一時的に記憶せしめられた増幅信号を列信号線37に並列出力する際に、出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ は、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ の開閉とは異なるタイミングで開閉されることが可能である。

[0159] 上述した第3実施形態のセンサ回路1Bを用いたイメージセンサでは、対応する画素ブロック12中のn個のフォトダイオード $PD_1 \sim PD_n$ からのn個の出力信号は、増幅トランジスタ Tr_{AMP} で増幅された後に直ちに列信号線37に向けて並列出力される。これに対し、第4実施形態のセンサ回路1Cを用いたイメージセンサでは、画素ブロック12中のn個のフォトダイオード $PD_1 \sim PD_n$ からの出力信号は、増幅トランジスタ Tr_{AMP} で増幅された後に記憶用容量素子 $C_{ST1} \sim C_{STn}$ にそれぞれ一時的に記憶されるため

、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ によって、当該フォトダイオード $PD_1 \sim PD_n$ からの信号の読み出しのためのトランスファゲート $TG_1 \sim TG_n$ の開閉とはタイミングをずらして、列信号線37に向けて並列出力させることができる。

[0160] 以上の構成を持つ第4実施形態に係るセンサ回路1Cを備えたイメージセンサでは、第1実施形態の場合と同様の理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能となる。また、このようにして同時シャッタ化が可能となることにより、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0161] また、各画素ブロック12に対して、当該画素ブロック12の外側に共通のリセットトランジスタ Tr_{RST} と共通の増幅トランジスタ Tr_{AMP} が設けられているため、当該画素ブロック12の各画素11は一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済む。したがって、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率を実現することができる。

[0162] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ により、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、第3実施形態のセンサ回路1Bを用いた場合よりも高速の撮像が可能であるという効果もある。

[0163] (第5実施形態)

図6は、本発明の第5実施形態に係るアドレス指定型イメージセンサ2の要部の回路構成を示す回路図であり、図8はそのイメージセンサ2の実際構造を示す要部断面図である。このイメージセンサ2は、上述した第3実施形態のセンサ回路1B(図4参照)を使用したものであり、上位半導体回路層21と下位半導体回路層22を積層して二段の三次元積層構造とされている。このイメージセンサ2は、本発明の第3の観点によるイメージセンサに対応する。

[0164] イメージセンサ2の全体構成及び動作は、図1に示したものと同一であるから、それらに関する説明は省略する。また、図6の回路構成は、図4に示した第3実施形態のセンサ回路1B(各増幅トランジスタ Tr_{AMP} の出力端にn個の選択トランジスタ $Tr_{SEL1} \sim$

Tr_{SELn} が接続されており、記憶用容量素子と出力トランジスタは有しないもの)と同じであるから、同一の要素に同一の符号を付してその説明は省略する。ただし、イメージセンサ2では、後述するように、上位半導体回路層21中に形成された各画素ブロック12の共通ノード13と、下位半導体回路層22中に形成されたリセットトランジスタ Tr_R 及び増幅トランジスタ Tr_{AMP} の接続点であるノード14とを電氣的に接続するために、公知の埋込配線23を使用していることから、埋込配線23と、当該埋込配線23によって生じる寄生抵抗 R_0 と寄生容量 C_{01} 及び C_{02} が図6に追加されている。埋込配線23は、各画素ブロック12(つまり、n個の画素11)に対して一つ設けられている。

[0165] 次に、図8を参照しながら、イメージセンサ2の実際構造について説明する。

[0166] イメージセンサ2は、図8から明らかなように、上位半導体回路層21と下位半導体回路層22とを、埋込配線23と微細なバンプ電極(例えば、インジウム(In)と金(Au)の積層体、あるいはタングステン(W)等からなる)90と、電氣的絶縁性の接着剤(例えばポリイミド)91とを用いて、機械的且つ電氣的に接続して構成されている。

[0167] なお、埋込配線23及びバンプ電極90を形成する方法と、上位半導体回路層21と下位半導体回路層22を接着剤91を用いて機械的接続する方法としては、当業界に公知のものを用いることができるから、それらに関する説明は省略する。

[0168] 上位半導体回路層21には、 $(k \times m)$ 個の画素ブロック12、つまり $(k \times n) \times m$ 個の画素11が形成されている。したがって、上位半導体回路層21は、 $(k \times n) \times m$ 個のフォトダイオード(すなわち、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$)と、 $(k \times n) \times m$ 個のトランスファゲート(すなわち、 $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$)を含んでいる。上位半導体回路層21には、さらに、 $(k \times m)$ 個の埋込配線23が形成されている。

[0169] 下位半導体回路層22には、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times n) \times m$ 個の選択トランジスタ(すなわち、 $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$)が形成されている。

[0170] 上位半導体回路層21では、p型の単結晶シリコン(Si)基板40の表面領域に、所定パターンで素子分離絶縁膜41が形成されており、それによって図1のレイアウトとなるように、 $(k \times n) \times m$ 個の画素11用の素子領域がマトリックス状に並んで形成されて

いる。それら素子領域の各々が一つの画素11に対応する。画素ブロック12の構成はすべて同一であるから、ここでは一つの画素ブロック12(i, j)について説明する。

- [0171] 画素ブロック12(i, j)に対応する素子領域の内部には、 n 個のフォトダイオード $PD_1 \sim PD_n$ と n 個のトランスファゲート $TG_1 \sim TG_n$ が形成されている。例えば、フォトダイオード PD_1 は、図8に示すように、 p 型基板40に形成された n^+ 形領域42から構成される（つまり、フォトダイオード PD_1 は $p-n$ 接合フォトダイオードである）。トランスファゲート TG_1 は、ゲート電極44と、このゲート電極44を挟んで n^+ 形領域42に対向している n^+ 形領域43とを含むMOSトランジスタによって形成されている。トランスファゲート TG_1 は、フォトダイオード PD_1 の n^+ 形領域42を共用しているため、トランスファゲート TG_1 の一方のソース・ドレイン領域が、フォトダイオード PD_1 のアノードと電氣的に接続されていることになる。ゲート電極44と基板40の表面の間に存在するゲート絶縁膜は、図8では省略している。（ゲート電極44と基板40の表面の間のゲート絶縁膜の存在は自明であるから、以下の説明においても、ゲート絶縁膜に関する説明は省略する。）ゲート電極44は、基板40の表面に形成された配線構造47中の配線を介して、対応する読出制御線32に電氣的に接続されている。ここで、配線構造47には、基板40の表面に形成された配線用導電体とそれを包含する絶縁体とを含み、基板40の表面に存在するゲート絶縁膜とゲート電極を含まない。（これは、以下の実施形態でも同様である。）他のフォトダイオード $PD_2 \sim PD_n$ とトランスファゲート $TG_2 \sim TG_n$ は、それぞれ、フォトダイオード PD_1 とトランスファゲート TG_1 と同様の構成を持つ。

- [0172] 配線構造47の内部には、所定パターンで形成された配線膜46と、その配線膜46に対してトランスファゲート $TG_1 \sim TG_n$ の n 個の n^+ 形領域43を電氣的に接続する n 個の導電性コンタクトプラグ45とが形成されている。画素ブロック12(i, j)中の n 個のトランスファゲート $TG_1 \sim TG_n$ は、それらコンタクトプラグ45によって、配線膜46にそれぞれ電氣的に接続されているから、トランスファゲート $TG_1 \sim TG_n$ は共通ノード13に並列に接続されていることになる。

- [0173] 基板40には、トランスファゲート $TG_1 \sim TG_n$ の n^+ 型領域（ソース・ドレイン領域）43に隣接する素子分離絶縁膜41と重なる位置に、素子分離絶縁膜41と基板40を上下方向に（基板40の主面に直交する方向に）貫通する($k \times m$)個の透孔が形成され

ている。この透孔の基板40のSi部分に接する部分の内壁の全面は、絶縁膜24で覆われている。この透孔の内部(絶縁膜24の内側と素子分離絶縁膜41の内部)には、ポリシリコン等の導電性材料が充填されており、その導電性材料が埋込配線23を形成する。この埋込配線23の上端は、基板40(素子分離絶縁膜41)の表面から露出しており、配線構造47の内部に形成された導電性コンタクトプラグ23aの下端に接続されている。この導電性コンタクトプラグ23aの上端は、配線構造47の内部に形成された配線膜46に接続されている。したがって、埋込配線23は、導電性コンタクトプラグ23aを介して対応する配線膜46に電氣的に接続されている。その結果、画素ブロック12(i, j)のn個のトランスファゲート $TG_1 \sim TG_n$ の n^+ 型領域(ソース・ドレイン領域)43は、図6に示した回路構成のように、対応する埋込配線23に電氣的に共通接続されていることになる。各埋込配線23の下端は、基板40の裏面から露出していて、その下端において対応するバンプ電極90に機械的・電氣的に接続されている。

[0174] 下位半導体回路層22では、p型の単結晶Si基板60の表面領域に、所定パターンで素子分離絶縁膜61が形成されており、それによって所定数のリセットトランジスタ Tr_{RST} 用の素子領域と、所定数の増幅トランジスタ Tr_{AMP} 用の素子領域と、所定数の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ 用の素子領域が形成されている。ここでは一つの画素ブロック12(i, j)に対応する構成について説明する。

[0175] 図8に示すように、リセットトランジスタ Tr_{RST} は、ゲート電極63と、このゲート電極63を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)62とを含むMOSトランジスタから構成されている。ゲート電極63は、基板60の表面に形成された配線構造74中の配線を介して、対応するリセット線31に電氣的に接続されている。ここで、配線構造74は、基板60の表面に形成された配線用導電体とそれを包含する絶縁体とを含み、基板60の表面に存在するゲート絶縁膜とゲート電極を含まない(これは、以下の実施形態でも同様である)。一方の n^+ 形領域62(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ68と配線膜72と導電性コンタクトプラグ74aと配線膜75を介して、対応するバンプ電極90に電氣的に接続されている。その結果、リセットトランジスタ Tr_{RST} の一方のソース・ドレイン領域は、対応する埋込配線23を介して、上位半導体回路層21の対応する共通ノード13(画素ブロッ

ク12(i, j))に電氣的に接続されていることになる(図6参照)。他方の n^+ 形領域62(ソース・ドレイン領域)には、図示しない配線を介してリセット電圧 V_{RST} が印加される。

[0176] 増幅トランジスタ Tr_{AMP} は、ゲート電極65と、このゲート電極65を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)64とを含むMOSTランジスタから構成されている。ゲート電極65は、配線構造74の内部に形成された導電性コンタクトプラグ71と配線膜72と導電性コンタクトプラグ74aと配線膜75を介して、対応するバンプ電極90に電氣的に接続されている。その結果、増幅トランジスタ Tr_{AMP} のゲート電極は、対応する埋込配線23を介して、上位半導体回路層21の対応する共通ノード13(画素ブロック12(i, j))に電氣的に接続されていることになる(図6参照)。また、一方の n^+ 形領域64(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ69を介して、配線構造74の内部に形成された配線膜73に電氣的に接続されている。他方の n^+ 形領域64(ソース・ドレイン領域)には、図示しない配線を介して電源電圧 V_{cc} が印加される。

[0177] n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の各々は、ゲート電極67と、このゲート電極67を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)66とを含むMOSTランジスタから構成されている。一方の n^+ 形領域(ソース・ドレイン領域)66は、配線構造74の内部に形成された導電性コンタクトプラグ70と配線膜73と導電性コンタクトプラグ69を介して、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域(ソース・ドレイン領域)64に電氣的に接続されている。他方の n^+ 形領域(ソース・ドレイン領域)66は、当該イメージセンサ2の対応する出力端子に接続されている。ゲート電極67は、配線構造74の内部に形成された配線を介して、出力選択線39に電氣的に接続されている。選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ のゲート電極67には、対応する出力選択線39を介して所定の出力選択信号 $\phi_{SEL1} \sim \phi_{SELn}$ がそれぞれ印加される。

[0178] 第5実施形態に係るイメージセンサ2では、図8に示すように、隣接する二つの選択トランジスタ、例えば Tr_{SEL1} と Tr_{SEL2} は、同じ素子領域中に形成されている。これは占有面積をできるだけ小さくするためである。当該素子領域の中には三つの n^+ 形領域(ソース・ドレイン領域)66が所定距離をあけて並列して形成されており、中央の n^+ 形領域66を二つの選択トランジスタ Tr_{SEL1} と Tr_{SEL2} とで共用している。そして、共用され

ている n^+ 形領域66を、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域64に電氣的に接続している。共用されていない n^+ 形領域66は、対応する出力端子にそれぞれ接続されている。

[0179] 上位半導体回路層21内の n^+ 形領域43と下位半導体回路層22内の n^+ 形領域62（これらは埋込配線23を介して電氣的に相互接続されている）は、FD（浮遊拡散）領域の機能、すなわち光電変換によりフォトダイオード $PD_1 \sim PD_n$ に蓄積された信号電荷量を電圧信号に変換する機能を有している。

[0180] なお、上位半導体回路層21と下位半導体回路層22の内部構造を形成する方法は、当業界によく知られているから、それらに関する説明は省略する。

[0181] 以上述べたように、図6及び図8に示した第5実施形態に係るイメージセンサ2は、図4に示した第3実施形態のセンサ回路1Bを適用したものであって、 $(k \times m)$ 個の画素ブロック12（それぞれのブロック12が n 個の画素11を含む）と $(k \times m)$ 個の埋込配線23を上位半導体回路層21中に形成すると共に、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ を下位半導体回路層22中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21中の画素ブロック12と、下位半導体回路層22中の対応するリセットトランジスタ Tr_{RST} 及び増幅トランジスタ Tr_{AMP} とを電氣的に相互接続している。

[0182] また、下位半導体回路層22の上方の主面（配線構造74の表面）は、バンプ電極90と接着剤91によって、上位半導体回路層21の下方の主面（基板40の裏面）に電氣的・機械的に接続されているので、両回路層21と22は二段の半導体積層構造（三次元構造）を構成する。

[0183] したがって、上述した第3実施形態のセンサ回路1Bについて説明したのと同じ理由により、全画素11についての信号電荷の実質的同時蓄積（実質的同時シャッタ化）が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0184] また、画素ブロック12の各画素11は一つのフォトダイオードと一つのゲート素子（MOSTランジスタ）を含むだけで済むため、一つの画素中にフォトダイオードに加えて

三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0185] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21の表面にある撮像領域の総面積に対する受光領域(各フォトダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0186] (第6実施形態)

図7は、本発明の第6実施形態に係るアドレス指定型イメージセンサ2Aの要部の回路構成を示す回路図であり、図9は、同イメージセンサ2Aの実際構造を示す要部断面図である。このイメージセンサ2Aは、上述した第4実施形態のセンサ回路1C(図5参照)を使用したものであり、上位半導体回路層21と下位半導体回路層22'を積層して二段の三次元積層構造とされている。このイメージセンサ2Aは、本発明の第3の観点によるイメージセンサに対応する。

[0187] このイメージセンサ2Aの全体構成及び動作は、図1に示したものと同一である。よって、それらに関する説明は省略する。また、図7に示された回路構成は、図5の第4実施形態のセンサ回路1C(各増幅ランジスタ Tr_{AMP} の出力端にn個の選択ランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ が接続されており、それら選択ランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の出力側にそれぞれ記憶容量素子 $C_{ST1} \sim C_{STn}$ と出力ランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ とが接続されたもの)と同じであるから、同一の要素に同一の符号を付してその説明は省略する。ただし、イメージセンサ2Aでは、後述するように、上位半導体回路層21中に形成された各画素ブロック12の共通ノード13と、下位半導体回路層22'中に形成されたリセットランジスタ Tr_{RST} 及び増幅ランジスタ Tr_{AMP} の接続点であるノード14とを電氣的に接続するために、公知の埋込配線23を使用していることから、埋込配線23と、当該埋込配線23によって生じる寄生抵抗 R_0 と寄生容量 C_{01} 及び C_{02} が図7に追加されている。埋込配線23は、各画素ブロック12(つまり、n個の画素11)に対して一つ設けられている。

[0188] 次に、図9を参照しながら、イメージセンサ2Aの実際構造について説明する。

[0189] イメージセンサ2Aは、図9から明らかなように、上位半導体回路層21と下位半導体

回路層22'とを、埋込配線23と微細なバンプ電極90と、電氣的絶縁性の接着剤(例えばポリイミド)91とを用いて、機械的且つ電氣的に接続して構成されている。

[0190] 上位半導体回路層21は、上述した第5実施形態のイメージセンサ2(図8参照)のそれと同じ構成であり、 $(k \times m)$ 個の画素ブロック12つまり $(k \times n) \times m$ 個の画素11と、 $(k \times m)$ 個の埋込配線23が形成されている。上位半導体回路層21の内部構成は、上述した第5実施形態のイメージセンサ2のそれと同じであるから、第5実施形態の場合と同じ符号を付してその詳細な説明は省略する。

[0191] 下位半導体回路層22'は、上述した第5実施形態のイメージセンサ2(図8参照)の下位半導体回路層22とほぼ同じ構成であるが、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ が追加形成されている点が異なっている。すなわち、下位半導体回路層22'には、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ に加えて、 $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と、 $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ が追加形成されている。

[0192] 図9に示すように、下位半導体回路層22'では、p型の単結晶Si基板60の表面領域に、所定パターンで素子分離絶縁膜61が形成されており、それによって所定数のリセットトランジスタ Tr_{RST} 用の素子領域と、所定数の増幅トランジスタ Tr_{AMP} 用の素子領域と、所定数の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ 、記憶用容量素子 $C_{ST1} \sim C_{STn}$ 及び出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ 用の素子領域が形成されている。ここでは一つの画素ブロック12(i, j)に対応する構成について説明する。

[0193] リセットトランジスタ Tr_{RST} の構成は、上述した第5実施形態のイメージセンサ2(図8参照)の場合と同様であり、ゲート電極63と、このゲート電極63を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)62とを含むMOSTランジスタから構成されている。リセットトランジスタ Tr_{RST} の電氣的接続も、第5実施形態のイメージセンサ2(図8参照)の場合と同様である。

[0194] 増幅トランジスタ Tr_{AMP} の構成は、上述した第5実施形態のイメージセンサ2(図8参照)の場合と同様であり、ゲート電極65と、このゲート電極65を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)64とを含むMOSTランジスタから構成さ

れている。増幅トランジスタ Tr_{AMP} の電氣的接続も、第5実施形態のイメージセンサ2(図8参照)の場合と同様である。

[0195] n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の各々の構成は、上述した第5実施形態のイメージセンサ2(図8参照)の場合と同様であり、ゲート電極67と、このゲート電極67を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)66とを含むMOSTトランジスタから構成されている。そして、そのMOSTトランジスタに対して、記憶用容量素子と出力トランジスタとが、図7に示すような回路構成となるように接続されている。

[0196] 例えば、選択トランジスタ Tr_{SEL1} について言えば、一方の n^+ 形領域(ソース・ドレイン領域)66は、配線構造74の内部に形成された導電性コンタクトプラグ70及び69と配線膜73を介して、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域(ソース・ドレイン領域)64に電氣的に接続されている。ゲート電極67は、配線構造74の内部に形成された配線を介して出力選択線39に電氣的に接続されており、出力選択信号 ϕ_s が印加される。選択トランジスタ Tr_{SEL1} の他方の n^+ 形領域(ソース・ドレイン領域)66は、ゲート電極67aに関してそれとは反対側に形成された n^+ 形領域66aと共に、記憶用容量素子 C_{ST1} として機能するMOSキャパシタを構成している。この n^+ 形領域66aは、ゲート電極67bと、そのゲート電極67bに関して当該 n^+ 形領域66aとは反対側に形成された n^+ 形領域66aと共に、出力トランジスタ Tr_{OUT1} として機能するMOSTトランジスタを構成している。ゲート電極67aは、所定電位(通常は電源電圧 V_{cc})の端子または領域に接続される。ゲート電極67bは、図示しない配線を介して出力制御線39aに電氣的に接続されており、出力制御信号 ϕ_{OUT1} が印加される。

[0197] このように、一つの素子領域内に、選択トランジスタ Tr_{SEL1} と記憶用容量素子 C_{ST1} と出力トランジスタ Tr_{OUT1} が形成されている。これは、他の選択トランジスタ $Tr_{SEL2} \sim Tr_{SELn}$ についても同様である。

[0198] 以上述べたように、図7及び図9に示した第6実施形態に係るイメージセンサ2は、図5に示したセンサ回路1Cを適用したものであって、 $(k \times m)$ 個の画素ブロック12(それぞれが n 個の画素11を含む)と $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と $(k \times m)$ 個の埋込配線23を上位半導体回路層21中に形成すると共に、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トラ

ンジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ を下位半導体回路層22'中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21中の画素ブロック12と、下位半導体回路層22'中のリセットトランジスタ Tr_{RST} 及び増幅トランジスタ Tr_{AMP} とを電氣的に相互接続している。

[0199] また、下位半導体回路層22'の上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21の下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21と22'は二段の半導体積層構造(三次元構造)を構成する。

[0200] したがって、第4実施形態のセンサ回路1C(図5を参照)について説明したのと同じ理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0201] また、画素ブロック12の各画素11は一つの写真ダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済むため、一つの画素中に写真ダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0202] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21の表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0203] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ で出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を制御することにより、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ と選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、第5実施形態のイメージセンサ2よりも高速の撮像が可能であるという効果もある。

[0204] (第7実施形態)

図10は、本発明の第7実施形態に係るアドレス指定型イメージセンサ2Bの要部の

回路構成を示す回路図であり、図11は、イメージセンサ2Bの実際構造を示す要部断面図である。このイメージセンサ2Bは、上記第4実施形態のセンサ回路1C(図5参照)を使用したものであり、上位半導体回路層21Aと下位半導体回路層22A'を積層して二段の三次元積層構造とされている。イメージセンサ2Bは、本発明の第3の観点によるイメージセンサに対応する。

[0205] イメージセンサ2Bの全体構成及び動作は、図1に示したものと同一である。よって、それらに関する説明は省略する。また、図10に示された回路構成は、埋込配線23が追加されている点を除いて、図5の第4実施形態のセンサ回路1Cと同じであるから、同一の要素に同一の符号を付してその説明は省略する。

[0206] イメージセンサ2Bは、図10及び図11より明らかなように、上位半導体回路層21Aと下位半導体回路層22A'とを、埋込配線23と微細なバンプ電極90と電氣的絶縁性の接着剤91を用いて機械的且つ電氣的に接続して構成されている。その構成は、第6実施形態のイメージセンサ2A(図7及び図9参照)で下位半導体回路層22'中に形成されていた $(k \times m)$ 個のリセットトランジスタ Tr_{RST} を上位半導体回路層21中に移したものに相当する。すなわち、上位半導体回路層21Aには、 $(k \times n) \times m$ 個のフォトダイオード(すなわち、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$)と、 $(k \times n) \times m$ 個のトランスファゲート(すなわち、 $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$)と、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と、 $(k \times m)$ 個の埋込配線23が形成されている。フォトダイオード $PD_1 \sim PD_n$ とトランスファゲート $TG_1 \sim TG_n$ の構成は、第6実施形態のイメージセンサ2Aの場合と同じであるので、それらに関する説明は省略する。

[0207] リセットトランジスタ Tr_{RST} は、図11に示すように、ゲート電極49と、このゲート電極49を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)48とを含むMOSトランジスタから構成されている。ゲート電極49は、基板40の表面に形成された配線構造47中の配線を介して、対応するリセット線31に電氣的に接続されている。一方の n^+ 形領域48(ソース・ドレイン領域)は、配線構造47の内部に形成された導電性コンタクトプラグ50と配線膜46と導電性コンタクトプラグ23aと埋込配線23を介して、対応するバンプ電極90に電氣的に接続されている。その結果、リセットトランジスタ Tr_{RST} の当該ソース・ドレイン領域は、下位半導体回路層22A'の対応する増幅ト

ランジスタ Tr_{AMP} のゲート電極65に電氣的に接続されていることになる。リセットトランジスタ Tr_{RST} の他方の n^+ 形領域48(ソース・ドレイン領域)には、図示しない配線を介してリセット電圧 V_{RST} が印加される。

[0208] 下位半導体回路層22A'には、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と、 $(k \times m)$ 組の記憶容量素子群 $C_{ST1} \sim C_{STn}$ と、 $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ が形成されている。この構成は、第6実施形態(図7及び図9参照)の下位半導体回路層22'から $(k \times m)$ 個のリセットトランジスタ Tr_{RST} を除去した構成に相当する。増幅トランジスタ Tr_{AMP} と選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の構成は、第6実施形態の場合と同一であるから、それらに関する説明は省略する。

[0209] 以上述べたように、図10及び図11に示した第7実施形態に係るイメージセンサ2Bは、第4実施形態のセンサ回路1C(図5参照)を適用したものであつて、 $(k \times m)$ 個の画素ブロック12(それぞれのブロック12が n 個の画素11を含む)と $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と $(k \times m)$ 個の埋込配線23を上位半導体回路層21A中に形成すると共に、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と $(k \times m)$ 組の記憶容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ を下位半導体回路層22A'中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21中のリセットトランジスタ Tr_{RST} と、下位半導体回路層22A'中の増幅トランジスタ Tr_{AMP} とを電氣的に相互接続している。

[0210] また、下位半導体回路層22A'の上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21Aの下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21Aと22A'は二段の半導体積層構造(三次元構造)を構成する。

[0211] したがって、第4実施形態のセンサ回路1Cについて説明したのと同じ理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0212] また、画素ブロック12の各画素11は一つの写真ダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済むため、一つの画素中に写真ダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0213] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Aの表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0214] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ で出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を制御することにより、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ と選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を有しない場合よりも高速の撮像が可能であるという効果もある。

[0215] (第8実施形態)

図12は、本発明の第8実施形態に係るアドレス指定型イメージセンサ2Cの実際構造を示す要部断面図である。このイメージセンサ2Cは、上述した第7実施形態のイメージセンサ2B(図10及び図11参照)において、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を削除したものに相当する。このイメージセンサ2Cは、本発明の第3の観点によるアドレス指定型イメージセンサに対応する。

[0216] 第8実施形態のイメージセンサ2Cは、図12から明らかなように、上位半導体回路層21Aと下位半導体回路層22Aとを、埋込配線23と微細なバンプ電極90と電気的絶縁性の接着剤91を用いて機械的且つ電気的に接続して構成されている。上位半導体回路層21Aの構成は、第7実施形態のイメージセンサ2Bのそれと同じである。下位半導体回路層22Aの構成は、第7実施形態のイメージセンサ2Bの下位半導体回路層22A'から記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を削除した構成に等しい。

[0217] 以上述べたように、第8実施形態に係るイメージセンサ2Cでは、第7実施形態のイメージセンサ2Bで述べたのと同様の理由により、全画素11についての信号電荷の

実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0218] また、画素ブロック12の各画素11は一つの写真ダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済むため、一つの画素中に写真ダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0219] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Aの表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0220] (第9実施形態)

図13は、本発明の第9実施形態に係るアドレス指定型イメージセンサ2Dの要部の回路構成を示す回路図であり、図14は、イメージセンサ2Dの実際構造を示す要部断面図である。このイメージセンサ2Dは、上記第4実施形態のセンサ回路1C(図5参照)を使用したものであり、上位半導体回路層21Bと下位半導体回路層22B'を積層して二段の三次元積層構造とされている。イメージセンサ2Bは、本発明の第3の観点によるイメージセンサに対応する。

[0221] イメージセンサ2Dの全体構成及び動作は、図1に示したものと同一であり、また、図13に示された回路構成は、埋込配線23が追加されている点を除いて、図5の第4実施形態のセンサ回路1Cと同じである。

[0222] イメージセンサ2Dは、図13及び図14より明らかなように、上位半導体回路層21Bと下位半導体回路層22B'とを、埋込配線23と微細なバンプ電極90と電気的絶縁性の接着剤91を用いて機械的且つ電気的に接続して構成されている。その構成は、第7実施形態のイメージセンサ2B(図10及び図11参照)で下位半導体回路層22A'中に形成されていた $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} を、その上位半導体回路層21A中に移したものに相当する。

[0223] すなわち、上位半導体回路層21Bには、 $(k \times n) \times m$ 個の写真ダイオード(すなわ

ち、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$ と、 $(k \times n) \times m$ 個のトランスファゲート(すなわち、 $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$)と、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times m)$ 個の埋込配線23が形成されている。フォトダイオード $PD_1 \sim PD_n$ とトランスファゲート $TG_1 \sim TG_n$ とリセットトランジスタ Tr_{RST} と構成は、第7実施形態のイメージセンサ2Bの場合と同じであるので、それらに関する説明は省略する。

[0224] 増幅トランジスタ Tr_{AMP} は、図14に示すように、ゲート電極53と、このゲート電極53を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)52とを含むMOSトランジスタから構成されている。ゲート電極53は、配線構造47の内部に形成された導電性コンタクトプラグ54と配線膜46を介して、リセットトランジスタ Tr_{RST} とトランスファゲート $TG_1 \sim TG_n$ に電氣的に接続されている。一方の n^+ 形領域52(ソース・ドレイン領域)は、配線構造47の内部に形成された導電性コンタクトプラグ55と配線膜56と導電性コンタクトプラグ23aと埋込配線23を介して、対応するバンプ電極90に電氣的に接続されている。その結果、増幅トランジスタ Tr_{AMP} の当該ソース・ドレイン領域は、下位半導体回路層22B'の対応する選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の一方の n^+ 形領域66(ソース・ドレイン領域)に電氣的に接続されていることになる。増幅トランジスタ Tr_{AMP} の他方の n^+ 形領域52(ソース・ドレイン領域)には、図示しない配線を介して電源電圧 V_{CC} が印加される。

[0225] 下位半導体回路層22B'には、 $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と、 $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と、 $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ が形成されている。この構成は、第7実施形態(図10及び図11参照)の下位半導体回路層22A'から $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} を除去した構成に相当する。選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ と記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ の構成は、第7実施形態の場合と同一であるから、それらに関する説明は省略する。

[0226] 以上述べたように、図13及び図14に示した第9実施形態に係るイメージセンサ2Dは、第4実施形態のセンサ回路1C(図5参照)を適用したものであって、 $(k \times m)$ 個の画素ブロック12(それぞれのブロック12が n 個の画素11を含む)と $(k \times m)$ 組のラン

スファゲート群 $TG_1 \sim TG_n$)と $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 個の埋込配線23を上位半導体回路層21B中に形成すると共に、 $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ を下位半導体回路層22B'中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21B中の増幅トランジスタ Tr_{AMP} と、下位半導体回路層22B'中の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ とを電氣的に相互接続している。

[0227] また、下位半導体回路層22B'の上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21Bの下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21Bと22B'は二段の半導体積層構造(三次元構造)を構成する。

[0228] したがって、第4実施形態のセンサ回路1Cについて説明したのと同じ理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0229] また、画素ブロック12の各画素11は一つの写真ダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済むため、一つの画素中に写真ダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0230] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Bの表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0231] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ で出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を制御することにより、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ と選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を有しない場合よりも高速の撮像が可能であるという効果もある。

[0232] (第10実施形態)

図15は、本発明の第10実施形態に係るアドレス指定型イメージセンサ2Eの実際構造を示す要部断面図である。このイメージセンサ2Eは、上述した第9実施形態のイメージセンサ2C(図13及び図14参照)において、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を削除したものに相当する。このイメージセンサ2Eは、本発明の第3の観点によるアドレス指定型イメージセンサに対応する。

[0233] 第10実施形態のイメージセンサ2Eは、図15から明らかなように、上位半導体回路層21Bと下位半導体回路層22Bとを、埋込配線23と微細なバンプ電極90と電気的絶縁性の接着剤91を用いて機械的且つ電気的に接続して構成されている。上位半導体回路層21Bの構成は、第9実施形態のイメージセンサ2Dのそれと同じである。下位半導体回路層22Bの構成は、第9実施形態のイメージセンサ2Dの下位半導体回路層22B'から記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を削除した構成に等しい。

[0234] 以上述べたように、第10実施形態に係るイメージセンサ2Eでは、第9実施形態のイメージセンサ2Dで述べたのと同様の理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0235] また、画素ブロック12の各画素11は一つの写真ダイオードと一つのゲート素子(MOSTランジスタ)を含むだけで済むため、一つの画素中に写真ダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。

[0236] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Bの表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0237] (第11実施形態)

図16は、本発明の第11実施形態に係るアドレス指定型イメージセンサ2Fの要部

の回路構成を示す回路図であり、図17は、イメージセンサ2Fの実際構造を示す要部断面図である。このイメージセンサ2Fは、上記第4実施形態のセンサ回路1C(図5参照)を使用したものであり、上位半導体回路層21Cと下位半導体回路層22C'を積層して二段の三次元積層構造とされている。イメージセンサ2Fは、本発明の第3の観点によるイメージセンサに対応する。

[0238] イメージセンサ2Fの全体構成及び動作は、図1に示したものと同一であり、図16に示された回路構成は、埋込配線23が追加されている点を除いて、図5の第4実施形態のセンサ回路1Cと同じである。

[0239] イメージセンサ2Fは、図16及び図17より明らかなように、上位半導体回路層21Cと下位半導体回路層22C'とを、埋込配線23と微細なバンプ電極90と電氣的絶縁性の接着剤91を用いて機械的且つ電氣的に接続して構成されている。その構成は、第6実施形態に係るイメージセンサ2Aの(図7及び図9参照)で上位半導体回路層21中に形成されていた $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ を、その下位半導体回路層22'中に移したものに相当する。したがって、上位半導体回路層21Cには、 $(k \times n) \times m$ 個のフォトダイオード(すなわち、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$)と、 $(k \times m)$ 個の埋込配線23のみが形成されている。

[0240] フォトダイオード $PD_1 \sim PD_n$ の構成は、第6実施形態のイメージセンサ2A(図7及び図9参照)の場合とほぼ同様であるが、基板40の各素子領域中に一つのフォトダイオードが形成されている点が異なる。例えば、フォトダイオード PD_1 について言えば、図17に示すように、素子分離絶縁膜41によってp型基板40の表面領域に形成された複数の素子領域の一つに、その全面にわたって n^+ 領域42が形成されており、当該 n^+ 領域42がフォトダイオード PD_1 を形成する。基板40には、素子分離絶縁膜41と重なる適当な位置に、素子分離絶縁膜41と基板40を上下方向に(基板40の主面に直交する方向に)貫通する透孔が形成されており、この透孔の基板40に接する部分の内壁の全面は、絶縁膜24で覆われている。この透孔の内部(絶縁膜24の内側と素子分離絶縁膜41の内部)には、導電性材料が充填されており、その導電性材料が埋込配線23を形成する。この埋込配線23の上端は、基板40(素子分離絶縁膜41)の表面から露出しており、配線構造47の内部に形成された配線膜57の下面に接続

されている。配線膜57の下面は、対応する n^+ 領域42の表面にも接続されているから、 n^+ 領域42は埋込配線23に電氣的に接続されていることになる。埋込配線23の下端は、基板40(素子分離絶縁膜41)の裏面から露出しており、対応するバンプ電極90に機械的・電氣的に接続されている。

[0241] 下位半導体回路層22C'には、 $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と、 $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と、 $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ が形成されている。リセットトランジスタ Tr_{RST} と増幅トランジスタ Tr_{AMP} と記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ は、第6実施形態に係るイメージセンサ2Aの場合(図7及び図9参照)と同じ構成を持つので、同一要素には同一符号を付してその説明を省略する。なお、図17では、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ は省略されている。

[0242] トランスファゲート $TG_1 \sim TG_n$ は、次のような構成を持つ。例えば、トランスファゲート TG_1 について言えば、図17に示すように、ゲート電極77と、このゲート電極77を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)76とを含むMOSTランジスタから構成されている。ゲート電極77には、図示しない配線を介してトランスファゲート制御信号 ϕ_{T1} が印加される。一方の n^+ 形領域76(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ78、80及び82と配線膜79、81及び83とを介して、対応するバンプ電極90に電氣的に接続されている。その結果、トランスファゲート TG_1 の当該ソース・ドレイン領域は、埋込配線23を介して、上位半導体回路層21Cの対応するフォトダイオード PD_1 に電氣的に接続されていることになる。当該MOSTランジスタの他方の n^+ 形領域76(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ78と図示しない配線膜を介して、対応するリセットトランジスタ Tr_{RST} と増幅トランジスタ Tr_{AMP} に電氣的に接続されている。トランスファゲート $TG_2 \sim TG_n$ は、トランスファゲート TG_1 と同じ構造を持っている。このようにして、下位半導体回路層22C'内のトランスファゲート $TG_1 \sim TG_n$ は、埋込配線23を介して、上位半導体回路層21C内のフォトダイオード $PD_1 \sim PD_n$ にそれぞれ電氣的に接続されている。

- [0243] 以上述べたように、図16及び図17に示した第11実施形態に係るイメージセンサ2Fは、第4実施形態のセンサ回路1C(図5参照)を適用したものであって、 $(k \times m)$ 個の画素ブロック12(それぞれのブロック12が n 個の画素11を含む)と $(k \times m)$ 個の埋込配線23を上位半導体回路層21C中に形成すると共に、 $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と $(k \times m)$ 個のリセットトランジスタ Tr_{RST} と $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と $(k \times m)$ 組の記憶容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ を下位半導体回路層22C'中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21C中の画素ブロック12と、下位半導体回路層22C'中のトランスファゲート $TG_1 \sim TG_n$ とを電氣的に相互接続している。
- [0244] また、下位半導体回路層22C'の上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21Cの下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21Cと22C'は二段の半導体積層構造(三次元構造)を構成する。
- [0245] したがって、第4実施形態のセンサ回路1Cについて説明したのと同じ理由により、全画素11についての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。
- [0246] また、画素ブロック12の各画素11は一つの写真ダイオードを含むだけであるから、一つの画素中に写真ダイオードに加えて三つないし四つのMOSトランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11自体の大きさを縮小することが可能となる。特に、上記第5～第10実施形態の場合よりも小さくすることが可能である。
- [0247] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Cの表面にある撮像領域の総面積に対する受光領域(各写真ダイオードの開口部分)の総面積の割合を高くすることが可能となる。特に、上記第5～第10実施形態の場合よりも高くすることが可能である。
- [0248] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ で出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を制御す

ることにより、画素ブロック12中のトランスファゲート $TG_1 \sim TG_n$ と選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ の開閉とはタイミングをずらして列信号線37に信号を出力することができ、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を有しない場合よりも高速の撮像が可能であるという効果もある。

[0249] (第12実施形態)

図18は、本発明の第12実施形態に係るアドレス指定型イメージセンサ2Gの実際構造を示す要部断面図である。このイメージセンサ2Gは、上述した第11実施形態のイメージセンサ2F(図16及び図17参照)において、下位半導体回路層22C'をそのままにして、上位半導体回路層21C中の基板40を上下逆向きにしたものに相当する。このイメージセンサ2Gは、本発明の第3の観点によるアドレス指定型イメージセンサに対応する。

[0250] 第12実施形態のイメージセンサ2Gは、図18から明らかなように、上位半導体回路層21Dと下位半導体回路層22D'とを、微細なバンプ電極90と電氣的絶縁性の接着剤91を用いて機械的且つ電氣的に接続して構成されている。下位半導体回路層21D'の構成は、第11実施形態のイメージセンサ2Fの下位半導体回路層21C'と同じである。このイメージセンサ2Gでは、上述した第5～第11実施形態の場合とは異なり、埋込配線23は使用されていない。

[0251] 上位半導体回路層21Dでは、基板40が第11実施形態のイメージセンサ2Fの上位半導体回路層21Cとは上下逆向きにされており、配線構造47が下側に、基板40が上側に位置している。外部の光は、基板40を貫通してフォトダイオード $PD_1 \sim PD_n$ に照射されるので、第11実施形態のイメージセンサ2Fの場合よりも基板40の厚さが薄くされている。

[0252] 配線構造47の内部には、フォトダイオード $PD_1 \sim PD_n$ を構成する複数の n^+ 型領域42の各々の表面にそれぞれ電氣的・機械的に接続せしめられた導電性コンタクトプラグ58と、それら導電性コンタクトプラグ58にそれぞれ電氣的・機械的に接続せしめられた複数の複数の配線膜59とが形成されている。これら配線膜59は、配線構造47の表面近傍に配置されていて、対応するバンプ電極90に電氣的・機械的に接続せしめられている。このようにして、フォトダイオード $PD_1 \sim PD_n$ は、対応するバンプ電極

90を介して、下位半導体回路層22D'内の対応するトランスファゲート $TG_1 \sim TG_n$ にそれぞれ電氣的に接続されている。

[0253] 図18に示した第12実施形態に係るイメージセンサ2Gは、以上の構成を有するものであるから、第11実施形態のイメージセンサ2Fで述べたのと同様の効果が得られることが明らかである。

[0254] (第13実施形態)

図20は、本発明の第13実施形態に係るセンサ回路3の要部回路構成を示す図である。図19は、このセンサ回路3が使用されるアドレス指定型イメージセンサの全体構成を示す機能ブロック図である。このセンサ回路3は、本発明の第2の観点によるセンサ回路に対応する。

[0255] 図19のイメージセンサの全体構成は、各リセット線31が同じ列に属するk個の画素ブロック12aを貫通して設けられている点を除き、図1に示したアドレス指定型イメージセンサのそれと同一である。すなわち、 $(k \times n)$ 行m列のマトリックス状に配置された $(k \times n) \times m$ 個の画素11aを備えている。各画素ブロック12aでは、同じ列に属するn個の画素11aがまとめられて共通ノード(図19には表示せず。図20では共通ノード13aに対応する)に並列接続されている。

[0256] 各画素ブロック12aには、それぞれが画素マトリックスの対応する列に沿って延在するm本のリセット線31が、当該列に属する画素ブロック12aを貫通して形成されている。各リセット線31には、各画素11a毎に一つのリセットトランジスタが接続されている。換言すれば、画素ブロック12aに属するn個の画素11aにリセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ がそれぞれ設けられている。増幅トランジスタ T_{AMP} は、各画素ブロック12a毎に一つ設けられている。n個のリセットトランジスタ群 $T_{RST1} \sim T_{RSTn}$ は対応する画素ブロック12a内のn個の画素11aの内部にそれぞれ配置され、増幅トランジスタ T_{AMP} は対応する画素ブロック12aの外部に配置されている。

[0257] 各リセット線31は、対応する列に属するk個の画素ブロック12a中の画素11aの信号電荷をリセットするために使用される。それらの画素11aへのリセット用電圧 V_{RST} の印加は、対応するリセットトランジスタ $T_{RST1} \sim T_{RSTn}$ を用いて行われる。各増幅トランジスタ T_{AMP} は、対応する画素ブロック12aの中の画素11aから読み出された信号を増

幅して、対応する列信号線37に送出するために使用される。各増幅トランジスタ Tr_{AMP} で増幅された信号は、対応する列信号線37に順に送出される。

[0258] 画素11a及び画素ブロック12aの構成とリセット線31の配置以外は、図1の構成と同じであるから、それらに関する説明は省略する。

[0259] 次に、図20を参照しながら、図19の構成を持つイメージセンサに使用される第13実施形態に係るセンサ回路3について説明する。図20は、第j列に属する二つの画素ブロック12a(i, j)と12a(i+1, j)の回路構成を示している。

[0260] 上の画素ブロック12(i, j)は、第j列の第 $[n \times (i-1) + 1]$ 行～第 $(n \times i)$ 行に属する画素11を含む。下の画素ブロック12(i+1, j)は、第j列の第 $[n \times i + 1]$ 行～第 $[n \times (i+1)]$ 行に属する画素11を含む。これら二つの画素ブロック12(i, j)と12(i+1, j)は同一の構成を有するので、以下の説明では、主として上の画素ブロック12(i, j)について説明することにする。

[0261] 画素ブロック12a(i, j)の中には、n個の画素11aが含まれている。換言すれば、n個のフォトダイオード $PD_1 \sim PD_n$ と、n個のトランスファゲート $TG_1 \sim TG_n$ と、n個のリセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ が含まれている。各画素11aは、一つのフォトダイオードと一つのトランスファゲートと一つのリセットトランジスタを含む。トランスファゲート $TG_1 \sim TG_n$ の各々は、MOSTランジスタから構成されている。リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ の各々も、MOSTランジスタから構成されている。フォトダイオード $PD_1 \sim PD_n$ の各々のアノードは、トランスファゲート $TG_1 \sim TG_n$ の対応するものの一方のソース・ドレイン領域と、リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ の対応するものの一方のソース・ドレイン領域の接続点であるノード15に接続され、カソードは所定電位(通常は接地電位)の端子または領域に共通接続されている。リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ の他方のソース・ドレイン領域は、リセット用電圧源(リセット電圧= V_{RST})に接続されている。トランスファゲート $TG_1 \sim TG_n$ の各々の他方のソース・ドレイン領域は、共通ノード13aに共通接続されている。このように、画素ブロック12a(i, j)の中のn個の画素11aは、当該画素11a内の共通ノード13aに並列に接続されている。

[0262] 画素ブロック12a(i, j)の共通ノード13aは、対応する増幅トランジスタ T_{AMP} のゲート電極に接続されている。増幅トランジスタ T_{AMP} は、画素ブロック12a(i, j)の外側に設

けられている。増幅トランジスタ T_{AMP} の一方のソース・ドレイン領域は、直流電源(電源電圧 $=V_{CC}$)に接続されており、他方のソース・ドレイン領域(出力側)は、当該画素ブロック12(i, j)の出力端子(すなわち、対応する列信号線37)に接続されている。増幅トランジスタ T_{AMP} の出力端子(出力側のソース・ドレイン領域)は、抵抗Rを介して所定電位(通常は接地電位)の端子に接続されており、ソースフォロア形式の増幅器を構成している。ノード15には寄生容量が生じるが、図20では省略している。

[0263] 増幅トランジスタ T_{AMP} の出力側のソース・ドレイン領域は、対応する列信号線37に接続されている。したがって、増幅トランジスタ T_{AMP} の出力信号、すなわちn個のフォトダイオード $PD_1 \sim PD_n$ のシリアル(時系列的な)出力信号は、対応するCDS回路36に順に送られる。そして、CDS回路36から水平信号線33に送られる際に、水平走査回路35の走査によってm個の列選択信号38を介して当該列信号線37が選択され、それによって当該シリアル出力信号は水平信号線33に送られる。その後、水平信号線33の一端(図19では右端)に設けられた当該イメージセンサの出力端子(図示せず)まで送られる。

[0264] 画素ブロック12a(i, j)の以外のすべての画素ブロック12aは、画素ブロック12a(i, j)と同じ構成を有しているので、上述したのと同様にして、n個のフォトダイオード $PD_1 \sim PD_n$ のシリアル出力信号が当該イメージセンサの出力端子まで送られる。こうして被写体の撮像が可能となる。

[0265] 次に、以上の構成を持つセンサ回路3を備えたイメージセンサの動作(信号電荷の生成・蓄積から信号の出力まで)について説明する。

[0266] 1. 全画素(全フォトダイオード)のグローバルリセット

まず、全画素11aのフォトダイオード $PD_1 \sim PD_n$ の各々に対して設けられたトランスファゲート $TG_1 \sim TG_n$ (第1ゲート素子)を構成するn個のMOSTランジスタのゲート電極に印加されるトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態をHとし、もって全トランスファゲート $TG_1 \sim TG_n$ を導通状態とする。

[0267] 次に、その状態で、各画素ブロック12a内の画素11aの各々に対して設けられたリセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ のゲート電極に共通に印加されるリセット制御信号 ϕ_{RST} の論理状態をHとし、もって全リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ を導通状態に

する。その結果、所定のリセット電圧 V_{RST} が、ノード15を介して全画素11aのフォトダイオード $PD_1 \sim PD_n$ に一括して同時に印加される。こうして、全画素11aの一括リセット、すなわち「グローバルリセット」が行われる。この時、全増幅トランジスタ Tr_{AMP} のゲート電極の電圧もリセットされる。

[0268] 2. 露光(電荷蓄積)

次に、トランスファゲート $TG_1 \sim TG_n$ に印加されるトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態をLとし、すべてのトランスファゲート $TG_1 \sim TG_n$ を遮断状態とする。また、それと同時に、リセット制御信号 ϕ_{RST} の論理状態をLとして全リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ も遮断状態とする。

[0269] その後、その状態で、全画素11aのフォトダイオード $PD_1 \sim PD_n$ に光を照射させ、全フォトダイオード $PD_1 \sim PD_n$ に一括して信号電荷を生成・蓄積させる。照射時間は通常、数百 μsec ないし数msecとされる。

[0270] 信号電荷の生成・蓄積が完了すると同時に、リセット制御信号 ϕ_{RST} の論理状態をHとして全リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ を一括して導通状態にし、さらにトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態をHとして全トランスファゲート $TG_1 \sim TG_n$ を導通状態とする。所定時間(例えば、 $1 \mu sec$)経過後、リセット制御信号 ϕ_{RST} の論理状態を再びLとして全リセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ を一括して遮断状態にし、それと同時に、トランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態を再びLとして全トランスファゲート $TG_1 \sim TG_n$ を遮断状態とする。こうして、全共通ノード13a(すなわち全増幅トランジスタ Tr_{AMP} のゲート電極)にリセット電圧 V_{RST} を一時的に印加し、全増幅トランジスタ Tr_{AMP} のゲート電圧を所定の基準電圧に設定(リセット)する。

[0271] 3. 信号の読み出しとその増幅

上記のようにして全フォトダイオード $PD_1 \sim PD_n$ に生成・蓄積された電荷量に比例する信号は、電圧の形式で次のようにして各画素11aから読み出され、増幅される。

[0272] すなわち、まず、垂直走査回路34と水平走査回路35によって一つの画素ブロック12aが選択されると、その画素ブロック12a中のn個のトランスファゲート制御信号 $\phi_{T1} \sim \phi_{Tn}$ の論理状態を順にLからHに変えてトランスファゲート $TG_1 \sim TG_n$ を順に導通状態にしていく。そして、それらの導通状態を所定時間(例えば、 $0.1 \mu sec$)保持し

た後、順にそれらの論理状態をLに戻していく。こうして、当該画素ブロック12中の全フォトダイオードPD₁ ~ PD_n から信号がノード14に時系列的に読み出される。その間、全リセットトランジスタTr_{RST1} ~ Tr_{RSTn} は遮断状態に保持される。

[0273] ノード13aにソースフォロア形式で接続された増幅トランジスタTr_{AMP} は、そのゲート電極がノード13aに接続されているので、ノード13aに読み出された信号は直ちに当該増幅トランジスタTr_{AMP} で増幅される。そして、増幅された信号は、当該増幅トランジスタTr_{AMP} の出力端子側のソース・ドレイン領域から列信号線37に向けて出力される。

[0274] 当該画素ブロック12a中のn個の画素11a、すなわちフォトダイオードPD₁ ~ PD_n から信号を読み出して増幅する際に、一つの画素11a(例えば、フォトダイオードPD₁)からの信号の読み出しと増幅が完了してから、次の画素11a(例えば、フォトダイオードPD₂)の信号の読み出しが開始するまでの間に、上述したように、当該画素11a用のリセットトランジスタTr_{RST1} を導通状態にすることによってリセット電圧V_{RST} をノード13aに一時的に印加し、もって当該ノード13a(増幅トランジスタTr_{AMP} のゲート電極)を基準電位に設定する(リセットする)必要がある。これは、そうしないと、先の画素11a(例えば、フォトダイオードPD₁)からの信号の影響が残って次の画素11a(例えば、フォトダイオードPD₂)からの信号に誤差が生じる恐れがあるからである。

[0275] 当該画素ブロック12a中にはn個の画素11a(n個のフォトダイオードPD₁ ~ PD_n)があるから、トランスファゲート制御信号φ_{T1} ~ φ_{Tn} による読み出し動作の総回数はn回、増幅トランジスタTr_{AMP} による増幅動作の総回数はn回、増幅トランジスタTr_{AMP} のリセット動作の総回数はn回となる。

[0276] 具体的に説明すると、例えば、最初に、当該画素ブロック12aの1番目のトランスファゲートTG₁を一時的に導通状態にして、1番目のフォトダイオードPD₁に蓄積された信号電荷に比例する信号をノード13aに読み出す。その信号は直ちに増幅トランジスタTr_{AMP} で増幅され、得られた増幅信号は列信号線37に向けて送られる。続いて、このフォトダイオードPD₁に接続されたリセットトランジスタTr_{RST1}を一時的に導通状態にして、リセット電圧V_{RST} をノード13aに一時的に印加し、もって増幅トランジスタTr_{AMP} のゲート電極(ノード14)を基準電位にリセットする。

[0277] その後、当該画素ブロック12aの2番目のトランスファゲートTG₂を一時的に導通状態にして、2番目のフォトダイオードPD₂に蓄積された信号電荷に比例する信号をノード13aに読み出す。その信号は直ちに増幅トランジスタTr_{AMP}で増幅され、得られた増幅信号は列信号線37に向けて送られる。続いて、このフォトダイオードPD₂に接続されたリセットトランジスタTr_{RST2}を一時的に導通状態にして、増幅トランジスタTr_{AMP}のゲート電極(ノード14)を基準電位にリセットする。さらに、3番目のフォトダイオードPD₃、4番目のフォトダイオードPD₄というように、上記と同じ動作が順に繰り返される。最後に、n番目のフォトダイオードPD_nについての読み出し動作と増幅動作を実行すると、当該画素ブロック12aについての処理が終了する。

[0278] 図1のイメージセンサでは、当該画素ブロック12aに対応する増幅トランジスタTr_{AMP}の出力端子が一つであるから、当該画素ブロック12a中の全フォトダイオードPD₁～PD_nから得られるn個の信号が、当該増幅トランジスタTr_{AMP}の出力端子側のソース・ドレイン領域から列信号線37に向けて時系列的に順に出力される。つまり、当該画素ブロック12aから出力される信号は、フォトダイオードPD₁～PD_nの信号電荷の量(照射された光の量)を反映するn個のパルス波形が所定間隔をあけて連結された一つのシリアル信号となる。

[0279] 上記イメージセンサ(図19参照)は、合計で(k×m)個の画素ブロック12aを有するから、全画素11aが走査される間に、上述した動作が(k×m)回繰り返されることになる。

[0280] 当該画素ブロック12aから出力される信号、すなわち、n個のパルスが所定間隔をあけて連結された一つのシリアル信号は、公知のサンプル・アンド・ホールド回路やA/D変換回路に送られ、所定の信号処理が行われる。

[0281] 現在の現実的な最高シャッタースピード(つまり最短の信号電荷蓄積期間)は(1/8000)秒(=125 μ sec)である。したがって、(k×m)個の画素ブロック12aの各々について、リセットトランジスタTr_{RST1}～Tr_{RSTn}によるノード13a(増幅トランジスタTr_{AMP}のゲート電極)のリセット動作を必要回数(つまりn回)実行するのに要する時間(総リセット時間)と、当該画素ブロック12a中の全画素11a(フォトダイオードPD₁～PD_n)からの信号を対応する増幅トランジスタTr_{AMP}で増幅するのに要する時間(総増幅時間)

の和を求め、その和の($k \times m$)倍の時間が、最短の信号電荷蓄積期間($=125 \mu \text{sec}$)よりも十分小さくなるように n 値(各画素ブロック12a中の画素11aの総数)を設定すれば、全画素ブロック12aに属する画素11a(フォトダイオード $\text{PD}_1 \sim \text{PD}_n$)についての信号電荷の蓄積(露光)が実質的に同時に行われることになる。換言すれば、全画素11aについての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能となる。

[0282] また、全画素ブロック12aの各々から独立して($k \times m$)個の出力シリアル信号が出力されるので、これら出力シリアル信号に対してアナログ・デジタル(A/D)変換等の処理を並列して行うことができる。よって、従来のCMOSイメージセンサにおけるものよりも高速でデータ処理が可能となる。これも、実質的同時シャッタ化の実現に貢献するものである。

[0283] 上述した動作から明らかなように、1フレーム内で見ると、各画素ブロック12aから出力されるシリアル出力信号は、走査期間の終わりに近いものほど、当該走査期間の始めに生成・出力されたものよりも、わずかではあるが電荷蓄積期間が長くなる。このため、いっそう忠実度の高い画像データを得たい場合や、 n 値を大きくしたい場合は、電荷蓄積期間の変化に応じた信号補正を行う公知の回路を後段に設けてもよい。そうすれば、電荷蓄積期間の変動の影響を抑制あるいは回避することができるからである。

[0284] このようにして実質的に同時シャッタ化が可能となることにより、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができるようになる。

[0285] さらに、各画素ブロック12aに対して、当該画素ブロック12aの外側に共通の増幅トランジスタ Tr_{AMP} が設けられているため、当該画素ブロック12a中の各画素11aは一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)と一つのリセットランジスタ(MOSTランジスタ)を含むだけで済む。したがって、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができる。この画素開口率は、一つのフォトダイオードと一つのゲート素子だけを含む第1実施形態

のセンサ回路1を用いたイメージセンサ(図1及び図2を参照)に比べると、リセットトランジスタの分だけ低くなる。

[0286] なお、従来のCMOSイメージセンサでは、走査線の数に応じて信号処理がシリアルに行われるため、高速のA/D変換回路が必要であるが、この第13実施形態のセンサ回路3を用いたイメージセンサでは、 n 値を走査線数よりも小さく設定して並列度を上げることにより、増幅トランジスタ Tr_{AMP} の各々のシリアル出力信号の処理速度を遅くすることが可能となる。このため、より簡単な構成のA/D変換回路を使用できるという効果もある。

[0287] また、 n 個のフォトダイオード $PD_1 \sim PD_n$ からの n 個の出力信号が、シリアルに連結された形態で増幅トランジスタ Tr_{AMP} の各々から出力されるため、増幅トランジスタ Tr_{AMP} の各々の出力端子に接続される次段の配線が簡単になるという効果もある。

[0288] (第14実施形態)

図21は、本発明の第14実施形態に係るアドレス指定型イメージセンサ4の要部の回路構成を示す回路図であり、図23はそのイメージセンサ4の実際構造を示す要部断面図である。このイメージセンサ4は、上述した第13実施形態のセンサ回路3(図20参照)において、各画素ブロック12aに対して設けられた増幅トランジスタ Tr_{AMP} の出力側のソース・ドレイン領域に、 n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ (第2ゲート素子)が接続されていて、増幅された n 個のフォトダイオード $PD_1 \sim PD_n$ からの n 個の出力信号が、選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ を介して並列的に出力されるようにしたセンサ回路を使用しており、上位半導体回路層21Eと下位半導体回路層22Eを積層して二段の三次元積層構造とされている。このイメージセンサ4は、本発明の第4の観点によるイメージセンサに対応し、その中に使用されているセンサ回路は、本発明の第2の観点によるセンサ回路に対応する。

[0289] イメージセンサ4の全体構成及び動作は、図19に示したものと同一であるから、それらに関する説明は省略する。また、図21の回路構成は、図20の第13実施形態のセンサ回路3に n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ (第2ゲート素子)を追加したもの(記憶用容量素子と出力トランジスタは有しない)であるから、図20と同一の要素には同一の符号を付してその説明は省略する。ただし、このイメージセンサ4では、上位

半導体回路層21E中に形成された各画素ブロック12aの共通ノード13aと、下位半導体回路層22E中に形成された増幅トランジスタ Tr_{AMP} のゲート電極とを電氣的に接続するために、公知の埋込配線23を使用していることから、埋込配線23と、当該埋込配線23によって生じる寄生抵抗 R_0 と寄生容量 C_{01} 及び C_{02} が図21に追加されている。埋込配線23は、各画素ブロック12a(つまり、n個の画素11a)に対して一つ設けられている。

[0290] 次に、イメージセンサ4の実際構造について説明する。

[0291] イメージセンサ4は、図23から明らかなように、上位半導体回路層21Eと下位半導体回路層22Eとを、埋込配線23と微細なバンプ電極90と電氣的絶縁性の接着剤91とを用いて、機械的且つ電氣的に接続して構成されている。

[0292] 上位半導体回路層21Eには、 $(k \times m)$ 個の画素ブロック12a、つまり $(k \times n) \times m$ 個の画素11aが形成されている。したがって、上位半導体回路層21Eは、 $(k \times n) \times m$ 個のフォトダイオード(すなわち、 $(k \times m)$ 組のフォトダイオード群 $\text{PD}_1 \sim \text{PD}_n$)と、 $(k \times n) \times m$ 個のトランスファゲート(すなわち、 $(k \times m)$ 組のトランスファゲート群 $\text{TG}_1 \sim \text{TG}_n$)と、 $(k \times n) \times m$ 個のリセットトランジスタ(すなわち、 $(k \times m)$ 組のリセットトランジスタ群 $\text{Tr}_{\text{RST1}} \sim \text{Tr}_{\text{RSTn}}$)とを含んでいる。上位半導体回路層21Eには、さらに、 $(k \times m)$ 個の埋込配線23が形成されている。

[0293] 下位半導体回路層22Eには、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と、 $(k \times n) \times m$ 個の選択トランジスタ(すなわち、 $(k \times m)$ 組の選択トランジスタ群 $\text{Tr}_{\text{SEL1}} \sim \text{Tr}_{\text{SELn}}$)が形成されている。

[0294] 上位半導体回路層21Eでは、p型の単結晶Si基板40の表面領域に、所定パターンで素子分離絶縁膜41が形成されており、それによって図23のレイアウトとなるように、 $(k \times n) \times m$ 個の素子領域がマトリクス状に並んで形成されている。それら素子領域の各々が一つの画素11aに対応する。

[0295] 画素ブロック12a(i, j)に対応する素子領域の内部には、n個のフォトダイオード $\text{PD}_1 \sim \text{PD}_n$ と、n個のトランスファゲート $\text{TG}_1 \sim \text{TG}_n$ と、n個のリセットトランジスタ $\text{Tr}_{\text{RST1}} \sim \text{Tr}_{\text{RSTn}}$ が形成されている。例えば、フォトダイオード PD_1 は、図23に示すように、p型基板40に形成された n^+ 形領域42から構成される(つまりp-n接合フォトダイオード

である)。トランスファゲート TG_1 は、ゲート電極44と、このゲート電極44を挟んで n^+ 形領域42に対向している n^+ 形領域43とを含むMOSTランジスタによって形成されている。トランスファゲート TG_1 は、フォトダイオード PD_1 の n^+ 形領域42を共用しているため、トランスファゲート TG_1 の一方のソース・ドレイン領域が、フォトダイオード PD_1 のアノードと電氣的に接続されていることになる。ゲート電極44と基板40の表面の間に存在するゲート絶縁膜は、図23では省略している。ゲート電極44は、基板40の表面に形成された配線構造47中の配線を介して、対応する読出制御線32に電氣的に接続されている。

- [0296] リセットランジスタ Tr_{RST1} は、ゲート電極49と、このゲート電極44を挟んで n^+ 形領域42に対向している n^+ 形領域43aとを含むMOSTランジスタによって形成されている。リセットランジスタ Tr_{RST1} は、フォトダイオード PD_1 の n^+ 形領域42を共用しているため、リセットランジスタ Tr_{RST1} の一方のソース・ドレイン領域が、フォトダイオード PD_1 のアノードと電氣的に接続されていることになる。 n^+ 形領域43a(ソース・ドレイン領域)には、図示しない配線を介してリセット電圧 V_{RST} が印加される。
- [0297] 他のフォトダイオード $PD_2 \sim PD_n$ とトランスファゲート $TG_2 \sim TG_n$ とリセットランジスタ $Tr_{RST2} \sim Tr_{RSTn}$ は、それぞれ、フォトダイオード PD_1 とトランスファゲート TG_1 とリセットランジスタ Tr_{RST1} と同様の構成を持つ。
- [0298] 配線構造47の内部には、所定パターンで形成された配線膜46と、その配線膜46に対してトランスファゲート $TG_1 \sim TG_n$ の n 個の n^+ 形領域43を電氣的に接続する n 個の導電性コンタクトプラグ45とが形成されている。画素ブロック12a(i, j)中の n 個のトランスファゲート $TG_1 \sim TG_n$ は、それらコンタクトプラグ45によって配線膜46にそれぞれ電氣的に接続されているから、トランスファゲート $TG_1 \sim TG_n$ は共通ノード13aに並列に接続されていることになる。
- [0299] 上位半導体回路層21E内の n^+ 形領域43は、FD(浮遊拡散)領域の機能、すなわち光電変換によりフォトダイオード $PD_1 \sim PD_n$ に蓄積された信号電荷量を電圧信号に変換する機能を有している。
- [0300] 基板40には、トランスファゲート $TG_1 \sim TG_n$ の n^+ 型領域(ソース・ドレイン領域)43に隣接する素子分離絶縁膜41と重なる位置に、素子分離絶縁膜41と基板40を上

下方向に(基板40の主面に直交する方向に)貫通する($k \times m$)個の透孔が形成されている。この透孔の基板40に接する部分の内壁の全面は、絶縁膜24で覆われている。この透孔の内部(絶縁膜24の内側と素子分離絶縁膜41の内部)には、導電性材料が充填されており、その導電性材料が埋込配線23を形成する。この埋込配線23の上端は、基板40(素子分離絶縁膜41)の表面から露出しており、配線構造47の内部に形成された導電性コンタクトプラグ23aの下端に接続されている。この導電性コンタクトプラグ23aの上端は、配線構造47の内部に形成された配線膜46に接続されている。したがって、埋込配線23は、導電性コンタクトプラグ23aを介して対応する配線膜46に電氣的に接続されている。その結果、画素ブロック12a(i, j)の n 個のトランスタゲート $TG_1 \sim TG_n$ の n^+ 型領域(ソース・ドレイン領域)43は、図21に示した回路構成のように、対応する埋込配線23に電氣的に共通接続されていることになる。各埋込配線23の下端は、基板40の裏面から露出していて、その下端において対応するバンプ電極90に機械的・電氣的に接続されている。

[0301] 下位半導体回路層22Eでは、p型の単結晶Si基板60の表面領域に、所定パターンで素子分離絶縁膜61が形成されており、それによって所定数の増幅トランジスタ Tr_{AMP} 用の素子領域と、所定数の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ 用の素子領域が形成されている。ここでは一つの画素ブロック12a(i, j)に対応する構成について説明する。

[0302] 増幅トランジスタ Tr_{AMP} は、ゲート電極65と、このゲート電極65を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)64とを含むMOSTランジスタから構成されている。ゲート電極65は、配線構造74の内部に形成された導電性コンタクトプラグ71と配線膜72と導電性コンタクトプラグ74aと配線膜75を介して、対応するバンプ電極90に電氣的に接続されている。その結果、増幅トランジスタ Tr_{AMP} のゲート電極は、対応する埋込配線23を介して、上位半導体回路層21の対応する共通ノード13a(画素ブロック12a(i, j))に電氣的に接続されていることになる(図21参照)。また、一方の n^+ 形領域64(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ69を介して、配線構造74の内部に形成された配線膜73に電氣的に接続されている。他方の n^+ 形領域64(ソース・ドレイン領域)には、図示しない配

線を介して電源電圧 V_{CC} が印加される。

[0303] n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の各々は、ゲート電極67と、このゲート電極67を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)66とを含むMOSトランジスタから構成されている。一方の n^+ 形領域(ソース・ドレイン領域)66は、配線構造74の内部に形成された導電性コンタクトプラグ70と配線膜73を介して、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域(ソース・ドレイン領域)64に電氣的に接続されている。ゲート電極67は、配線構造74の内部に形成された配線を介して、出力選択線39に電氣的に接続されている。選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ のゲート電極67には、対応する出力選択線39を介して所定の出力選択信号 $\phi_{SEL1} \sim \phi_{SELn}$ がそれぞれ印加される。

[0304] 以上述べたように、図23に示した第14実施形態に係るイメージセンサ4は、図21に示したセンサ回路を適用したものであって、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$ と $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と $(k \times m)$ 組のリセットトランジスタ群 $Tr_{RST1} \sim Tr_{RSTn}$ と、 $(k \times m)$ 個の埋込配線23を上位半導体回路層21E中に形成すると共に、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ を下位半導体回路層22E中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21E中の画素ブロック12a(トランスファゲート群 $TG_1 \sim TG_n$)と下位半導体回路層22E中の増幅トランジスタ Tr_{AMP} とを電氣的に相互接続している。

[0305] また、下位半導体回路層22Eの上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21Eの下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21Eと22Eは二段の半導体積層構造(三次元構造)を構成する。

[0306] したがって、第13実施形態のセンサ回路3について説明したのと同じ理由により、全画素11aについての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0307] また、画素ブロック12aの各画素11aは一つのフォトダイオードと一つのゲート素子(

MOSTランジスタ)と一つのリセットランジスタ(MOSTランジスタ)を含むだけで済むため、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11a自体の大きさを縮小することが可能となる。

[0308] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、上位半導体回路層21Eの表面にある撮像領域の総面積に対する受光領域(各フォトダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0309] (第15実施形態)

図22は、本発明の第15実施形態に係るアドレス指定型イメージセンサ4Aの要部の回路構成を示す回路図であり、図24は、同イメージセンサ4Aの実際構造を示す要部断面図である。このイメージセンサ4Aは、上述した第14実施形態のイメージセンサ4で使用されたセンサ回路(図21を参照)において、 n 個の選択ランジスタ $Tr_{SE1} \sim Tr_{SEn}$ の出力側にそれぞれ記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力ランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ とが追加接続されたセンサ回路を使用したものであり、上位半導体回路層21Eと下位半導体回路層22E'を積層して二段の三次元積層構造とされている。このイメージセンサ4Aは、本発明の第4の観点によるイメージセンサに対応する。

[0310] イメージセンサ4Aは、図24から明らかなように、上位半導体回路層21Eと下位半導体回路層22E'とを、埋込配線23と微細なバンプ電極90と、電気的絶縁性の接着剤91とを用いて、機械的且つ電気的に接続して構成されている。

[0311] 上位半導体回路層21Eは、上述した第14実施形態のイメージセンサ4(図23参照)のそれと同じ構成であるから、第14実施形態の場合と同じ符号を付してその詳細な説明は省略する。

[0312] 下位半導体回路層22E'は、上述した第14実施形態のイメージセンサ4の下位半導体回路層22Eとほぼ同じ構成であるが、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力ランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ が追加形成されている点が異なっている。すなわち、下位半導体回路層22E'には、 $(k \times m)$ 個の増幅ランジスタ Tr_{AMP} と、 $(k \times m)$ 組の選択ランジスタ群 $Tr_{SEL1} \sim Tr_{SEn}$ に加えて、 $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力ランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ が形成されている。

- [0313] 図24に示すように、下位半導体回路層22E'では、基板60の表面領域に、所定パターンで素子分離絶縁膜61が形成されており、それによって所定数の増幅トランジスタ Tr_{AMP} 用の素子領域と、所定数の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ 、記憶用容量素子 $C_{ST1} \sim C_{STn}$ 及び出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ 用の素子領域が形成されている。
- [0314] 増幅トランジスタ Tr_{AMP} の構成は、上述した第14実施形態のイメージセンサ4(図23参照)の場合と同様であり、ゲート電極65と、このゲート電極65を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)64とを含むMOSTランジスタから構成されている。増幅トランジスタ Tr_{AMP} の電氣的接続も、第14実施形態のイメージセンサ4(図21参照)の場合と同様である。
- [0315] n 個の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ の各々の構成は、上述した第14実施形態のイメージセンサ4の場合と同様であり、ゲート電極67と、このゲート電極67を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)66とを含むMOSTランジスタから構成されている。そして、そのMOSTランジスタに対して、記憶用容量素子 $C_{ST1} \sim C_{STn}$ と出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ とが、図24に示すような回路構成となるように接続されている。
- [0316] 例えば、選択トランジスタ Tr_{SEL1} について言えば、一方の n^+ 形領域(ソース・ドレイン領域)66は、配線構造74の内部に形成された導電性コンタクトプラグ70及び69と配線膜73を介して、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域(ソース・ドレイン領域)64に電氣的に接続されている。ゲート電極67は、配線構造74の内部に形成された配線を介して出力選択線39に電氣的に接続されており、出力選択信号 ϕ_s が印加される。選択トランジスタ Tr_{SEL1} の他方の n^+ 形領域(ソース・ドレイン領域)66は、ゲート電極67aに関してそれとは反対側に形成された n^+ 形領域66aと共に、記憶用容量素子 C_{ST1} として機能するMOSキャパシタを構成している。この n^+ 形領域66aは、ゲート電極67bと、そのゲート電極67bに関して当該 n^+ 形領域66aとは反対側に形成された n^+ 形領域66aと共に、出力トランジスタ Tr_{OUT1} として機能するMOSTランジスタを構成している。ゲート電極67aは、所定電位(通常は接地電位)の端子に接続される。ゲート電極67bは、図示しない配線を介して出力制御線39aに電氣的

に接続されており、出力制御信号 ϕ_{OUT1} が印加される。

[0317] このように、一つの素子領域内に、選択トランジスタ Tr_{SEL1} と記憶用容量素子 C_{ST1} と出力トランジスタ Tr_{OUT1} が形成されている。これは、他の選択トランジスタ $Tr_{SEL2} \sim Tr_{SELn}$ についても同様である。

[0318] 以上述べたように、図24に示した第15実施形態に係るイメージセンサ4は、図22に示したセンサ回路を適用したものであって、 $(k \times m)$ 組のフォトダイオード群 $PD_1 \sim PD_n$ と $(k \times m)$ 組のトランスファゲート群 $TG_1 \sim TG_n$ と $(k \times m)$ 組のリセットトランジスタ群 $Tr_{RST1} \sim Tr_{RSTn}$ と、 $(k \times m)$ 個の埋込配線23を上位半導体回路層21E中に形成すると共に、 $(k \times m)$ 個の増幅トランジスタ Tr_{AMP} と $(k \times m)$ 組の選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ と $(k \times m)$ 組の記憶用容量素子群 $C_{ST1} \sim C_{STn}$ と $(k \times m)$ 組の出力トランジスタ群 $Tr_{OUT1} \sim Tr_{OUTn}$ を下位半導体回路層22E'中に形成し、さらに、埋込配線23及びバンプ電極90を介して、上位半導体回路層21E中のトランスファゲート群 $TG_1 \sim TG_n$ と、下位半導体回路層22E'中の増幅トランジスタ Tr_{AMP} とを電氣的に相互接続している。

[0319] また、下位半導体回路層22E'の上方の主面(配線構造74の表面)は、バンプ電極90と接着剤91によって、上位半導体回路層21Eの下方の主面(基板40の裏面)に電氣的・機械的に接続されているので、両回路層21Eと22E'は二段の半導体積層構造(三次元構造)を構成する。

[0320] したがって、第13実施形態のセンサ回路3について説明したのと同じ理由により、全画素11aについての信号電荷の実質的同時蓄積(実質的同時シャッタ化)が可能であると共に、従来のCMOSイメージセンサにおける画像の歪みを生じることなく、高速で移動する被写体を撮像することができる。

[0321] また、画素ブロック12aの各画素11aは一つのフォトダイオードと一つのゲート素子(MOSTランジスタ)と一つのリセットトランジスタ(MOSTランジスタ)を含むだけで済むため、一つの画素中にフォトダイオードに加えて三つないし四つのMOSTランジスタを含む従来のCMOSイメージセンサに比べて、高い画素開口率(例えば、60%程度)を実現することができ、しかも画素11a自体の大きさを縮小することが可能となる。

[0322] さらに、従来のCMOSイメージセンサよりも高い画素開口率を実現できることから、

上位半導体回路層21Eの表面にある撮像領域の総面積に対する受光領域(各フォトダイオードの開口部分)の総面積の割合を高くすることが可能となる。

[0323] さらに、出力制御信号 $\phi_{OUT1} \sim \phi_{OUTn}$ で出力トランジスタ $Tr_{OUT1} \sim Tr_{OUTn}$ を制御することにより、画素ブロック12a中のトランスファゲート $TG_1 \sim TG_n$ と選択トランジスタ群 $Tr_{SEL1} \sim Tr_{SELn}$ の開閉とはタイミングをずらして列信号線37に信号を出力することができるため、第14実施形態のイメージセンサ4よりも高速の撮像が可能であるという効果もある。

[0324] (第16実施形態)

上述した第5～第12実施形態に係るアドレス指定型イメージセンサ2～2Gと第14及び第15実施形態に係るアドレス指定型イメージセンサ4及び4Aは、いずれも上位及び下位の二つの半導体回路層を積層してなる二層構造であるが、本発明のイメージセンサは二層構造に限定されるものではない。三層あるいは四層以上の半導体回路層を積層して構成することも可能である。その一例として、上位、中位及び下位の三層の半導体回路層から構成された例について以下に説明する。

[0325] 図28は、本発明の第16実施形態に係るアドレス指定型イメージセンサ2Hの要部の回路構成を示す回路図であり、図29は、同イメージセンサ2Hの実際構造を示す要部断面図である。このイメージセンサ2Hは、上述した第3実施形態のセンサ回路1B(図4を参照)を使用したものであり、そのセンサ回路1Bを使用した第5実施形態の二段の三次元積層構造のイメージセンサ2(図6及び図8を参照)とほぼ同一の構成であるが、上位半導体回路層21Fと中位半導体回路層22Faと下位半導体回路層22Fbを積層して三段の三次元積層構造とされている点で異なる。このイメージセンサ2Hは、本発明の第2の観点によるイメージセンサに対応する。

[0326] 上位半導体回路層21Fの構成は、上述した第5実施形態のイメージセンサ2の上位半導体回路層21(図8参照)のそれと同一である。

[0327] イメージセンサ2では下位半導体回路層22に形成されていた $(k \times m)$ 組のリセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ と $(k \times m)$ 個の増幅トランジスタ T_{AMP} は、中位半導体回路層22Faに形成されている。上位半導体回路層21F中の各画素ブロック12と、中位半導体回路層22Fa中の対応するリセットトランジスタ $Tr_{RST1} \sim Tr_{RSTn}$ 及び増幅トラン

ジスタ T_{AMP} とは、上位半導体回路層21F中に形成された対応する埋込配線23を介して電氣的に相互接続されている。

[0328] イメージセンサ2では下位半導体回路層22中に形成されていた($k \times m$)組の選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ は、下位半導体回路層22Fb中に形成されている。中位半導体回路層22Fa中の各増幅トランジスタ T_{AMP} と、下位半導体回路層22Fb中の対応する選択トランジスタ $Tr_{SEL1} \sim Tr_{SELn}$ とは、中位半導体回路層22Fa中に形成された対応する埋込配線23'を介して電氣的に相互接続されている。

[0329] 次に、図29を参照しながら、イメージセンサ2Hの実際構造について説明する。

[0330] 上位半導体回路層21Fの構成は、上述した第5実施形態のイメージセンサ2の上位半導体回路層21(図8参照)のそれと同一であるから、対応する要素に同じ符号を付してその説明は省略する。

[0331] 中位半導体回路層22Faは、イメージセンサ2の下位半導体回路層22の構造(図8を参照)と似ており、p型の単結晶Si基板60の表面領域に、所定パターンで素子分離絶縁膜61が形成されており、それによって所定数のリセットトランジスタ Tr_{RST} 用の素子領域と、所定数の増幅トランジスタ Tr_{AMP} 用の素子領域が形成されている。

[0332] リセットトランジスタ Tr_{RST} は、図29に示すように、ゲート電極63と、このゲート電極63を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)62とを含むMOSTランジスタから構成されている。ゲート電極63は、基板60の表面に形成された配線構造74中の配線を介して、対応するリセット線31に電氣的に接続されている。一方の n^+ 形領域62(ソース・ドレイン領域)は、配線構造74の内部に形成された導電性コンタクトプラグ68と配線膜72と導電性コンタクトプラグ74aと配線膜75を介して、対応するバンプ電極90に電氣的に接続されている。その結果、リセットトランジスタ Tr_{RST} の一方のソース・ドレイン領域は、対応する埋込配線23を介して、上位半導体回路層21Fの対応する共通ノード13(画素ブロック12(i, j))に電氣的に接続されていることになる(図6参照)。他方の n^+ 形領域62(ソース・ドレイン領域)には、図示しない配線を介してリセット電圧 V_{RST} が印加される。

[0333] 増幅トランジスタ Tr_{AMP} は、ゲート電極65と、このゲート電極65を挟んで両側に形成された一対の n^+ 形領域(ソース・ドレイン領域)64とを含むMOSTランジスタから構成

されている。ゲート電極65は、配線構造74の内部に形成された導電性コンタクトプラグ71と配線膜72と導電性コンタクトプラグ74aと配線膜75を介して、対応するバンプ電極90に電氣的に接続されている。その結果、増幅トランジスタ Tr_{AMP} のゲート電極は、対応する埋込配線23を介して、上位半導体回路層21の対応する共通ノード13（画素ブロック12(i, j)）に電氣的に接続されていることになる（図6参照）。また、一方の n^+ 形領域64（ソース・ドレイン領域）は、配線構造74の内部に形成された導電性コンタクトプラグ69と配線膜73と導電性コンタクトプラグ23a'を介して、下位半導体回路層22Fb中に形成された導電性プラグ23'に電氣的に接続されている。他方の n^+ 形領域64（ソース・ドレイン領域）には、図示しない配線を介して電源電圧 V_{CC} が印加される。

[0334] 下位半導体回路層22Fbは、p型の単結晶Si基板60'の表面領域に、所定パターンで素子分離絶縁膜61'が形成されており、それによって所定数の選択トランジスタ $\text{Tr}_{\text{SEL1}} \sim \text{Tr}_{\text{SELn}}$ の用の素子領域が形成されている。選択トランジスタ $\text{Tr}_{\text{SEL1}} \sim \text{Tr}_{\text{SELn}}$ の各々は、ゲート電極67と、このゲート電極67を挟んで両側に形成された一対の n^+ 形領域（ソース・ドレイン領域）66とを含んで構成されるMOSトランジスタから構成されている。一方の n^+ 形領域（ソース・ドレイン領域）66は、配線構造74'の内部に形成された導電性コンタクトプラグ70、配線膜72a、導電性コンタクトプラグ74a'及び配線膜75'を介して、対応するバンプ電極90'に電氣的に接続されている。したがって、当該 n^+ 形領域（ソース・ドレイン領域）66は、バンプ電極90'と中位半導体回路層22Fa内の導電性プラグ23'を介して、対応する増幅トランジスタ Tr_{AMP} の一方の n^+ 形領域（ソース・ドレイン領域）64に電氣的に接続されている。他方の n^+ 形領域（ソース・ドレイン領域）66は、当該イメージセンサ2の対応する出力端子に接続されている。ゲート電極67は、配線構造74'の内部に形成された配線を介して、出力選択線39に電氣的に接続されている。選択トランジスタ $\text{Tr}_{\text{SEL1}} \sim \text{Tr}_{\text{SELn}}$ のゲート電極67には、対応する出力選択線39を介して所定の出力選択信号 $\phi_{\text{SEL1}} \sim \phi_{\text{SELn}}$ がそれぞれ印加される。

[0335] 第16実施形態のイメージセンサ2Hは、以上のような実際構造を有しているが、その動作及び効果は上述した第5実施形態のイメージセンサ2（図6及び図8を参照）の

場合と同一である。したがって、それらに関する説明は省略する。

[0336] (記憶用容量素子の構成例)

図25～図27は、上述した実施形態に使用された記憶用容量素子の構成例を示す。これらの図では、選択トランジスタ Tr_{SEL1} と出力トランジスタ Tr_{OUT1} の間に設けられる記憶用容量素子 C_{ST1} について示している。

[0337] 図25(a)の記憶用容量素子 C_{ST1} は、p型Si基板60の内部において、選択トランジスタ Tr_{SEL1} を形成する容量素子 C_{ST1} 側の n^+ 領域66と、出力トランジスタ Tr_{OUT1} を形成する容量素子 C_{ST1} 側の n^+ 領域66aとを連結するように形成された n^+ 領域66bを備えている。基板60と n^+ 領域66bの間に逆バイアスを印加することにより、p-n接合容量が生成されるので、それを記憶用容量素子 C_{ST1} として使用する。

[0338] 図25(b)の記憶用容量素子 C_{ST1} は、選択トランジスタ Tr_{SEL1} を形成する n^+ 領域66と出力トランジスタ Tr_{OUT1} を形成する n^+ 領域66aの間において、ゲート絶縁膜(図示せず)を介してp型Si基板60の上方に形成されたゲート電極67aを備えている。ゲート電極67aに電源電圧 V_{CC} を印加することにより、基板60の表面領域にn型あるいは n^+ 型の反転層Lが生成されるので、それを記憶用容量素子 C_{ST1} として使用する。これは典型的なMOSキャパシタであり、上述した各実施形態で使用されているものである。

[0339] 図26(a)の記憶用容量素子 C_{ST1} は、選択トランジスタ Tr_{SEL1} を形成する n^+ 領域66と出力トランジスタ Tr_{OUT1} を形成する n^+ 領域66aの間において、ゲート絶縁膜(図示せず)を介してp型Si基板60の上方に形成されたゲート電極67aを備えている。基板60の内部では、選択トランジスタ Tr_{SEL1} を形成する容量素子 C_{ST1} 側の n^+ 領域66と、出力トランジスタ Tr_{OUT1} を形成する容量素子 C_{ST1} 側の n^+ 領域66aが除去されている。選択トランジスタ Tr_{SEL1} を形成するゲート電極67の容量素子 C_{ST1} 側の端部は、絶縁膜(図示せず)を介してゲート電極67aの上に載せられている。同様に、出力トランジスタ Tr_{OUT1} を形成するゲート電極67bの容量素子 C_{ST1} 側の端部は、ゲート電極67の反対側から絶縁膜(図示せず)を介してゲート電極67aの上に載せられている。

[0340] ゲート電極67aに電源電圧 V_{CC} を印加することにより、図25(b)の場合と同様に、基板60の表面領域にn型あるいは n^+ 型の反転層が生成されるので、それを記憶用容

量素子 C_{ST1} として使用する。この時、当該反転層のゲート電極67側の端部が、選択トランジスタ Tr_{SEL1} 用のn型領域あるいは n^+ 型領域として機能する。また、当該反転層のゲート電極67b側の端部が、出力トランジスタ Tr_{OUT1} 用のn型領域あるいは n^+ 型領域として機能する。これはMOSキャパシタの変形例である。

[0341] 図26(b)の記憶用容量素子 C_{ST1} は、選択トランジスタ Tr_{SEL1} のゲート電極67と出力トランジスタ Tr_{OUT1} のゲート電極67bの間において、ゲート絶縁膜(図示せず)を介してp型Si基板60の上方に形成されたゲート電極67aを備えている。基板60の内部では、選択トランジスタ Tr_{SEL1} を形成する容量素子 C_{ST1} 側の n^+ 領域66と、出力トランジスタ Tr_{OUT1} を形成する容量素子 C_{ST1} 側の n^+ 領域66aが除去されている。ゲート電極67aの一方の端部は、選択トランジスタ Tr_{SEL1} を形成するゲート電極67の上に絶縁膜(図示せず)を介して載せられており、他方の端部は、出力トランジスタ Tr_{OUT1} を形成するゲート電極67bの上に絶縁膜(図示せず)を介して載せられている。

[0342] ゲート電極67aに電源電圧 V_{cc} を印加することにより、図25(b)の場合と同様に、基板60の表面領域にn型あるいは n^+ 型の反転層が生成されるので、それを記憶用容量素子 C_{ST1} として使用する。この時、当該反転層のゲート電極67側の端部が、選択トランジスタ Tr_{SEL1} 用のn型領域あるいは n^+ 型領域として機能する。また、当該反転層のゲート電極67b側の端部が、出力トランジスタ Tr_{OUT1} 用のn型領域あるいは n^+ 型領域として機能する。これもMOSキャパシタの変形例である。

[0343] 図27の記憶用容量素子 C_{ST1} は、基板60の内部では、選択トランジスタ Tr_{SEL1} を形成する容量素子 C_{ST1} 側の n^+ 領域66と、出力トランジスタ Tr_{OUT1} を形成する容量素子 C_{ST1} 側の n^+ 領域66aが除去されている。それらに代えて、選択トランジスタ Tr_{SEL1} のゲート電極67と出力トランジスタ Tr_{OUT1} のゲート電極67bの間において、 n^+ 型領域66bが形成されている。選択トランジスタ Tr_{SEL1} のゲート電極67は、 n^+ 型領域66と n^+ 型領域66bの間に配置され、出力トランジスタ Tr_{OUT1} のゲート電極67bは、 n^+ 型領域66aと n^+ 型領域66bの間に配置されている。

[0344] ゲート電極67と67bの上には、ゲート絶縁膜(図示せず)を介して、断面T型構造を持つ容量素子67aaが形成されている。この容量素子67aaは、容量素子 C_{ST1} として機能するものであり、断面略T型の断面形状を持つ下位電極67aa1と、下位電極67

aa1の上に形成された絶縁膜67aa2と、絶縁膜67aa2の上に形成された上位電極67aa3とから構成されている。下位電極67aa1の下端は、ゲート電極67と67bの間を通過して下方に延びて n^+ 型領域66bの表面に接触している。上位電極67aa3に、適当なゲート電圧 V_G ($0 \sim V_{cc}$)を印加される。

[0345] 記憶用容量素子 C_{ST1} は、このように種々の構成とすることが可能である。

[0346] (変形例)

上述した第1～第16の実施形態は本発明を具体化した例を示すものであり、したがって本発明はこれらの実施形態に限定されるものではなく、本発明の趣旨を外れることなく種々の変形が可能であることは言うまでもない。例えば、上述した実施形態のほとんどでは、上位半導体回路層と下位半導体回路層、あるいは上位半導体回路層と中位半導体回路層、中位半導体回路層と下位半導体回路層をそれぞれバンプ電極と埋込配線を用いて相互に電氣的に接続しているが、本発明はこれに限定されない。上述した第12実施形態のように、上位半導体回路層と下位半導体回路層をバンプ電極と配線膜を用いて相互に電氣的に接続してもよい。要は、上位半導体回路層と下位半導体回路層とを相互に電氣的に接続する構造であれば、任意のものを使用できる。

[0347] さらに、上述した実施形態のほとんどでは、上位半導体回路層と下位半導体回路層からなる二層の積層構造としており、画素マトリックスの周辺回路(垂直走査回路34、水平走査回路35等)を上位半導体回路層または下位半導体回路層に形成するようにしているが、本発明はこれに限定されない。画素マトリックスの周辺回路を他の半導体回路層の内部に形成し、その半導体回路層を下位半導体回路層の裏面に接続してもよい。これは、上位半導体回路層と中位半導体回路層と下位半導体回路層からなる三層の積層構造、あるいは四層以上の積層構造の場合でも、同様である。

[0348] 上述した実施形態では、複数の画素を含む画素ブロックの各々に対して1個の埋込配線を設けているが、本発明はこれに限定されるわけではない。1個の画素に対して1個の埋込配線を設けてもよいことは言うまでもない。これは、例えば各埋込配線の直径(あるいは一辺)を $1 \sim 0.5 \mu m$ 程度にすることにより、実現可能である。

[0349] 上位半導体回路層と下位半導体回路層の各々は、単一の半導体ウェハーにより形成してもよいし、複数の半導体チップにより形成してもよい。換言すれば、当該半導体回路層中に形成されるべき回路素子を、単一の半導体ウェハーの内部に一括して形成してもよいし、複数の半導体チップの内部に分割して形成してもよい。

産業上の利用分野

[0350] 本発明は、アドレス指定型の任意のイメージセンサと、当該イメージセンサに使用される任意のセンサ回路に適用可能である。

請求の範囲

- [1] マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択するアドレス指定型イメージセンサに使用されるセンサ回路であつて、
- 複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、
- 前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素をリセットするためのリセットトランジスタと、
- 複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素の各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変から送出される信号を増幅する増幅トランジスタとを備えて、
- 前記画素ブロック換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とを含んでいることを特徴とするセンサ回路。
- [2] 前記増幅トランジスタが、単一の出力端を有している請求項1に記載のセンサ回路。
- [3] 前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えている請求項1に記載のセンサ回路。
- [4] 前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続されている請求項1に記載のセンサ回路。
- [5] 前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えている請求項4に記載のセンサ回路。
- [6] 前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記

画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる請求項1～5のいずれか1項に記載のセンサ回路。

- [7] マトリックス状に配置された複数の画素を有していると共に、アドレス指定によって前記画素の各々を選択するアドレス指定型イメージセンサに使用されるセンサ回路であって、

 複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

 複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

 前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子と、当該光電変換素子と前記第1ゲート素子との接続点に接続された、当該画素をリセットするためのリセットトランジスタとを含んでいることを特徴とするセンサ回路。

- [8] 前記増幅トランジスタが、単一の出力端を有している請求項7に記載のセンサ回路。

- [9] 前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えている請求項7に記載のセンサ回路。

- [10] 前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続されている請求項7に記載のセンサ回路。

- [11] 前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えている請求項10に記載のセンサ回路。

- [12] 前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記

画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる請求項7～11のいずれか1項に記載のセンサ回路。

- [13] マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択する、三次元積層構造を持つアドレス指定型イメージセンサであって、

複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素をリセットするためのリセットトランジスタと、

複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子とを含んでおり、

少なくとも前記光電変換素子は、前記三次元積層構造を構成する第1半導体回路層の中に形成され、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいは第3以降の半導体回路層の中に形成されていることを特徴とするアドレス指定型イメージセンサ。

- [14] 複数の前記光電変換素子に加えて、複数の前記第1ゲート素子が前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタと複数の前記リセットトランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項13に記載のアドレス指定型イメージセンサ。

- [15] 複数の前記光電変換素子に加えて、複数の前記第1ゲート素子及び複数の前記リセットトランジスタが前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項13に記載のアドレス指定型イメージセンサ。

- [16] 前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前

記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続されており、

複数の前記光电変換素子に加えて、複数の前記第1ゲート素子、複数の前記リセットトランジスタ及び複数の前記増幅トランジスタが前記第1半導体回路層の中に形成され、複数の前記第2ゲート素子が前記第2あるいは第3以降の半導体回路層の中に形成されている請求項13に記載のアドレス指定型イメージセンサ。

[17] 複数の前記光电変換素子のみが前記第1半導体回路層の中に形成され、複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項13に記載のアドレス指定型イメージセンサ。

[18] 前記増幅トランジスタの各々が、単一の出力端を有している請求項13に記載のアドレス指定型イメージセンサ。

[19] 前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えている請求項18に記載のアドレス指定型イメージセンサ。

[20] 前記増幅トランジスタの各々が、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続されている請求項18に記載のアドレス指定型イメージセンサ。

[21] 前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えている請求項20に記載のアドレス指定型イメージセンサ。

[22] 前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅ト

ランジスタに送られる請求項13～21のいずれか1項に記載のアドレス指定型イメージセンサ。

- [23] マトリックス状に配置された複数の画素を有すると共に、アドレス指定によって前記画素の各々を選択する、三次元積層構造を持つアドレス指定型イメージセンサであって、

複数の前記画素を所定数毎に共通ノードに並列接続して構成された複数の画素ブロックと、

複数の前記画素ブロックの各々の前記共通ノードに接続された、当該画素ブロック内の複数の前記画素から送出される信号を増幅する増幅トランジスタとを備え、

前記画素ブロックの各々において、前記画素の各々は、照射された光に応じて信号電荷を生成する光電変換素子と、その光電変換素子と当該画素ブロックの前記共通ノードとの間の経路に設けられた第1ゲート素子と、当該光電変換素子と前記第1ゲート素子との接続点に接続された、当該画素をリセットするためのリセットトランジスタとを含んでおり、

少なくとも前記光電変換素子は、前記三次元積層構造を構成する第1半導体回路層の中に形成され、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタは、前記三次元積層構造を構成する第2あるいはそれ以降の半導体回路層の中に形成されていることを特徴とするアドレス指定型イメージセンサ。

- [24] 複数の前記光電変換素子に加えて、複数の前記第1ゲート素子が前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタと複数の前記リセットトランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項23に記載のアドレス指定型イメージセンサ。

- [25] 複数の前記光電変換素子に加えて、複数の前記第1ゲート素子及び複数の前記リセットトランジスタが前記第1半導体回路層の中に形成され、複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項23に記載のアドレス指定型イメージセンサ。

- [26] 前記増幅トランジスタが、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2

ゲート素子が接続されており、

複数の前記光電変換素子に加えて、複数の前記第1ゲート素子、複数の前記リセットトランジスタ及び複数の前記増幅トランジスタが前記第1半導体回路層の中に形成され、複数の前記第2ゲート素子が前記第2あるいは第3以降の半導体回路層の中に形成されている請求項23に記載のアドレス指定型イメージセンサ。

[27] 複数の前記光電変換素子のみが前記第1半導体回路層の中に形成され、複数の前記第1ゲート素子と複数の前記リセットトランジスタと複数の前記増幅トランジスタが前記第2あるいは第3以降の半導体回路層の中に形成されている請求項23に記載のアドレス指定型イメージセンサ。

[28] 前記増幅トランジスタの各々が、単一の出力端を有している請求項23に記載のアドレス指定型イメージセンサ。

[29] 前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの出力端に接続された記憶用容量素子と、当該容量素子に記憶された信号の出力を制御する出力トランジスタとを、さらに備えている請求項28に記載のアドレス指定型イメージセンサ。

[30] 前記増幅トランジスタの各々が、当該増幅トランジスタに対応する前記画素ブロック中の前記画素の総数に等しい数の出力端を有していると共に、それら出力端の各々に第2ゲート素子が接続されている請求項23に記載のアドレス指定型イメージセンサ。

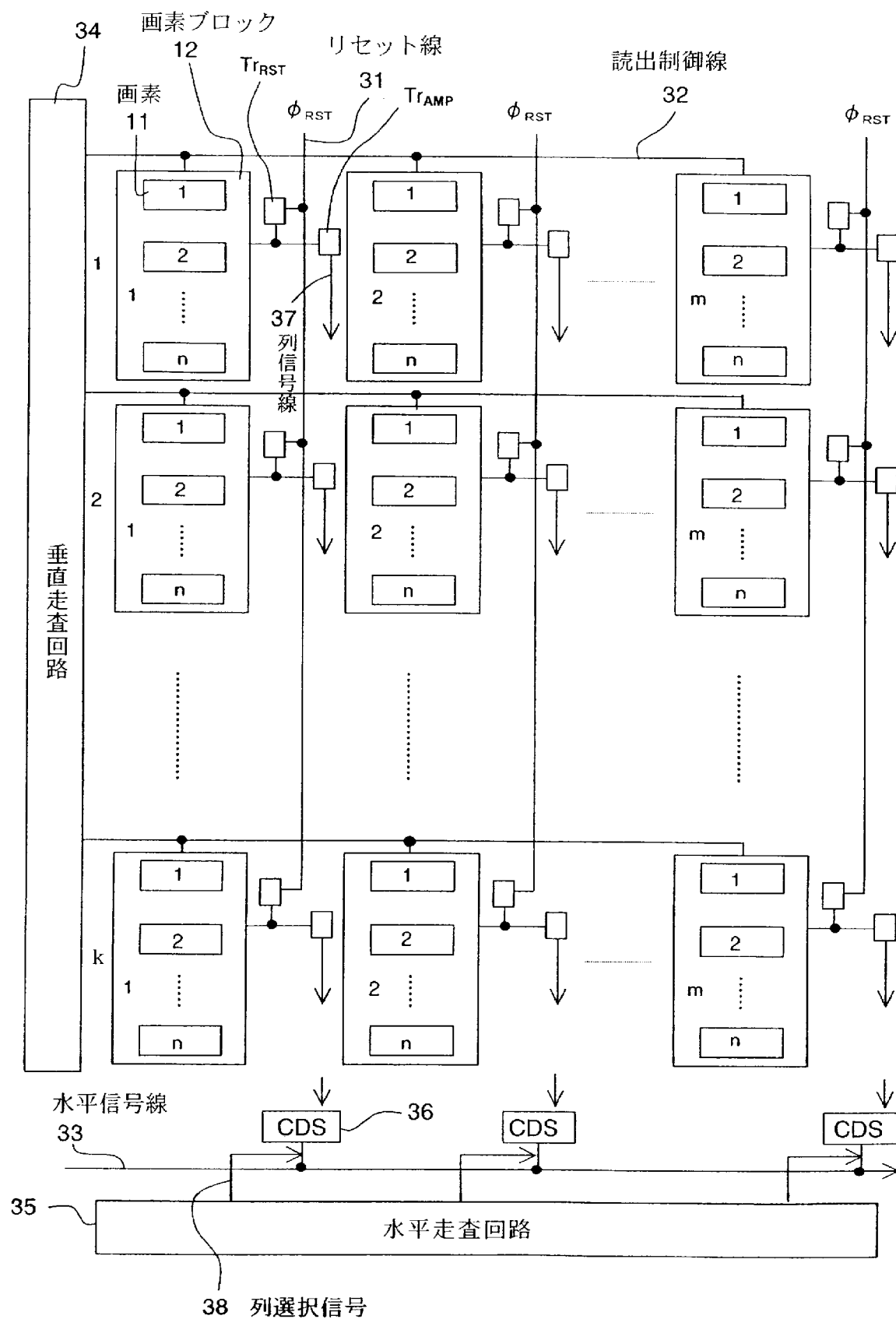
[31] 前記第2あるいは第3以降の半導体回路層の中に、前記増幅トランジスタの複数の前記出力端にそれぞれ接続された複数の記憶用容量素子と、これら容量素子に記憶された信号の出力を制御する複数の出力トランジスタとを、さらに備えている請求項30に記載のアドレス指定型イメージセンサ。

[32] 前記画素のすべてに一括して信号電荷を生成・蓄積させる前に、前記リセットトランジスタのすべてを用いて前記画素のすべてについて一括してリセットが行われ、前記画素ブロックの各々において、前記画素に蓄積された信号電荷に対応する信号が、対応する前記共通ノードを介して時系列的に読み出されてから対応する前記増幅トランジスタに送られる請求項23～31のいずれか1項に記載のアドレス指定型イメー

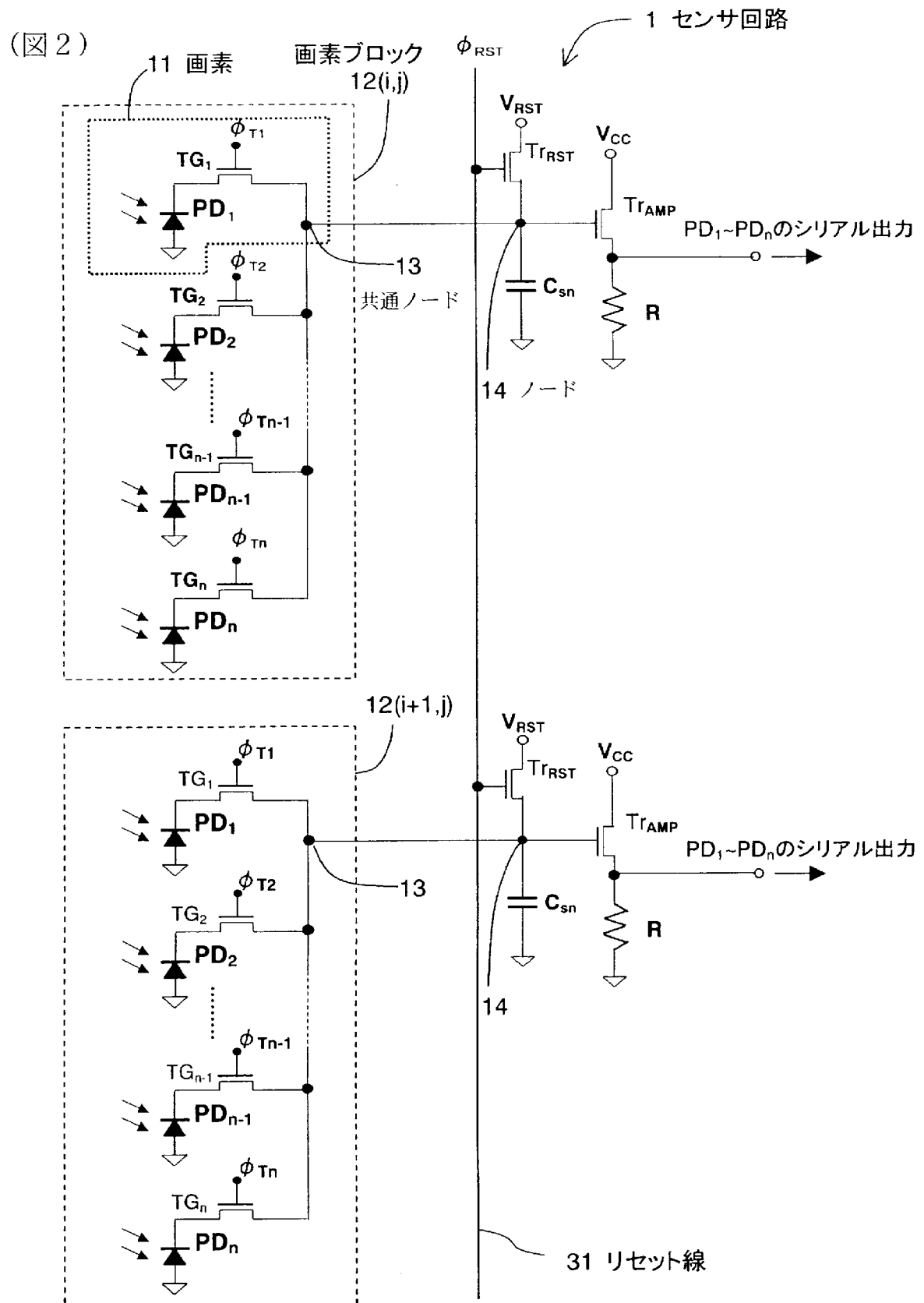
ジセンサ。

[図1]

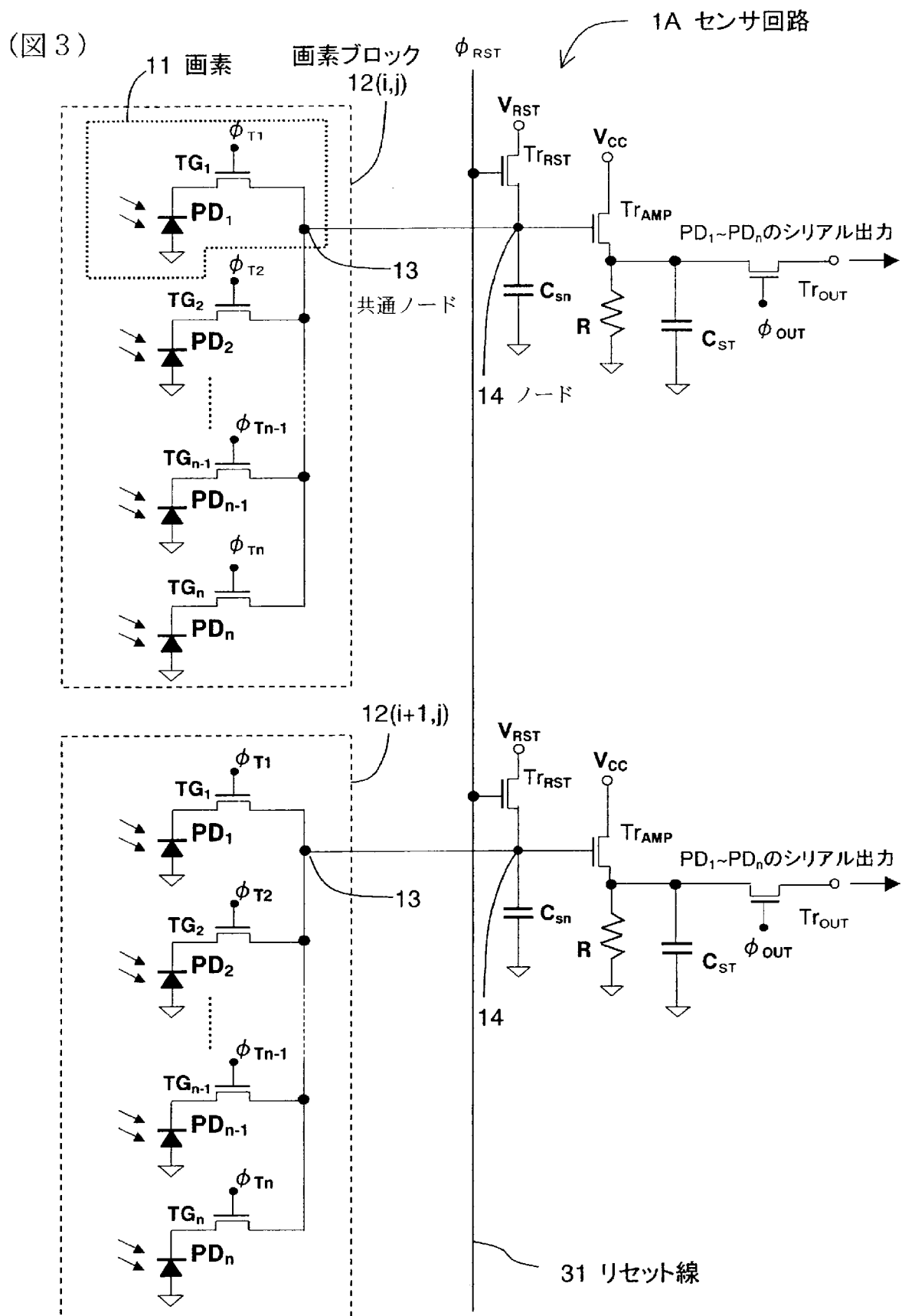
(図 1)



[図2]

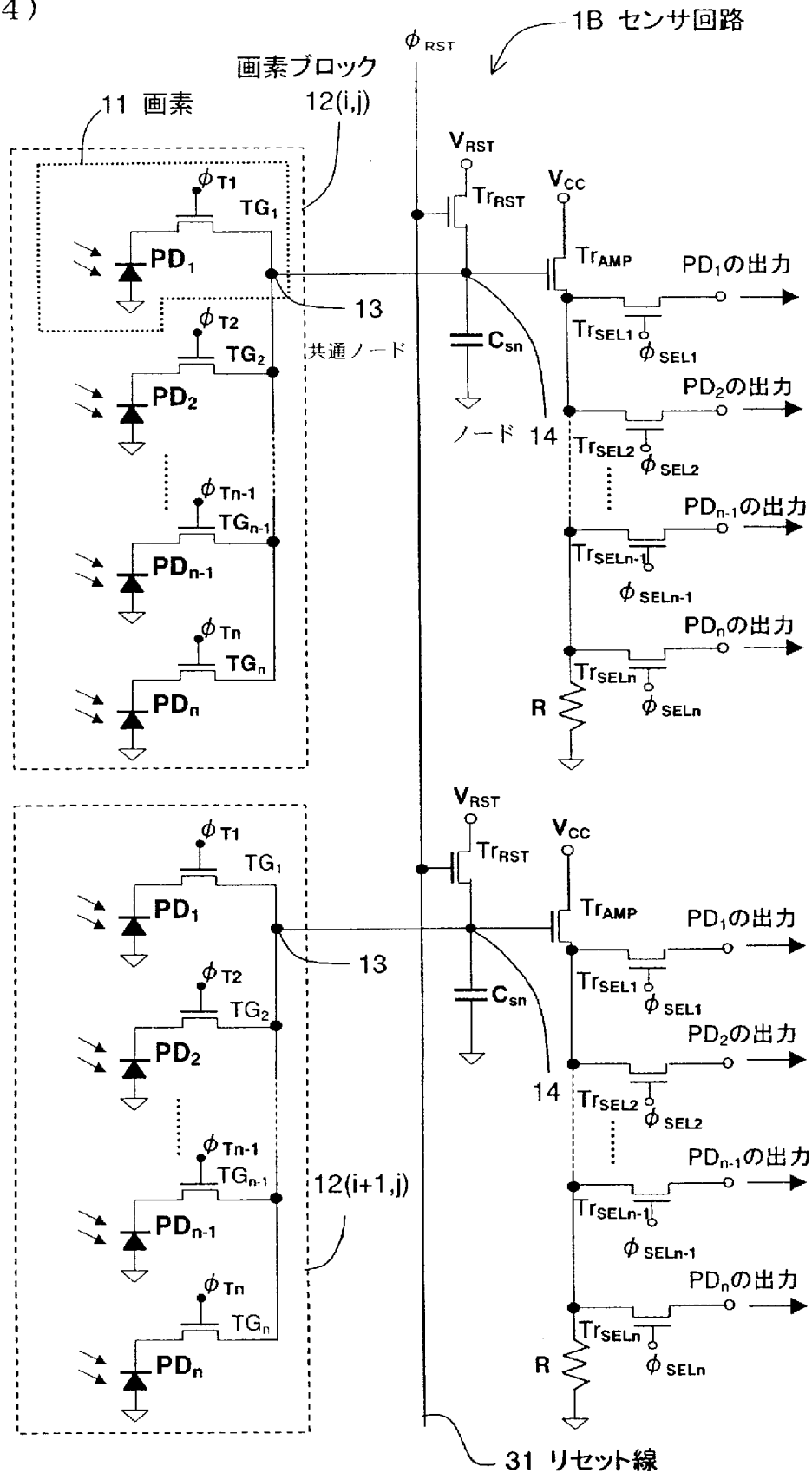


[図3]



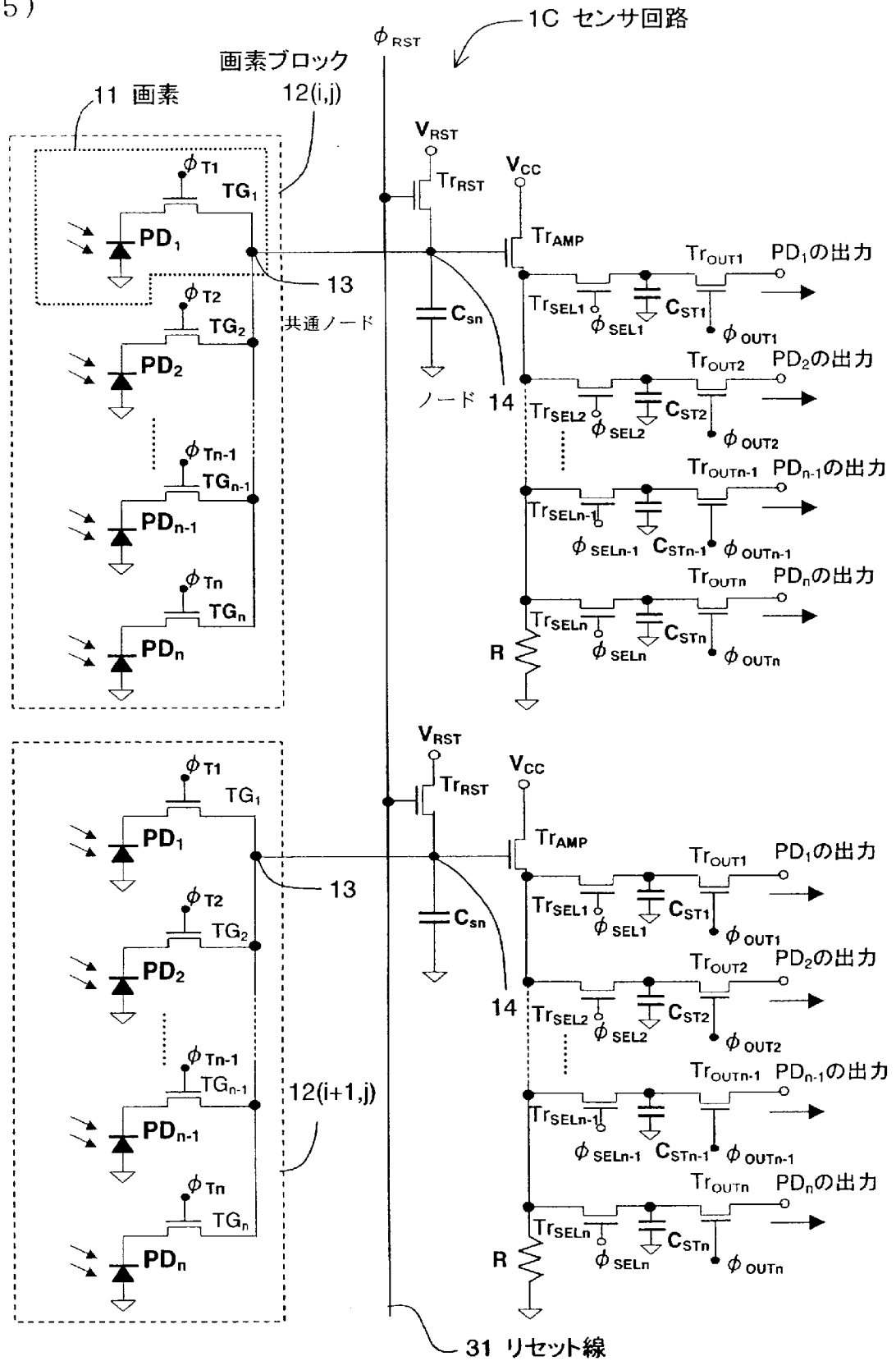
[図4]

(図 4)

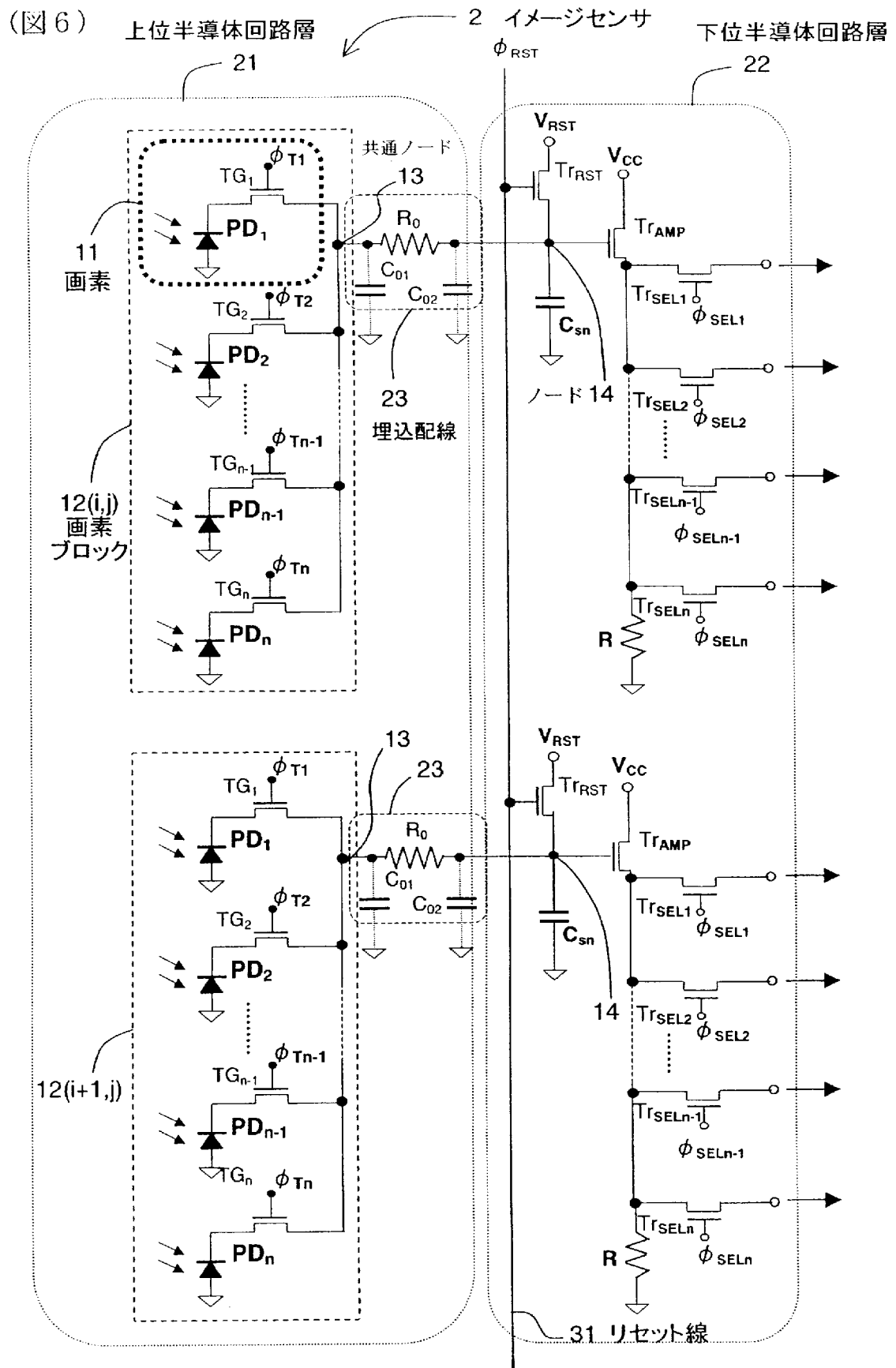


[図5]

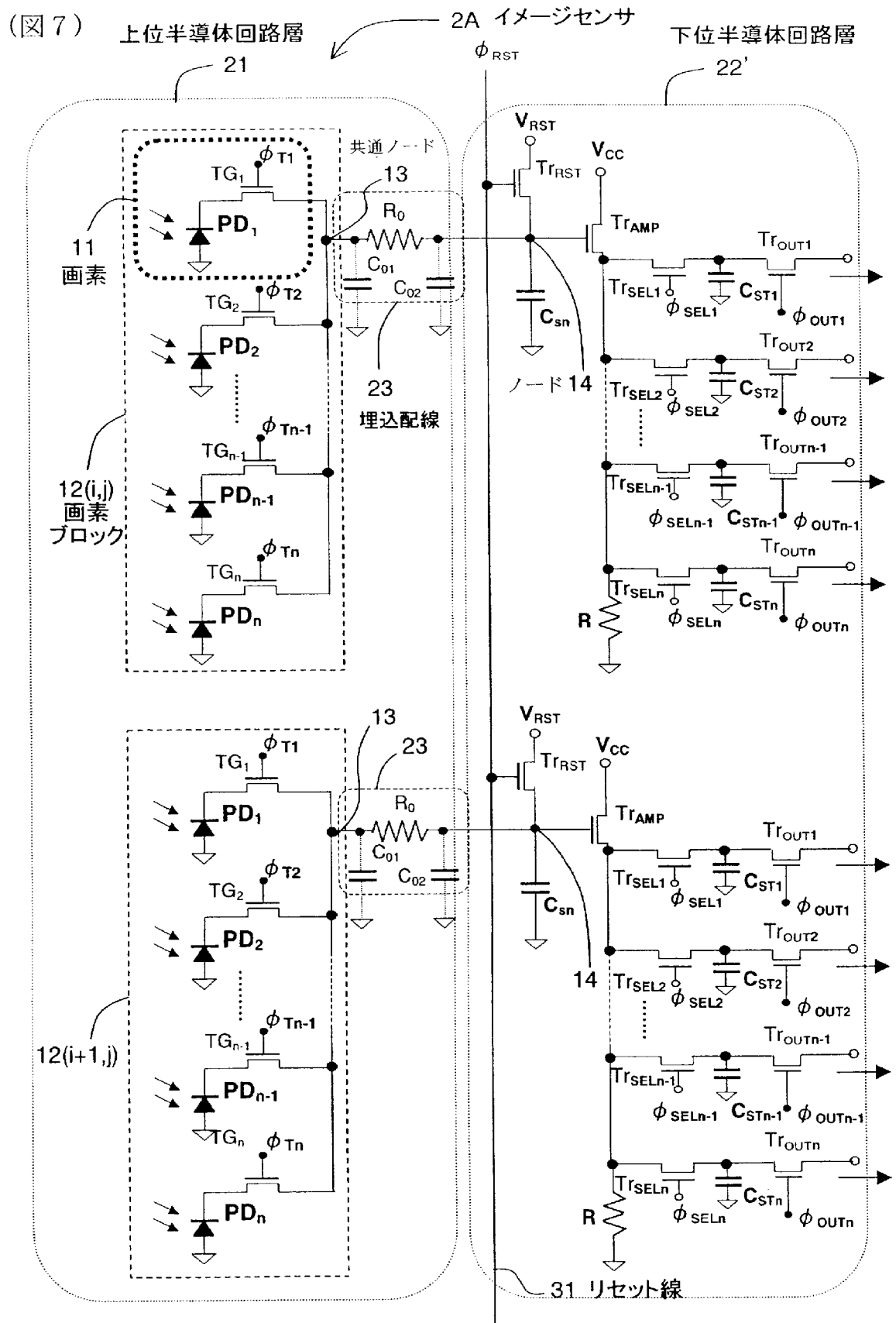
(図5)



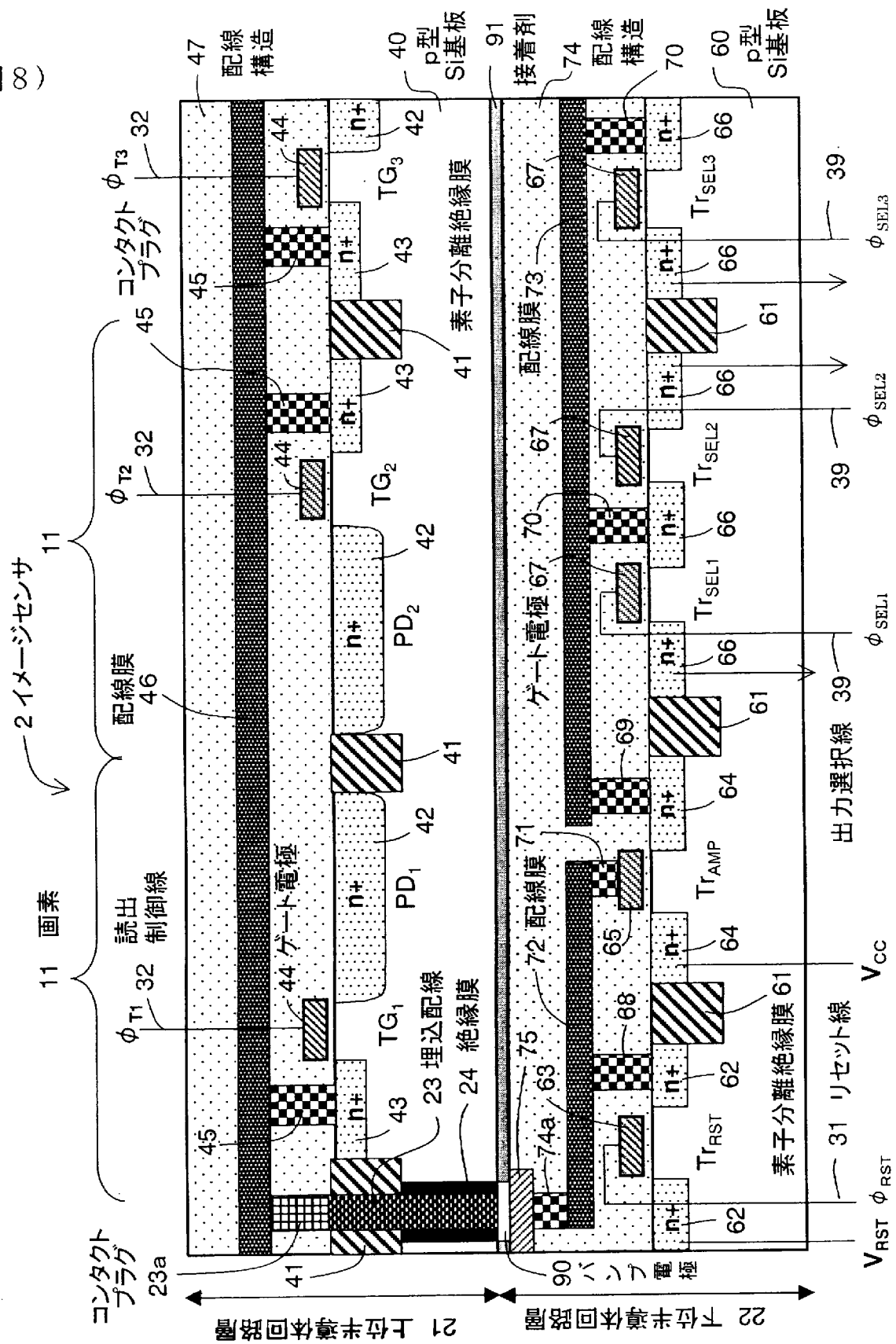
[図6]



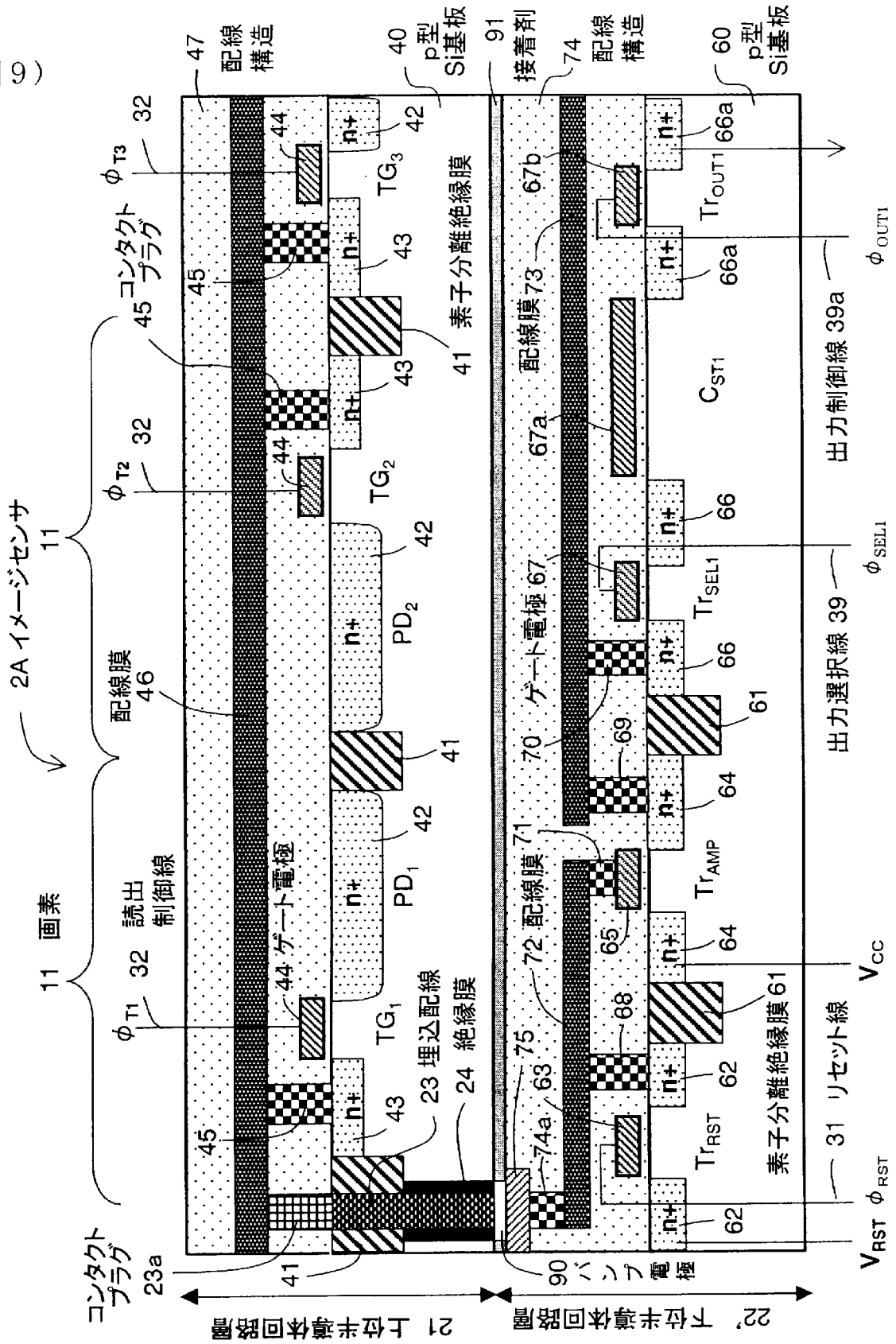
[図7]



(图 8)

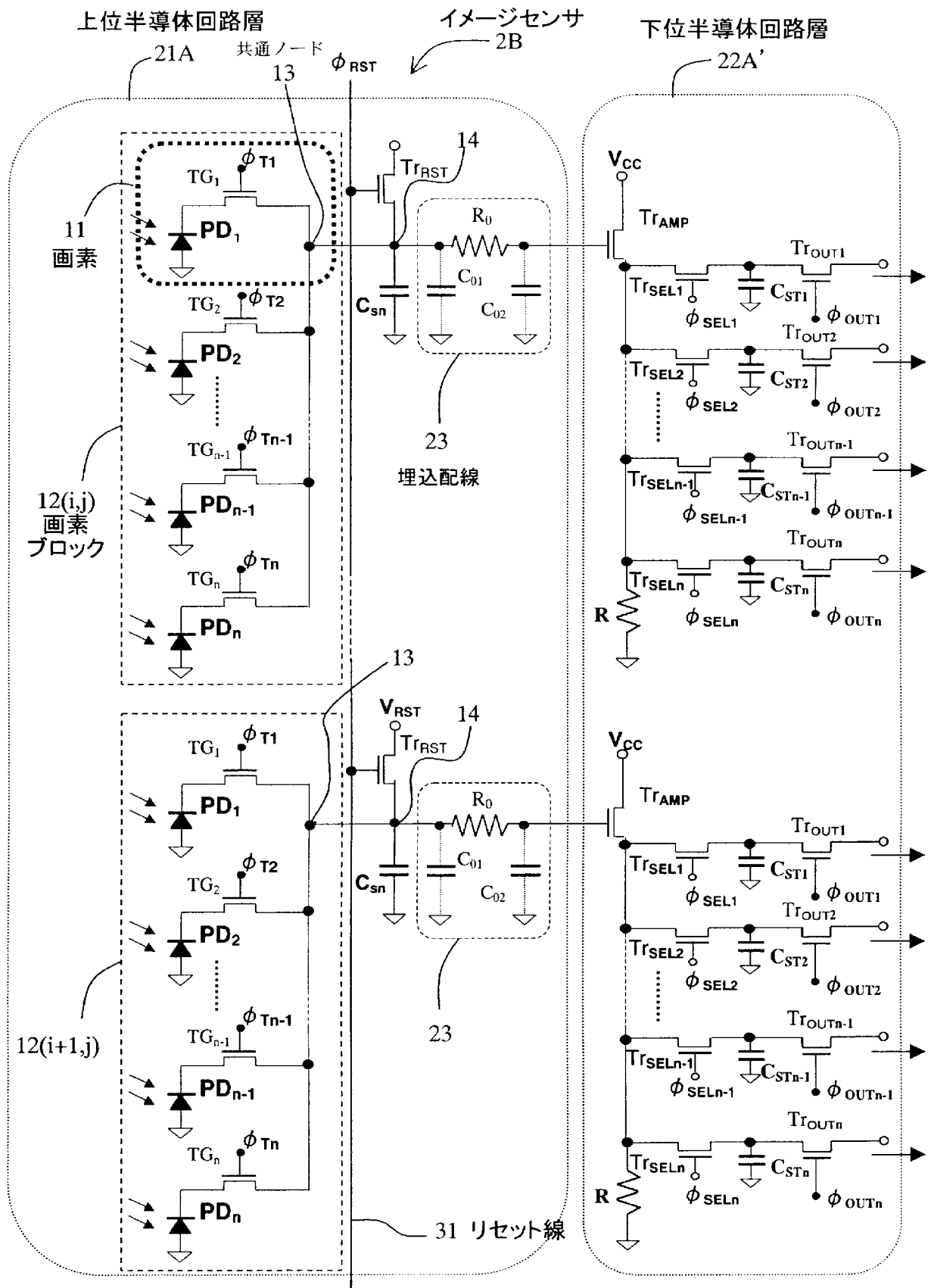


(图 9)

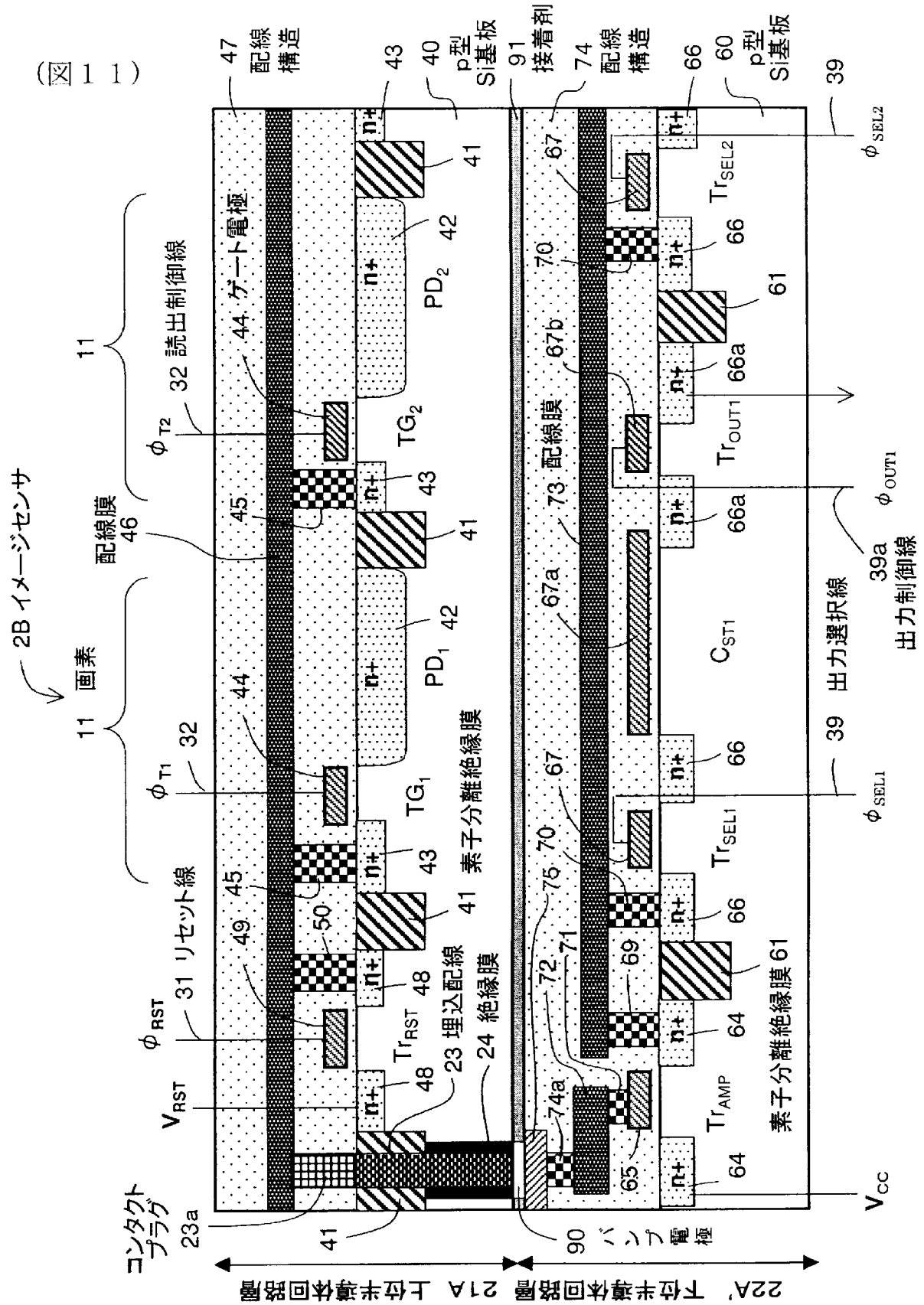


[図10]

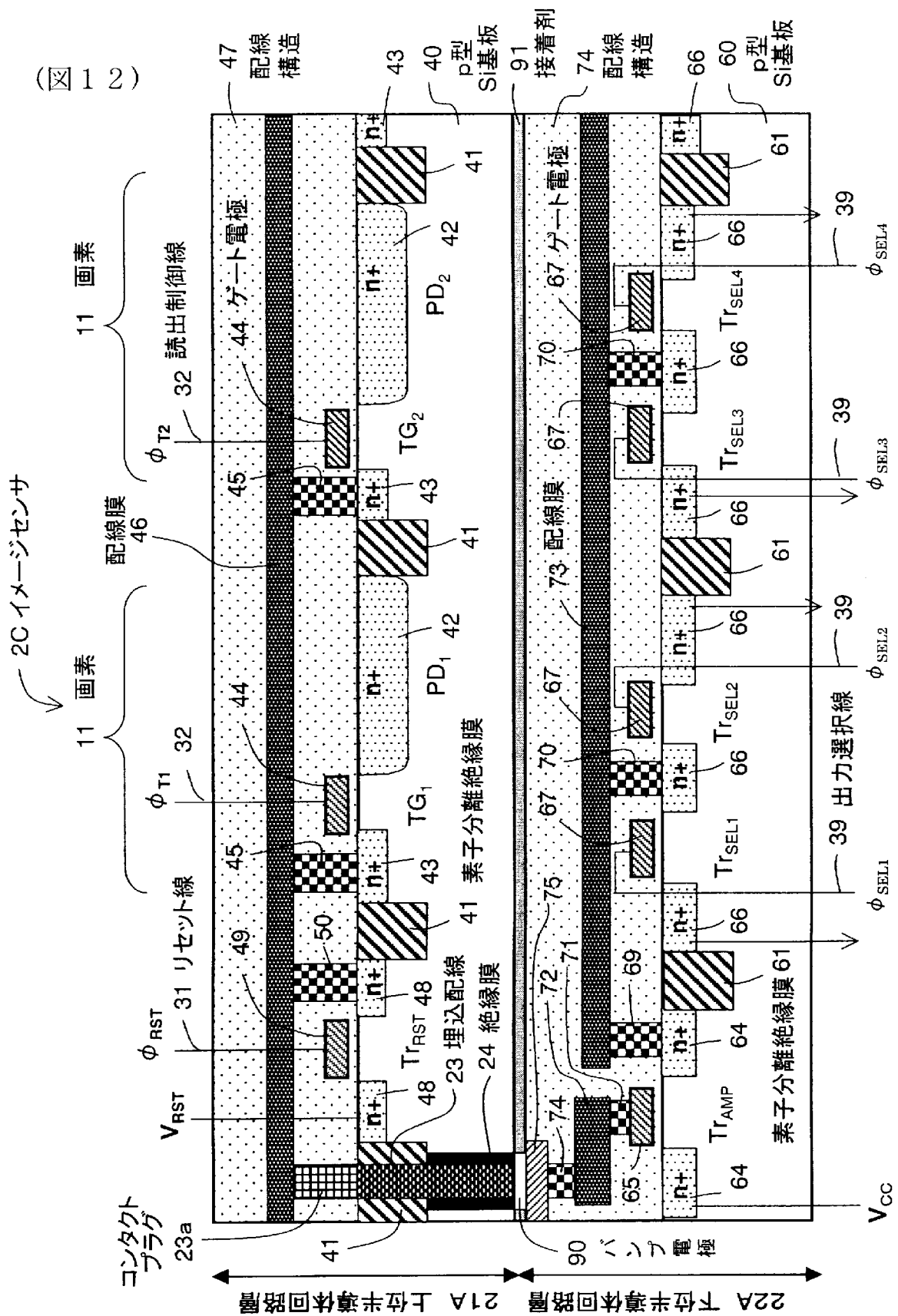
(図10)



[図11]

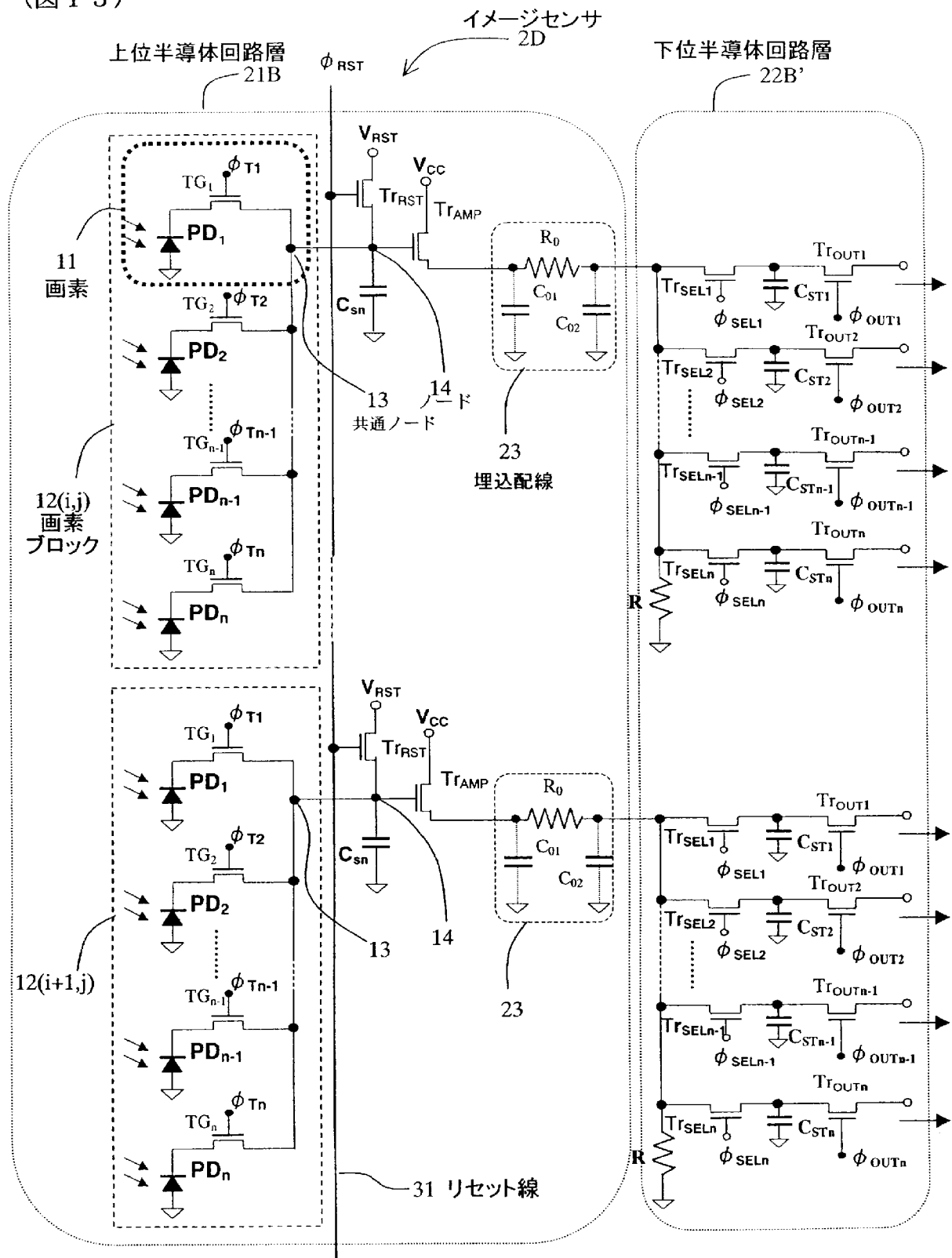


(図 12)

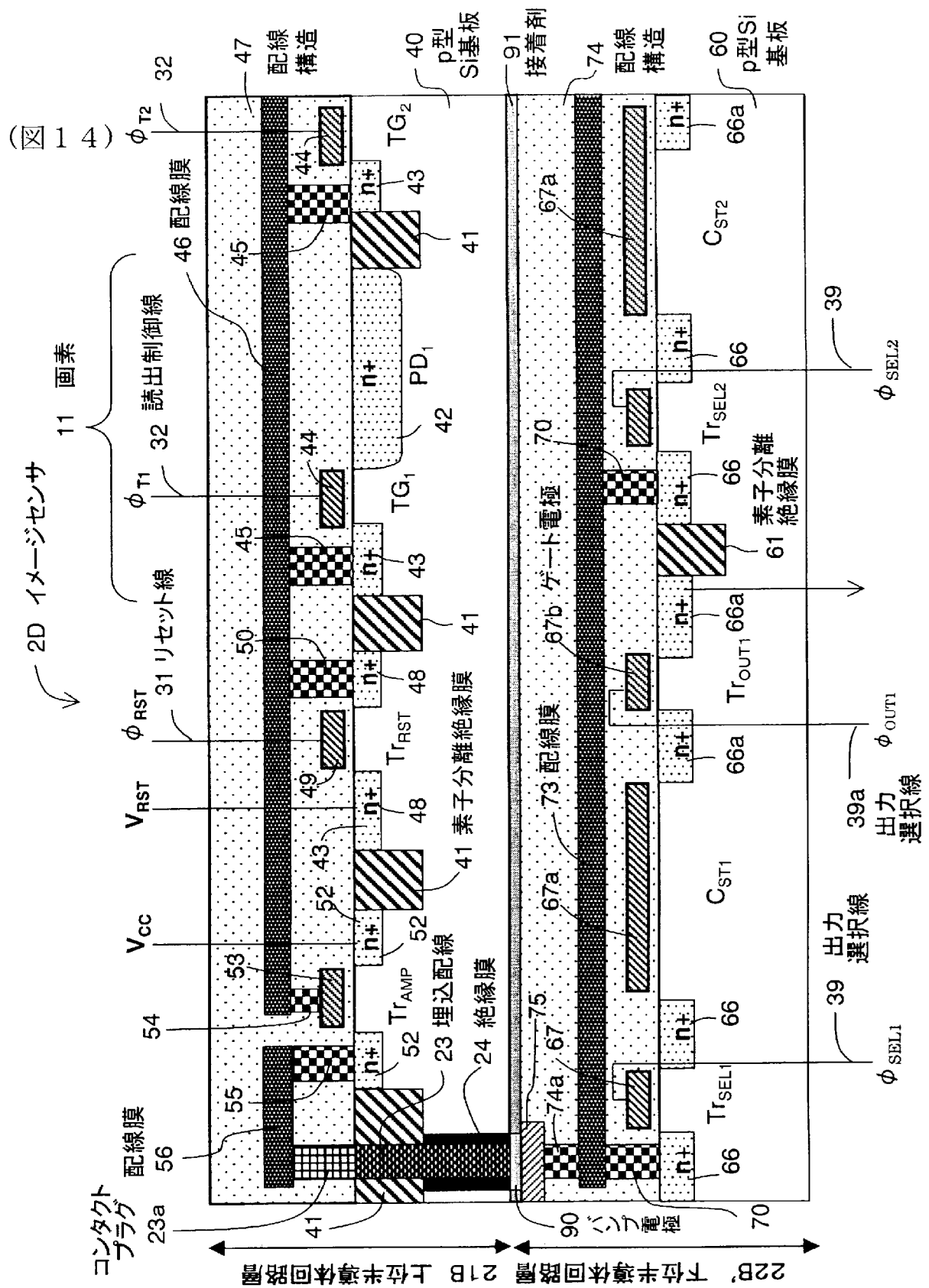


[図13]

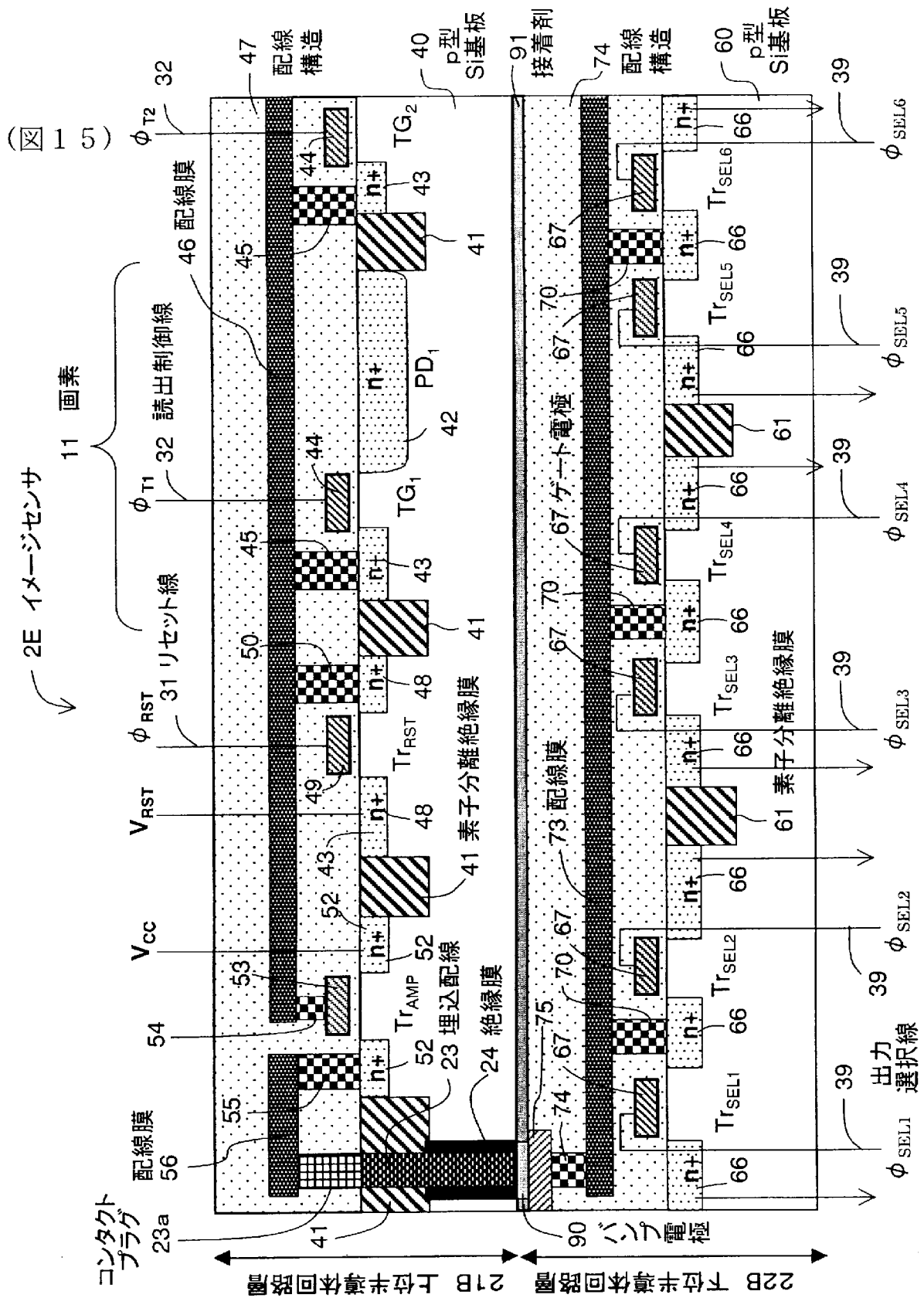
(図13)



[図14]

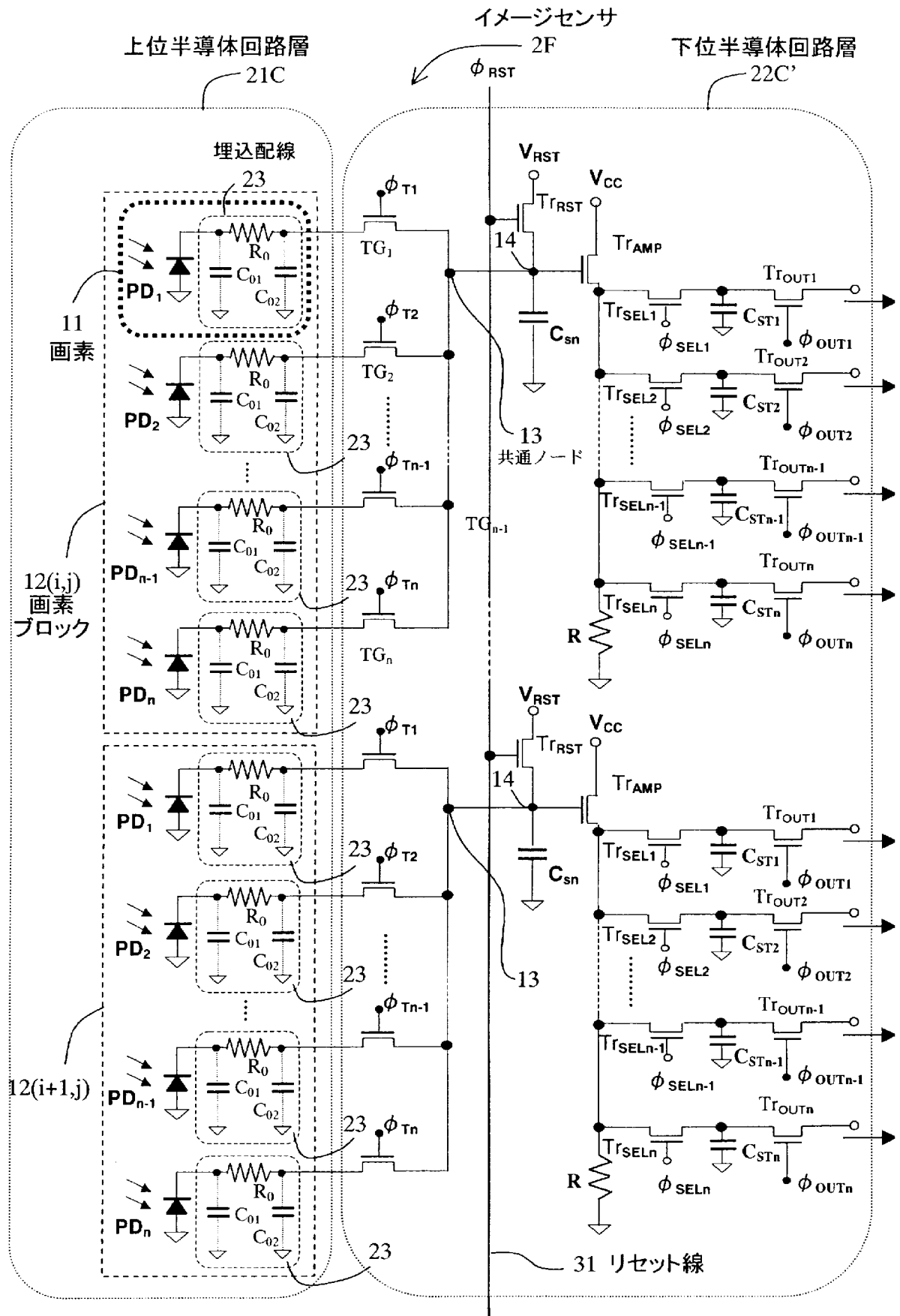


[図15]

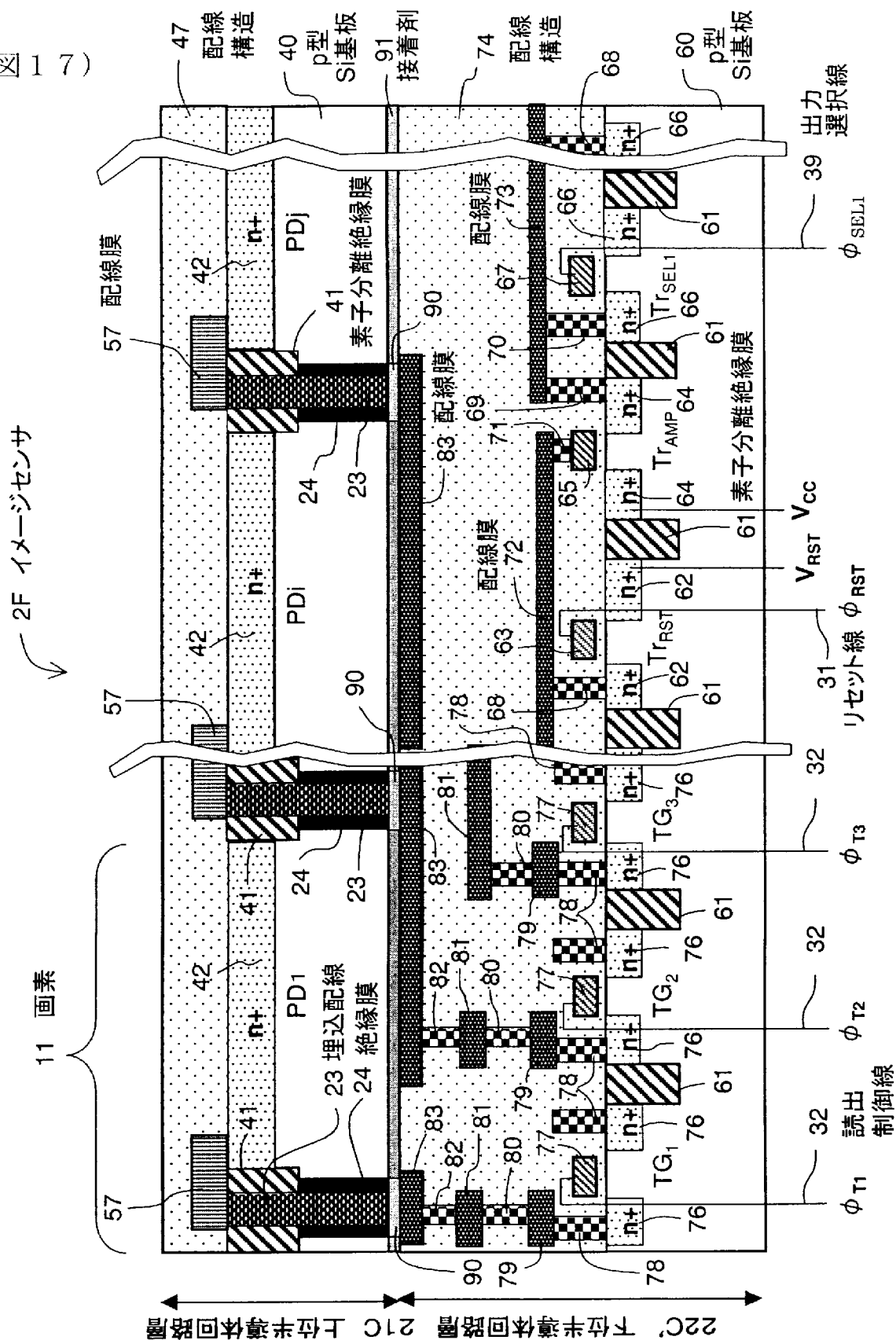


[図16]

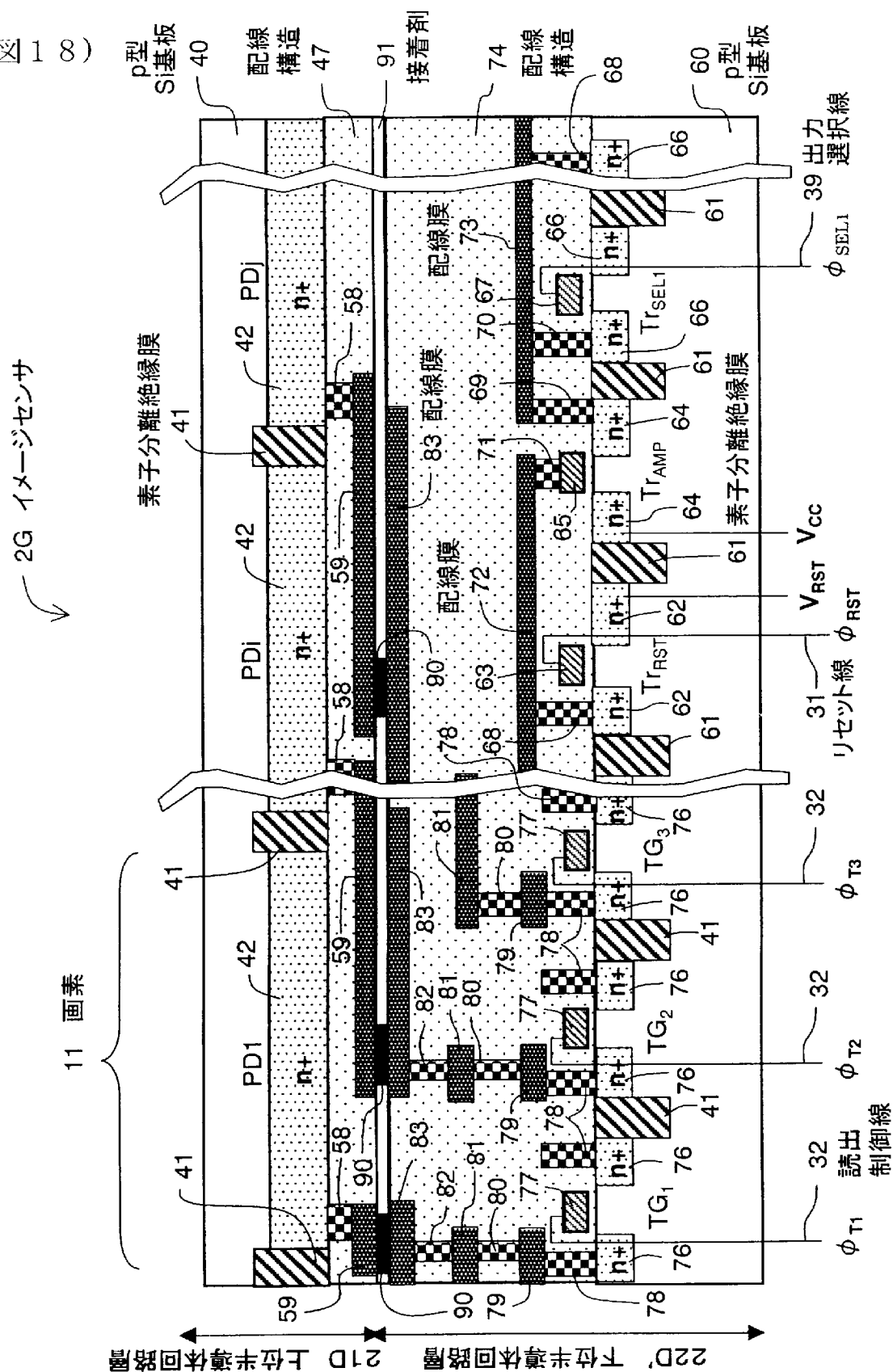
(図 1 6)



(図 17)

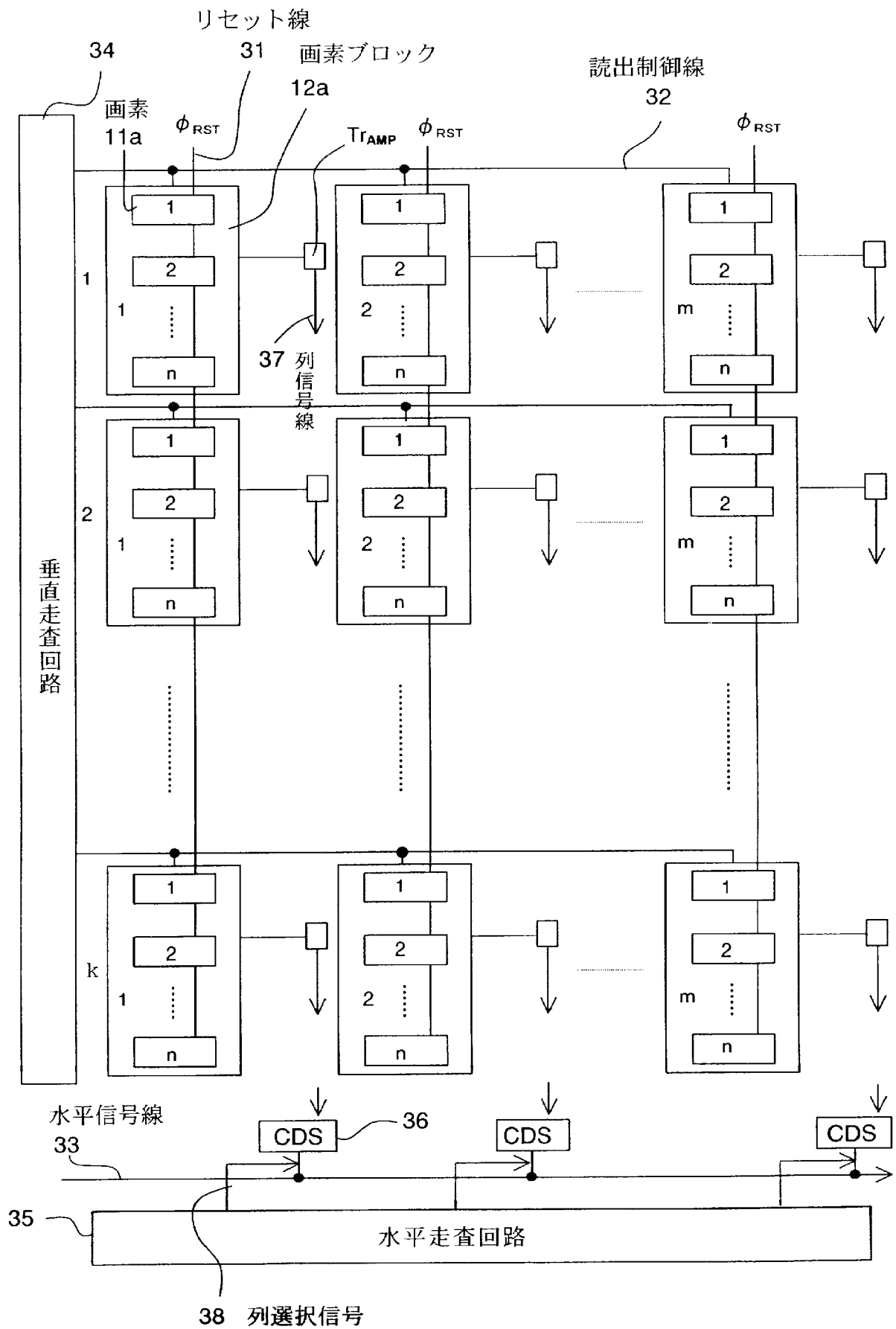


(図 18)

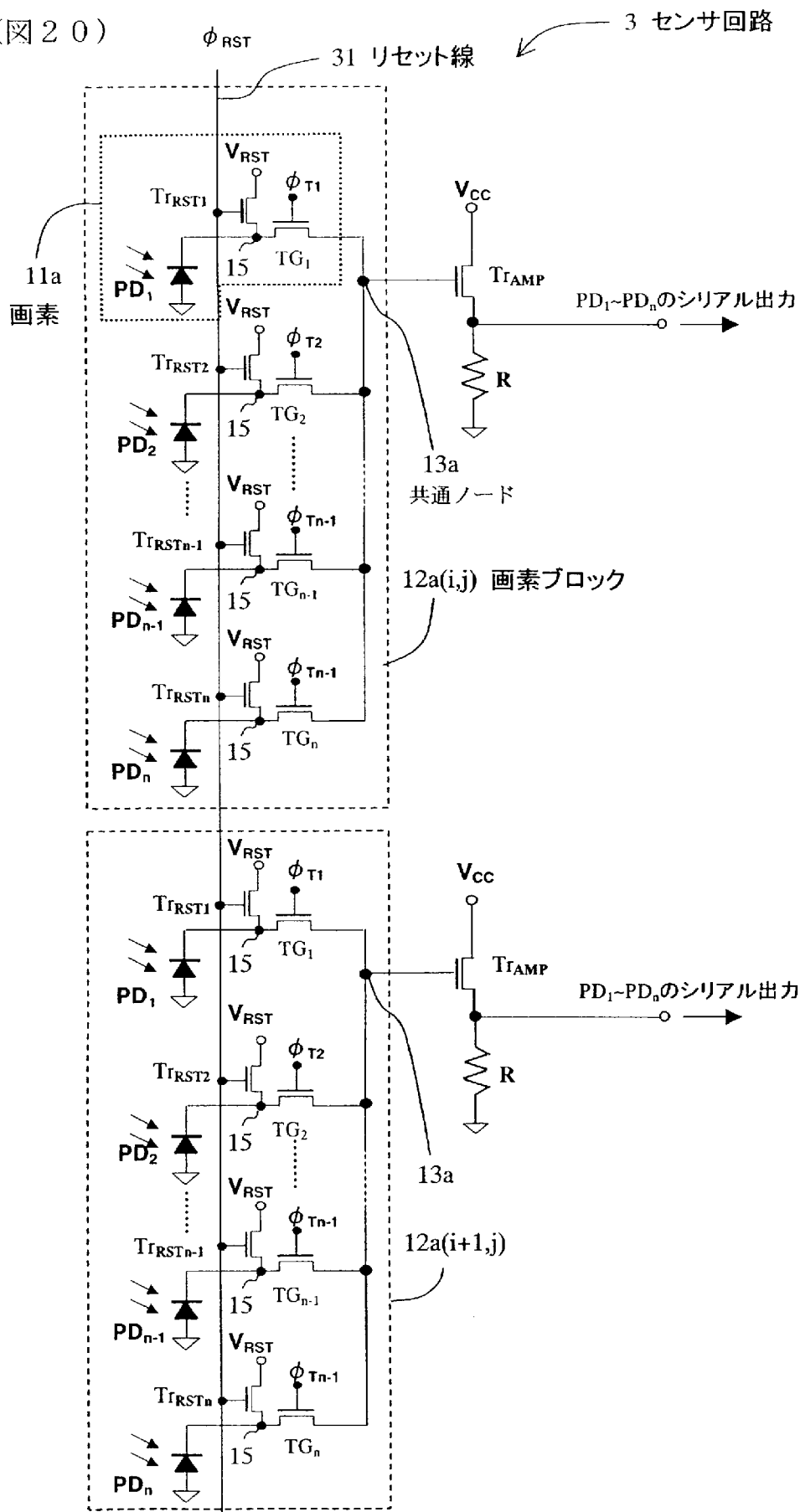


[図19]

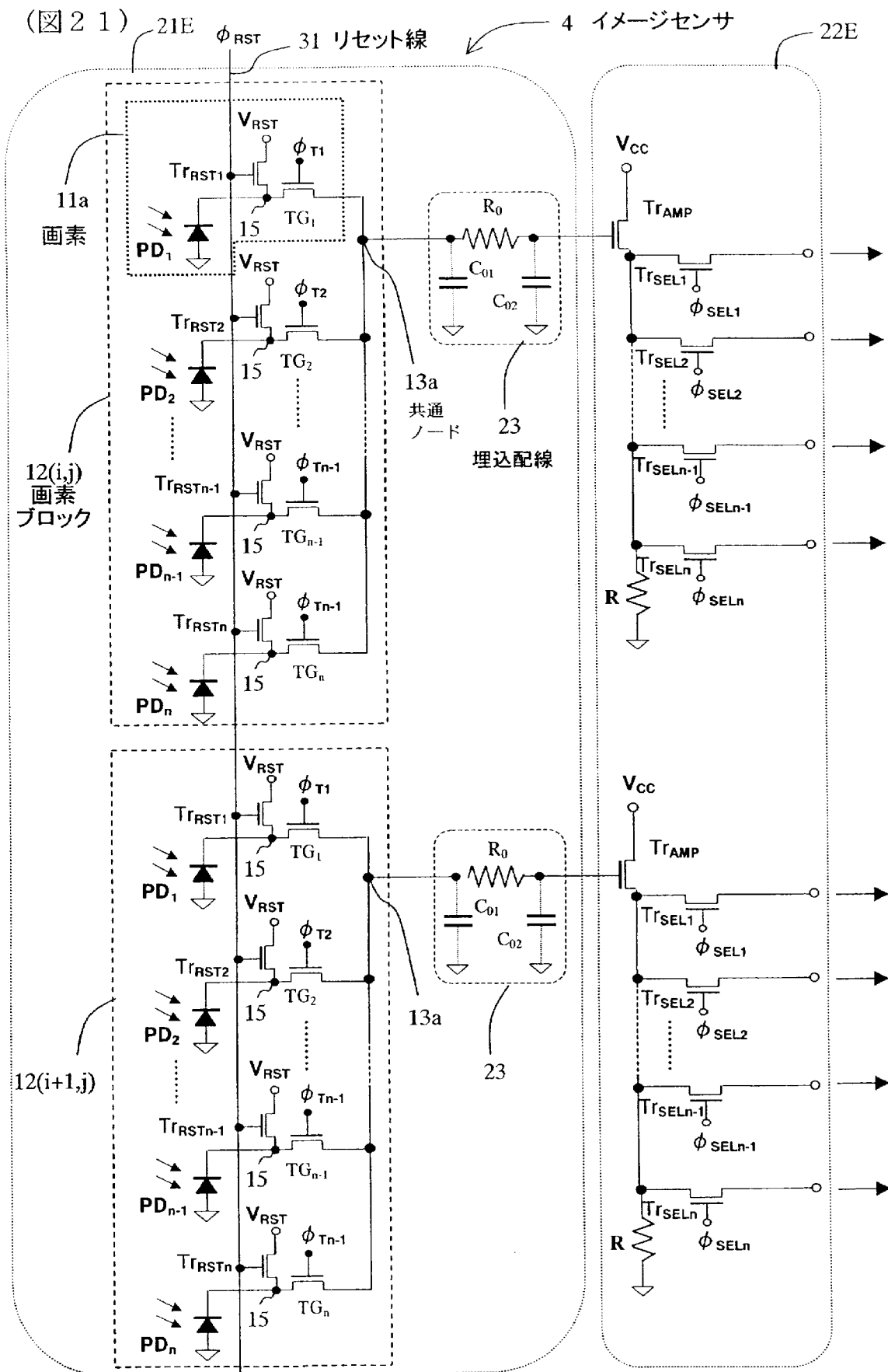
(図19)



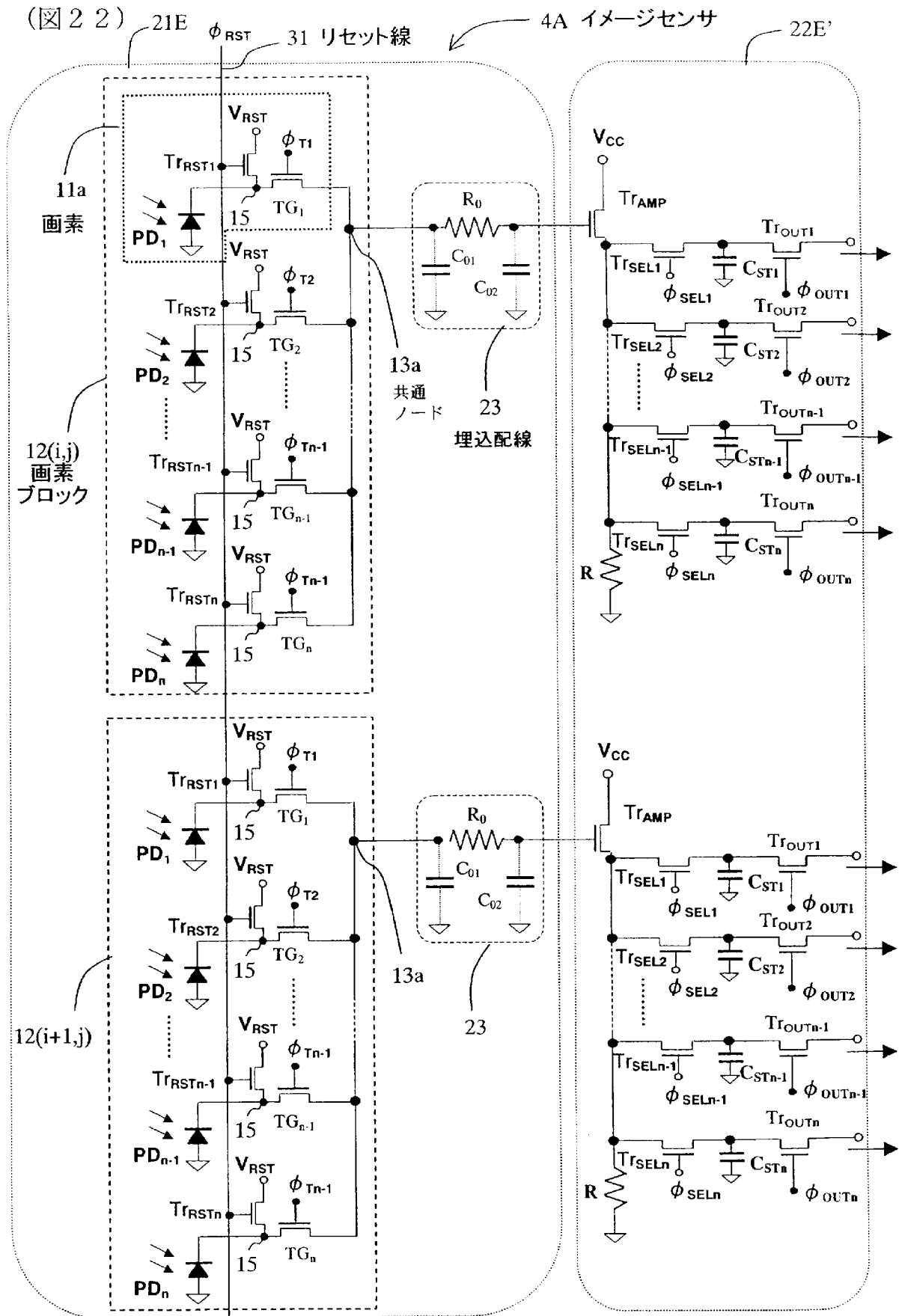
(圖 20)



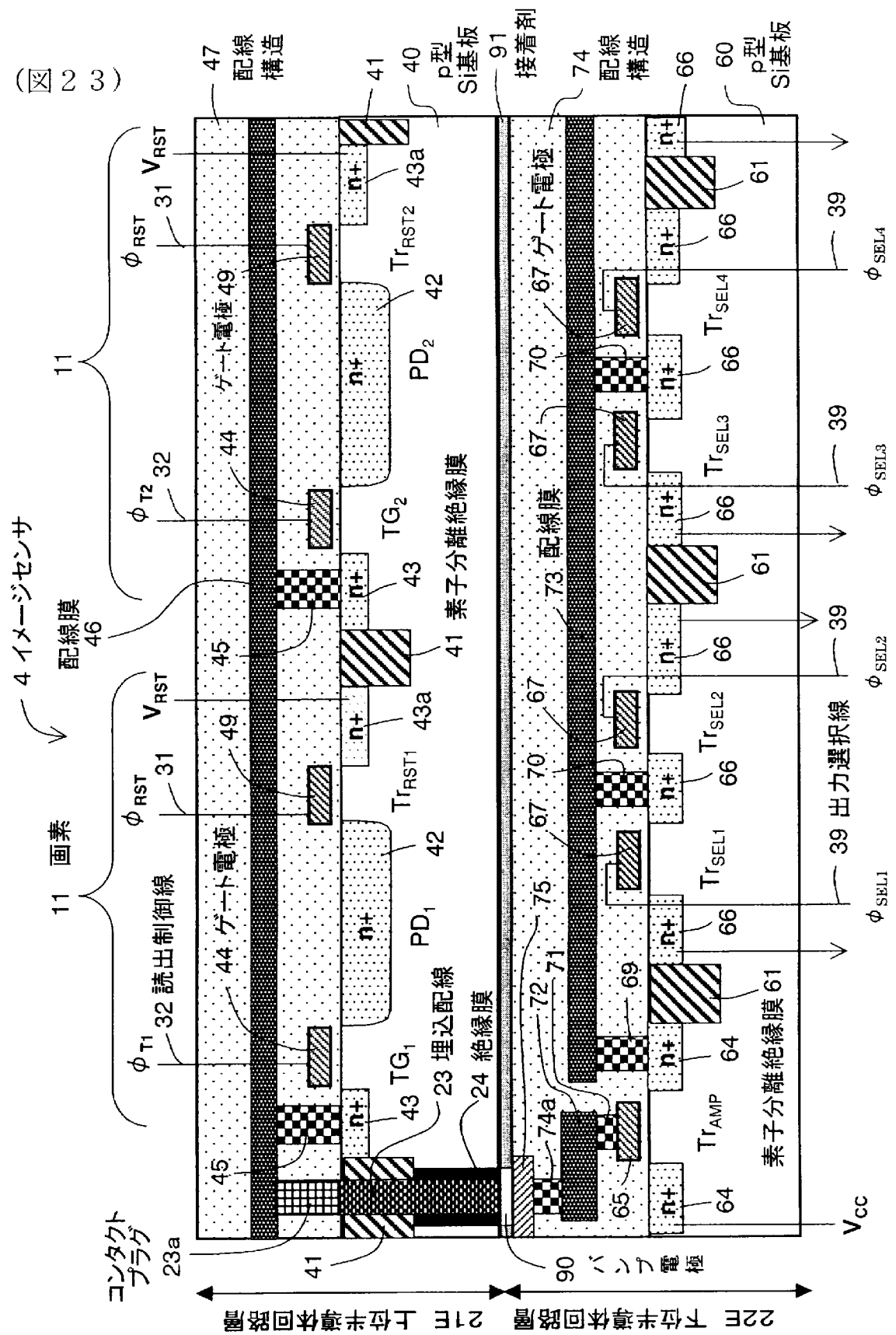
[図21]



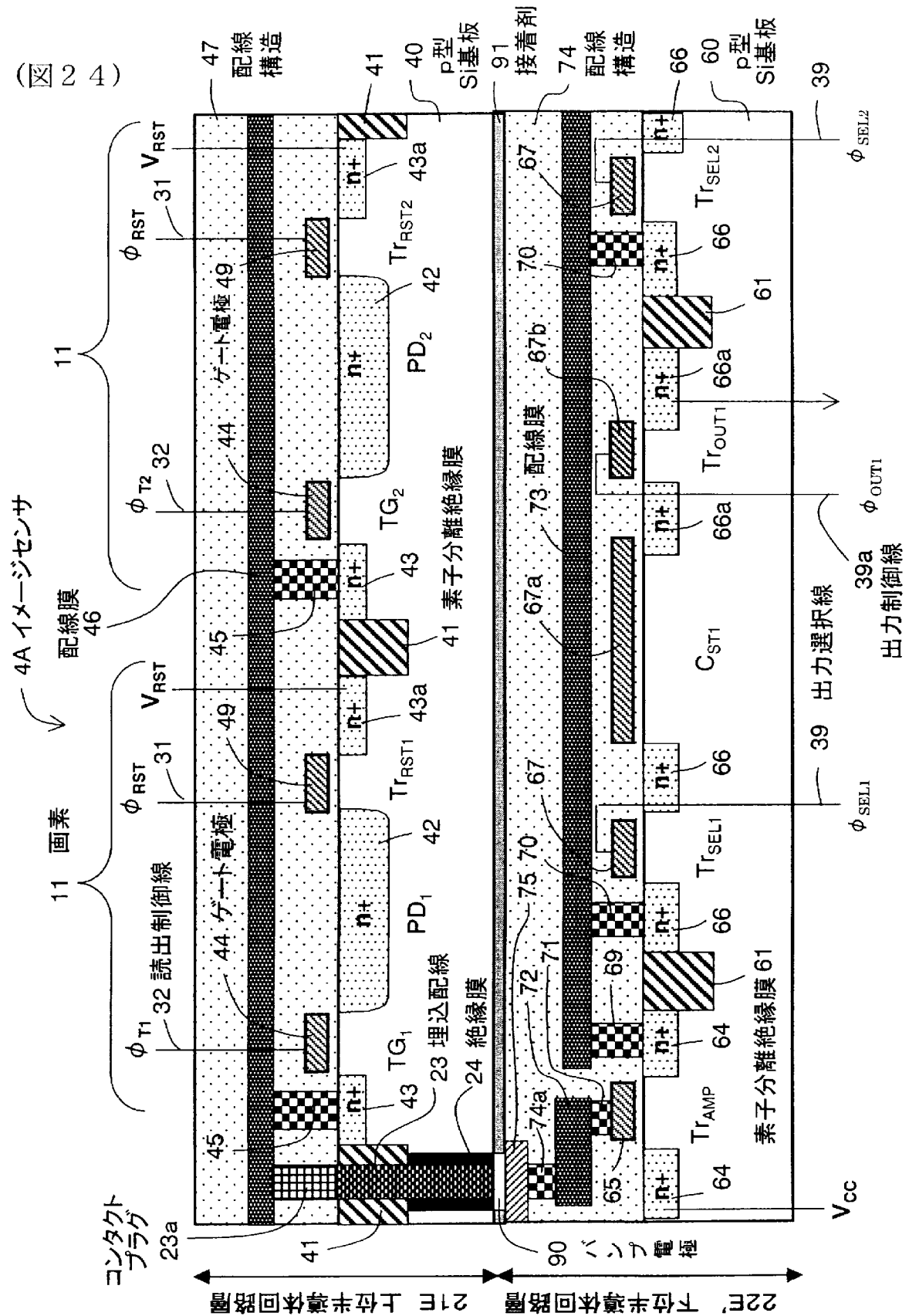
[図22]



[図23]

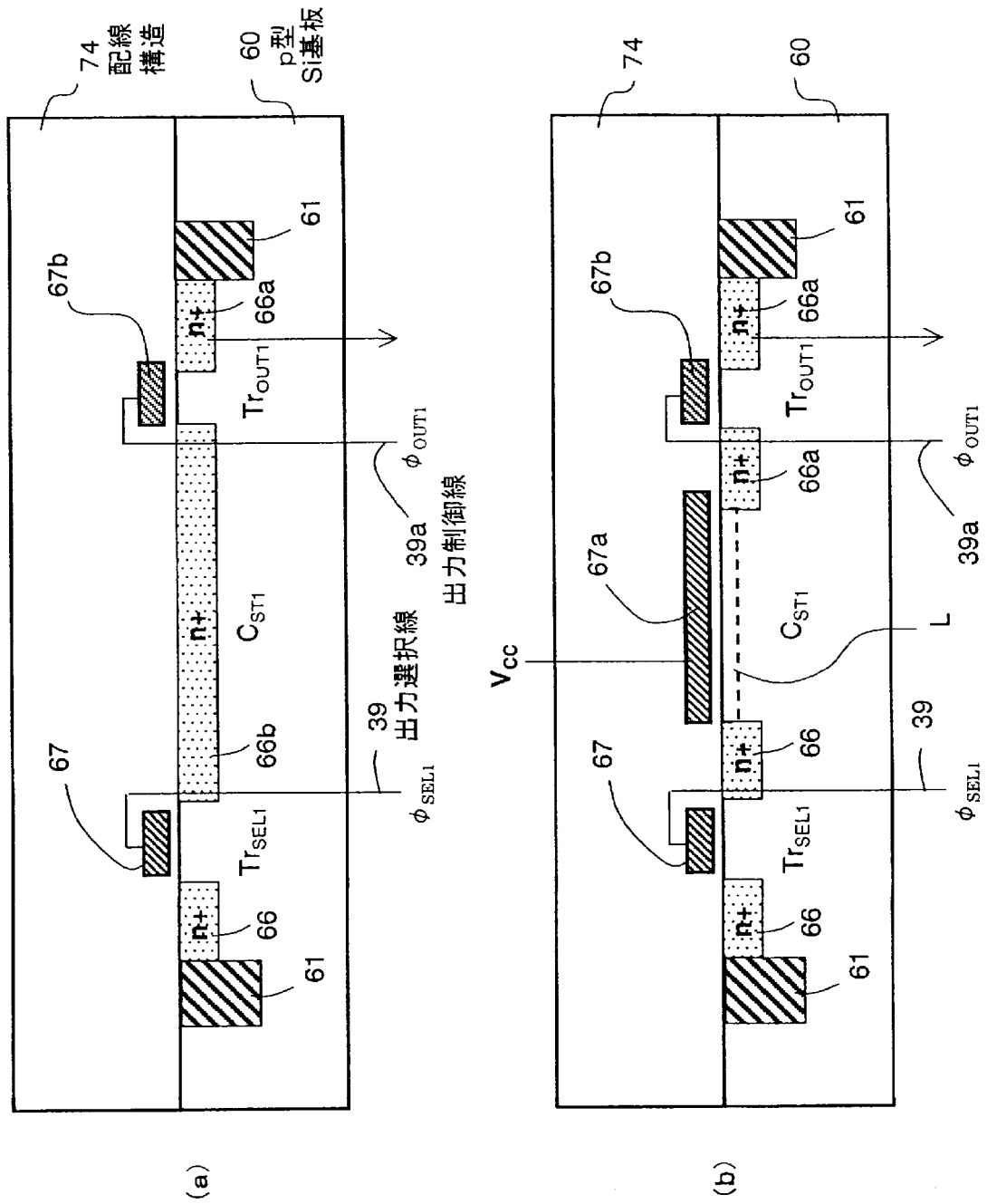


(圖 2 4)



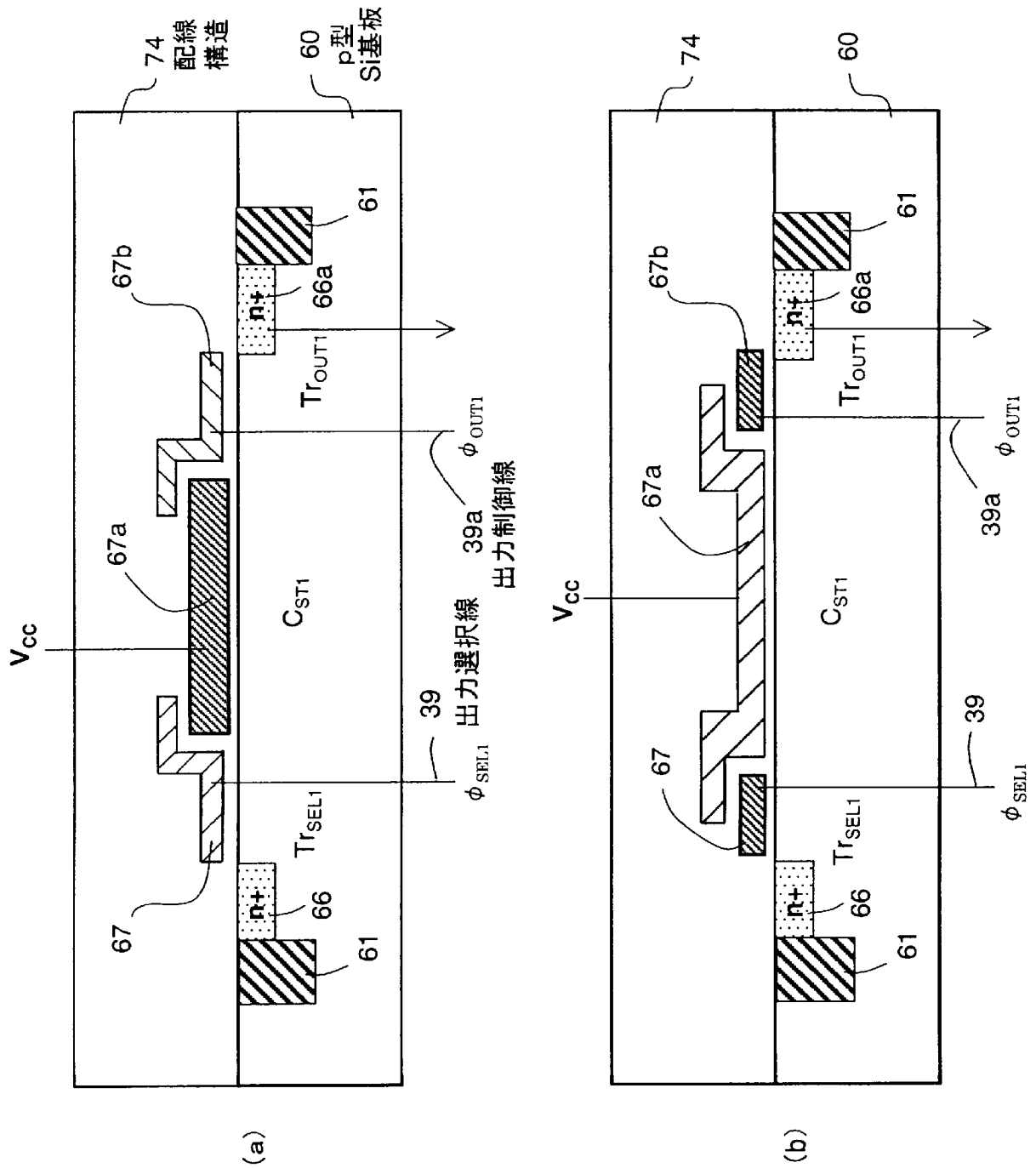
[図25]

(図 2 5)



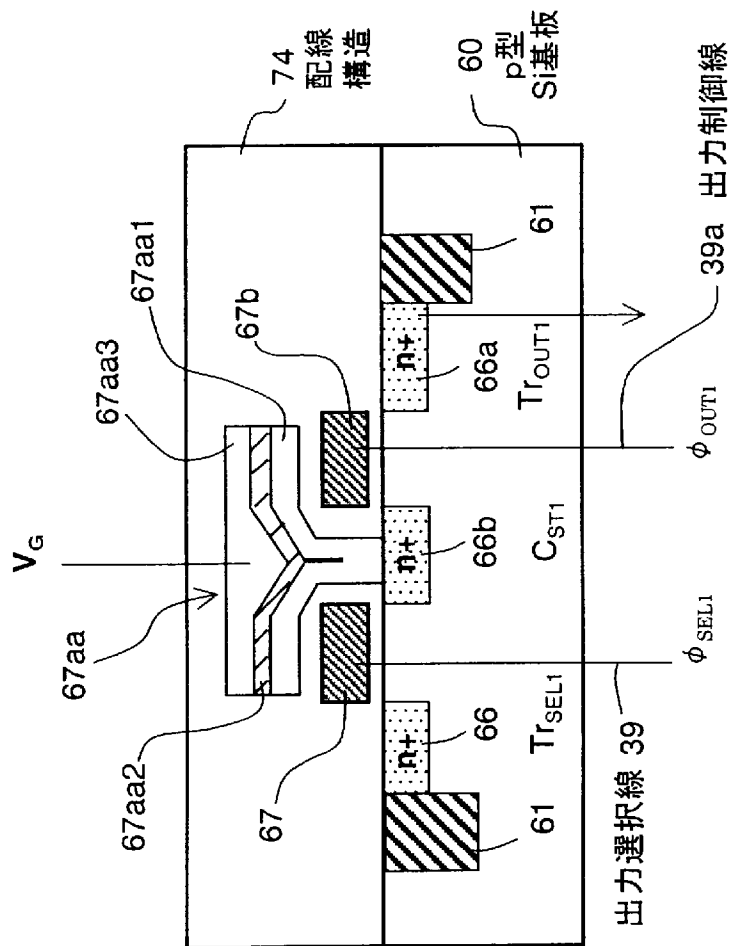
[図26]

(図 26)

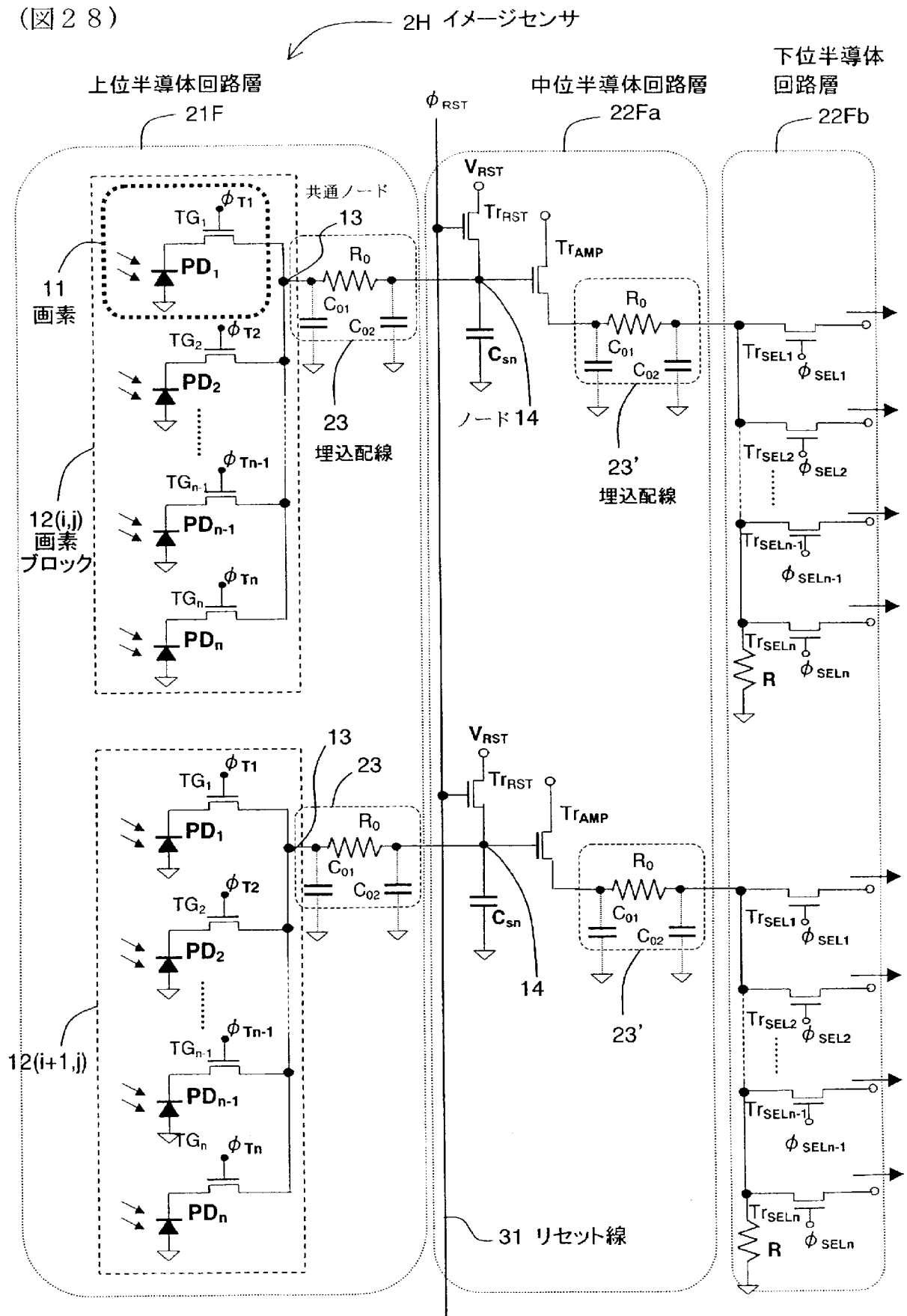


[図27]

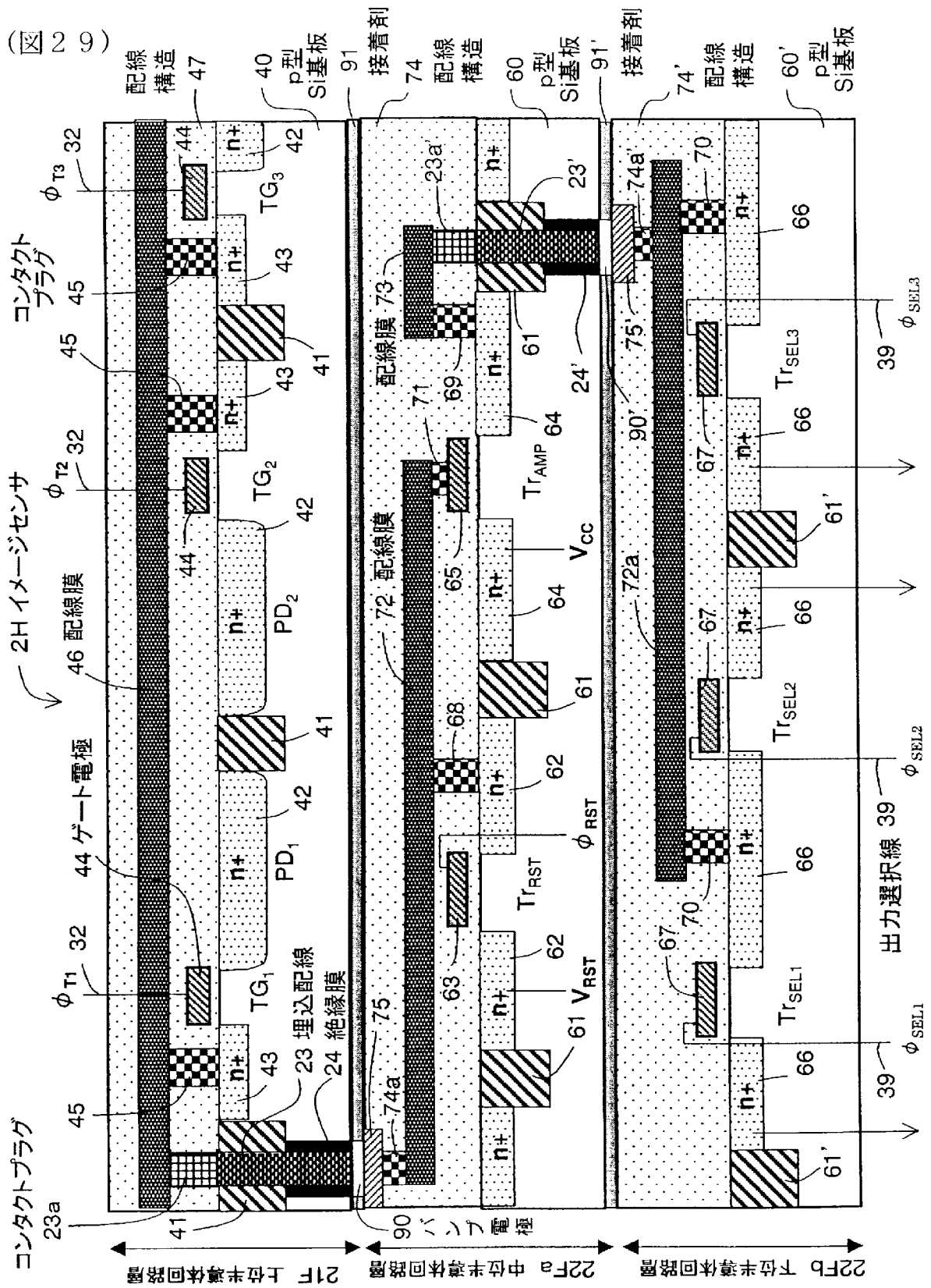
(図 27)



[図28]

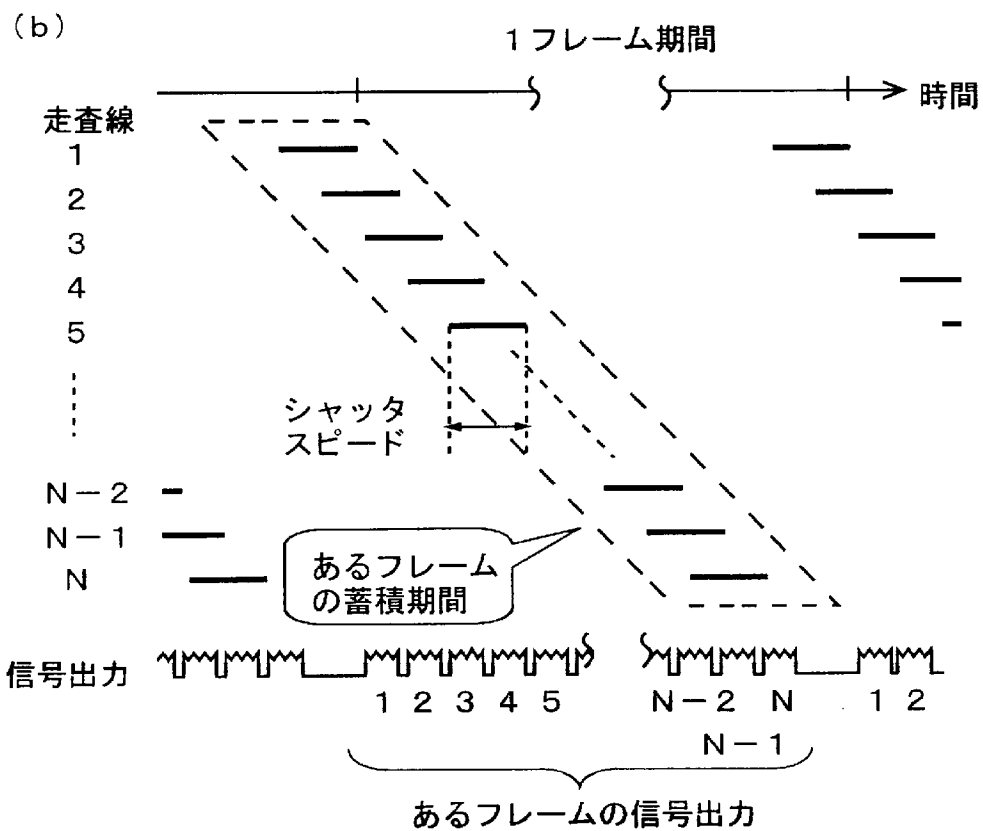
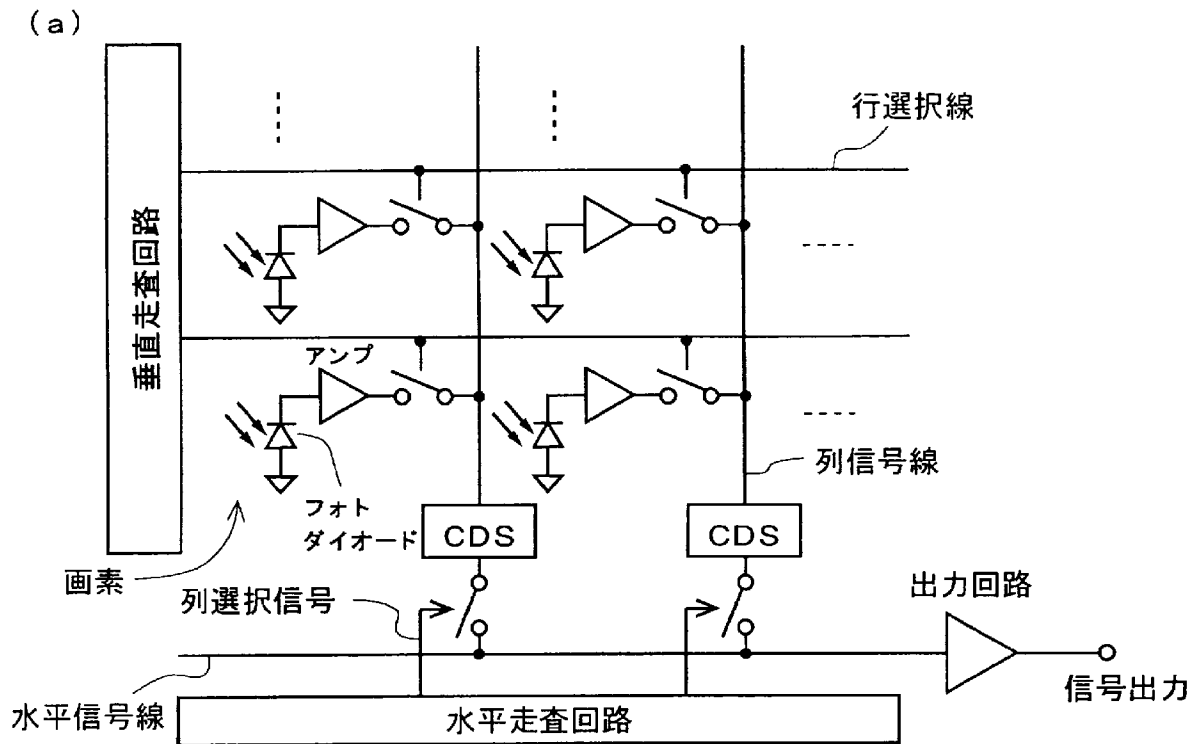


(図 29)



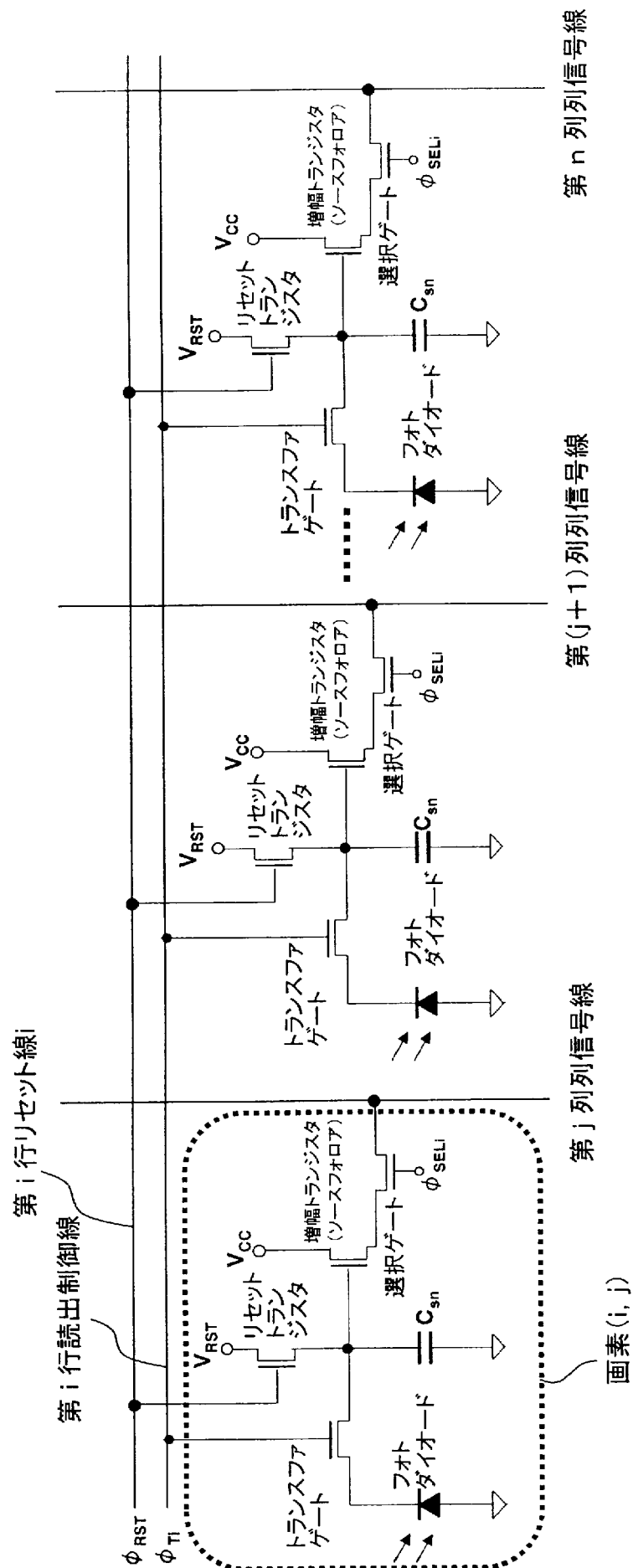
[図30]

(図30)



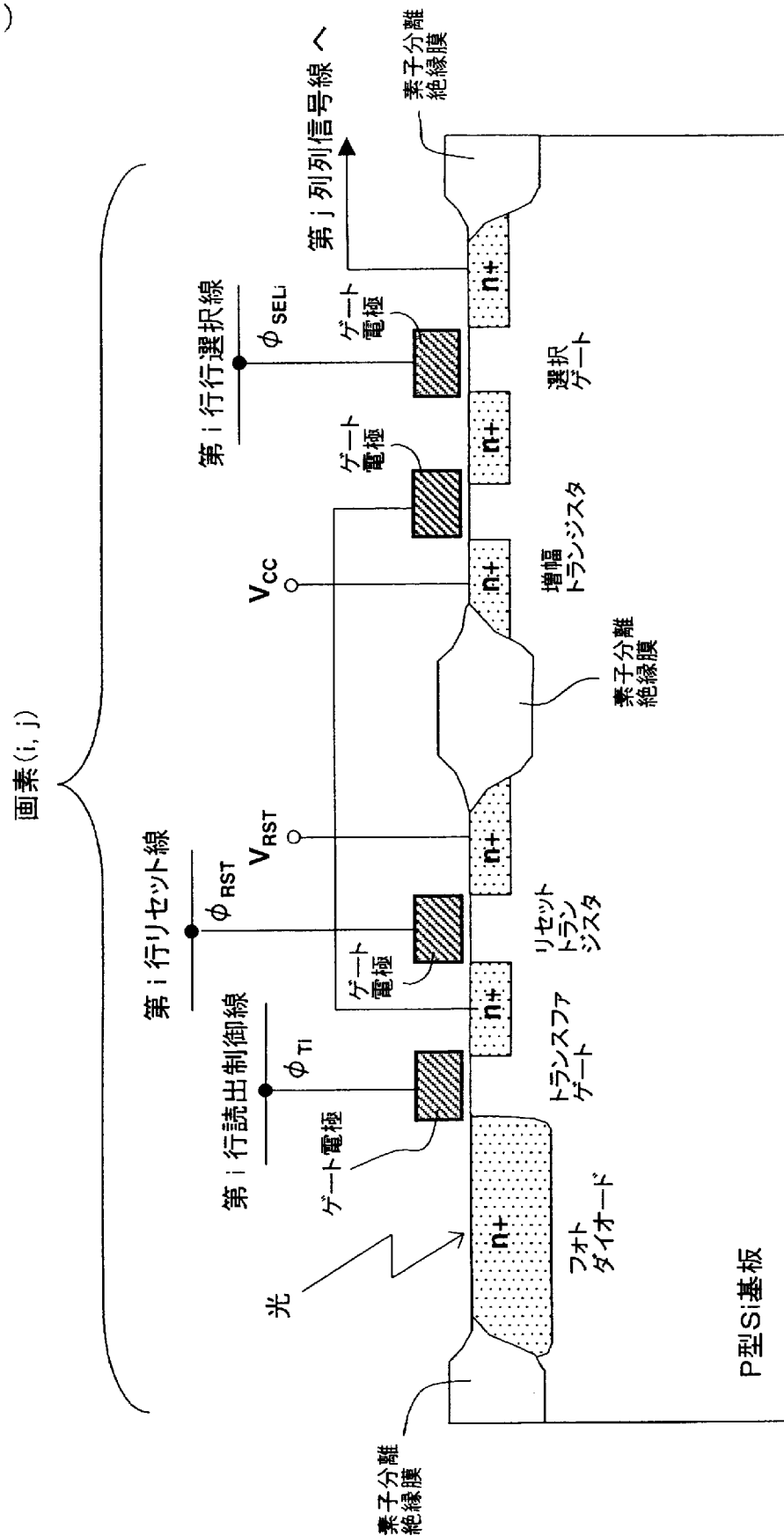
[図31]

(図 31)



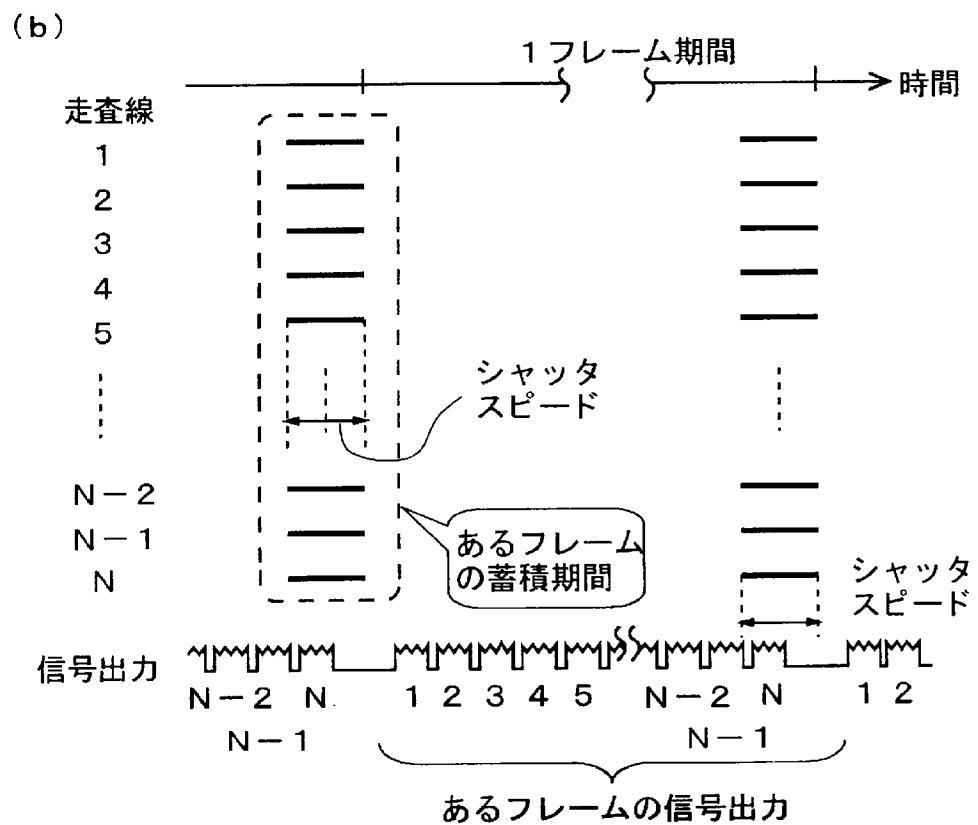
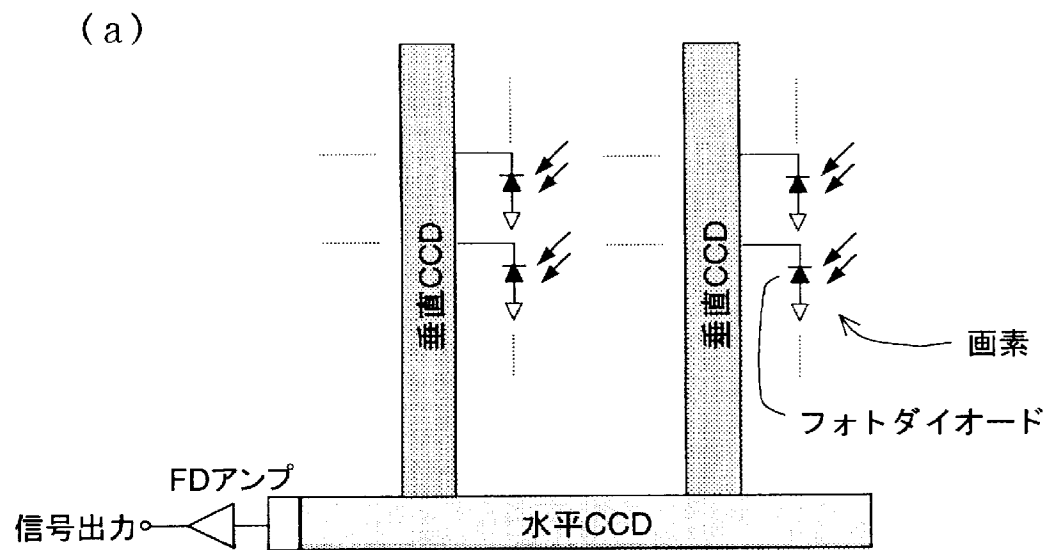
[図32]

(図 3 2)



[図33]

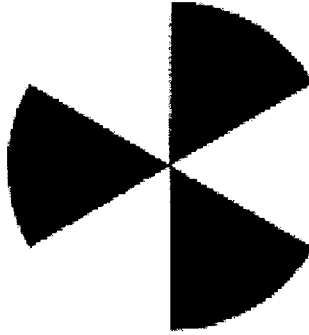
(図 3 3)



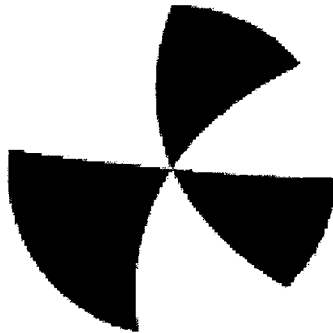
[図34]

(図 3 4)

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053557

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335(2006.01) i, H01L27/146(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-59697 A (Canon Inc.), 25 February, 2000 (25.02.00), Par. Nos. [0001] to [0078]; Figs. 1 to 18 & US 6956605 B1	1-5 6
X A	JP 2001-326856 A (Canon Inc.), 22 November, 2001 (22.11.01), Par. Nos. [0001] to [0035]; Figs. 1 to 12 & US 2002/0018131 A1	1-5 6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July, 2007 (10.07.07)

Date of mailing of the international search report
24 July, 2007 (24.07.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053557

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions of claims 1-32 is not novel since it is disclosed in Document JP 2000-59697 (paragraphs [0001] - [0078], Figs. 1-18).

As a result, the aforementioned feature makes no contribution over the prior art and the common feature cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

The technical feature of the inventions of claims 7-12, 23-32 relates to that in each of the pixel blocks, each of the pixels includes a photoelectric conversion element, a first gate element, and a reset transistor.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 6

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053557

Continuation of Box No.III of continuation of first sheet (2)

Moreover, the technical feature of the inventions of claims 13-22 relate to a semiconductor device having a 3D layered structure where the photoelectric conversion element is formed in a first semiconductor circuit layer constituting the 3D layered structure, and the first gate element, the reset transistor, and the amplification transistor are formed in the second or third semiconductor circuit layer or after, constituting the 3D layered structure.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H04N5/335(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/335, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2000-59697 A（キヤノン株式会社）2000.02.25, 段落 [0001]-[0078]、図 1-18 & US 6956605 B1	1-5 6
X A	JP 2001-326856 A（キヤノン株式会社）2001.11.22, 段落 [0001]-[0035]、図 1-12 & US 2002/0018131 A1	1-5 6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

10.07.2007

国際調査報告の発送日

24.07.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲徳▼田 賢二

電話番号 03-3581-1101 内線 3581

5 P

9654

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1乃至32に係る発明の共通の技術的事項となる構成は、文献特開2000-59697号公報（段落[0001]-[0078]、図1-18）に開示されているから、新規でないことが明らかである。

結果として、前記構成は先行技術の域を出ないから、P C T 規則13.2の第2分の意味において、この共通事項は特別な技術的事項ではない。

請求の範囲7-12、23-32に係る発明群の有する技術的特徴は、前記画素ブロックの各々において、前記画素の各々は、光電変換素子と第1ゲート素子とリセットトランジスタとを含むことである。

また、請求の範囲13-22に係る発明群の有する技術的特徴は、三次元積層構造を有し、光電変換素子が前記三次元積層構造を構成する第1半導体回路層の中に形成され、前記第1ゲート素子と前記リセットトランジスタと前記増幅トランジスタが前記三次元積層構造を構成する第2あるいは第3以降の半導体回路層の中に形成されていることである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-6

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。