

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 29 年 12 月 28 日 (2017.12.28)

【公表番号】特表 2017-508319 (P2017-508319A)

【公表日】平成 29 年 3 月 23 日 (2017.3.23)

【年通号数】公開・登録公報 2017-012

【出願番号】特願 2016-540546 (P2016-540546)

【国際特許分類】

H 0 3 L 7/08 (2006.01)

H 0 3 K 5/00 (2006.01)

H 0 4 L 27/152 (2006.01)

【F I】

H 0 3 L 7/08 2 1 0

H 0 3 L 7/08 1 0 2

H 0 3 K 5/00 F

H 0 4 L 27/152

【手続補正書】

【提出日】平成 29 年 11 月 15 日 (2017.11.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

送信機又は受信機へ局部発振器信号を与えるための方法であって、前記方法は、
周波数および 50% のデューティサイクルを有する発振信号を生成することと、
前記発振信号の立ち上がり及び立下りエッジを変えることによってトリガされる ($n + 0.5$) 分周回路を使用して、前記発振信号に基づいて局部発振器 (LO) 基準信号を生成することと、
ここにおいて、前記 LO 基準信号は、前記発振信号の前記周波数の $1 / (n + 0.5)$ 倍に等しい周波数を有し、
ここにおいて、 n は、1 以上の整数値であり、及び
ここにおいて、 $n + 0.5$ は、非整数値である、

前記 LO 基準信号に基づいて複数の局部発振器信号位相を生成することと、
ここにおいて、前記複数の局部発振器信号位相は、全て同じ周波数を有し、各々異なる位相を有する、
を備える方法。

【請求項 2】

n の前記値を示す制御信号を生成することと、及び
前記制御信号を前記 ($n + 0.5$) 分周回路へ与えることと
をさらに備える、請求項 1 に記載の方法。

【請求項 3】

前記複数の局部発振器信号位相は、遅延線を含む遅延ロック・ループ (DLL) 回路によって生成される、請求項 1 に記載の方法。

【請求項 4】

前記発振信号は、電圧制御発振器 (VCO) によって生成される、請求項 1 に記載の方法。

【請求項 5】

前記局部発振器信号位相の数は、4、8、12、又は 16 のうちの 1 つである、請求項

1に記載の方法。

【請求項 6】

前記遅延線の 2 つの異なる出力を論理的に組み合わせることによって、前記局部発振器信号位相の選択された 1 つのデューティサイクルを調節することをさらに備える、請求項 3に記載の方法。

【請求項 7】

送信機又は受信機へ局部発振器信号を与えるためのシステムであって、前記システムは、
周波数および 50 % のデューティサイクルを有する発振信号を生成するための手段と、
前記発振信号の立ち上がり及び立下りエッジを変えることによってトリガされる $(n + 0.5)$ 分周回路を使用して、前記発振信号に基づいて局部発振器 (LO) 基準信号を生成するための手段と、ここにおいて、前記 LO 基準信号は、前記発振信号の前記周波数の $1 / (n + 0.5)$ 倍に等しい周波数を有し、ここにおいて、 n は、1 以上の整数値であり、及びここにおいて、 $n + 0.5$ は、非整数値である、及び

前記 LO 基準信号に基づいて複数の局部発振器信号位相を生成するための手段と、ここにおいて、前記複数の局部発振器信号位相は、同じ周波数を有し、異なる位相を有する、を備える、システム。

【請求項 8】

n の前記値を示す制御信号を生成するための手段と、及び
前記制御信号を前記 $(n + 0.5)$ 分周回路へ与えるための手段と
をさらに備える、請求項 7に記載のシステム。

【請求項 9】

前記複数の局部発振器信号位相は、遅延線を含む遅延ロック・ループ (DLL) 回路によって生成される、請求項 7に記載のシステム。

【請求項 10】

前記発振信号は、電圧制御発振器 (VCO) によって生成される、請求項 7に記載のシステム。

【請求項 11】

前記局部発振器信号位相の数は、4、8、12、又は 16 のうちの 1 つである、請求項 7に記載のシステム。

【請求項 12】

前記遅延線の 2 つの異なる出力を論理的に組み合わせることによって、前記局部発振器信号位相の選択された 1 つのデューティサイクルを調節するための手段をさらに備える、請求項 9に記載のシステム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0173

【補正方法】変更

【補正の内容】

【0173】

[0047] 前述の明細書では、本実施形態は、その特定の例示的な実施形態に関して説明された。しかしながら、添付の特許請求の範囲に記載の開示のより広い範囲から逸脱することなく、多様な修正および変更がそれになされることは明らかであろう。それゆえに、本明細書および図面は、限定的な意味ではなく、例示的な意味において考慮されるべきである。例えば、図 6 の流れ図に図示された方法のステップは、他の適切な順序で実行され得、および / または複数のステップは、単一のステップ、に結合され得る。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1]

複数の局部発振器信号位相を生成するためのクロック生成回路であって、前記クロック生成回路は、

周波数を有する発振信号を生成するための回路と、

前記発振信号の前記周波数の $1 / (n + 0.5)$ 倍に等しい周波数を有する局部発振器 (LO) 基準信号を生成するための周波数分周器と、ここにおいて、 n は、1 以上の整数値であり、及びここにおいて $n + 0.5$ は、非整数値である、

前記 LO 基準信号を受け取るための入力を含み、及び前記複数の局部発振器信号位相を与えるための複数の出力を含む遅延ロック・ループ (DLL) 回路と、ここにおいて、前記局部発振器信号位相は、前記同じ周波数を有し、互いに関して位相遅延される、を備える、クロック生成回路。

[C 2]

前記局部発振器信号位相の数は、4、8、12、又は16のうちの1つである、C 1 に記載のクロック生成回路。

[C 3]

前記周波数分周器は、 n の前記値を示す制御信号を受け取る制御端子を含む、C 1 に記載のクロック生成回路。

[C 4]

前記 DLL 回路は、

基準信号及びフィードバック信号を受け取るための入力を含む、前記基準信号及び前記フィードバック信号の間の位相差を示す制御信号を生成するための位相及び周波数検出器

、
前記位相及び周波数検出器へ結合された、前記制御信号に応答する制御電圧を生成するためのチャージ・ポンプ、

前記 LO 基準信号を受け取るための第 1 の入力及び前記制御電圧を受け取るための第 2 の入力を含む、前記基準信号、前記フィードバック信号、及び複数の DLL 出力位相を生成するための遅延線、を備える、C 1 に記載のクロック生成回路。

[C 5]

前記 DLL 出力位相は、前記局部発振器信号位相を備える、C 4 に記載のクロック生成回路。

[C 6]

前記局部発振器信号位相の各々は、前記 DLL 出力位相の対応するペアを論理的に組み合わせることによって生成され、ここにおいて、前記論理的な組み合わせることは、前記局部発振器信号位相のデューティサイクルを調節するためのものである、C 4 に記載のクロック生成回路。

[C 7]

前記位相及び周波数検出器は、前記 LO 基準信号の M 期間ごとに一回前記基準信号及び前記フィードバック信号を比較するものであり、ここにおいて、 M は、1 以上の整数値である、C 4 に記載のクロック生成回路。

[C 8]

前記局部発振器信号位相は、前記 LO 基準信号として前記同じ周波数を有し、及びここにおいて、連続する局部発振器信号位相は、連続する局部発振器信号位相の前記数によって分周された前記 LO 基準信号の 1 つの期間に等しい位相差によって位相遅延される、C 1 に記載のクロック生成回路。

[C 9]

送信機又は受信機へ局部発振信号を与えることのための方法であって、前記方法は、周波数を有する発振信号を生成することと、

前記発振信号に基づいて局部発振器 (LO) 基準信号を生成することと、ここにおいて、前記 LO 基準信号は、前記発振信号の前記周波数の $1 / (n + 0.5)$ 倍に等しい周波数を有し、ここにおいて、 n は、1 以上の整数値であり、及びここにおいて、 $n + 0.5$ は、非整数値である、

前記 LO 基準信号に基づいて複数の局部発振器信号位相を生成することと、ここにおいて、前記複数の局部発振器信号位相は、全て前記同じ周波数を有し、各々異なる位相を有

する、を備える方法。

[C 1 0]

前記 L O 基準信号は、 $(n + 0.5)$ 分周回路によって生成される、C 9 に記載の方法。

[C 1 1]

n の前記値を示す制御信号を生成することと、及び

前記制御信号を $(n + 0.5)$ 分周回路へ与えることと

をさらに備える、C 1 0 に記載の方法。

[C 1 2]

前記複数の局部発振器信号位相は、遅延線を含む遅延ロック・ループ (D L L) 回路によって生成される、C 9 に記載の方法。

[C 1 3]

前記発振信号は、電圧制御発振器 (V C O) によって生成される、C 9 に記載の方法。

[C 1 4]

前記局部発振器信号位相の数は、4、8、12、又は16のうちの1つである、C 9 に記載の方法。

[C 1 5]

前記遅延線の2つの異なる出力を論理的に組み合わせることによって、前記局部発振器信号位相の選択された1つのデューティサイクルを調節することをさらに備える、C 1 2 に記載の方法。

[C 1 6]

送信機又は受信機へ局部発振器信号を与えるためのシステムであって、前記システムは、

周波数を有する発振信号を生成するための手段と、

前記発振信号に基づいて局部発振器 (L O) 基準信号を生成するための手段と、ここにおいて、前記 L O 基準信号は、前記発振信号の前記周波数の $1 / (n + 0.5)$ 倍に等しい周波数を有し、ここにおいて、n は、1 以上の整数値であり、及びここにおいて、 $n + 0.5$ は、非整数値である、及び

前記 L O 基準信号に基づいて複数の局部発振器信号位相を生成するための手段と、ここにおいて、前記複数の局部発振器信号位相は、前記同じ周波数を有し、異なる位相を有する、を備える、システム。

[C 1 7]

前記 L O 基準信号は、 $(n + 0.5)$ 分周回路によって生成される、C 1 6 に記載のシステム。

[C 1 8]

n の前記値を示す制御信号を生成するための手段と、及び

前記制御信号を、前記 $(n + 0.5)$ 分周回路へ与えるための手段と

をさらに備える、C 1 7 に記載のシステム。

[C 1 9]

前記複数の局部発振器信号位相は、遅延線を含む、遅延ロック・ループ (D L L) 回路によって生成される、C 1 6 に記載のシステム。

[C 2 0]

前記発振信号は、電圧制御発振器 (V C O) によって生成される、C 1 6 に記載のシステム。

[C 2 1]

前記局部発振器信号位相の数は、4、8、12、又は16のうちの1つである、C 1 6 に記載のシステム。

[C 2 2]

前記遅延線の2つの異なる出力を論理的に組み合わせることによって、前記局部発振器信号位相の選択された1つのデューティサイクルを調節するための手段をさらに備える、

C 1 9 に記載のシステム。

[C 2 3]

各々同じ局部発振器周波数を有する、局部発振器信号位相の複数 P を生成するためのクロック生成回路であって、ここにおいて、P は、1 より大きい整数であり、前記クロック生成回路は、

前記局部発振器周波数の 1 / K 倍に等しい周波数を有する発振信号を生成するための回路と、ここにおいて、K は整数である、

前記発振信号を受け取るための入力を含み、遅延ロック・ループ (D L L) 出力位相のうち対応する数 N を与えるための出力の数 $N = P \times K$ を含む D L L 回路と、ここにおいて、前記 D L L 出力位相は、前記同じ周波数を有し、互いに関して位相遅延される、及び

前記 D L L 出力位相を受け取るための多くの入力を含み、及び局部発振器信号位相の前記複数 P を与えるための複数の出力を含む組合せ論理回路と、を備える、クロック生成回路。

[C 2 4]

前記 D L L 出力位相は、前記発振信号として前記同じ周波数を有し、及びここにおいて、連続する D L L 出力位相は、前記数 N で分周された前記発振信号の 1 つの期間に等しい位相差によって位相遅延される、C 2 3 に記載のクロック生成回路。

[C 2 5]

P = 4、N = 8、及び K = 2 である、C 2 3 に記載のクロック生成回路。

[C 2 6]

前記局部発振器信号位相のデューティサイクルは、前記組合せ論理回路によって調節される、C 2 3 に記載のクロック生成回路。

[C 2 7]

前記 D L L 回路は、

基準信号及びフィードバック信号を受け取るための入力を含み、前記基準信号及び前記フィードバック信号との間の位相差を示す制御信号を生成するための位相及び周波数検出器、ここにおいて、前記位相及び周波数検出器は、前記基準信号の M 期間ごとに一回前記基準信号及び前記フィードバック信号を比較するものであり、ここにおいて、M は、1 以上の整数である、を備える、C 2 4 に記載のクロック生成回路。

[C 2 8]

前記 D L L 回路は、

前記発振信号及び制御電圧に応答して前記基準信号を生成するための第 1 の信号経路と、及び

前記第 1 の信号経路と分離された、前記発振信号及び前記制御電圧に応答して前記フィードバック信号を生成するための第 2 の信号経路と

を備える遅延線を含む、C 2 7 に記載のクロック生成回路。

[C 2 9]

前記第 2 の信号経路は、

D L L 出力位相のうちの前記数のうちの対応する 1 つを生成するための出力端子を各々有する、複数の直列接続された遅延素子をさらに備える、C 2 8 に記載のクロック生成回路。