



(12) 发明专利申请

(10) 申请公布号 CN 103426923 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201310178071. 6

H01L 21/335(2006. 01)

(22) 申请日 2013. 05. 14

(30) 优先权数据

13/470, 771 2012. 05. 14 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72) 发明人 格哈德·普雷希特尔

奥利弗·黑贝伦

克莱门斯·奥斯特迈尔

詹毛罗·波佐维沃

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 李静 陈伟伟

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/06(2006. 01)

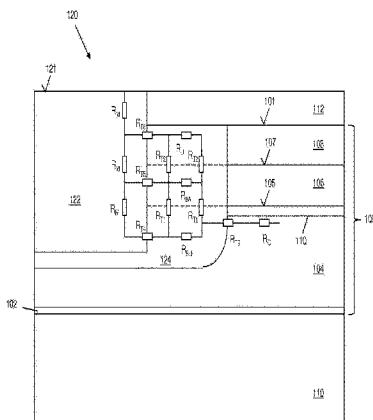
权利要求书3页 说明书7页 附图19页

(54) 发明名称

半导体器件、包括其的晶体管及其制造方法

(57) 摘要

本发明提供了一种半导体器件、包括其的晶体管、制造其的方法，所述半导体器件包括半导体本体，半导体本体包括多个化合物半导体层以及形成于其中一个化合物半导体层内的二维电荷载气通道区域。半导体器件进一步包括布置在半导体本体内的触点结构。触点结构包括金属区域和掺杂区域。金属区域从半导体本体的第一侧延伸至半导体本体内且至少延伸到包括通道区域的化合物半导体层。掺杂区域形成在半导体本体内且处于金属区域与通道区域之间，使得通道区域通过掺杂区域与金属区域电连接。



1. 一种半导体器件,包括:

半导体本体,包括多个化合物半导体层以及形成在其中一个所述化合物半导体层内的二维电荷载气通道区域;以及

触点结构,所述触点结构设置在所述半导体本体内并且包括:

金属区域,从所述半导体本体的第一侧延伸至所述半导体本体内并至少延伸到包括所述通道区域的所述化合物半导体层;以及

掺杂区域,形成在半导体本体内且处于所述金属区域与所述通道区域之间,使得所述通道区域通过所述掺杂区域与所述金属区域电连接。

2. 根据权利要求1所述的半导体器件,其中,所述二维电荷载气通道区域为二维电子气通道区域,且所述掺杂区域为所述半导体本体的掺杂有Si的区域。

3. 根据权利要求2所述的半导体器件,进一步包括设置在所述半导体本体的与所述金属区域的侧面和底侧相邻的区域内的氮空位。

4. 根据权利要求1所述的半导体器件,其中:

所述半导体本体包括GaN层和所述GaN层上的GaN合金层;并且

所述掺杂区域为所述半导体本体的掺杂有Si的区域,该区域延伸穿过所述GaN合金层而进入所述GaN层并与所述二维电子气通道区域接触。

5. 根据权利要求4所述的半导体器件,其中,所述金属区域延伸穿过所述GaN合金层而进入所述GaN层。

6. 根据权利要求4所述的半导体器件,其中,所述GaN合金层包括AlGaN或InAlN,且所述二维电荷载气通道区域为形成在所述GaN层内的二维电子气通道区域。

7. 根据权利要求1所述的半导体器件,其中,所述金属区域完全延伸穿过所述半导体本体。

8. 根据权利要求7所述的半导体器件,其中,所述半导体本体设置在衬底上,且所述金属区域延伸至所述衬底内。

9. 根据权利要求1所述的半导体器件,其中,所述金属区域从所述第一侧延伸至所述半导体本体内的程度比所述掺杂区域深。

10. 根据权利要求1所述的半导体器件,其中,所述掺杂区域从所述第一侧延伸至所述半导体本体内的程度比所述金属区域深,使得所述掺杂区域与所述金属区域的侧面和底侧接触。

11. 根据权利要求1所述的半导体器件,其中,所述金属区域包括Al、AlSi、AlCu、AlSiCu、Ni、Ti、Mo、Pt、Pd、Nb、Re、Ta、Ir、TiAl₃和W中的至少一种。

12. 一种晶体管,包括:

半导体本体,包括多个化合物半导体层以及形成在其中一个所述化合物半导体层内的二维电荷载气通道区域;

源极区域与漏极区域,形成在所述半导体本体内并且通过所述通道区域互相隔开;

栅极,能操作以控制所述通道区域;以及

触点结构,所述触点结构设置在所述半导体本体内并且包括:

金属区域,从所述半导体本体的第一侧延伸至所述半导体本体内且至少延伸到包括所述通道区域的所述化合物半导体层;以及

掺杂区域,形成在所述半导体本体内并处于所述金属区域与所述通道区域之间,使得所述通道区域通过所述掺杂区域与所述金属区域电连接。

13. 根据权利要求 12 所述的晶体管,其中,所述触点结构具有的比电阻为 $1.0E-70\text{hm}^*\text{cm}^2$ 或更小。

14. 根据权利要求 13 所述的晶体管,其中,所述触点结构具有的比电阻为 $0.5E-70\text{hm}^*\text{cm}^2$ 或更小。

15. 根据权利要求 12 所述的晶体管,其中,所述触点结构具有的比电阻为所述晶体管的比导通电阻的 25% 或更小。

16. 根据权利要求 12 所述的晶体管,其中,所述晶体管具有的栅极至漏极长度为 $1\mu\text{m}$ 或更小,且具有的工作电压为 30V 或更小。

17. 一种制造半导体器件的方法,包括:

提供半导体本体,所述半导体本体包括多个化合物半导体层以及形成在其中一个所述化合物半导体层内的二维电荷载气通道区域;以及

在所述半导体本体内形成触点结构,所述触点结构包括:

金属区域,从所述半导体本体的第一侧延伸至所述半导体本体内且至少延伸到包括所述通道区域的所述化合物半导体层;以及

掺杂区域,形成在所述半导体本体内并且处于所述金属区域与所述通道区域之间,使得所述通道区域通过所述掺杂区域与所述金属区域电连接。

18. 根据权利要求 17 所述的方法,其中,在所述半导体本体内形成所述触点结构包括:

将掺杂剂注入所述半导体本体的未覆盖部分中;

在高温下对所述半导体本体进行退火,以活化被注入的掺杂剂并形成所述掺杂区域;

在从所述半导体本体的第一侧到至少所述通道区域的深度上去除所述掺杂区域的一部分,以在所述半导体本体中形成开口,所述开口通过所述掺杂区域的剩余部分与所述通道区域横向隔开;以及

在所述开口内填充金属。

19. 根据权利要求 18 所述的方法,包括:蚀刻所述开口以完全穿过所述掺杂区域,使得所述开口从所述第一侧在所述半导体本体中延伸得比所述掺杂区域深。

20. 根据权利要求 19 所述的方法,包括:从所述第一侧至所述半导体本体的相对第二侧来蚀刻所述开口以完全穿过所述半导体本体。

21. 根据权利要求 18 所述的方法,包括:将所述开口蚀刻到所述半导体本体内,使得所述开口从所述第一侧在所述半导体本体内延伸得比所述掺杂区域浅。

22. 根据权利要求 18 所述的方法,其中,所述二维电荷载气通道区域为二维电子气通道区域,且所述掺杂剂为 Si。

23. 根据权利要求 22 所述的方法,进一步包括:在用金属填充所述开口之后,在 450°C 以上的温度下对所述半导体本体进行退火,以在所述半导体本体的与所述金属区域的侧面和底侧相邻的区域内形成氮空位。

24. 根据权利要求 18 所述的方法,其中,所述半导体本体包括第一 GaN 层、在所述第一 GaN 层上的 GaN 合金层以及在所述 GaN 合金层上的第二 GaN 层,并且其中,将所述掺杂剂注入所述半导体本体的未覆盖部分包括:将 Si 注入所述第二 GaN 层、所述 GaN 合金层和所述

第一GaN层，使得在退火之后所述掺杂区域与所述二维电子气通道区域接触。

25. 根据权利要求18所述的方法，其中，用金属填充所述开口包括Al、AlSi、AlCu、AlSiCu、Ni、Ti、Mo、Pt、Pd、Nb、Re、Ta、Ir、TiAl3和W中的至少一种。

26. 一种半导体器件，包括：

半导体本体，包括多个化合物半导体层，其中在两个不同的所述化合物半导体层之间具有异质结；

通道区域，形成在所述异质结下方；

金属区域，延伸至所述半导体本体内而处于所述异质结下方且至少延伸至所述通道区域；以及

掺杂区域，形成于所述半导体本体内，且置于所述金属区域与所述通道区域之间，使得所述通道区域通过所述掺杂区域与所述金属区域隔开。

半导体器件、包括其的晶体管及其制造方法

技术领域

[0001] 本申请总体涉及化合物半导体器件 (compound semiconductor device, 复合物半导体器件), 特别涉及用于化合物半导体器件的触点结构。

背景技术

[0002] 需要使用用于功率 HEMT (高电子迁移率晶体管) 和其他类型的异质结构器件的低欧姆触点来满足低 RON*A (比导通电阻 (specific on-resistance), 其中 A 对应于面积) 度量。对于低电压功率器件 (30V 电压等级及以下) 尤其如此, 其中, 接触电阻可代表器件总 RON*A 的 40% 或以上。优选地, AlGaN/GaN HEMT 或其他异质结构器件中的低欧姆触点具有低接触电阻 (因此, 对 RON 的影响小), 还具有小的转移长度。如果转移长度小, 则触点的长度可大大减小, 且功率晶体管结构的尺寸可对应减小。但是, 在比如 GaN/AlGaN 界面的异质结处提供良好的欧姆触点非常困难。例如, 优化的 30V GaN 功率晶体管具有的比接触电阻通常为 $1.2 \times 10^{-7} \text{ ohm} \cdot \text{mm}^2$, 其与总晶体管 RON*A 的约 40% 对应。另外, 必须特别注意 2DEG (二维电子气) 通道与触点之间的转移电阻的优化。该转移电阻对总触点电阻具有很大影响。

[0003] 通过将 Si 注入 GaN/AlGaN 结构以形成与 2DEG 通道接触的退化区域 (Si 在 GaN 中起 n 型掺杂剂的作用), 可形成一种常规 GaN/AlGaN HEMT 触点。半导体本体的顶侧上形成金属触点, 其与 Si 掺杂区域接触。金属触点下方设有足够的电载体, 以获得良好欧姆接触。但是, 该触点结构在底部的 GaN/AlGaN 界面处具有高过渡电阻, 这大大增加了接触面积的总比电阻。高过渡电阻是由能带不连续性和感应 / 自发极化电荷所引起的 GaN/AlGaN 界面之间的明显障碍而造成的。

[0004] 另一种常规 GaN/AlGaN HEMT 触点通过进行金属沉积和后续的在通常高于 600°C 的温度下进行的退火过程而形成。这种高温处理阻碍了标准铝金属化方案的使用, 这种方案的熔点在 600°C 以下。利用 GaN 基的材料, 这种高温退火在埋入式金属触点的下方形成氮空位。这些氮空位在 GaN 中起 n 型掺杂剂的作用, 从而产生与常规 Si 注入触点相似的效果。可下降至 2DEG 通道或者甚至在 2DEG 通道下方进行凹槽蚀刻, 以避免在 GaN/AlGaN 界面处的过渡电阻。但是, 埋入式金属触点结构与 2DEG 通道直接接触。金属触点与 2DEG 通道之间的这种直接连接在通道 - 金属界面处引起电流拥挤且增加了触点比电阻。

发明内容

[0005] 本文对用于化合物半导体器件的触点结构的实施例进行了说明, 其包括结合有掺杂区域的凹陷金属区域。所述触点结构在通道与掺杂区域之间具有降低的过渡电阻, 并避免了异质结处 (即, 不同晶体半导体的两个层或区域之间的界面, 例如, AlGaN/GaN 界面处) 的过渡电阻。通过在凹陷金属区域与通道之间设置掺杂区域, 2DEG 通道与触点结构之间的过渡电阻降低。该低欧姆触点结构可在非常低的温度下实现, 例如, $< 450^\circ \text{C}$ 。利用在这种低温安排, 如果需要, 则可使用标准铝金属化方案。还可采用其他金属和处理温度, 如本文所述。

[0006] 根据半导体器件的一个实施例，所述半导体器件包括半导体本体，半导体本体包括多个化合物半导体层和形成于其中一个化合物半导体层内的二维电荷载气通道区域。所述半导体器件进一步包括布置在半导体本体内的触点结构。所述触点结构包括金属区域和掺杂区域。所述金属区域从半导体本体的第一侧延伸至半导体本体内且至少延伸到包括通道区域的化合物半导体层。所述掺杂区域形成于金属区域与通道区域之间的半导体本体内，以使通道区域通过掺杂区域与金属区域电连接。

[0007] 根据半导体器件的另一个实施例，所述半导体器件包括半导体本体，半导体本体包括多个化合物半导体层和形成于其中一个化合物半导体层内的通道区域。所述半导体器件进一步包括金属区域和掺杂区域，所述金属区域从半导体本体的第一侧延伸到半导体本体内且至少延伸到包括通道区域的化合物半导体层，所述掺杂区域形成于半导体本体内，并置于金属区域与通道区域之间，以使通道区域通过掺杂区域与金属区域隔开。

[0008] 根据晶体管的一个实施例，所述晶体管包括半导体本体，所述半导体本体包括多个化合物半导体层，其中在两个不同化合物半导体层之间具有异质结。异质结下方形成通道区域。金属区域延伸至异质结下方的半导体本体内从而至少延伸到通道区域。形成于半导体本体内的掺杂区域置于金属区域与通道区域之间，以使通道区域通过掺杂区域与金属区域隔开。

[0009] 根据半导体器件的制造方法的一个实施例，所述方法包括：提供半导体本体，所述半导体本体包括多个化合物半导体层和形成于其中一个化合物半导体层内的二维电荷载气通道区域；以及在半导体本体内形成触点结构。所述触点结构包括金属区域，所述金属区域从半导体本体的第一侧至少延伸到包括通道区域的化合物半导体层而进入半导体本体内。所述触点结构进一步包括掺杂区域，所述掺杂区域形成在半导体本体内并处于金属区域与通道区域之间，以使通道区域通过掺杂区域与金属区域电连接。

[0010] 在阅读以下详细说明，同时参照附图时，本领域的技术人员应理解额外的特征和优点。

附图说明

[0011] 图中的部件不一定符合比例，重点在于图解说明本发明的原理。另外，在图中，相似参考标号表示对应部分。在附图中：

[0012] 图 1 图解了具有触点结构的化合物半导体器件的局部截面图，所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0013] 图 2 为触点结构的比电阻对器件的总比电阻的影响的曲线图。

[0014] 图 3 图解了根据一个实施例的具有触点结构的化合物半导体器件的局部截面图，所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0015] 图 4 图解了根据另一个实施例的具有触点结构的化合物半导体器件的局部截面图，所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0016] 图 5 图解了根据另一个实施例的具有触点结构的化合物半导体器件的局部截面图，所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0017] 图 6 图解了根据又一个实施例的具有触点结构的化合物半导体器件的局部截面图，所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0018] 图 7 图解了根据另一个实施例的具有触点结构的化合物半导体器件的局部截面图,所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0019] 图 8 图解了根据一个实施例的具有触点结构的化合物半导体器件的局部截面图,所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0020] 图 9 图解了根据另一个实施例的具有触点结构的化合物半导体器件的局部截面图,所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0021] 图 10 图解了形成图 9 所示的触点结构的掺杂区域的过程的一个实施例。

[0022] 图 11A 至图 11C 图解了触点结构的制造方法的一个实施例。

[0023] 图 12A 至图 12G 图解了触点结构的制造方法的另一个实施例。

[0024] 图 13 图解了具有触点结构的化合物半导体晶体管的局部截面图,所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

[0025] 图 14 图解了根据另一个实施例的具有触点结构的化合物半导体晶体管的局部截面图,所述触点结构具有形成于器件本体内的金属区域和掺杂区域。

具体实施方式

[0026] 图 1 图解了包括半导体本体 100 的半导体器件的局部截面图,所述半导体本体具有设置在衬底 110 上的多个化合物半导体层。衬底 110 可为半导体衬底,例如,Si、蓝宝石、SiC、GaN 或金刚石衬底。衬底 110 可为掺杂衬底或非掺杂衬底。在一个实施例中,布置在衬底 110 上的半导体本体 100 包括衬底 110 上的成核(种)层 102 (例如,AlN 层)、成核层 102 上的第一化合物半导体器件层 104 (本文还称为缓冲区域)、缓冲区域 104 上的第二化合物半导体器件层 106 (本文还称为阻挡层),以及阻挡层 106 上的与缓冲区域 104 可以为相同材料的第三化合物半导体器件层 108。在一个实施例中,缓冲区域 104 包括 GaN,阻挡区域 106 包括 GaN 合金,例如,AlGaN、InAlN、AlN 或 InAlGaN,所述第三化合物半导体器件层 108 包括 GaN 覆盖层(cap layer),并且在缓冲区域 104 内靠近缓冲与阻挡区域 104、106 之间的界面的位置形成有 2DEG (二维电子气)通道区域 110。在该实施例中,第一异质结 105 存在于 GaN 合金层 106 与下部 GaN 层 104 之间,且第二异质结 107 存在于 GaN 合金层 106 与 GaN 覆盖层 108 之间。通道区域 110 形成于两个异质结 105、107 下方的下部 GaN 层 104 内。

[0027] 一般来说,利用 GaN 技术,GaN 基异质结构可沿 c 方向(即, Ga 面)或沿 N 面生长,例如,GaN/AlGaN 异质结构。两种生长取向都可用于制造本文所述的 GaN 基结构。另外,通过 GaN 技术,极化电荷和应变效应的存在实现了以非常高载流子密度和载流子迁移率为特征的二维电荷载气(二维电子或空穴反转层)。这种二维电荷载气形成器件的导电通道区域 110。可在 GaN 缓冲区域 104 与 GaN 合金阻挡区域 106 之间设置薄的(例如,1-2nm)AlN 层,以将合金散射最小化并增强 2DEG 迁移率。也可使用具有二维电子或空穴气的其他化合物半导体技术。在每种情况下,极化电荷用于形成所述器件的二维电荷载气通道区域 110。本领域中已知的是,可使用 III-V 半导体材料的其他组合,以在器件的缓冲区域 104 内形成 2DEG 或 2DHG (二维空穴气)。一般来说,可使用能带不连续性符合本器件原理的任何异质结构。钝化层 112 可形成于半导体本体 100 上。

[0028] 在每种情况下,触点结构 120 布置在半导体本体 100 内,以用于与通道区域 110 电接触。触点结构 120 包括金属区域 122 和掺杂(退化)区域 124。金属区域 122 从半导体本

体 100 的第一侧 101 至少延伸到包括通道区域 110 的化合物半导体层从而进入半导体本体 100 内。在图 1 所示的实施例中,该层为缓冲区域 104。金属区域 122 可包括 Ti/Al 基 / 金属 1/ 金属 2 的组合,其中,Al 基金属可为纯 Al、AlSi、AlCu 或 AlSiCu,金属 1 可为 Ni、Ti、Mo、Pt、Pd、Nb、Re、Ta、Ir、TiAl3 或 W,金属 2 可为 Au、TiN、TiAl3 或 W。可替代地,金属区域 122 可包括 Ti/Al 基 / 金属 1 的组合,其中,Al 基金属可为纯 Al、AlSi、AlCu 或 AlSiCu,金属 1 可为 Ni、Ti、Mo、Pt、Pd、Nb、Re、Ta、Ir、TiAl3 或 W。在另一个实施例中,金属区域 122 可包括 Ti/Al 基组合,其中,Al 基金属可为纯 Al、AlSi、AlCu 或 AlSiCu。在另一个实施例中,金属区域 122 可包括直接金属触点(即,没有 Ti 衬垫),其中,金属可为 Al 基金属,例如,纯 Al、AlSi、AlCu 或 AlSiCu。可使用 Ni、Ti、Mo、Pt、Pd、Nb、Re、Ta、Ir、TiAl3、W 以及具有退化导带的所有其他金属。

[0029] 在每种情况下,掺杂区域 124 形成在半导体本体 100 内并处于金属区域 122 与通道区域 110 之间,以使通道区域 110 通过掺杂区域 122 与金属区域 124 分隔开并电连接。在一个实施例中,掺杂区域 124 通过向半导体本体 100 内注入 Si 原子并对半导体本体 100 进行退火以活化 Si 掺杂剂而形成,具体如下文所述。触点结构 120 在通道区域 110 与触点结构 120 之间具有降低的过渡电阻,并避免不同半导体材料之间的异质结 105、107 的过渡电阻。

[0030] 在图 1 中,触点结构 120 的等效电路叠置在触点结构 120 上,以更好地图解不同触点电阻的影响。在等效电路图中,缓冲区域 104 与阻挡区域 106 之间的过渡电阻显示为电阻 R_{T1} ,阻挡区域 106 与上化合物半导体层 108 之间的过渡电阻显示为电阻 R_{T2} 。由于包括了金属触点区域 122,避免了异质结 105、107 处的过渡电阻 R_{T1} 和 R_{T2} 。即,电流通过缓冲区域 104 在触点结构 120 的掺杂区域 124 内横向移动到金属区域 122,随后根据与金属触点区域 122 的接点布局而竖直地上下移动。如图 1 所示,与触点结构 120 的金属区域 122 的连接可产生于金属区域 122 的背离衬底 110 的一侧 121 处。在其他实施例中,与金属触点区域 122 的连接可产生于金属触点区域 122 的朝向衬底 110 的一侧处,具体如下文所述。

[0031] 在每种情况下,由于包括了在通道区域 110 与触点区域 122 之间设置在半导体本体 100 内的掺杂(退化)半导体区域 124,通道区域 110 与触点结构 120 之间的过渡电阻最小化。通道区域 110 与掺杂区域 124 之间的低过渡电阻显示为电阻 R_{T3} ,金属触点区域 122 与不同化合物半导体材料的掺杂区域 124(用图 1 中的区域 124 内的虚线界定)之间的低过渡电阻显示为电阻 R_{T4} 、 R_{T5} 和 R_{T6} 。触点结构 120 的掺杂半导体区域 124 在更大面积上提供了优化电流分布,从而减少了电流拥挤和总触点电阻。电流拥挤减少的原因在于,电流可扩散到超过通道区域 110 与掺杂区域 124 之间的界面的更大范围。金属触点区域 122 的电阻显示为电阻 R_M ,缓冲区域 104 的薄膜电阻(sheet resistance,片电阻)显示为电阻 R_{BD} ,阻挡区域 106 的薄膜电阻显示为电阻 R_{BA} ,上化合物半导体层 108 的薄膜电阻显示为电阻 R_U ,通道区域 110 的比电阻显示为电阻 R_C 。

[0032] 模拟结果表明,通过形成触点结构 120 的金属区域 122,以使金属区域 122 至少延伸到包括通道区域 110 的化合物半导体层,与不具有金属触点凹陷的常规双触点注入技术相比,对于 GaN 缓冲区域 104 和 AlGaN 阻挡区域 106,触点结构 120 的比电阻可降低几乎 2X 的因数。这种情况下,这种比触点电阻的降低使半导体器件的 $RON \cdot A$ 品质指标提高至少 40%,包括取决于转移长度的最佳接触长度(转移长度取决于比触点电阻)。另外,这种比触

点电阻的降低将触点电阻对总 $RON \cdot A$ 的影响从图 2 所示的对于相同的常规器件的约 40% 下降到约 25% 或更小, 其中, ρ_C 为以 $\Omega \cdot \text{cm}^2$ 为单位的触点结构 120 的比电阻。另外, 可由此调整接触长度, 以减小器件尺寸。在某些实施例中, 触点结构 120 具有的比电阻为 $1.0E-70 \Omega \cdot \text{cm}^2$ 或更小, 更特别地, 为 $0.5E-70 \Omega \cdot \text{cm}^2$ 或更小。具有这种比触点电阻的晶体管非常适用于低压应用, 例如, 30V 或更小。

[0033] 图 3 图解了与图 1 所示的实施例相似的半导体器件的另一个实施例的局部截面图, 但省略了覆盖层 108。

[0034] 图 4 图解了与图 1 所示的实施例相似的半导体器件的另一个实施例的局部截面图, 但是在形成触点结构 120 的金属区域 122 之后, 在 450°C 以上的温度下对半导体本体 100 进行退火。在这种高温下退火不需要考虑特定金属用于金属触点区域 122 (例如, 铝), 但使得在半导体本体 100 与金属触点区域 122 的侧面和底侧 123、125 相邻的区域内形成氮空位。氮空位在 GaN 中用作 n 型掺杂剂, 因此进一步降低了触点结构 120 的总比电阻。氮空位用图 4 中的符号 ‘x’ 表示。

[0035] 可替代地, 在形成金属触点区域 122 之后半导体本体 100 将经受 $<450^\circ\text{C}$ 的温度, 以使铝或其他类型的低熔点金属可用于触点结构 120 的金属区域 122。 $<450^\circ\text{C}$ 的退火温度不会产生氮空位, 但仍能提高金属触点区域 122 与包含 (例如) GaN 或 GaN 合金的周围半导体材料之间的接合质量。

[0036] 图 1、图 3 和图 4 所示的实施例中的触点结构 120 的掺杂区域 124 从第一侧 101 延伸到半导体本体 100 内且比触点结构 120 的金属区域 122 延伸得更深。这样, 掺杂区域 124 与金属区域 122 的侧面和底侧 123、125 接触。

[0037] 图 5 图解了与图 1 中所示的实施例相似的半导体器件的另一个实施例, 但是触点结构 120 的金属区域 122 从第一侧 101 延伸到半导体本体 100 内且延伸得比触点结构 120 的掺杂区域 124 深。根据该实施例, 掺杂区域 124 与金属区域 122 的侧面 123, 而不是与其底侧 125 接触。

[0038] 图 6 图解了与图 5 所示的实施例相似的半导体器件的另一个实施例, 但是触点结构 120 的金属区域 122 完全延伸通过半导体本体 100, 并完全通过底层衬底 110。根据该实施例, 金属区域 122 与形成于衬底 110 的背面 111 上的敷金属 140 连接, 并因此在衬底背面 111 电连接。

[0039] 图 7 图解了与图 5 所示的实施例相似的半导体器件的另一个实施例, 但是触点结构 120 的金属区域 122 没有完全延伸通过底层衬底 110。相反, 金属区域 122 延伸到衬底 110 中, 并在到达衬底 110 的背面 111 之前终止。根据该实施例, 衬底 110 进行掺杂, 以使金属触点区域 122 与衬底 110 的金属化背面 111 通过掺杂衬底 110 形成电连接。

[0040] 图 8 图解了与图 1 所示的实施例相似的半导体器件的一个实施例, 但是触点结构 120 的金属区域 122 延伸到阻挡区域 106 内, 但没有延伸到底部的缓冲区域 104 内。根据该实施例, 金属触点区域 122 的底侧 125 延伸到从半导体本体 100 的正面 101 测得的比通道区域 110 浅的深度。

[0041] 图 9 图解了半导体器件的另一个实施例, 所述半导体器件包括多个 AlGaN 或 InAlN 层 180, 所述多个 AlGaN 或 InAlN 层沿所述器件的竖直方向置于相应的 GaN 层 190 之间, 所述器件的竖直方向与半导体本体 100 的顶侧 101 垂直。与图 3 所示的相似, GaN 覆盖层在

图 8 中省略,但可包括在最上面的 AlGaN 或 InAlN 层 180 与如上文所述的钝化层 112 之间。根据该实施例,在最下面的 GaN 层 190 中靠近与最下面的 AlGaN 或 InAlN 层 180 的界面处形成有 2DEG181。每个连续 GaN 层 180 均具有下部 2DHG191 和上部 2DEG181,所述下部 2DHG 在靠近与底部 AlGaN 或 InAlN 层 180 的界面处形成,所述上部 2DEG 在靠近与上覆的 AlGaN 或 InAlN 层 180 的界面处形成。这样,所述器件中存在多个 2DEG 和 2DHG。

[0042] 图 10 图解了形成用于图 9 的半导体器件的触点结构 120 的掺杂区域 124 的一个实施例。根据该实施例,开口 192 从顶侧 101 蚀刻入半导体本体 100 内,并将用于 GaN 基半导体本体的掺杂剂(例如, Si)注入开口 192 的侧壁和底部中,如图 10 中的向下箭头所示。对注入的掺杂剂进行退火,以形成触点结构 120 的掺杂区域 124,如图 9 所示。图 11A 至图 11C 图解了触点结构 120 的制造方法的实施例,在图 11A 中,执行光刻胶沉积和显影过程,以在半导体本体 100 的顶侧 101 上形成掩模 150,以使半导体本体 100 的一部分保持未被覆盖。在 GaN 基半导体本体 100 的情况下,将掺杂剂 160 (例如, Si)注入半导体本体 100 的未覆盖部分,如图 11A 所示。

[0043] 在高温下对半导体本体 100 进行退火,以活化注入的掺杂剂,并形成触点结构 120 的掺杂区域 124,如图 11B 所示。随后在从半导体本体 100 的顶侧 101 到至少通道区域 110 的深度 d 上去除掺杂区域 124 的一部分,以在半导体本体 100 内形成开口 170,如图 11C 所示。开口 170 通过掺杂区域 124 的剩余部分与通道区域 120 横向隔开。

[0044] 开口 170 可蚀刻到半导体本体 100 内,以使开口 170 从顶侧 101 在半导体本体 100 内延伸得比掺杂区域 124 浅,例如,如图 1、图 3、图 4 和图 8 所示。可替代地,开口 170 可完全蚀刻穿过掺杂区域 124,以使开口 170 从顶侧 101 在半导体本体 100 内延伸得比掺杂区域 124 深,例如,如图 5 和图 9 所示。开口 170 可完全蚀刻穿过半导体本体 100 或完全穿过底层衬底 110,例如,如图 6 和图 7 所示。在每种情况下,开口 170 填充有(例如)上文所述类型的金属,以完成触点结构 120。

[0045] 在一个实施例中,半导体本体 100 包括下部 GaN 层 104、下部 GaN 层 104 上的中间 GaN 合金层 106 和 GaN 合金层 106 上的 GaN 覆盖层 108。将 Si 掺杂剂注入半导体本体 100 的未覆盖部分中以及 GaN 覆盖层 108、GaN 合金层 106 和下部 GaN 层 104 内,例如,如图 8A 所示,使得在退火之后,即,注入的掺杂剂活化之后,触点结构 120 的掺杂区域 124 与二维电子气通道区域 110 接触。在开口 170 中填充金属之后,半导体本体 100 可在相对较低温度(例如,<450°C)下退火,以确保金属触点区域 122 与相邻半导体材料之间的良好接触,或在相对较高温度(例如,>600°C)下退火,以在金属触点区域 122 的侧面和底侧 123、125 (两者都如上文描述的那样)周围形成氮空位。

[0046] 图 12A 至图 12G 图解了用于晶体管器件的触点结构 120 的制造方法的另一个实施例。执行光刻胶沉积和显影过程,以在半导体本体 100 的顶侧 101 上形成掩模 152,使得半导体本体 100 的一部分保持未被覆盖。将 Si 掺杂剂 162 注入半导体本体 100 的未覆盖部分并退火,以形成每个相应触点结构 120 的注入区域 124。注入的 Si 区域 124 还分别形成所述器件的源极(S)和漏极(D)区域,如图 12A 所示。

[0047] 可在每个器件周围形成隔离区域 164,以将相邻器件互相隔离。在一个实施例中,通过在有源器件区域之外将 Ar166 注入半导体本体 100 内而形成隔离区域 164,如图 12B 所示。随后,通过在将形成器件栅极的区域内进行蚀刻过程而使掩模 152 和底层钝化层 112 开

口,如图 12C 所示。移除掩模 152,栅极金属 168 通过(例如)沉积过程形成于器件结构的顶面上,从而填充了先前形成于钝化层 112 内的开口 167,如图 12D 所示。对栅极金属 168 进行图案化处理,以形成器件的栅极 (G),随后将夹层电介质 172 沉积在器件结构上,如图 12E 所示。

[0048] 随后在夹层电介质 168 上沉积另一个掩模 174,并且开口 176 穿过掩模 174、夹层电介质 172、钝化层 112 形成而进入注入(源极 / 漏极)区域 124 内。开口 176 可完全延伸穿过注入区域 124,如图 12F 所示,如果需要,可进一步延伸到底层衬底 110 内或完全穿过底层衬底 110。可替代地,开口 176 在到达注入区域 124 的底部之前终止。在每种情况下,开口 176 填充有金属,对该金属进行图案化处理,以形成源极侧和漏极侧触点结构 120 的相应金属区域 122,如图 12G 所示。

[0049] 图 13 和图 14 图解了包括触点结构 120 的晶体管的不同实施例的相应截面图。所述晶体管包括形成于化合物半导体本体 200 内的源极区与 S 和漏极区域 D。化合物半导体本体 200 形成于衬底 210 上,且具有在两种不同半导体材料之间的至少一个异质结 202 以及在异质结 202 下方的通道区域 204。源极和漏极通过通道区域 204 互相隔开。所述晶体管还包括可用于控制通道区域 204 的栅极 G。栅极可以具有底层材料,例如, p-GaN、SiO_x 等,以控制器件的阈值电压。触点结构 120 的掺杂区域 124 形成根据图 13 所示的实施例的晶体管的源极。触点结构 120 还可形成于漏极侧上,如图 14 所示,其中,漏极侧触点结构 120 的掺杂区域 124 形成漏极。在每种情况下,触点结构 120 的金属区域 122 从顶侧 201 延伸到化合物半导体本体 200 内且至少延伸到包括通道区域 204 的化合物半导体层。金属区域 120 可从顶侧 201 在化合物半导体本体 200 内延伸得比触点结构 120 的掺杂区域 124 浅,例如,如图 1、图 3、图 4 和图 8 所示。可替代地,金属区域 122 可在晶体管的源极侧和 / 或漏极侧完全延伸穿过掺杂区域 124,使得金属区域 122 从顶侧 201 在化合物半导体本体 200 内延伸得比掺杂区域 124 深,例如,如图 5 和图 9 所示。在源极侧和 / 或漏极侧的金属触点区域 122 可完全延伸穿过半导体本体 200,以进入或完全穿过底层衬底 210,例如,如图 6 和图 7 中所示。触点结构 120 在触点结构 120 的通道区域 204 与掺杂区域 124 之间具有降低的过渡电阻,并避免异质结 202 处的过渡电阻,如上文所述。这对低电压应用(例如,30V 或更小)特别有利。由于这种低工作电压,晶体管具有的栅极到漏极长度 L_{GD} 可为 1 μm 或更小。

[0050] 为了便于说明,使用空间相关术语,例如,“下面”、“下方”、“下部”、“上方”、“上部”等,以说明一个元件相对于第二元件的位置。这些术语旨在包含除图中所示的不同定向之外的器件的不同定向。进一步,使用“第一”、“第二”等术语以描述各个元件、区域、部分等,并不具有限制性。在说明书中的相似的术语表示相似的元件。

[0051] 如本文中使用的,术语“具有”、“包含”、“包括”、“含有”等为开放式术语,表示存在所述的元件或特征,但并不排除额外的元件或特征。除非上下文另有明确说明,冠词“一”、“一个”和“该”旨在包括复数和单数。

[0052] 应理解的是,考虑在上述变化和应用范围,本发明并不限于上述说明,也不限于附图。相反,本发明仅通过所附权利要求及其法律等同物限定。

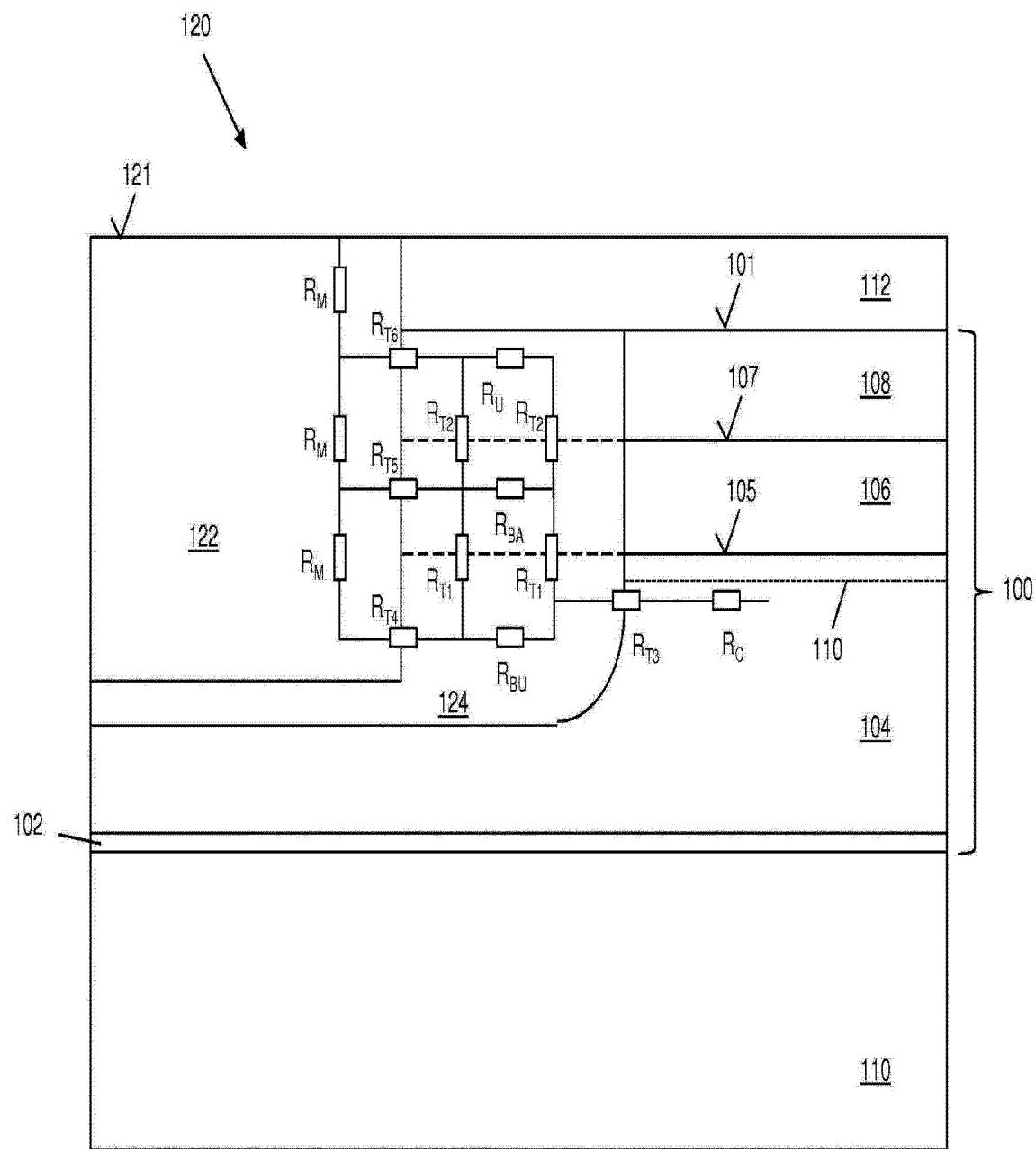


图 1

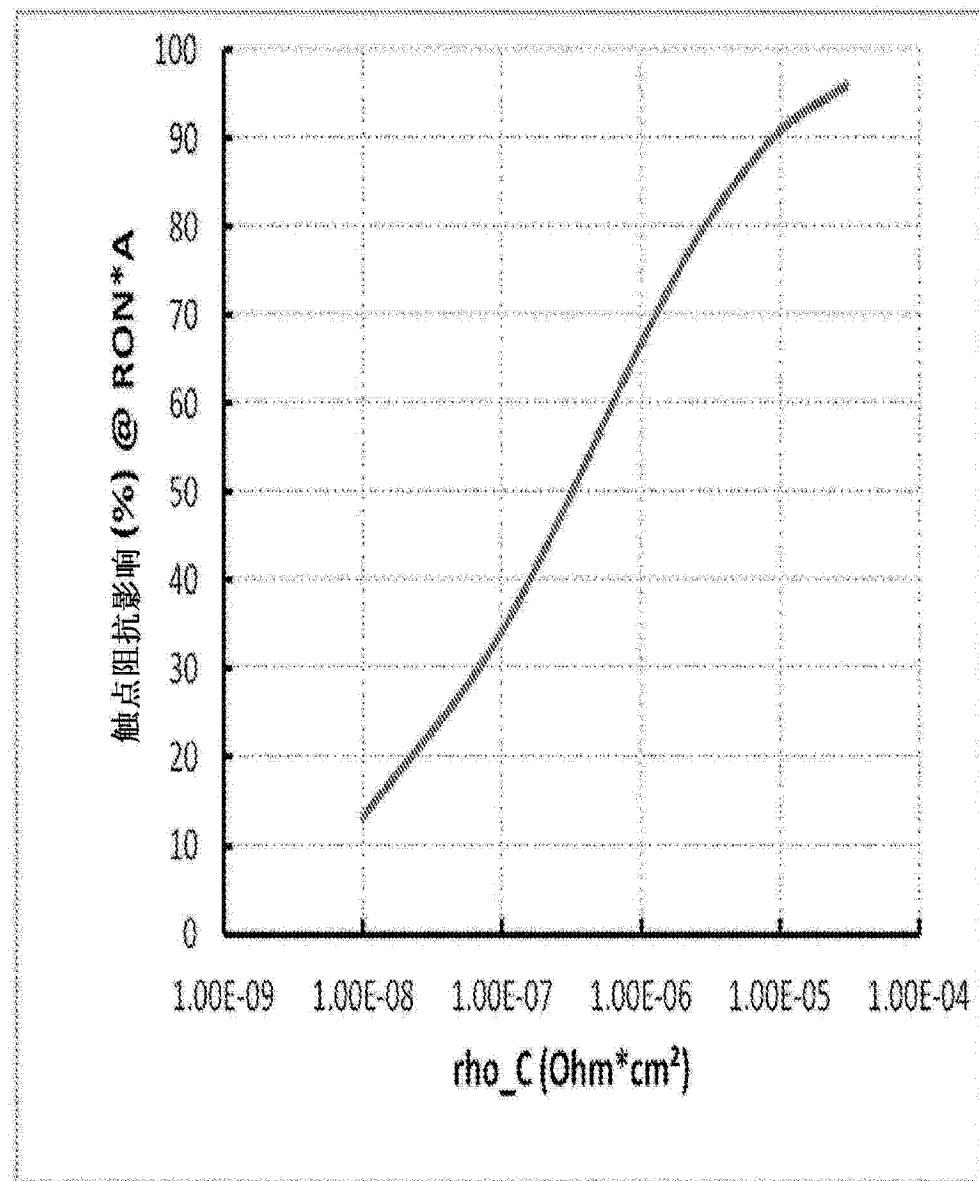


图 2

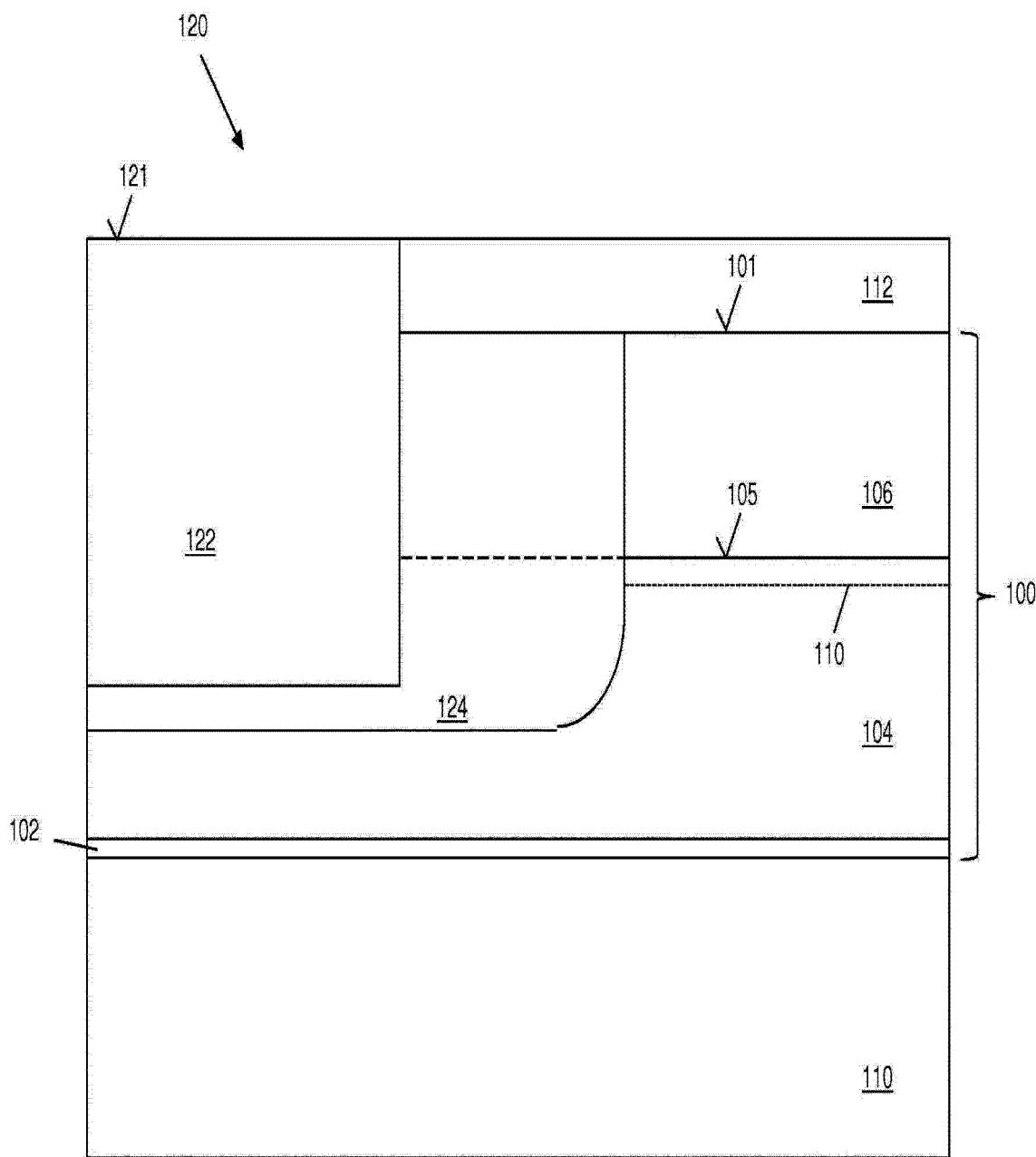


图 3

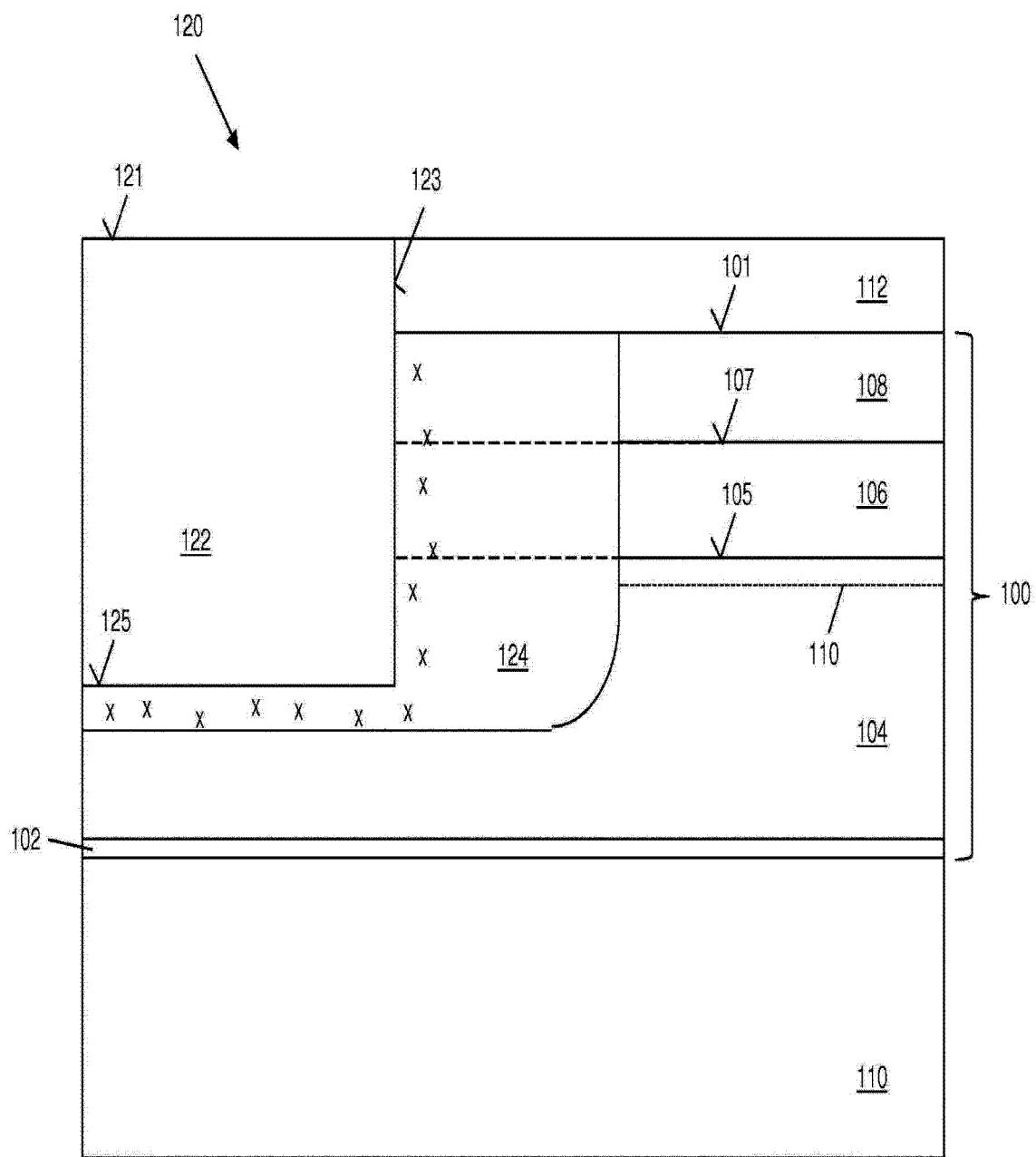


图 4

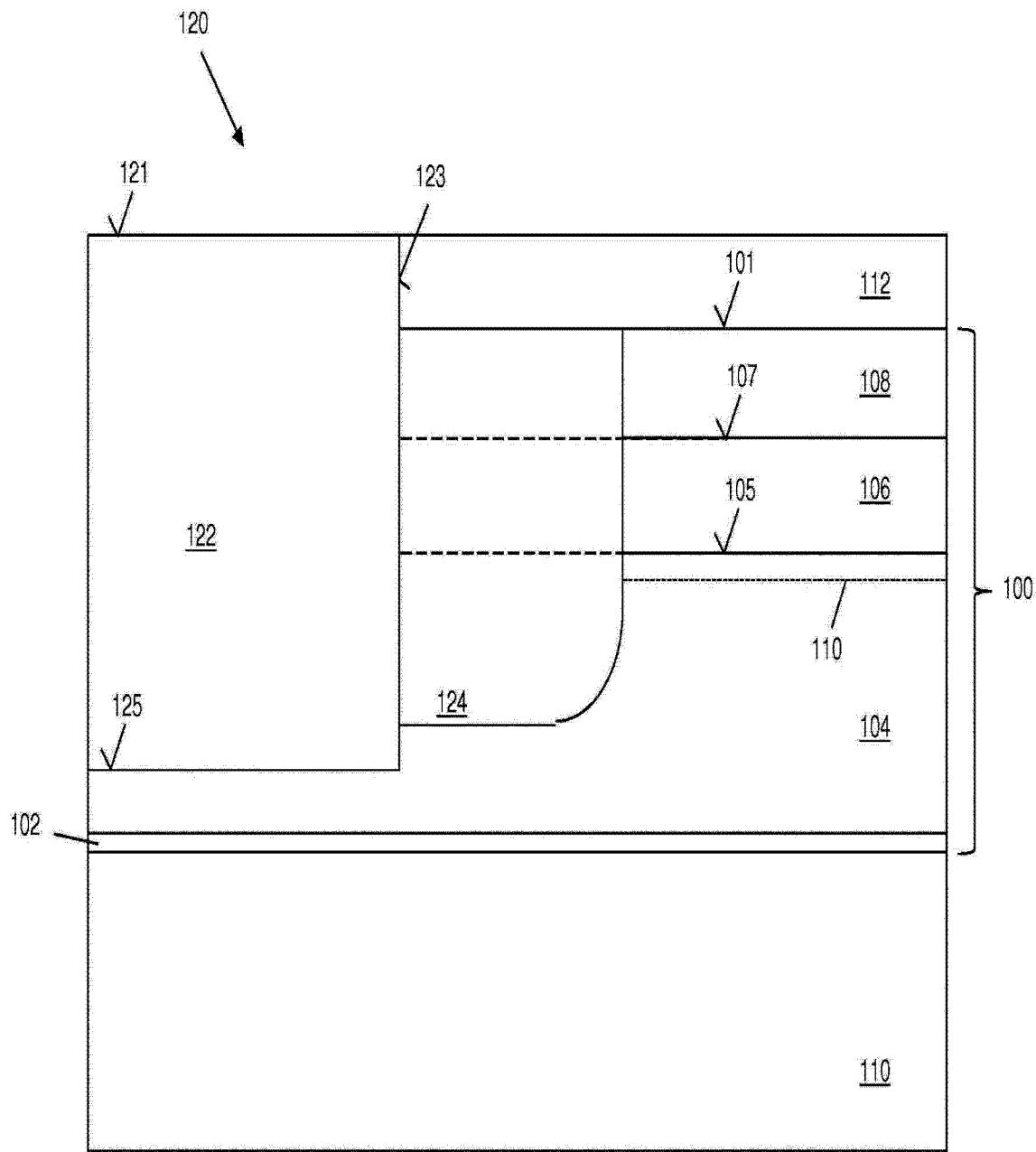


图 5

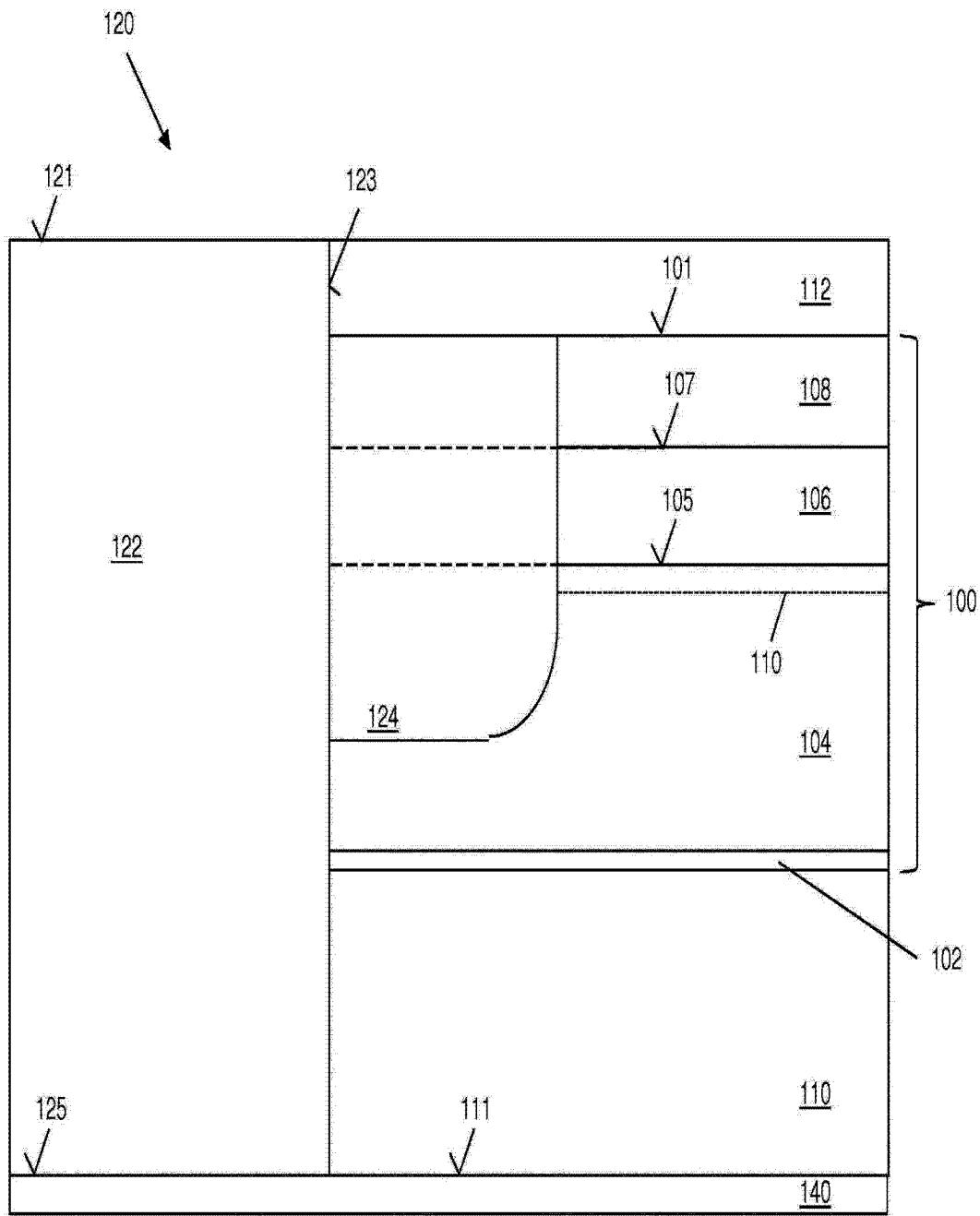


图 6

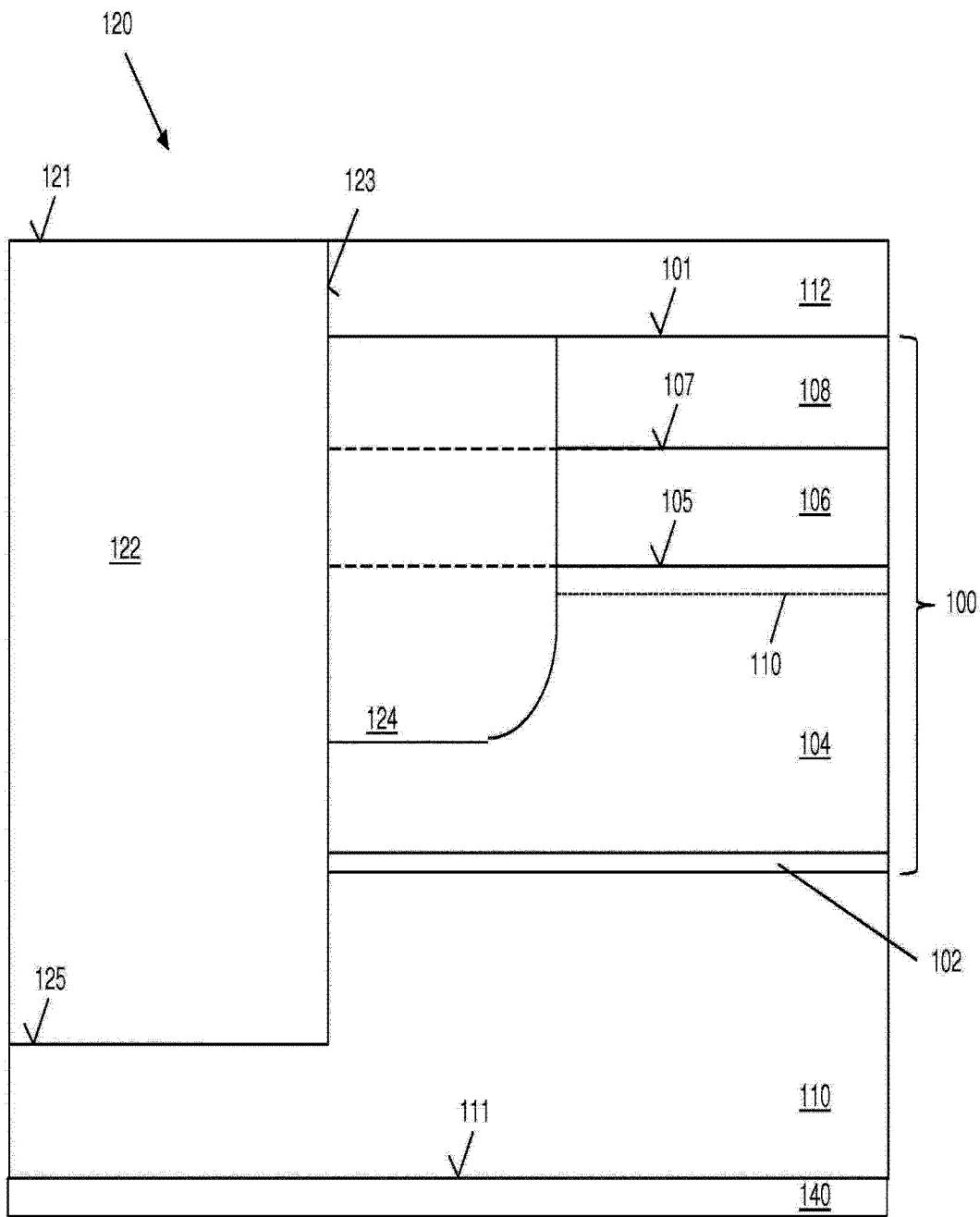


图 7

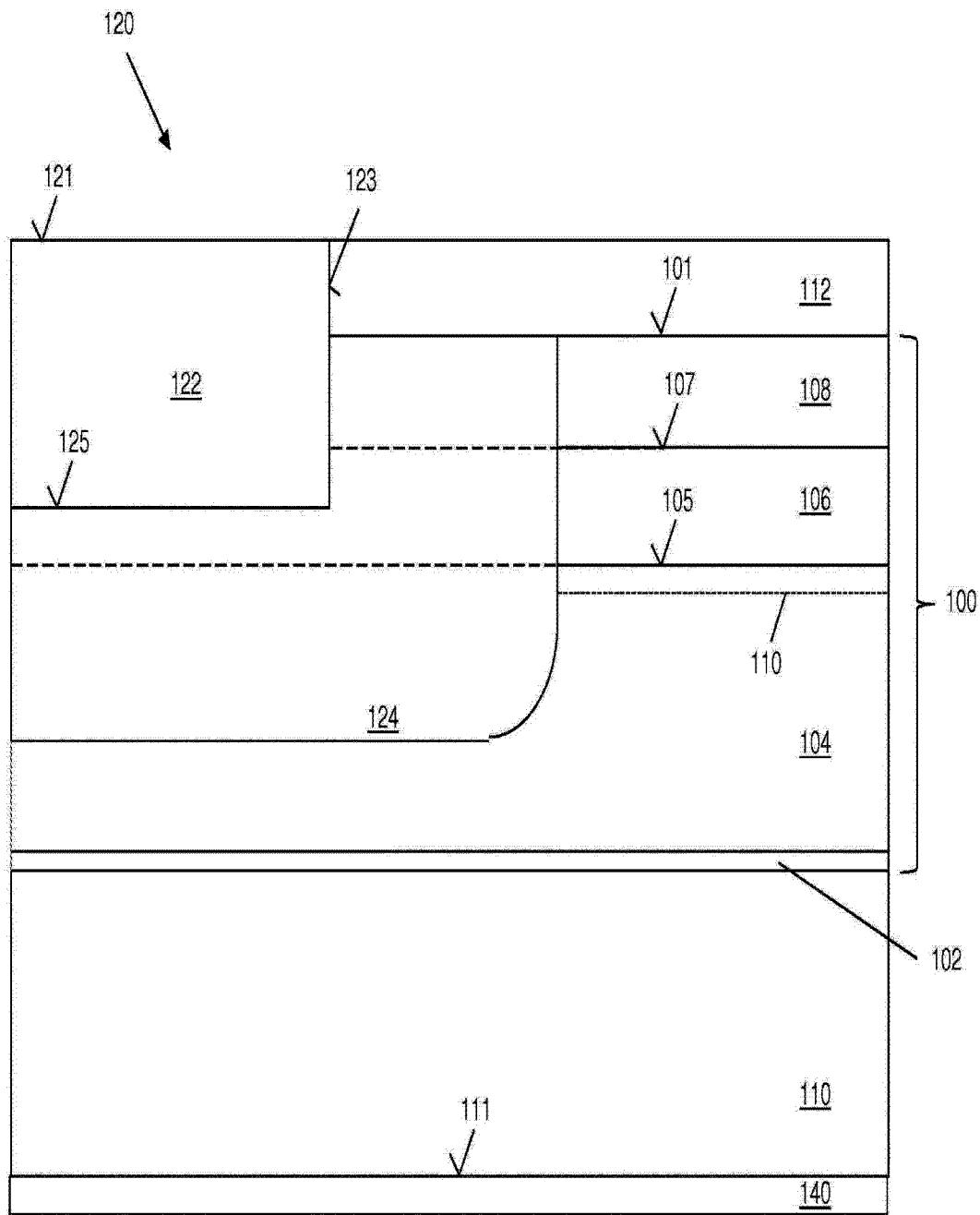


图 8

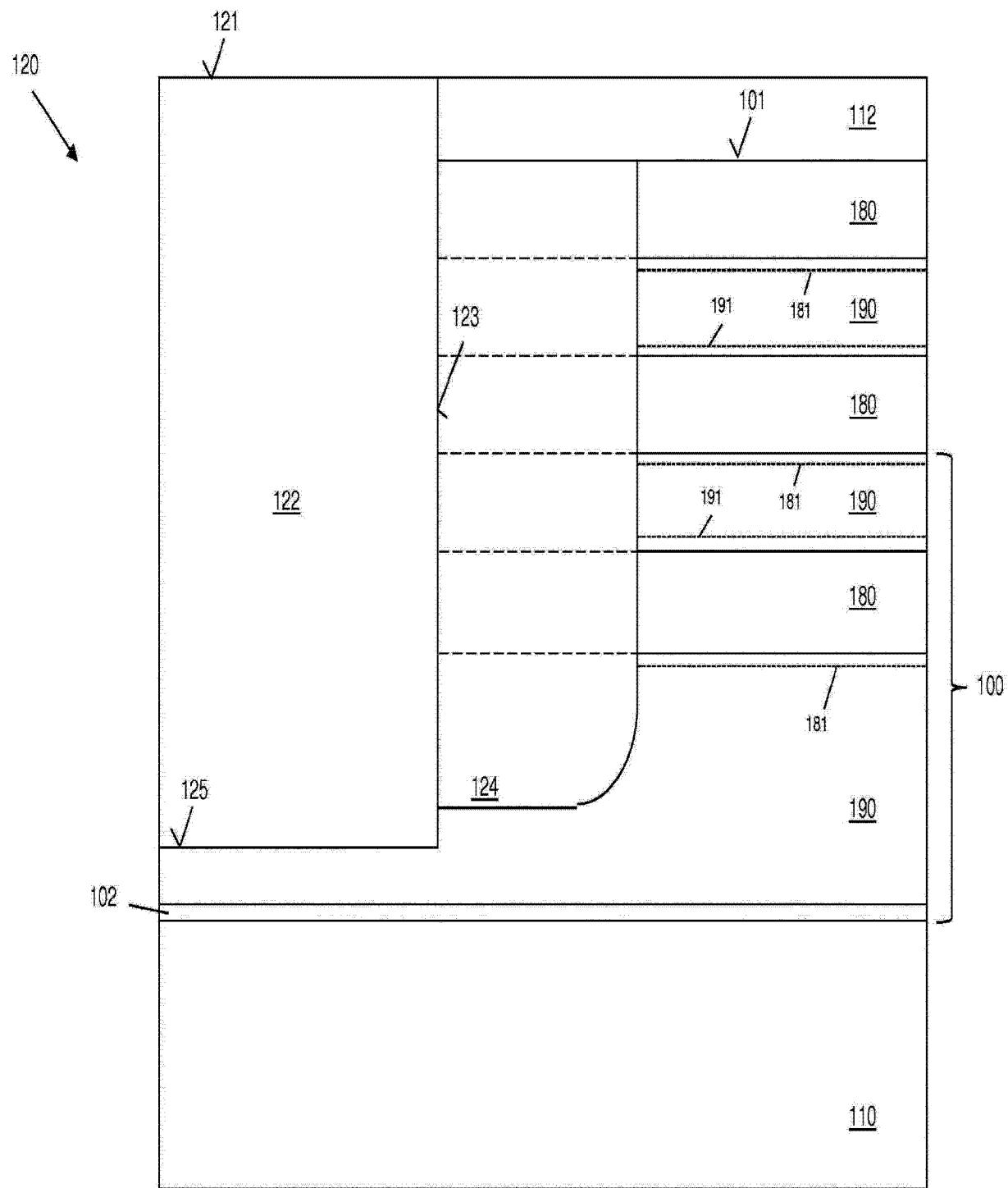


图 9

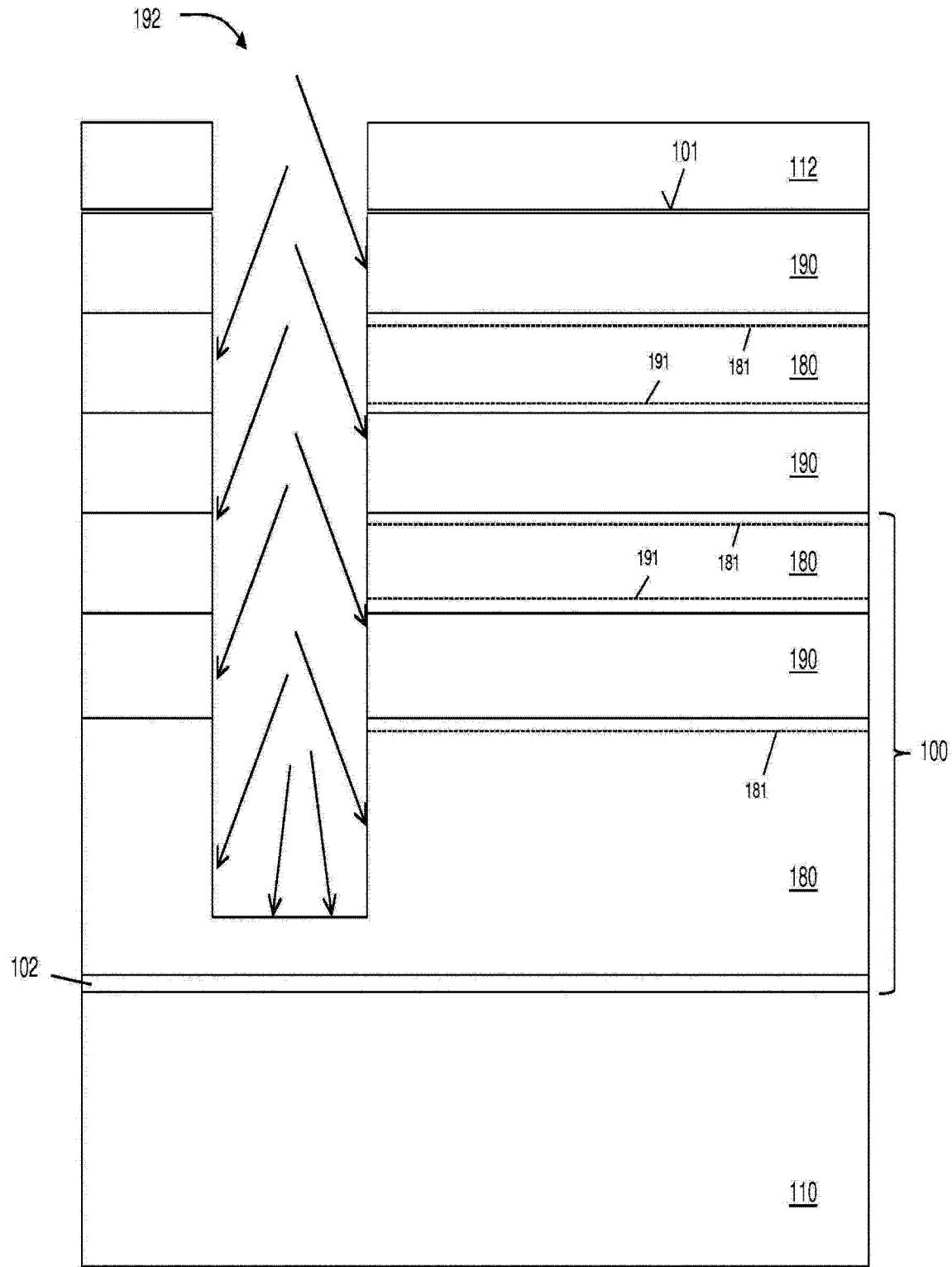


图 10

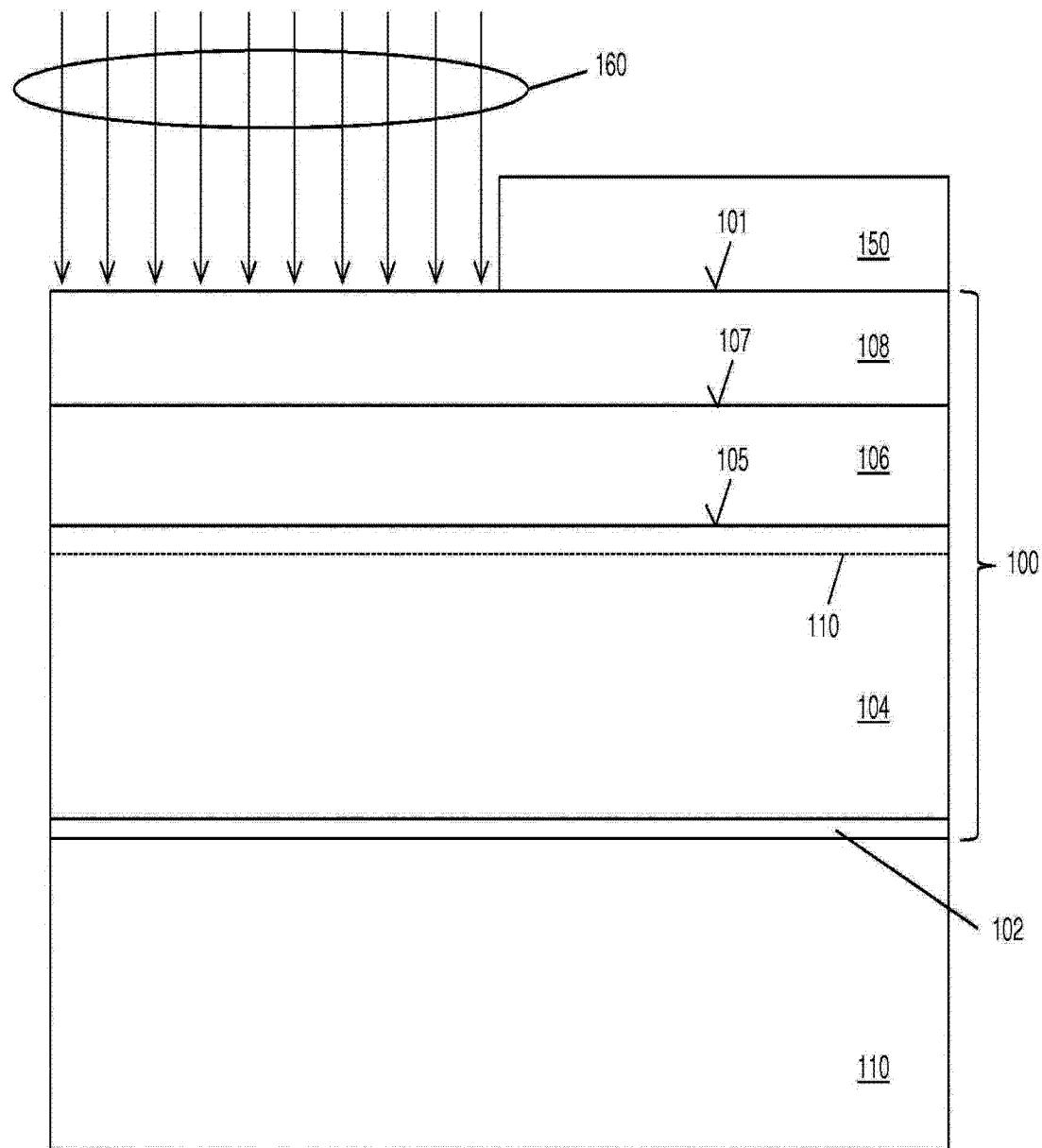


图 11A

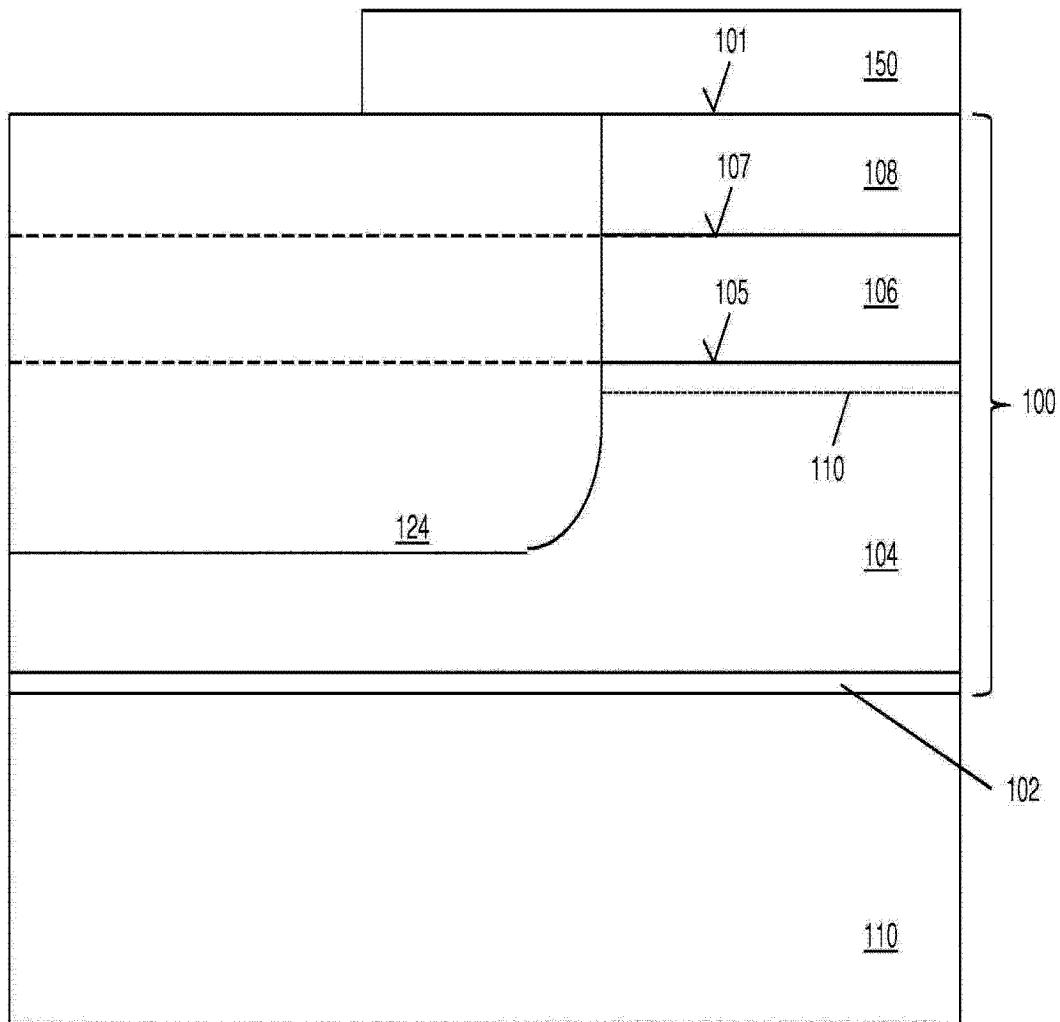


图 11B

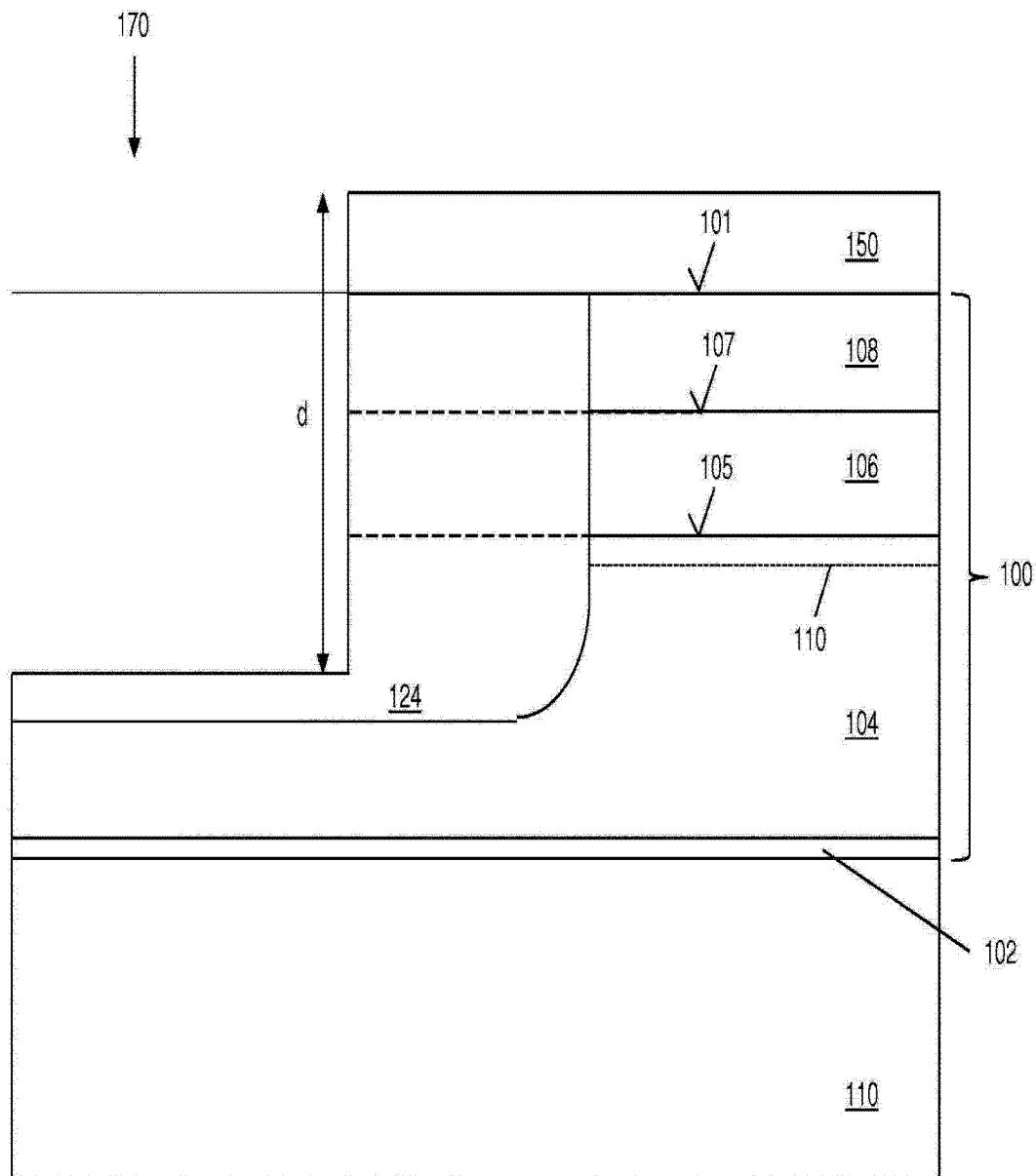


图 11C

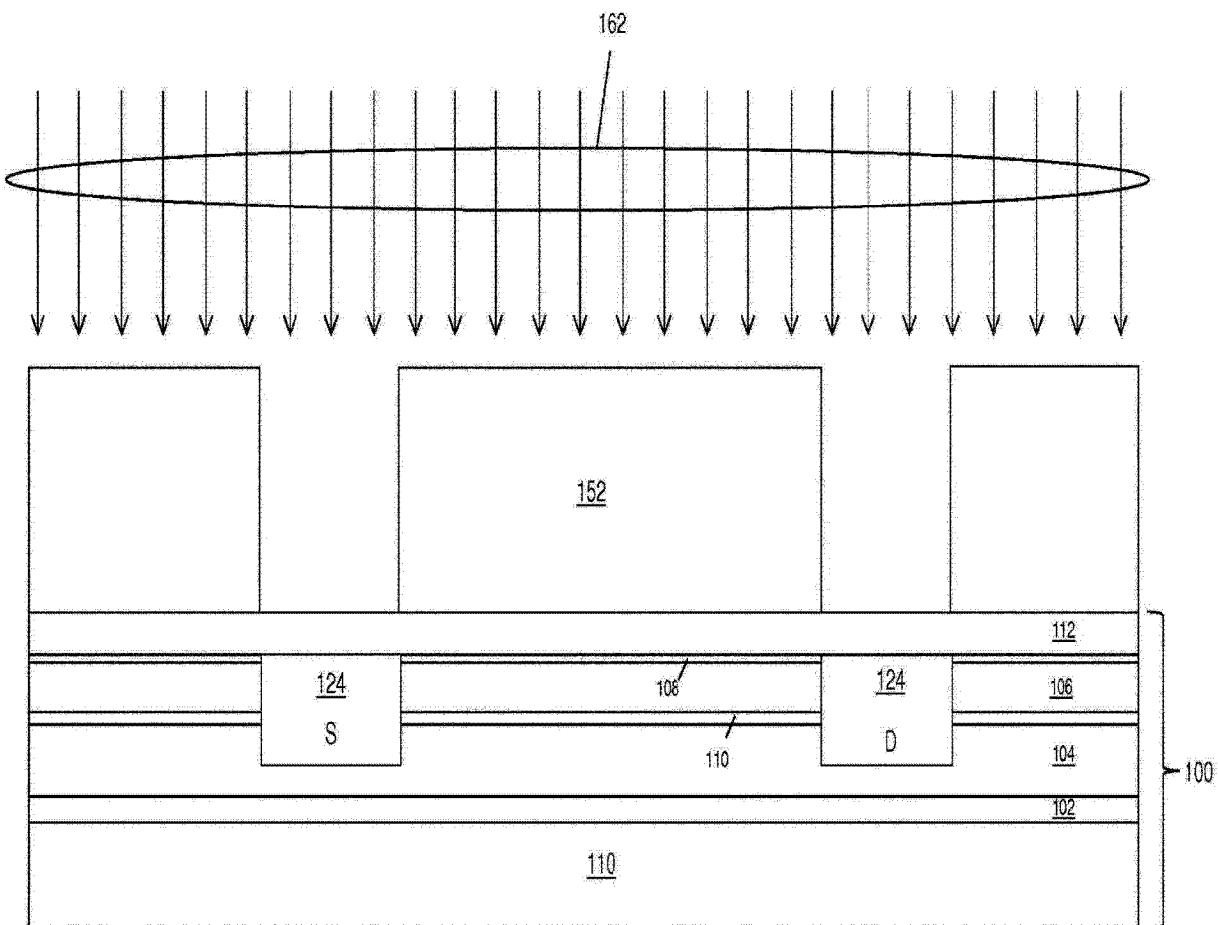


图 12A

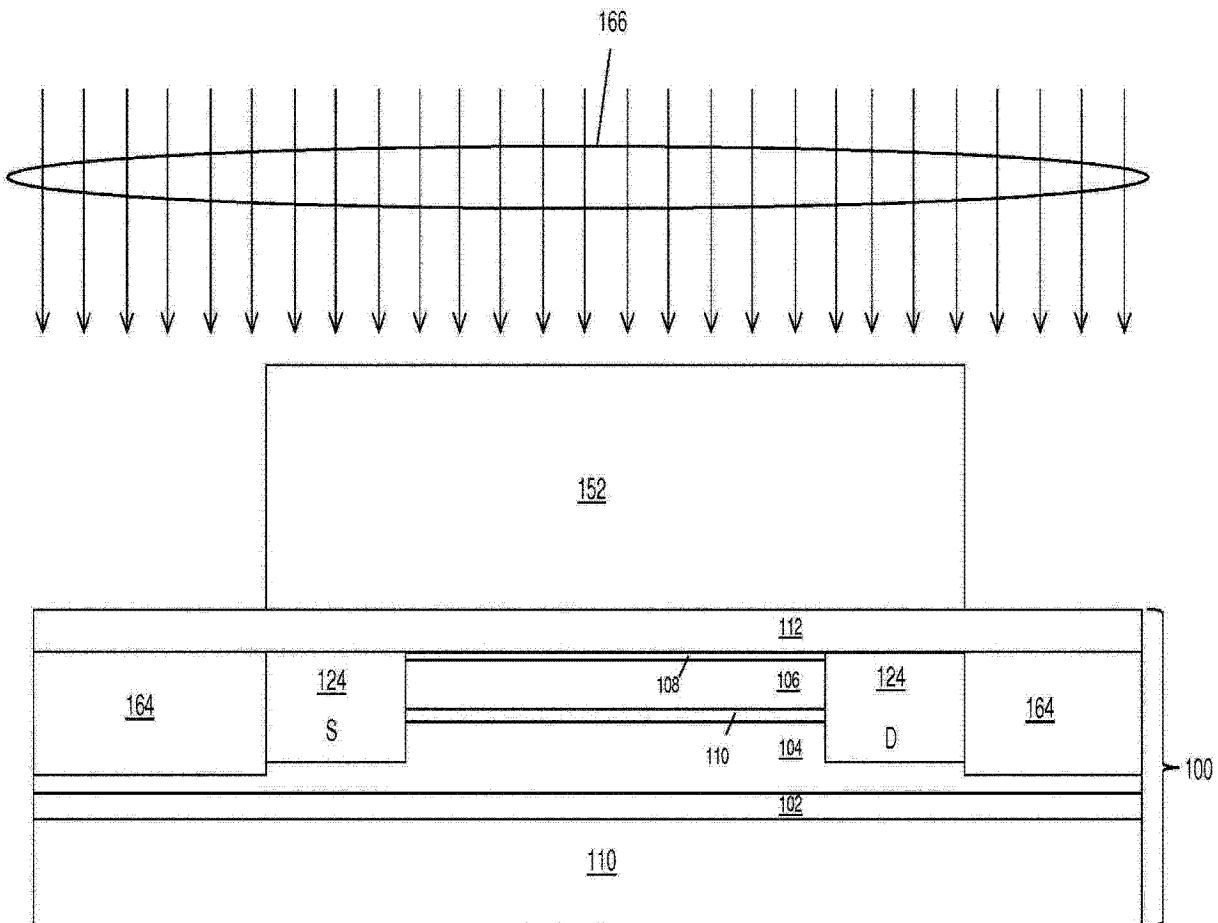


图 12B

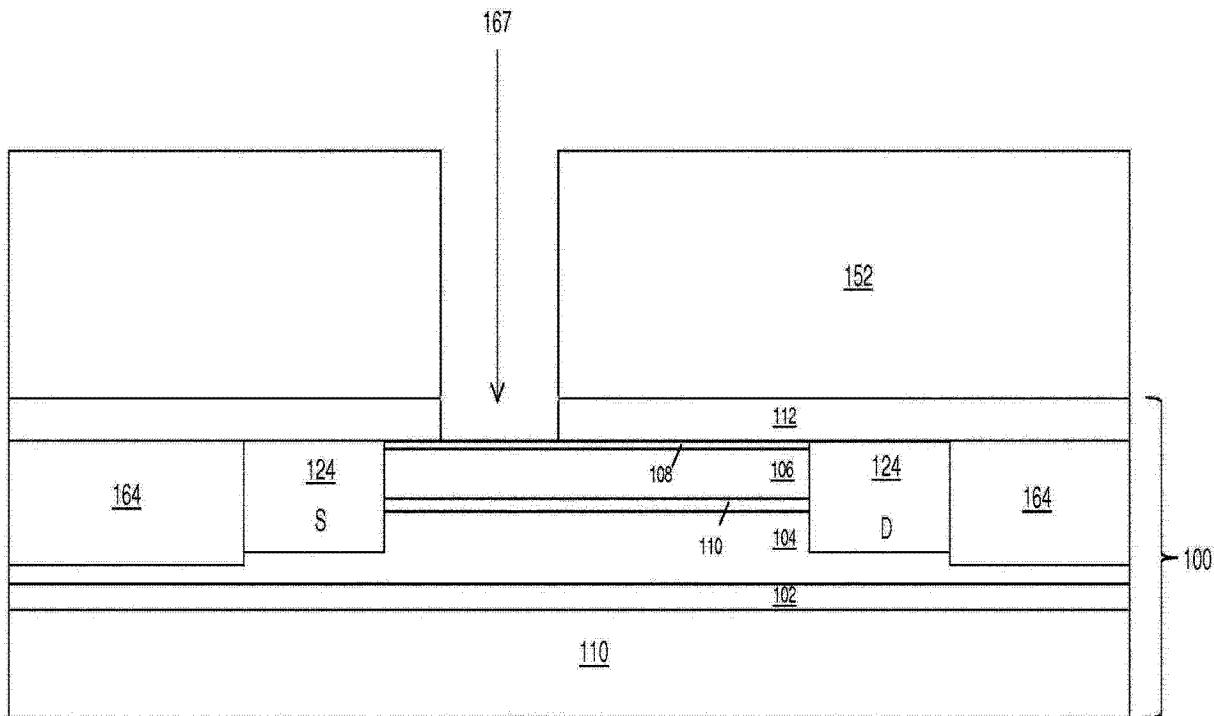


图 12C

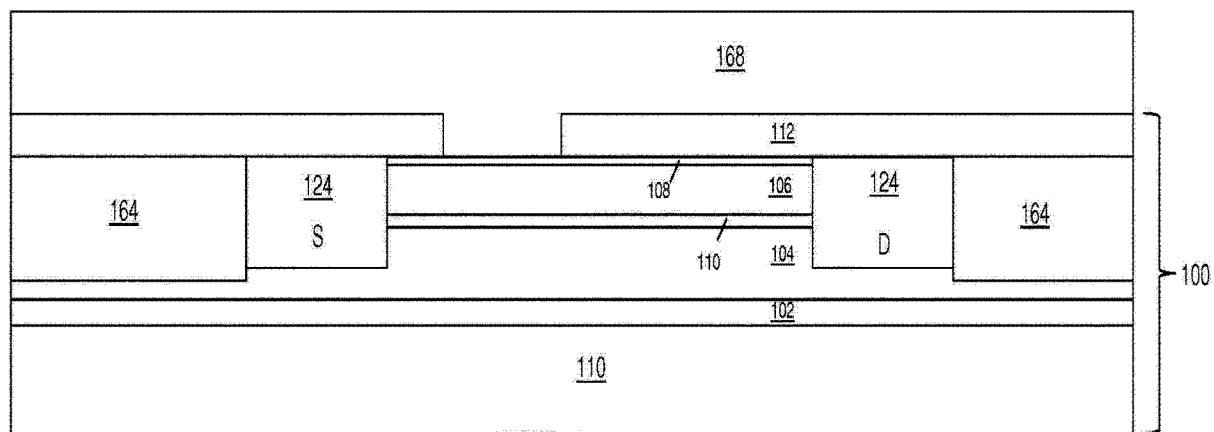


图 12D

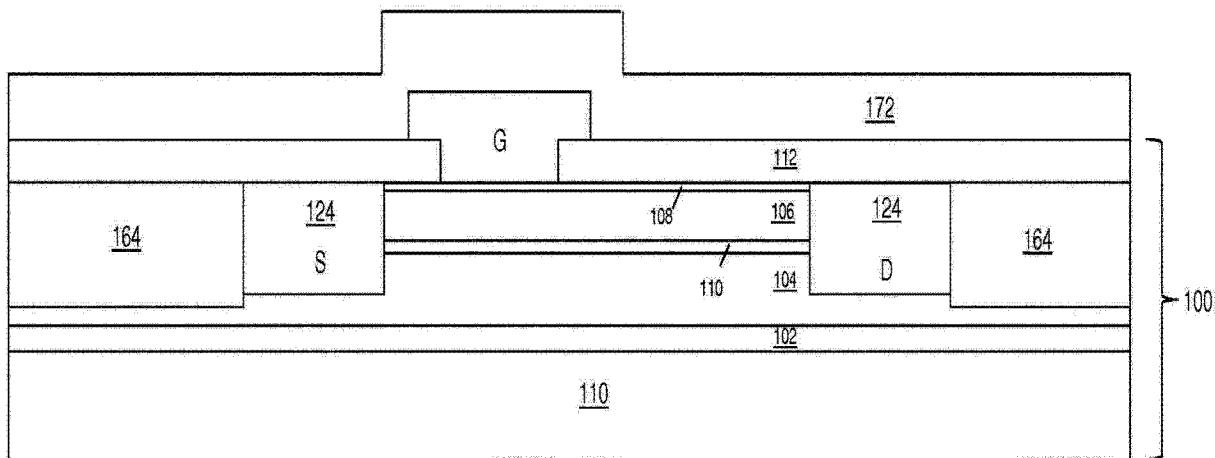


图 12E

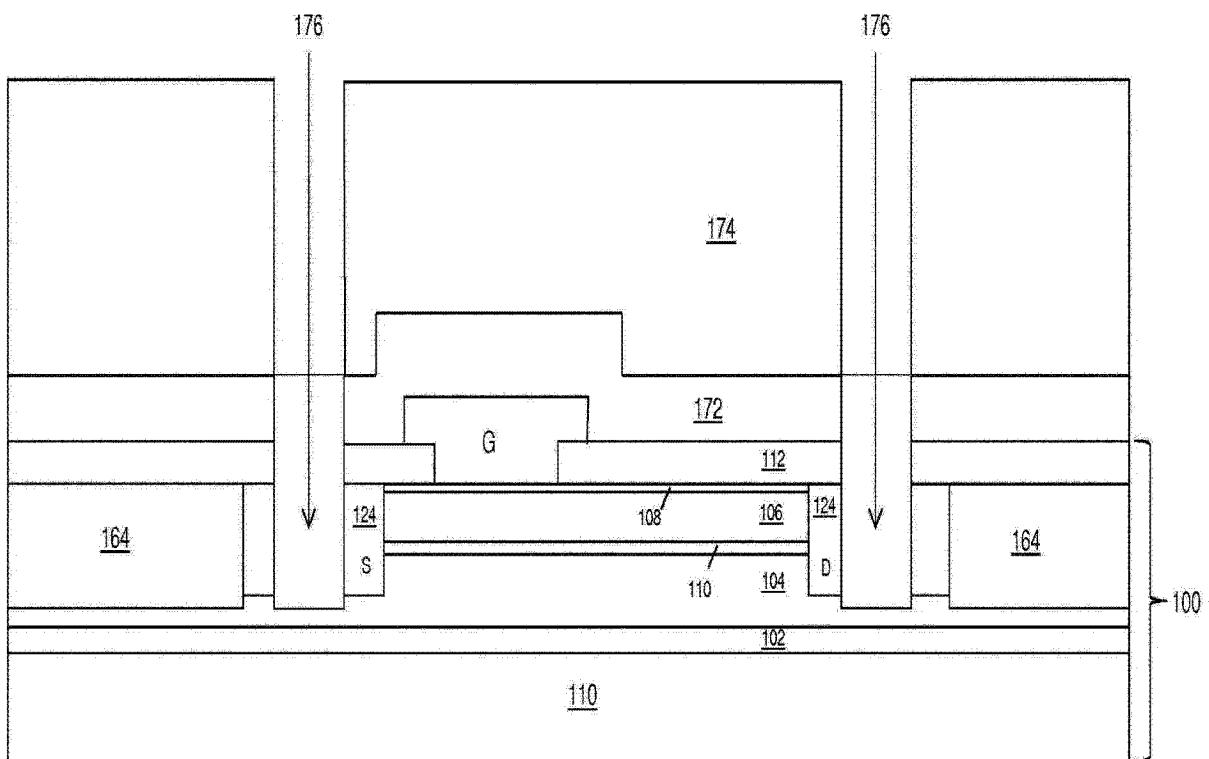


图 12F

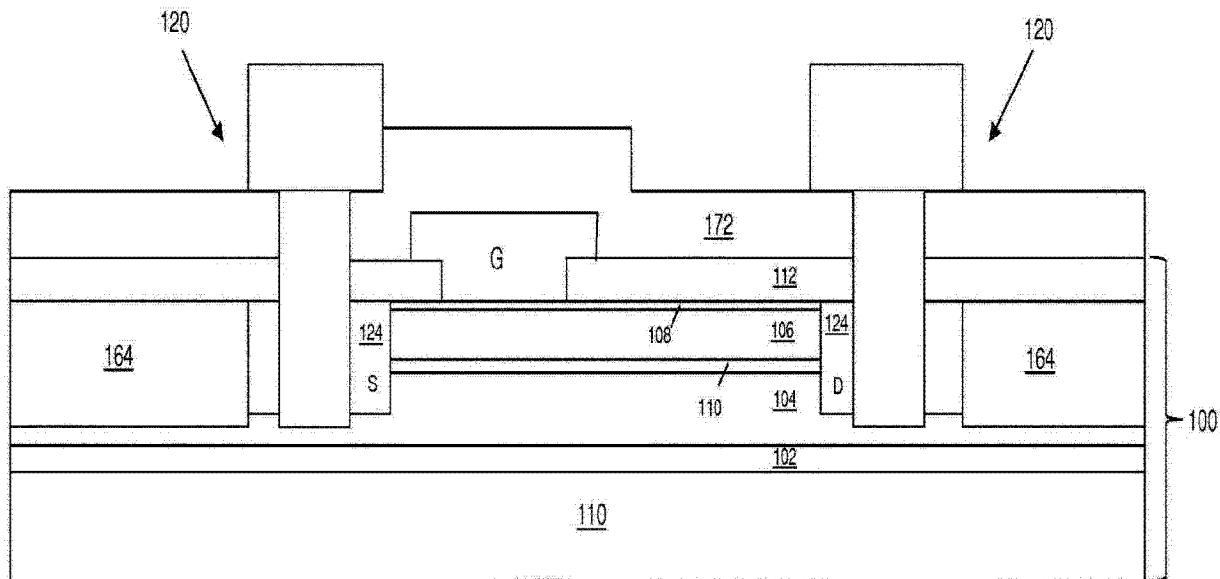


图 12G

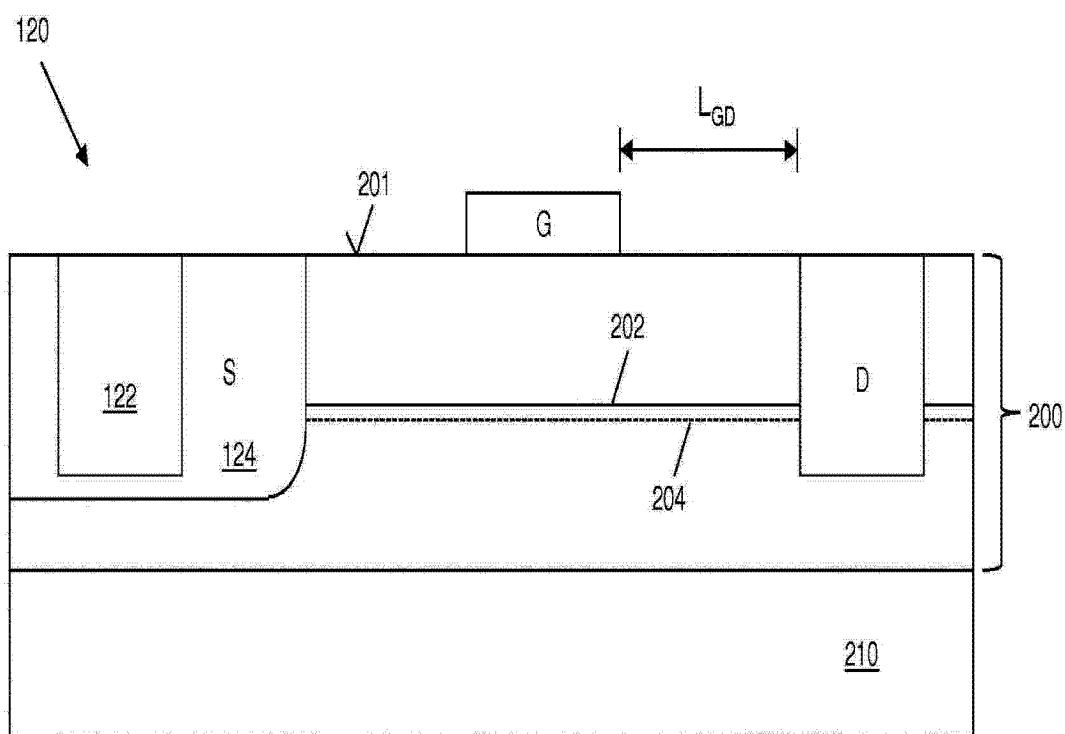


图 13

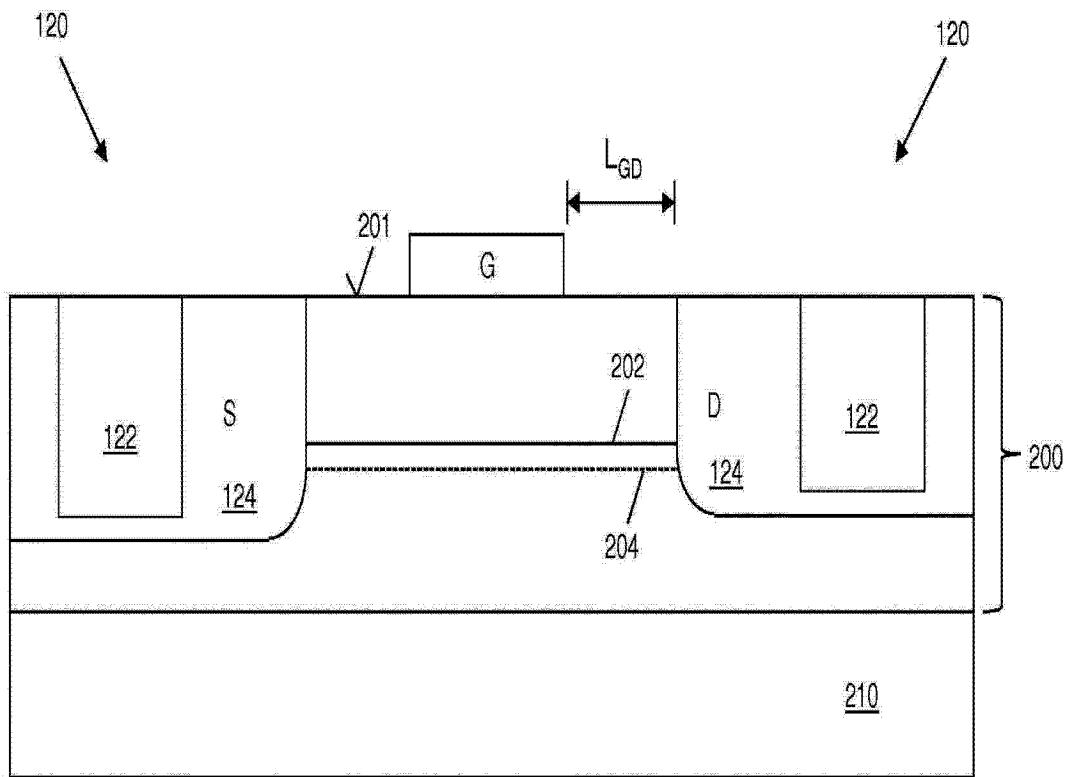


图 14