

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 974 438**

51 Int. Cl.:

H03M 13/27 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **05.06.2007** **E 23178087 (5)**

97 Fecha y número de publicación de la concesión europea: **21.02.2024** **EP 4224719**

54 Título: **Transmisor que comprende un aparato intercalador**

30 Prioridad:

09.06.2006 DE 102006026895

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:
27.06.2024

73 Titular/es:

**FRAUNHOFER-GESELLSCHAFT ZUR
FÖRDERUNG DER ANGEWANDTEN
FORSCHUNG E.V. (100.0%)
Hansastraße 27c
80686 München, DE**

72 Inventor/es:

**EBERLEIN, ERNST;
BREILING, MARCO;
KEIP, CEDRIC;
STADALI, HOLGER y
HEUBERGER, ALBERT**

74 Agente/Representante:

PONTI & PARTNERS, S.L.P.

ES 2 974 438 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Transmisor que comprende un aparato intercalador

- 5 **[0001]** La presente invención se refiere a tecnología de transmisión digital y, particularmente, a conceptos de transmisión, particularmente bien adecuados para canales de transmisión variantes en tiempo como pueden encontrarse en radio móvil y radio difusión.
- [0002]** Intercalado de tiempo y/o intercalado de frecuencia combinados con códigos de corrección de error
 10 (corrección de error hacia delante, FEC = forward error correction), pertenecen a un principio básico en tecnología de transmisión, como se ilustra en la Figura 6.
- [0003]** Una palabra de información que consiste en bits de información aquí se alimenta en un codificador FEC que establece una palabra de código de esta palabra de información, es decir, un vector de símbolos de código o bits
 15 de código. Estas palabras de código y/o bloques formados de ahí se pasan al intercalador. Cambia el orden de los símbolos y pasa los símbolos así mezclados al canal de transmisión. La reclasificación de los símbolos puede llevarse a cabo en el eje de tiempo ("intercalado de tiempo") y/o en el eje de frecuencia ("intercalado de frecuencia").
- [0004]** El uso de un intercalador tiene sentido si el canal de transmisión no es estático, es decir si sus
 20 propiedades cambian con el tiempo y/o frecuencia. De esta manera, la potencia de señal que llega en el receptor puede variar fuertemente en un receptor que se desplaza. Por lo tanto, algunos símbolos de código faltan con superior probabilidad (por ejemplo, por ruido térmico superpuesto) que otros.
- [0005]** Dependiendo del movimiento del transmisor, receptor y/u objetos sobre la ruta de transmisión y
 25 dependiendo de la naturaleza del entorno del transmisor, receptor y ruta de transmisión, pueden cambiar las propiedades de canal más o menos rápidamente. Una medida de la constancia temporal del canal de transmisión es el tiempo de coherencia: el canal no cambia significativamente en este tiempo.
- [0006]** La probabilidad de un error de transmisión usualmente se estima del estado del canal (en inglés,
 30 "channel state"). El estado del canal describe la calidad de la señal de recepción (por ejemplo, la proporción momentánea de fuerza de señal a ruido). El objetivo de un intercalador es distribuir la información en el tiempo (y a menudo también en frecuencia) de tal manera que con propiedades de canal que varían con el tiempo, la proporción de símbolos "buenos" (pequeña probabilidad de un error de transmisión) a "malos" (alta probabilidad de un error de transmisión) se vuelve aproximadamente constante en sentido temporal en promedio tras el des-intercalador, lo que
 35 invierte el intercalador en el lado de transmisión. En el caso de una propiedad de canal rápidamente cambiante (por ejemplo, altas velocidades de vehículo), usualmente es suficiente un intercalador relativamente corto. Con propiedades de canal variantes con el tiempo lentas, debería seleccionarse una longitud de intercalador correspondientemente mayor.
- 40 **[0007]** El cambio en las propiedades de canal puede resultar de diversos efectos.
- En el caso de propagación de múltiples rutas, la ubicación de fase relativa de las proporciones de señal determina si las proporciones de señal se superponen de manera constructiva o destructiva. Incluso un cambio en posición por una fracción de la longitud de onda de la señal de soporte aquí lleva a otras ubicaciones de fase. Las propiedades de canal
 45 pueden cambiar de manera correspondiente de forma rápida. Se habla aquí de "rápido desvanecimiento" (en inglés, "fast fading").
 - Las propiedades de señal, sin embargo también dependen fuertemente del entorno. De esta manera, por ejemplo, las paredes atenúan la señal. De manera correspondiente, la calidad de señal dentro de un hogar usualmente es peor que en exterior. El cambio en las propiedades de señal correlacionado con el entorno cambia lentamente en
 50 comparación con el desvanecimiento rápido. De manera correspondiente, esto se refiere como "desvanecimiento lento".
- [0008]** Usualmente, solo las propiedades del desvanecimiento rápido se consideran en el diseño del intercalador. Ya que los costes de memoria cada vez se vuelven menos, sin embargo incrementar intercaladores muy
 55 largos ahora se ha vuelto interesante. En este caso, las propiedades del desvanecimiento lento deben de considerarse en una proporción incrementada en el diseño del intercalador.
- [0009]** Lo siguiente puede mencionarse como ejemplos para desvanecimiento lento:
- 60 - Recepción móvil de señales de satélite. Para un automóvil en movimiento, el escenario de recepción cambia constantemente correspondiente a los entornos. Para cada escenario de recepción, pueden definirse tres estados de recepción.
- Hay un enlace en línea-de-visión al satélite (por ejemplo, carretera abierta). Esto se refiere como "estado de
 65 línea-de-vista" (LOS = line-of-sight state)

- Las señales se atenúan (por ejemplo, por árboles). Este estado a menudo se refiere como "estado de sombra"
- La señal se atenúa tan fuertemente que ya no será útil. Esto a menudo se refiere como "estado de bloqueo".

- Transmisión en redes celulares con transmisores de potencia de transmisión relativamente baja. En redes celulares, se logra la cobertura de área por muchos transmisores. Para este tipo de redes, debe reconocerse el hecho de que las condiciones de recepción cambian de forma relativamente rápida. Ya que la distancia de transmisor es pequeña, la distancia relativa del receptor puede cambiar rápidamente. En este caso, las propiedades de señal en los intercaladores largos pueden cambiar fuertemente ya dentro de la longitud del intercalador.

10 **[0010]** En el receptor, el intercambio de símbolos de código (=intercalado) realizado en el transmisor, se invierte de nuevo (=des-intercalado). Esto lleva al hecho de que errores de ráfaga que ocurren en la transmisión, se distribuyen como errores individuales a todo el bloque de datos tras el des-intercalador y, de esta manera, pueden corregirse más fácilmente por el decodificador FEC.

15 **[0011]** Se van a distinguir los siguientes tipos de intercalador:

- intercalador de convolución
- intercalador de bloques

20 **[0012]** Los intercaladores de convolución tratan con "intercalador inter-bloques", es decir los bloques se "difuminan" temporalmente de tal manera que bloques que estando en sucesión antes del intercalador se entremezclan tras el intercalador. Aquí, un bloque se forma de una o más palabras de código. La longitud de intercalador no depende del tamaño de bloque, sino del ancho del difuminado.

25 **[0013]** En un intercalador de convolución ejemplar, un bloque de símbolos de código FEC se divide por ejemplo, en cuatro bloques parciales de tamaño diferente por el intercalador y entremezclan con los bloques corriente arriba y/o corriente abajo.

30 **[0014]** Los intercaladores de convolución se caracterizan porque

- La salida del codificador FEC se divide en diversas corrientes de datos parciales mediante un des-multiplexor (des-multiplexer). El principio se ilustra en la Figura 7. Aquí, la corriente de datos usualmente se distribuye a las corrientes de datos parciales en la forma a modo de bits o en grupos de bits ("símbolos"). Cada corriente de datos parcial se retrasa entonces mediante línea de retraso (por ejemplo, implementadas mediante FFIFOs).

35 - Para sincronización del des-intercalador de convolución en el receptor, solo el des-multiplexor requiere ser sincronizado.

- La longitud de las líneas de retraso se puede escalar regularmente. Se puede seleccionar cualquier disposición, sin embargo, de tal manera que los símbolos sucesivos se encuentren lo más alejados posibles y las propiedades de canal por lo tanto no estén correlacionadas.

40 **[0015]** Los intercaladores de bloques tratan con "intercalado intra-bloques", es decir, el procesamiento se lleva a cabo a modo de bloques, con un bloque que consiste en una o más palabras de código. El tamaño de bloques define aquí la longitud de intercalador. Aquí, los códigos FEC sistemáticos se emplean frecuentemente; el bloque de datos contiene aquí información útil (= la información que se va a transmitir) y redundancia adicional, con el fin de poder
45 corregir errores de transmisión.

[0016] Se conocen diversos tipos de intercalado de bloques.

50 - El principio básico de un intercalador de bloques es que los elementos de un vector de datos o matriz se permuten, es decir intercambian.

- La variante del bloque que se toma para una matriz es mejor conocida. Una hilera aquí forma, por ejemplo, una palabra de código (por ejemplo, una palabra de código Reed-Solomon). La información se copia entonces en la matriz hilera por hilera y lee columna por columna en el transmisor/intercalador. Como un ejemplo se menciona aquí el Estándar de ETSI Standard EN301192, que se ilustra en la Figura 8.

55 **[0017]** La Figura 9 muestra la disposición de los datos útiles ("datos de aplicación"). La lectura o transmisión se lleva a cabo entonces en datagramas (datagram), con la Figura 9 que además muestra una disposición de matriz en hileras, donde la matriz tiene una cantidad de hileras igual a "número-de-hileras" (no_of_rows). Además, como un ejemplo, hay un número de columnas (columns) que se extienden desde un número 0 a un número 190. Con el fin de
60 rellenar la matriz, los así denominados bits de relleno (padding bytes) continúan (cont.) hasta los últimos bits de relleno (last padding bytes) se agregan después del último datagrama (last datagram).

[0018] Las propiedades de intercalador pueden, entre otras cosas, estar caracterizadas por los siguientes parámetros:

65

- Retraso extremo-a-extremo:

Este parámetro define el intervalo de tiempo entre el instante de tiempo cuando el símbolo está disponible en la entrada del intercalador hasta instante de tiempo cuando este símbolo está disponible en la salida del des-intercalador.

- Tiempo de Acceso (Receptor)

- 5 El intervalo de tiempo entre el instante de tiempo cuando el primer símbolo está disponible en la entrada del des-intercalador y el instante de tiempo cuando la palabra de código está disponible y decodificable en la entrada del decodificador FEC, es decir, a la salida del des-intercalador. Según la invención, solo se requiere esperar hasta que una parte suficientemente grande de la palabra de código esté disponible a la salida del des-intercalador, y no el tiempo completo del retraso extremo-a-extremo, siempre que los paquetes recibidos tengan una proporción de señal-a-interferencia suficiente. Este parámetro determina el tiempo entre conmutación en el receptor o conmutación a otro programa y la disponibilidad de la señal (por ejemplo, señal de audio o vídeo) para el usuario, por ejemplo, en un receptor de radio-difusión. La decodificación de, por ejemplo, una señal de vídeo bajo algunas circunstancias puede significar mayor retardo, que no debería llegar al tiempo de acceso sin embargo. En este aspecto, cabe destacar que un decodificador de audio o vídeo puede generar mayor retraso también tiene un efecto en servicios que no son
- 10 intercalados en tiempo.

- Requisito de memoria

El requisito de memoria se determina por la longitud de intercalador y el tipo de intercalador así como la representación seleccionada de señales en el transmisor o receptor.

- 20 **[0019]** Los conceptos de intercalador anteriormente descritos se caracterizan por buena codificación tanto dentro de una palabra de código o bloque y más allá de las fronteras de palabra de código en respecto temporal. Como se ilustra en la Figura 7, un cambio en el orden de los símbolos individuales en una palabra de código que entra en serie al des-multiplexor del lado de alimentación, se logra por los elementos de retraso en el intercalador exterior. Con respecto a la transmisión de estos datos, esto no tiene que ser codificación temporal aquí, sin embargo, pero también
- 25 puede lograrse con ellos codificación de frecuencia. Se logra codificación de frecuencia, por ejemplo, si la salida de corriente de datos del multiplexor en el extremo de lado derecho del intercalador exterior se convierte en paralelo-serie y asocia con un conjunto, por ejemplo, de 1024 soportes en un símbolo OFDM, de tal manera que se asocien siempre dos bits de la corriente de datos de lado de salida con un soporte si se utiliza mapeo QPSK, por ejemplo, de tal manera que una ocupación OFDM aloja 2048 bits en el orden como se generan por el intercalador exterior. Naturalmente, esto
- 30 significa que bits y/o símbolos FEC se disponen en otros soportes como si hubieran dispuesto si el intercalador exterior no estuviera presente, debido a los elementos de retraso en el intercalador exterior.

- [0020]** Un intercalador de convolución o intercalador de intercalado con retrasos, funciona de esta manera ya sea como un intercalador de tiempo o como un intercalador de frecuencia o tanto como un intercalador de tiempo y
- 35 frecuencia, dependiendo de la implementación subsecuente.

- [0021]** Es desventajoso en la estructura de intercalador mostrada en la Figura 7 que hay requisitos de alto gasto y alta necesidad de memoria tanto en el lado de transmisor como en el lado del receptor. Esta desventaja se vuelve cada vez más grave, cuanto más grande sean las palabras de código, es decir más bits se alimentan como un
- 40 bloque en un codificador FEC, y cada vez más bits se envían de salida como un bloque desde el codificador FEC, como se ilustra en la Figura 6, por ejemplo. Codificadores FEC siempre tienen velocidades de código más pequeñas que 1. Una velocidad de código 1/3, por ejemplo, significa que el número de bits en una salida de palabra de código del codificador FEC es tres veces el número de bits en una entrada de bloque de alimentación o palabra de información en el codificador FEC, como se establece en la Figura 6. El intercalador ahora va a realizar la mejor codificación
- 45 temporal y de frecuencia posible, de manera tal que un control de multiplexor y/o hablando en general "procesamiento" de sí mismo, se requiere por cada bit y/o por cada byte (dependiendo del esquema de codificación de la FEC).

- [0022]** Esto involucra directamente que se requiere un control de des-intercalador correspondiente en el lado del receptor por igual. Además, información de calidad, tal como un valor para una proporción de señal/interferencia
- 50 lograda, para una probabilidad de error de bits o una probabilidad para el valor del bit y/o byte, debe generarse para decodificar por cada bit y/o por cada símbolo, donde tales probabilidades se emplean especialmente en los así denominados decodificadores suaves. Mientras que esto no es tan crítico en palabras de código relativamente pequeñas sin embargo, el problema aumenta, cuanto más largas sean las palabras de código. Para complejidad de transmisor reducida y, particularmente, para complejidad de receptor reducido, que es particularmente crítica para
- 55 aplicaciones de radiodifusión, ya que los receptores son productos masivos y deben de ofrecerse de forma económica, esto significa que actualmente es deseable una longitud de palabra de código pequeña. Por otra parte, una longitud de palabra de código mayor proporciona mejores ventajas con propiedades de canal de variación lenta en tiempo, ya que una palabra de código puede ser "distribuida" sobre un periodo de tiempo más largo y/o un intervalo de frecuencia mayor.

- 60 **[0024]** El documento US 5 968 200 describe un dispositivo que utiliza un intercalado implícito para generar un intercalador sistemático, donde las ráfagas de errores no corregidas se distribuyen por el des-intercalador. Aquí, la memoria de transmisor se elimina esencialmente, a pesar del enfoque de intercalado utilizado. Como ejemplo se describen intercalados de bloques (de forma regular o al azar), intercalados de convolución (de forma regular y al azar)
- 65 y enfoques de intercalado de producto. En el receptor se retardan los datos entrantes, se corrigen y los símbolos de

información en los datos entrantes se suministran eventualmente de forma corregida en el mismo orden que los símbolos de información entrantes en el receptor.

[0025] El documento EP 0 844 741 A describe un dispositivo de corrección de errores con un decodificador para un código interno que emite una serie de datos decodificados e información de fiabilidad de los datos decodificados, un decodificador CRC (Cyclic Redundancy Check), un des-intercalador, un detector de posición de borrado y un decodificador de código externo equipado para la decodificación de un código externo. Cuando el código externo se decodifica, se utilizan no solo la serie de datos decodificados del código interno y su información de fiabilidad, sino también información de errores marco en base a CRC como señales de entrada.

[0026] La publicación especializada "Turbo Coding" de Heegard C. u. a., Kluwer International Series in Engineering and Computer Science, US, 1999, páginas 35 – 63, ISBN: 0-7923-8379-8 describe aspectos técnicos para el intercalado, tal como, por ejemplo, una estructura para intercalado, intercalador de bloques, intercalador multiplexor y aspectos para describir matemáticamente un intercalador.

[0027] La publicación especializada "Soft decision multi-user iterative decoding using a block turbo code for SFH/SSMA" de Sharma N. y col., Personal, Indoor and Mobile Radio Communications, 2000, PIMRC 2000, US, vol. 1, páginas 736 – 740, 18 de septiembre de 2000, ISBN: 0-7803-6463-5 describe para un acceso múltiple de espectro ensanchado (SSMA) con salto de frecuencia lenta (SFH) una demodulación común con decodificación interactiva mediante un demodulador con función de decisión utilizando un código Reed-Solomon como código de corrección de errores hacia arriba (FEC).

[0028] El objeto de la presente invención consiste en proporcionar un concepto de transmisión eficiente, y por lo tanto bien manejable, que también proporcione sin embargo buenos resultados para los canales con propiedades de canal lentamente variantes.

[0029] Este objeto se logra por un transmisor según la reivindicación 1, un procedimiento para generar una señal de transmisión según la reivindicación 10 o un programa de ordenador según la reivindicación 11.

[0030] La presente invención se basa en el hallazgo de que puede mantenerse una buena eficiencia también en el caso de incrementar palabras de código, si el dispositivo intercalador proporciona la tarea del intercalador de convolución no realiza un intercalado a modo de símbolo FEC, sino que trabaja con unidades de intercalado (IU = interleaving units), donde una unidad de intercalado comprende al menos dos símbolos FEC. En ciertos codificadores FEC, un símbolo FEC es un bit. En este caso, una unidad de intercalado o intercaladora comprende al menos dos bits. En otros codificadores FEC, un símbolo FEC es un byte. Entonces, una unidad de intercalado incluye al menos dos bytes. La palabra de código que comprende una secuencia de unidades de intercalado, con cada unidad de intercalado que tiene asociados al menos dos símbolos, de esta manera se alimenta en los medios de intercalado para obtener una palabra de código intercalada que tiene una secuencia cambiada de unidades de intercalado. En particular, el intercalado se realiza de tal modo que un orden de los símbolos dentro de una unidad de intercalado no se cambie mientras que la secuencia de las unidades de intercalado se cambia de tal forma que al menos una unidad de intercalado de una palabra de código precedente o subsecuente está dispuesta entre dos unidades de intercalado de una y la misma palabra de código, o que un orden de unidades de intercalado en la palabra de código intercalado es diferente de un orden de la secuencia de unidades de intercalado de la palabra de código antes de procesamiento por el medio de intercalado.

[0031] El intercalado que se logra de esta manera se ajusta en escala, ya que el número de símbolos en una unidad de intercalado puede ajustarse arbitrariamente. En otras palabras, un intercalador existente de forma fija o diseñado de forma fija, que trabaja en unidades de intercalado y no más en símbolos, la longitud de palabra de código puede incrementarse o disminuirse arbitrariamente. Para ello, las estructuras intercaladoras no tienen que cambiarse. Solo se debe cambiar el número de símbolos en una unidad de intercalado. Con un número fijo de tomas o derivaciones de intercalador, puede procesarse una mayor palabra de códigos cuando el número de símbolos en una unidad de intercalado se incrementa, mientras que el número de símbolos en una unidad de intercalado puede reducirse cuando se van a procesar menores palabras de código. Cuanto mayor sea el número de símbolos en una unidad de intercalado, más eficiente se vuelve el procesamiento en el lado receptor y también del transmisor. Por otra parte, con un número creciente de símbolo en una unidad de intercalado, el efecto favorable del intercalado de convolución puede subsistir. Este efecto puede debilitarse, sin embargo, si corriente arriba del intercalador de convolución se conecta un intercalador de bloque que no trabaja en forma a modo de unidad de intercalado, sino que de hecho realiza intercalado de bloques en forma a modo de símbolo FEC antes de formar las unidades de intercalado. En la presente invención, un intercalador de bloque y un intercalador de convolución se combinan de esta manera, donde el intercalador de bloque trabaja a modo de símbolo a través de todo el bloque, sin embargo, mientras que el intercalador de convolución solo trabaja a modo de unidad de intercalado y no a modo de símbolo.

[0032] Según la invención, todo el receptor puede cambiarse ahora a procesamiento a modo de unidad de intercalado. Por lo tanto, información suave, por ejemplo, información secundaria, asociada con una unidad de intercalado recibida, no debe determinarse más a modo de símbolo, sino solo a modo de unidad de intercalado. Si una

unidad de intercalado tiene ocho símbolos, por ejemplo, esto significa una reducción de ocho veces el coste del receptor.

[0033] Además, la gestión de memoria puede simplificarse de manera significativa no solo del lado del transmisor, sino también del lado del receptor, ya que las memorias pueden leerse hacia el interior y leerse hacia el exterior substancialmente de forma más rápida en ráfagas, donde una ráfaga es especialmente eficiente cuando se refiere a direcciones de memoria adyacentes. Ya que el orden dentro de una unidad de intercalado no se cambia, una unidad de intercalado, por lo tanto, se puede leer hacia fuera especialmente de forma eficiente por una memoria receptora a modo de tipo ráfaga para realizar la funcionalidad del intercalado. Las unidades de intercalado individuales sin duda se disponen en diferentes direcciones de memoria, que bien pueden estar distribuidas alejadas en la memoria. Los símbolos dentro de una unidad de intercalado, sin embargo, son contiguos y de esta manera se archivan de manera contigua en la memoria de receptor, ya que el intercalador de convolución del lado del transmisor no toca el orden de los símbolos dentro de una unidad de intercalado.

[0034] Otras ventajas de la presente invención consisten en que el coste de la gestión y el coste de memoria para la información lateral se reducen fuertemente en el lado de receptor, ya que la información lateral solo debe generarse, gestionarse y emplearse por una unidad de intercalado y no más por cada símbolo individual. Además, en unidad de intercalado, también puede determinarse si el decodificador, en el caso de calidad de transmisión relativamente buena, tiene datos suficientes para realizar decodificación baja en error o libre de error ya después de un cierto tiempo y/o después de un cierto número de unidades de intercalado recibidas. Después, otras unidades de intercalado pueden ignorarse y marcarse fácilmente como los así denominados "borrados" en el receptor. Esto lleva a una reducción significativa en el retraso de extremo-a-extremo.

[0035] Además, una gestión eficiente de energía puede realizarse con esto, ya que el receptor o la parte relevante del receptor puede colocarse en modo de reposo, ya que ya se han recibido suficientes unidades de intercalado para decodificación correcta.

[0036] Además, también puede lograrse mejor tiempo de acceso de receptor, ya que el receptor está ya listo cuando tiene suficientes unidades de intercalado, y empieza con decodificación, y no está lista primeramente luego cuando se decodifica una palabra de código completa.

[0037] De preferencia se emplean bloques de alimentación, es decir, palabras de información con una longitud mayor a 5.000 símbolos, y de preferencia con más de 10.000 símbolos. A una velocidad de codificación de 1/3, por ejemplo, el codificador FEC proporciona entonces palabras de código de más de 15.000 símbolos. En general, se emplea un tamaño de palabra de código a la salida del codificador FEC de más de 10.000 bits. Las unidades de intercalado preferidas no solo tienen entonces al menos dos bits/símbolos, sino al menos 100 símbolos, de tal manera que un número de unidades de intercalado por palabra de código es más pequeño de 200 y, de forma óptima, está en el intervalo entre 10 y 50.

[0038] Las realizaciones preferidas de la presente invención se explicarán con mayor detalle a continuación con respecto a los dibujos adjuntos, donde:

Figura 1 es una ilustración de principio del concepto intercalador;
 Figura 2 muestra una realización preferida de un transmisor según la invención;
 45 Figura 3 muestra un ejemplo de un receptor;
 Figura 4 es una ilustración funcional de la estructura de receptor de la Figura 3;
 Figura 5 muestra un ejemplo de una rutina de procesamiento de procesador para incrementar la eficiencia de receptor;
 Figura 6 es una ilustración de principio de una combinación de un codificador FEC y un intercalador;
 Figura 7 muestra un intercalador de convolución de DVB-T EN 300744;
 50 Figura 8 muestra una estructura de intercalador de bloques según EN 301192;
 Figura 9 muestra una disposición de los datos útiles "datos de aplicación", donde se lleva a cabo lectura hacia fuera y/o transferencia en datagramas;
 Figura 10 muestra una realización preferida del aparato intercalador con tres grupos de líneas de conexión con diferentes retrasos;
 55 Figura 11 muestra un perfil de intercalador igual; y
 Figura 12 muestra un perfil de intercalador igual/posterior (equal/late) adecuado para un canal de transmisión con buenas condiciones de recepción y permite corto tiempo de acceso (acceso rápido).

[0039] Antes de explicar las figuras individuales en detalle, al principio se ilustrarán ventajas especiales del dispositivo intercalador preferido, como se describirá en base a la Figura 1. Particularmente, en el caso de intercaladores de convolución largos, la presente invención permite una realización eficiente, que obtiene sus ventajas particulares no solo por sí mismas sino también en combinación con estrategias de decodificadores especiales.

[0040] La meta de la invención es un transmisor con una estructura de intercalador que permite una realización eficiente, particularmente en intercaladores de muy largo tiempo. La estructura es ventajosa en relación con las

estrategias de decodificador.

[0041] Las estrategias de decodificador pueden subdividirse en los siguientes grupos.

- 5 - Sin información de estado de canal.
Errores deben ser reconocidos y corregidos sin información adicional.
 - Decodificación suave
La probabilidad de un error de transmisión puede estimarse para cada bit o símbolo.
 - Decodificación de borrado
- 10 Se conoce que no se ha recibido ningún símbolo. Esta forma puede verse como un caso especial de decodificación suave. Para un bit o byte que no se ha recibido (o un bit o byte con proporción de señal/interferencia extremadamente baja), casi se "adivina", es decir, la probabilidad de que el bit sea un "0" o un "1" se ajusta al 50 % cada uno.

[0042] La estructura seleccionada ofrece particularmente ventajas para decodificación suave y decodificación de borrado. La estructura seleccionada tiene las siguientes ventajas:

- La información de estado de canal necesaria para la decodificación de borrado o suave se forma respectivamente para un bloque (unidad de intercalado = IU) y se almacena en conjunto con la IU.
 - La información de estado de canal también puede emplearse para reducir el requisito de memoria. De esta manera, es posible, por ejemplo, que solo se almacenen los datos que tienen suficiente calidad de señal.
 - Ya que las IU de varios bits (típicamente al menos 100 o más) se gestionan como un bloque en el receptor, es posible emplear, por ejemplo, chips de memoria modernos, que usualmente soportan un acceso a un bloque de datos de manera más eficientemente que un acceso selectivo a celdas de memorias individuales.
 - La estructura también permite una mejor gestión de la memoria en el caso de un cambio de programa o al conmutar encendido el receptor. Con el fin de evitar que datos del programa antiguo (= previamente seleccionado) y el nuevo programa se mezclen, la memoria se debe eliminar en el caso de un cambio de programa (o se espera hasta que la memoria se llena con nuevos datos). Con la estructura propuesta, es suficiente si solo la información de cambio de canal se ajusta a "borrado".
- 30 **[0043]** La presente invención describe una estructura intercaladora y estrategias de decodificador adjuntas, en particular son relevantes para sistemas con intercaladores de largo tiempo.

[0044] En relación con los códigos de corrección de error de baja velocidad, el intercalador permite transmisión segura también en el caso de canales fuertemente variantes en tiempo, como es típico, por ejemplo, en transmisiones de satélite o también redes terrestres celulares. Con adecuados parámetros y estrategias de decodificador, muchas de las desventajas típicas de intercaladores también se reducen, por ejemplo, el superior tiempo de acceso y el mayor requisito de memoria.

[0045] Esto se logra porque los datos sean adicionalmente procesados como pequeños paquetes de datos (IU), por una parte. Esto (como ya se mencionó con anterioridad) permite un manejo más eficiente de los datos. Con el fin de lograr completa ganancia de intercalador, sin embargo, es ventajoso que los datos se intercalen a modo de bits. Esto se logra mediante un así denominado mezclador.

[0046] A través de la concatenación de los dos intercaladores, las ventajas de intercalado a modo de bits de esta manera se combinan con la implementación más eficiente de procesamiento orientado a paquete de datos.

[0047] La Figura 1 muestra un aparato intercalador para procesar varias palabras de código CW1, CW2, CW3, que se disponen secuencialmente en tiempo y forman una corriente de datos de salida de un codificador FEC, como se ilustra en la Figura 6, por ejemplo. De manera alternativa, las palabras de código ya pueden ser también palabras de código que se emiten desde un intercalador de bloques o "mezclador", como se explicará con referencia a la Figura 2. Cada palabra de código se divide en una cantidad de unidades de intercalado IU, con cada unidad de intercalado que tiene dos índices, a saber, el índice i y el índice j, para propósitos de notación solamente. El índice i indica el número de secuencia de la palabra de código en la secuencia de palabra de código, mientras que el índice j indica el número de secuencia de la unidad de intercalado en la propia palabra de código i. De manera importante, cada unidad de intercalado incluye varios símbolos, es decir, varios bits o bytes, dependiendo del codificador FEC, donde el número de bits o bytes, es decir, hablando en general, el número de símbolos en una unidad de intercalado, de preferencia es mayor de 50 y menor de 400.

[0048] Además, el número de símbolos en una unidad de intercalado, depende de la longitud de palabra de código, de tal manera que se prefiere que cada palabra de código de preferencia tenga al menos 50 o incluso más unidades de intercalado. Por razones de claridad solamente, se muestran palabras de código con solo cuatro unidades de intercalado en la realización que se muestra en la Figura 1.

[0049] Una palabra de código se deriva de un bloque de alimentación de símbolos en un codificador FEC utilizando codificación de adición de redundancia, donde la palabra de código comprende más símbolos que el bloque

de alimentación lo que es sinónimo con la declaración de que la velocidad de códigos del codificador de adición de redundancia es menor que 1. La palabra de código comprende una secuencia de unidades de intercalado, con cada unidad de intercalado que comprende al menos dos símbolos.

5 **[0050]** El aparato intercalador incluye, como su corazón, medios de intercalado 10 formados para cambiar la secuencia de las unidades de intercalado en una palabra de código para obtener una palabra de código de intercalado que comprende una secuencia cambiada de unidades de intercalado. En particular, la unidad de intercalado 10 se forma para no cambiar un orden de los símbolos dentro de una unidad de intercalado, y para cambiar la secuencia de las unidades de intercalado de tal manera que al menos una unidad de intercalado de una palabra de código
10 precedente o subsecuente se dispone entre dos unidades de intercalado de la palabra de código, y/o que un orden de unidades de intercalado en la palabra de código intercalada es diferente de una orden de la secuencia de unidades de intercalado. De preferencia, los medios de intercalado se forman para tener un des-multiplexor de alimentación 11, una pluralidad de líneas de conexión 12 y multiplexor de salida 13. Después de alimentar una cantidad de unidades de intercalado completas a una línea de conexión, el multiplexor de alimentación se forma para conmutar a otra línea
15 de conexión, donde el número de unidades de intercalado completas es igual o mayor que 1.

[0051] Además, en la realización que se muestra en la Figura 1, la primera línea de conexión 12a tiene un valor de retraso de substancialmente cero. De esta manera, no está dispuesto ningún elemento de retraso por sí mismo en forma de una memoria FIFO o una línea de retraso especial. Por otra parte, la segunda línea de conexión 12b tiene
20 un retraso definido D, donde la siguiente línea de conexión 12c tiene otro retraso definido, que se forma por los dos medios de retraso D y difiere del retraso en el bloque 12b. El retraso en la línea de conexión 12c solo a modo de ejemplo es dos veces aquel en la línea de retraso 12b. Pueden ajustarse proporciones de retraso arbitrarias, pero con un rastreado o barrido entero preferido al menos entre un cierto números de líneas de conexión de la pluralidad de líneas de conexión, como se detallará en conexión con la Figura 10, donde la realización que se muestra en la Figura
25 10 comprende una pluralidad de líneas de conexión que comprende al menos dos y en el ejemplo de realización mostrado en la Figura 10 incluso tres grupos de líneas de conexión entre los mismos, que se caracterizan por valores de retardo comunes especiales.

[0052] La Figura 2 muestra una realización preferida para un transmisor, donde la incrustación del aparato intercalador de la Figura 1 en un concepto transmisor también resulta de la Figura 2. El aparato transmisor mostrado en la Figura 2 incluye el aparato intercalador, que se designa con 20 en la Figura 2, así como un codificador FEC corriente arriba 22, al igual que un multiplexor corriente abajo 24 y un modulador 26 corriente abajo del multiplexor. El aparato intercalador 20 también incluye la unidad de intercalado 10 que se muestra en la Figura 1, en la realización preferida que se muestra en la Figura 2. Esta unidad de intercalado 10 se refiere como "dispersor" en la Figura 2, pero
35 principalmente tiene la misma funcionalidad que la unidad de intercalado 10 en la Figura 1. Corriente arriba del dispersor 10, hay un mezclador 18, que también está contenido en el aparato de intercalado 20, con el fin de realizar, antes del procesamiento a modo de unidad de intercalado en el dispersor, una función de intercalado de bloques, donde se realiza el intercalado a modo de símbolos, como cambio del orden de los símbolos en una salida de palabra de código del codificador FEC 22.

40 **[0053]** La estructura de receptor complementaria se ilustra en la Figura 3. La señal de alimentación se suministra a un des-modulador 30 que alimenta un des-multiplexor 32 capaz de extraer información adicional y diversas corrientes de datos de la señal de alimentación. Solo a modo de ejemplo, el procesamiento de la corriente de datos se representa con el número i, donde esta corriente de datos es la corriente de datos que se han generado en el ejemplo mostrado en la Figura 2. El procesamiento en el lado transmisor y en el lado del receptor para otras corrientes de datos k, j, que son otros programas de televisión o radio difusión u otras conversaciones, por ejemplo, puede llevarse a cabo en un lado de transmisor y receptor, justo como el procesamiento de la corriente de datos i. La corriente de datos i, que se ha extraído por el multiplexor 32, se suministra a un des-dispersor 34, que suministra unidades de intercalado (IU) a un des-mezclador 36, que entonces restaura las palabras de código individuales, que
50 pueden entonces suministrarse a un decodificador FEC 38, con el fin de crear de nuevo, si la transmisión ha sido suficiente y/o si se ha agregado suficiente redundancia, una reproducción del bloque de alimentación de símbolos idénticos – aparte de errores de bits – con el bloque de alimentación de los símbolos que se han alimentado en el codificador FEC 22 de la Figura 2 en el lado del transmisor.

55 **[0054]** El codificador FEC 22 sirve para adición de redundancia a la señal de alimentación. Para este objetivo son adecuados, por ejemplo, códigos poderosos, tales como códigos turbo, como se conocen, por ejemplo, de la norma 3GPP2, o códigos LDPC, como se conocen, por ejemplo, de la norma DVB-S2. Sin embargo, también pueden emplearse otros códigos. La salida del codificador FEC 22, es una palabra de código. El uso de palabras de código relativamente largas, que típicamente son mayores a 10.000 bits, es ventajoso para la calidad de transmisión.

60 **[0055]** El mezclador 20 es un tipo de intercalador de bloques que intercambia el orden de los bits dentro de una palabra de código a modo de símbolos, es decir a modo de bits o a modo de byte. Inmediatamente después se lleva a cabo el multiplexado en unidades de intercalado. La salida del mezclador se subdivide en unidades de intercalado (IU). Una unidad de intercalado es un grupo de bits o bytes, o generalmente un grupo de símbolos.
65 Típicamente, una palabra de código deberá subdividirse en aproximadamente 20 unidades de intercalado o más. A

un tamaño de palabra de código mayor a 10.000 bits resultan 200 o más bits por unidad de intercalado.

[0056] El dispersor 10 representa un tipo de intercalador de convolución que sirve para distribuir las unidades de intercalado en tiempo. En contraste con intercaladores de convolución normales, la conmutación no se lleva a cabo a modo de bits o a modo de símbolos, sino a modo de unidades de intercalado.

[0057] La salida del dispersor 10 puede entonces multiplexarse con otros datos, como se ilustra en la Figura 2, es decir información adicional, otros programas o grupos de programas.

10 **[0058]** El modulador 26 genera entonces de ahí una señal RF. Pueden emplearse diferentes moduladores. Aquí, OFDM o una modulación de soporte con modulación n-PSK se mencionan solo como ejemplos.

[0059] El receptor que se muestra en la Figura 3 incluye el des-modulador 30, que comprende medios de sincronización adjuntos. Además, puede realizarse una sincronización de cuadro si el des-modulador no utiliza ninguna estructura de cuadro o utiliza otra longitud de cuadro. La sincronización de cuadro sirve para sincronizar el des-multiplexor y el des-intercalador.

[0060] El des-multiplexor 32 proporciona una corriente de datos con una serie de unidades de intercalado en su salida. Además, también se realiza una estimación de estado de canal, como se explicará con referencia a la Figura 4. Aquí, el estado de canal se estima no a modo de símbolos, sino a modo de unidad de intercalado o – hablando en general – una pieza de información de calidad de recepción se proporciona por unidad de intercalado, de alguna forma que proporciona una declaración respecto a la fiabilidad o calidad de recepción de una unidad de intercalado como un todo. Estados de canal, proporciones de señal a interferencia velocidades de errores de bit, etc. son esta información de calidad recepción. Ninguna información de calidad de recepción se determina o utiliza por símbolo.

25 **[0061]** La corriente de datos se suministra al des-dispersor, que aún se explicara, y que se implementa mediante gestión de memoria, por ejemplo. A la salida del des-dispersor se realiza el multiplexado de nuevo para generar, a partir de las unidades de intercalado a la salida del des-dispersor, palabras de código entonces sometidas a des-intercalado de bloque en un des-mezclador 36, para entonces finalmente realizar una decodificación en el decodificador FEC 38, por ejemplo, decodificación Viterbi o cualquier otro tipo de decodificación. Hablando en general, el des-dispersor 34 realiza una operación complementaria a la funcionalidad del dispersor 10, y el des-mezclador 36 realiza una operación complementaria a la operación del mezclador 18. Los elementos del lado del receptor 34 y 36, sin embargo, no siempre tienen que procesar palabras de código completas sino que también pueden reemplazar ciertas unidades de intercalado con borrado, como se explicará todavía de forma subsecuente, de tal manera que las operaciones de des-intercalador de los elementos 34 y 36 se realicen entonces utilizando la información de borrado, y sin utilizar las unidades de intercalado actualmente recibidas.

[0062] Subsecuentemente, el mezclador 18 se explicará con mayor detalle.

40 **[0063]** El mezclador es un intercalador de bloques que permuta los bits dentro de un bloque más corto, por ejemplo, una palabra de código.

[0064] En un esquema intercalador con un dispersor, el des-mezclador sirve para distribuir los errores de ráfaga que ocurren de manera inevitable tras el des-dispersor debido al intercalado a modo de IU lo más favorable posible sobre un bloque, por ejemplo, de manera uniforme sobre una palabra de código, de tal manera que el proceso de decodificación proporciona mejores resultados.

[0065] En una realización, el intercalado de bits de alimentación $a[i]$ a bits de salida $b[i]$ se lleva a cabo de manera correspondiente a la siguiente fórmula:

$$b[i] = a[(CILM_Inc * i) \bmod \text{codewordLen}],$$

donde

codewordLen es la longitud de palabra de código,
55 CILM_Inc es un parámetro configurable, y
mod es la operación módulo.

[0066] Subsecuentemente, se explicará el dispersor 10 de la Figura 2, así como también generalmente se ilustra en la Figura 1.

60 **[0067]** El intercalador de tiempo actual (posiblemente también empleado como intercalador de frecuencia) es el dispersor. Distribuye los bloques (por ejemplo, palabras de código) que se emiten por el mezclador con el tiempo (y/o sobre frecuencia). El dispersor es un intercalador de convolución que no trabaja a modo de bits sino a modo de bloques. Debido al funcionamiento a modo de bloques tiene sentido el uso de un mezclador (véase arriba)

[0068] Las ventajas del intercalado a modo de bloques se verán entre otras cosas en el receptor:

- El des-intercalado usualmente se lleva a cabo al almacenar los datos de entrada en un almacenamiento intermedio y subsecuentemente a la lectura en el orden de des-intercalado. Un almacenamiento y lectura a modo de bloques permite un control eficiente de la memoria. Una memoria de acceso aleatoria (RAM) dinámica puede escribir y leer después de todo bastante más rápido en ráfagas que cuando se accede de manera no contigua a bytes individuales. De esta manera, en el caso de intercalado a modo de bloques (a) puede proporcionarse una memoria más lenta/más económica que en el caso de intercalado a modo de bits o (b) la memoria puede compartirse de mejor manera con otros usuarios (arbitraje de una memoria compartida), de tal manera que son necesarios menos paquetes de memoria. En ambos casos se pueden lograr ahorros en el coste.

- La gestión de los datos de recepción en el des-intercalador se lleva a cabo de manera más eficiente: información de estado de canal (por ejemplo, la estimación de la proporción de señal-interferencia) solo debe almacenarse por IU, en lugar de por cada símbolo/bit; de esta manera se ahorra espacio de memoria. Además, el almacenamiento a modo de IU permite que la gestión del intercalador elimine IU individuales cuando no se requieren, por ejemplo, cuando suficientes IU "buenas" (difícilmente perturbadas) se han recibido de una palabra de código, IU "malas" no tienen que almacenarse más, y las ya recibidas pueden liberarse fácilmente mediante gestión de intercalador inteligente. La gestión de intercalador inteligente aquí significa que una unidad de control de intercalador mantiene información lateral en cada IU almacenada en una tabla, con el fin de optimizar el resultado de decodificador y la memoria necesaria. La unidad de control de intercalador siempre puede determinar que IU se requieren en el proceso de decodificación adicional, y cuáles no. Para la decodificación, las IU no almacenadas deben reemplazarse por borrados. El des-mezclador por lo tanto obtiene una cantidad de borrados para estas IU del des-dispersor.

[0069] La Figura 10 muestra la estructura de principio del intercalador de convolución en el dispersor para una realización. El intercalador mostrado tiene líneas de retraso irregulares.

[0070] El dispersor incluye líneas de retraso no paralelas nollvTaps, donde nollvTaps corresponde al tamaño de bloques en la salida del mezclador dividido por el tamaño de una IU (IU_Len a continuación). Las líneas se alimentan una tras otra por un des-multiplexor (DEMUX). La alimentación de este des-multiplexor es una corriente de bits de código o símbolos de la salida del mezclador. El DEMUX alimenta cada línea de retraso exactamente con una unidad de intercalado (IU), que corresponde a bits de código IU_Len o símbolos de la salida del mezclador. Después, el DEMUX conmuta a la siguiente línea y así en adelante. Al inicio de un bloque procesado por el mezclador (por ejemplo, una palabra de código) el DEMUX siempre conmuta a la primera línea (índice 0). El fin de un bloque se alcanza cuando el DEMUX ha alimentado una IU en la última línea (índice nollvTaps-1).

[0071] El intercalador mostrado puede configurarse mediante los siete parámetros de nollv-Taps, middleStart, lateStart, tapDiffMult, earlyTapDiff, middleTapDiff, lateTapDiff.

[0072] Cada línea incluye elementos de retraso. Hay tres elementos posibles, como puede verse en la Figura 10:

- Retraso "E" incluye $\text{tapDiffMult} * \text{earlyTapDiff IU}$ (es decir, bits/símbolos $\text{tapDiffMult} * \text{earlyTapDiff} * \text{IU_Len}$).
- Retraso "M" incluye $\text{tapDiffMult} * \text{middleTapDiff IU}$.
- Retraso "L" incluye $\text{tapDiffMult} * \text{lateTapDiff IU}$.

[0073] A la salida de las líneas, un multiplexor (MUX) recolecta las salidas de los elementos de retraso. Su conmutación de las líneas se sincroniza perfectamente con el DEMUX.

[0074] La salida del MUX de esta manera es una corriente de IU de los bloques intercalados o palabras de código.

[0075] Las IU en la primera línea (índice 0) están siempre sin retraso. Todas las otras IU con índice $0 < i < \text{nollvTaps}$ del bloque/palabra de código se retrasan como sigue con respecto a la primera IU (véase también la Figura 10):

- para $0 \leq i < \text{middleStart}$: El retaso en bloques/palabras de código es $i * \text{tapDiffMult} * \text{earlyTapDiff}$
- para $\text{middleStart} \leq i < \text{lateStart}$: El retaso en bloques/palabras de códigos es $(\text{middleStart}-1) * \text{tapDiffMult} * \text{earlyTapDiff} + (i - \text{middleStart}+1) * \text{tapDiffMult} * \text{middleTapDiff}$
- para $\text{lateStart} \leq i < \text{nollvTaps}$: El retaso en bloques/palabras de códigos es $(\text{middleStart}-1) * \text{tapDiffMult} * \text{earlyTapDiff} + (\text{lateStart} - \text{middleStart}) * \text{tapDiffMult} * \text{middleTapDiff} + (i - \text{lateStart}+1) * \text{tapDiffMult} * \text{lateTapDiff}$.

[0076] Por esta razón, las primeras middleStart IU ("parte temprana") del bloque/palabra de código se distribuyen de manera diferente en el tiempo que las IU medias (lateStart - middleStart) ("parte media") y las últimas IU (nollvTaps - lateStart) de nuevo se distribuyen de manera diferente:

- La distancia entre IU de la parte temprana, que pertenecen al mismo bloque/palabra de código antes del intercalado, entonces es $\text{tapDiffMult} * \text{earlyTapDiff}$,
- la distancia entre IU de la parte media es bloques/palabras de código $\text{tapDiffMult} * \text{middleTapDiff}$,
- la distancia entre IU de la última parte es bloques/palabra de código $\text{tapDiffMult} * \text{lateTapDiff}$,

[0077] Al configurar los 7 parámetros intercaladores, es posible seleccionar el perfil intercalador apropiado, es decir, una distribución favorable del contenido de un bloque/palabra de código con el tiempo (y/o frecuencia). Por ejemplo, muchas IU pueden transmitirse con un corto retraso en la última parte, si esto es conveniente, o las IU pueden distribuirse de manera uniforme sobre un periodo de tiempo, determinado o ambos pueden combinarse, etc.

[0078] La Figura 10 muestra una realización preferida del aparato intercalador previamente descrito, que también se refiere como un dispersor. En particular, el aparato intercalador o medio de intercalado del aparato intercalador mostrado en la Figura 10 incluye el multiplexor de alimentación 11, que se forma como des-multiplexor y se designa como DEMUX en la Figura 10. Además, está presente el multiplexor de salida 12, que se designa como MUX en la Figura 10. Entre los dos multiplexores 11 y 12, hay una pluralidad de líneas de conexión, que se subdividen en tres grupos en el ejemplo de realización mostrada en la Figura 10, como ya se describió. El primer grupo es la parte temprana 12b. La segunda parte es la parte media 12e, y el tercer grupo es la parte tardía 12f.

[0079] Cada línea de retraso y/o línea de conexión con retraso, excepto por la primera línea de conexión 12a, tiene una cierta unidad de retraso, donde las unidades de retraso, sin embargo pueden configurarse de manera diferente en los tres grupos, es decir mediante el parámetro earlyTapDiff para el grupo 12d, mediante el parámetro middleTapDiff para el grupo 12e y el parámetro lateTapDiff para el grupo 12f.

[0080] La Figura 10 muestra además que el retraso aumenta por un incremento (E, M o L) de la línea de conexión (derivación o ficha) a la línea de conexión, de tal manera que, por ejemplo, la línea de conexión Tap middleStart-1 tiene un número de elementos de retraso $\text{Tap middleStart-1 E}$. Además, cada línea de conexión del segundo grupo 12e tienen el mismo número de unidades de retraso E que la última línea de conexión del primer grupo, así como adicionalmente un número de M retrasos que aumentan de la línea de conexión a línea de conexión. De manera correspondiente, cada línea de conexión del último grupo también tiene el mismo número de retrasos E que la última línea de conexión del primer grupo y el mismo número de retrasos M que la última línea de conexión del segundo grupo, así como una cantidad de elementos de retraso L que aumentan de línea de conexión a línea de conexión.

[0081] El primer grupo y el segundo grupo y el tercer grupo incluye cada uno líneas de conexión, donde cada una de estas líneas de conexión, excepto por la última primera línea de conexión del primer grupo, tiene una cantidad definida de retraso o un múltiplo entero de la cantidad definida de retraso, donde la cantidad definida de retraso, es decir, el incremento E, M, L, puede diferir de grupo en grupo y de manera importante se configura por parámetros de control individuales, como se ha explicado previamente. Puede verse en la Figura 10 y la descripción de E, M y L que el rastreo básico es la longitud de la unidad de intercalado, es decir, IU_Len . Si una unidad de intercalado tiene de esta manera, por ejemplo, 20 símbolos, cada retraso E, M, L es un múltiplo entero de este retraso, que corresponde a una longitud de una unidad de intercalado IU_Len . El retraso correspondiente a toda una unidad de intercalado se da por la duración de periodo del reloj de procesamiento multiplicado por el número de bits o símbolos, donde el reloj es un reloj de bit en el caso de procesamiento de bits, y donde el reloj es un reloj de byte en el caso de procesamiento de bytes como símbolos.

[0082] Subsecuentemente, se ilustrará un ejemplo de configuración particular.

Parámetros FEC

[0083] Un código turbo correspondiente a la norma 3GPP2 se utiliza como codificador FEC.

Bits por bloque en la alimentación del codificador FEC (incluyendo 6 bits de cola)	12.288 bits	bits
Velocidad de código R	1/4	
Número de bits en la salida del codificador FEC	49.152 bits	bits
Tamaño de una IU	512 bit	bits
Número de IU por palabra de código	96	

Configuración de mezclador

[0084] codeWordLen es 49.152 bits y CILM_Inc es 217.

Configuración de dispersor

[0085] Los siguientes subcapítulos muestran diversas configuraciones que representan diferentes perfiles de intercalador, y por lo tanto diversos casos de aplicación.

Dispersión igual (Figura 11)

[0086] Las IU que pertenecen a un bloque (o palabra de código) se distribuyen igualmente con el tiempo, es decir, la distancia entre las IU es la misma a la salida del dispersor.

[0087] Esta configuración tiene sentido si el canal de transmisión produce breves interrupciones al azar (estado de canal malo) y después casi perturba aleatoriamente las IU individuales. En particular, esta configuración tiene sentido a velocidades de código superiores.

[0088] Una configuración posible es utilizar solo la parte temprana, es decir $\text{middleStart} = \text{nollvTaps}$.

Temprano/tardío

[0089] Las IU de un bloque se transmiten en dos ráfagas (temprano y tardío), entre las cuales hay un intervalo de tiempo donde no se transmiten IU de este bloque o muy raramente.

[0090] Esta configuración debería emplearse si el canal de transmisión produce interrupciones muy largas (por ejemplo, cuando se conduce bajo un puente o a través de un túnel). Aquí, en el caso de buena recepción, la parte temprana o tardía deberá ser suficiente por sí misma para poder decodificar el bloque. Si este es el caso, la interrupción se permite que sea máxima siempre que el intervalo entre temprano y tardío, sin fallo ocurran en la decodificación de este bloque.

[0091] Para parametrización de esta configuración, middleStart y $\text{nollvTaps-lateStart}$ (número en la parte temprana y/o tardía) deberá ser mayor de $\text{lateStart-middleStart}$ (tamaño de la parte media). Para la transmisión tipo ráfaga, earlyTapDiff y lateTapDiff deberán seleccionarse a cero, mientras que tapDiffMult y middleTapDiff deberán ser máximas, con el fin de extender las IU lo máximo posible en la parte media.

Igual/tardío (Figura 12)

[0092] Una parte de las IU se transmite de acuerdo con la estrategia de "dispersión igual" (véase arriba), el resto viene a modo tipo ráfaga como la parte tardía.

[0093] En este caso, la parte tardía debe incluir un número suficiente de IU, de tal manera que sola sea suficiente para decodificación libre de errores, en el caso de buenas condiciones de recepción. De esta manera, este perfil de intercalador es adecuado para rápido acceso, de tal manera que el tiempo de acceso pueda mantenerse bajo a pesar de un largo intercalador. Las restantes IU en la parte igual se supone que ofrecen la protección de fallos al azar de IU (véase "dispersión igual").

[0094] La parametrización puede llevarse a cabo de manera similar a lo anterior para las partes temprana, media y tardía.

Temprano/igual

[0095] Esta configuración es una imagen especular temporal de la configuración "igual/tardía", es decir, hay una parte temprana tipo ráfaga seguida por "dispersión igual" para las restantes IU.

[0096] Aquí es ventajoso que el retraso extremo-a-extremo sea pequeño. En el mejor de los casos, ya puede ser descodificada después de la recepción de la parte temprana, es decir, poco después de que la información correspondiente se haya suministrado al transmisor.

[0097] La Figura 5 muestra una implementación funcional de la disposición del receptor. Este recibe una señal de recepción con unidades de intercalado intercaladas, como se emite del multiplexor 32, por ejemplo, de la corriente de datos con el número i en la Figura 3, y alimenta al des-dispersor 34. Estas unidades de intercalado intercaladas se alimentan en un detector de unidad de intercalado 40 formado para recibir unidades de intercalado de la señal. Las unidades de intercalado detectadas se requieren para controlar correctamente el des-dispersor 34. Además, se coloca un estimador de información lateral 42 ya sea solo comunicando con el detector de unidad de intercalado 40 o que obtiene adicionalmente la unidad de recepción, o que puede ser controlado por otro dispositivo, tal como un estimador de canal. El estimador de información lateral se forma para estimar información de una unidad de intercalado extraída relacionada a transmisión de todas las unidades de intercalado. El estimador de información lateral 42 y el detector de unidad de intercalado 40 alimentan un procesador 44 para el procesamiento adicional de las unidades de intercalado,

utilizando la información lateral determinada para una unidad de intercalado completa y que se proporciona del bloque 42. Por lo tanto, en el ejemplo de realización preferido, el procesador 44 combina las funcionalidades del des-dispersor 34 y el des-mezclador 36 de la Figura 3. En ejemplos, sin embargo, incluyen funcionalidades adicionales para mejorar la eficiencia del receptor, como se explicará con referencia en la Figura 5.

[0098] En particular, el procesador 44 verifica entonces, cuando ha obtenido la información secundaria para una unidad de intercalado, si la calidad de recepción, que es mejor que un umbral, se asigna a la unidad de intercalado (etapa 50). Si esta pregunta es respondida en forma negativa, toda la unidad de intercalado se descarta (etapa 52), lo que, por ejemplo, puede implementarse concretamente, en particular almacenando nada en una memoria, sino simplemente caracterizando las unidades de intercalado descartadas, con borrados, es decir, por ejemplo, con información de probabilidad que señala un 50 % de probabilidad para un 0 o un 1, cuando se lleva a cabo la des-dispersión.

[0099] Si la pregunta en la etapa 50 se responde de forma afirmativa, sin embargo, esta unidad de intercalado, como se establece en la etapa 54, se almacena en una memoria de receptor que implementa la funcionalidad de des-dispersor 34 al leer de la memoria de forma diferente a lo que se ha descrito. Sin embargo, si ya se ha determinado que suficientes unidades de intercalado con buena calidad para una palabra de código se han recibido, de tal manera que la decodificación correcta de la palabra de código ya pueda haberse realizado sin recibir todas las unidades de intercalado de la palabra de código, entonces se verifica si una unidad de intercalado que tiene peor calidad que la unidad de intercalado actualmente considerada se almacena en la memoria receptora. Si se encuentra esta unidad de intercalado, se sobrescribe con la unidad de intercalado actualmente detectada, más reciente, de mejor calidad. Si se determina, sin embargo, que todas las unidades de intercalado almacenadas tienen mejor calidad, y si también se determina que suficientes unidades de intercalado ya se han recibido, la unidad de intercalado que tiene relativamente buena calidad debido a la información secundaria estimada, sin embargo, se descarta, ya que no se volverá a requerir.

[0100] En este aspecto, en una etapa 56, se verifica si se almacenan suficientes unidades de intercalado, lo que significa si ya se ha llevado a cabo una correcta decodificación de una palabra de código. Si esta pregunta se responde afirmativa, la decodificación se empieza en una etapa 58, es decir la palabra de código se suministra al des-mezclador o separador de mezcla 36 si este des-mezclador está presente, o la palabra de códigos se alimenta directamente al decodificador FEC 38 si un des-mezclador 36 de la Figura 3 no está presente, donde se insertan borrados para unidades de intercalado que se han descartado o no se vuelven a almacenar. Si se determina al mismo tiempo en una etapa 60 que todavía está libre la memoria, ya puede iniciarse, en esta memoria receptora para mejorar la duración de tiempo que ocurre en el caso de un conmutador de programa, almacenar las unidades de intercalado de otro programa en paralelo en la memoria (etapa 62), de tal manera que - en el caso óptimo - el segundo programa también se almacena en la memoria completamente considerando palabras de código, de tal manera que la conmutación para un programa a otro programa se realice directamente, es decir sin y un retraso extremo-a-extremo actualmente dado por el intercalador de convolución largo.

[0101] Todo esto se vuelve posible ya que no se trabaja más en una forma a modo de símbolo o a modo de bit, de acuerdo con la invención, sino que se trabaja en una forma a modo de unidad de intercalado, de tal manera que solo información de calidad habrá de procesarse en la forma a modo de unidad de intercalado. Además, una memoria de recepción puede leerse en una forma a modo de unidad de intercalado, es decir, en una forma tipo ráfaga, donde no solo la operación de des-dispersor se acelera significativamente cuando se utiliza una memoria RAM normal, sino con lo que también se lleva a cabo una mejora en lectura hacia fuera cuando se utiliza cualquier otra memoria, ya que las direcciones de memoria adyacentes se pueden leer hacia fuera en una ráfaga para adquirir los símbolos individuales presentes en una unidad de intercalado, de tal manera que se ejecuta la operación de des-dispersor. Además, puede mantenerse señalización clara, dado que el número de información de tiempo que se va a administrar no se tiene que volver a generar, gestionar y aplicar en una forma a modo de bits, sino solo en una forma a modo de unidad de intercalado, lo que contribuye a una reducción de 128 veces en la información que se va a gestionar si una unidad de intercalado comprende por ejemplo, 128 bits o más. De esta manera, la precisión se reduce sin duda, ya que no se tiene más información de calidad por bit, sino solo por unidad de intercalado, es decir en granularidad más tosca. Sin embargo, esto no es crítico, ya que esta información de calidad exacta no se requiere o esta información de calidad en esta granularidad fina no siempre es así de expresiva de cualquier forma. Además, la adquisición de información de calidad se ajusta por lo tanto opcionalmente al intercalador, de tal manera que la complejidad del estimador de canal también pueda reducirse igualmente en el caso de complejidad reducida, sin tener que enfrentar pérdidas de calidad.

[0102] Subsecuentemente, se detallarán las estrategias de decodificador indicadas en base a la Figura 4 y la Figura 5. Ya que el estado de canal se determina previamente para cada IU, esta información lateral en el des-dispersor puede emplearse para controlar las etapas adicionales de decodificación. Una implementación optimizada de memoria puede ser como sigue:

El uso de códigos de baja velocidad en un canal de transmisión que varía en tiempo permite que solo tengan que almacenarse las IU "buenas" (de poca perturbación). Las IU con baja calidad de señal no tienen que ser almacenadas. Como un ejemplo se menciona el uso de una velocidad código 1/4, las palabras de código de la cual

consisten de 96 IU. En el caso de muy buena recepción, aproximadamente el 30 % de las IU son suficientes para poder decodificar este código, es decir, el 25 % del código requerido para representación de la información en un código de velocidad 1/4 más el 5 % de redundancia, de tal manera que el decodificador pueda trabajar correctamente. Si se sigue la estrategia "solo se almacenan las mejores IU", la memoria necesaria puede reducirse hasta el 30 %. De manera correspondiente, no están almacenadas 96 IU para cada palabra de código, sino solo el 30 % * 96 = 29 IU, para las cuales se estima mejor estado de canal. Si 29 IU ya están almacenadas y se obtiene otra mejor que la peor previamente recibida, esta mala simplemente se reemplaza por la mejor. Esto se realiza por una unidad de control de intercalador conveniente en el dispersor.

- 10 **[0103]** Una estrategia similar es de interés en particular en relación con la combinación de diversidad o en el caso del multiplexor incluye diversos programas.

Concepto 1:

- 15 - Tantas IU como se requieran para la decodificación, se almacenan por el programa seleccionado (véase ejemplo anterior).
- El resto se utiliza para otros programas de tal manera que un rápido cambio de programa se vuelve posible (véase acceso rápido). De esta manera, la memoria existente se utiliza de forma óptima.

20 Concepto 2:

[0104]

- En el caso de la combinación de diversidad, solo las IU buenas se almacenan pronto. De esta manera, la memoria necesaria se hace más pequeña.

25

[0105] Una estrategia aplicada de forma alternativa o adicional optimizada para consumo de energía puede ser como sigue:

Si se han recibido suficientes IU "buenas", el receptor se puede apagar. El receptor mide de esta manera de forma continua la calidad de las IU recibidas. Si se han recibido suficientes IU con buena calidad de señal, las restantes no se requieren más y pueden ser reemplazadas por "borrado". Si, por ejemplo, el sistema de transmisión se forma de tal manera que se permite un cierto intervalo (distancia máxima entre transmisor y receptor), todos los receptores cercanos al transmisor reciben los datos con superior calidad. De esta manera, los receptores no requieren todas las IU para decodificación libre de error. Si ya no se requieren IU individuales, las partes adjuntas del receptor se pueden apagar brevemente una y otra vez. De esta manera, el periodo de operación en dispositivos portátiles se prolonga, ya que se reduce el consumo de energía promedio. La gestión de los datos se simplifica substancialmente por la estructura de intercalador seleccionada.

35

[0106] Una estrategia optimizada por rápido acceso se maneja de manera óptima si el intercalador se configura por una parte tardía fuerte, es decir, si el tercer grupo del dispersor de la Figura 10 está fuertemente ponderado.

40

[0107] En el caso de un intercalador de convolución, es cierto que la suma de la longitud de la línea de retraso en el transmisor y en el receptor es igual para todas las fichas. Si la línea de retraso se selecciona para ser larga en el transmisor, la línea de retraso es de manera correspondiente corta en el receptor. Una línea de retraso larga en el transmisor significa que los datos acompañantes se transmiten posteriormente (= "posterior o tardío"). Una línea de retraso corta en el receptor significa un retraso corto, sin embargo. Los bits adjuntos de esta manera están disponibles a la salida del des-dispersor después de un corto tiempo de retraso (= más rápido acceso = "rápido acceso"). Esta configuración es particularmente ventajosa cuando se utiliza una velocidad de código relativamente lenta para el codificador FEC.

45

- 50 **[0108]** En resumen, la presente invención incluye de esta manera un dispositivo intercalador que implementa la funcionalidad de un intercalador de convolución en los medios de intercalado, que trabaja en una forma a modo de unidad intercalado, donde una unidad de intercalado contiene más de un símbolo. El número de bits por símbolo corresponde aquí a la longitud de símbolo del codificador FEC.

55 **[0110]**

La estructura intercaladora de la invención tiene, por lo tanto, la característica de que una palabra de código se descompone en una serie de paquetes de datos más pequeños, es decir, unidades de intercalado. Una unidad de intercalado incluye más de un símbolo de información y de preferencia al menos 128 símbolos de información. Estas unidades de intercalado se distribuyen a diversas líneas de conexión con diferentes retrasos mediante un des-multiplexor, donde las líneas de conexión y/o líneas de retraso tienen diversas longitudes, o implementan diversos retrasos de alguna forma, por ejemplo, por memorias FIFO. Según el retraso correspondiente, el multiplexor en el lado de salida multiplexa la salida de las líneas de conexión de nuevo en una corriente de datos, que después se alimenta a un modulador, con el fin de generar finalmente una señal de salida RF.

60

[0111] En la realización preferida de la presente invención, se conecta un mezclador corriente arriba del dispersor. Con esto, se compensa la desventaja del agrupamiento en unidades de intercalado introducidas a primera

65

vista.

[0112] Si se utiliza el mezclador, funciona como un intercalador de bloques, que se conecta corriente arriba de los medios de intercalado y reclasifica los bits de datos o símbolos de datos de una palabra de código individualmente, es decir en una forma a modo de símbolo o a modo de bits.

[0113] Para mejorar la funcionalidad de decodificador, al principio, el estado del canal se determina en el lado del decodificador por cada unidad de intercalado. Inmediatamente después, entonces las series de unidades de intercalado junto con la información de estado de canal se llevan al orden original mediante el des-dispersor. La salida del des-intercalador, junto con la información de estado de canal, se procesa entonces más por el decodificador FEC. Como se explica en base a la Figura 10, el dispersor es un dispersor configurable que tiene varias partes, cuya longitud en unidades de intercalado y cuya extensión temporal con respecto a los retrasos en las partes respectivas pueden seleccionarse de manera diferente dependiendo del requisito. La configuración del dispersor en tres segmentos, es decir, un segmento temprano, un segmento medio y un segmento tardío, es una implementación especial. Para ciertas aplicaciones, una configuración temprana-tardía o una configuración igual-tardía puede ser rápida, donde un código FEC de baja velocidad y una parte tardía fuerte se prefieren en la última configuración para permitir un acceso rápido. Configuraciones alternativas son la configuración temprana/igual o la configuración de dispersor complementaria en el caso de diversidad de transmisión. En el lado del decodificador, se prefiere un algoritmo de decodificador, que archiva unidades de intercalado que son buenas y se requieren para la decodificación en la memoria, mientras que las peores se reemplazan con unidades de intercalado mejores o las unidades de intercalado peores no se almacenan. Las unidades de intercalado no se almacenan □□□□□□incluso si el canal es mejor de lo planeado. Las unidades de intercalado no disponibles aquí se consideran como "borrados".

[0114] La funcionalidad puede emplearse particularmente para una gestión de energía mejorada, lo que es ventajoso en particular para dispositivos móviles que se operan con baterías, y su duración de actividad puede incrementarse. Particularmente cuando se han recibido unidades de intercalado suficientemente buenas, la parte receptora correspondiente se apaga para ahorrar corriente de la batería.

[0115] Dependiendo de las circunstancias, los procedimientos de la invención pueden implementarse en hardware o en software. La implementación puede ser en un medio de almacenamiento digital, en particular un disco o CD que tiene señales de control electrónicamente legibles capaces de cooperar con un sistema de ordenador programable, de tal manera que se ejecutará un procedimiento. En general, la invención consiste también de esta manera en un producto de programa de ordenador con un código de programa almacenado en un soporte legible por máquina para realizar el procedimiento cuando el producto de programa de ordenador se ejecuta en un ordenador. En otras palabras, la invención puede implementarse también de esta manera como un programa de ordenador con un código de programa para realizar el procedimiento cuando el programa de ordenador se ejecuta en un ordenador.

REIVINDICACIONES

1. Un transmisor para generar una señal de transmisión, que comprende:

un codificador de adición de redundancia (22) con una velocidad de código menor de 1, que está configurado para generar una serie de palabras de código, donde a partir de un bloque de alimentación de símbolos se genera una palabra de código de la secuencia de palabras de código, comprendiendo la palabra de código un número de símbolos de corrección de error hacia delante (Forward-Error-Correction, FEC) que es mayor que un número de símbolos del bloque de alimentación, donde las palabras de código de la secuencia de palabras de código son palabras de código generadas con un código LDPC (Low Density Parity Check, comprobación de densidad de baja densidad);
un aparato intercalador para procesar la secuencia de palabras de código, comprendiendo el aparato intercalador:

un intercalador de bloques (18) como mezclador para el cambio a modo de símbolo de un orden de símbolos FEC respectivamente en las palabras de código de la secuencia de palabras de código, de modo que un orden de los símbolos FEC se modifica respectivamente en las palabras de código de la secuencia de palabras de código para obtener palabras de código cambiadas, comprendiendo las palabras de código cambiadas una secuencia de unidades de intercalado (VEij), comprendiendo cada unidad de intercalado al menos dos símbolos de corrección de error hacia delante (FEC); y

un medio de intercalado (10) como dispersor para cambiar la secuencia de unidades de intercalado en las palabras de código cambiadas, con el fin de obtener una palabra de código intercalada que comprende una secuencia cambiada de unidades de intercalado, donde el medio de intercalado (10) está configurado para no cambiar un orden de los símbolos FEC dentro de una unidad de intercalado, y para cambiar la secuencia de unidades de intercalado, de modo que, observado temporalmente, entre dos unidades de intercalado de la palabra de código cambiada está dispuesta al menos una unidad de intercalado de una palabra de código cambiada anterior o posterior; y

un modulador (26) para generar la señal de transmisión mediante modulación de una corriente de datos emitida por el medio de intercalado (10) del aparato intercalador en un canal de transmisión,

donde se selecciona un tamaño de la unidad de intercalado de manera que las palabras de código cambiadas comprendan cada una al menos cuatro unidades de intercalado, y donde los medios de intercalado (10) están configurados para cambiar la secuencia de las al menos cuatro unidades de intercalado.

2. El transmisor según la reivindicación 1, donde un símbolo FEC es un bit y cada unidad de intercalado comprende al menos dos bits, o donde un símbolo FEC es un byte y cada unidad de intercalado comprende al menos dos bytes.

3. El transmisor según cualquiera de las reivindicaciones anteriores, donde el medio de intercalado (10) comprende:

una pluralidad de líneas de conexión (12a, 12b, 12c), donde cada línea de conexión se configurada para proporcionar un retraso definido, que es diferente por cada línea de conexión, o que es substancialmente igual a 0 para una línea de conexión;

un multiplexor de alimentación (11) configurado para conmutar, después de alimentar un número de unidades de intercalado completas en una línea de conexión a otra línea de conexión, donde el número de unidades de intercalado completas es igual a o mayor de 1; y

un multiplexor de salida (13) configurado para conmutar, después de recibir un número de unidades de intercalado completas de una línea de conexión, a otra línea de conexión, donde el número es igual a o mayor de 1.

4. El transmisor según la reivindicación 3, donde la pluralidad de líneas de conexión comprende un primer grupo (12d) de líneas de conexión, donde cada línea de conexión excepto una primera, se configura para proporcionar una primera cantidad definida de retraso (E) o un múltiplo entero de la primera cantidad de retraso definida, y donde la pluralidad de líneas de conexión comprende un segundo grupo (12e) de líneas de conexión, donde cada línea de conexión del segundo grupo se configura para proporcionar el mismo múltiplo del primer retraso definido, así como un segundo retraso definido (M) diferente del primer retraso definido (E), o un múltiplo entero del segundo retraso definido.

5. El transmisor según la reivindicación 4, donde la pluralidad de líneas de conexión comprende además un tercer grupo (12f) de líneas de conexión, donde cada línea de conexión del tercer grupo se configura para comprender el mismo múltiplo del primer retraso definido, así como el mismo múltiplo del segundo retraso definido, así como un tercer retraso definido (L) diferente del primer retraso definido o del segundo retraso definido.

6. El transmisor según cualquiera de las reivindicaciones 1 a 5, donde el medio de intercalado (10) se configura para intercalar de tal modo que un número de unidades de intercalado se transmiten en una forma tipo ráfaga

en un primer intervalo de tiempo, y que una parte restante de las unidades de intercalado de una palabra de código cambiada se transmite en un intervalo de tiempo siguiente más largo, donde más unidades de intercalado por unidad de tiempo se transmiten en el primer intervalo de tiempo que en el intervalo de tiempo siguiente.

5 7. El transmisor según cualquiera de las reivindicaciones anteriores, donde el intercalador de bloques (18) se puede configurar, donde el medio de intercalado (10) se puede configurar mediante un parámetro de configuración, y donde el parámetro de configuración del medio de intercalado (10) se introduce en la señal de transmisión para ser detectada por un receptor.

10 8. El transmisor según cualquiera de las reivindicaciones anteriores, donde el aparato intercalador está configurado para ajustar los símbolos FEC en una unidad de intercalado, donde para diferentes tamaños de palabra de código se utiliza el mismo número de unidades de intercalado por palabra de código cambiada, donde se procesa una palabra de código cambiada mayor cuando se eleva el número de los símbolos FEC en una unidad de intercalado, y donde se procesa una palabra de código cambiada más pequeña cuando se reduce el número de los símbolos FEC en una unidad de intercalado.

9. El transmisor según cualquiera de las reivindicaciones anteriores, donde un número de símbolos FEC en una unidad de intercalado es mayor de 50 y menor de 400, y donde un número de unidades de intercalado depende de una longitud de la palabra de código cambiada y cada palabra de código cambiada comprende 50 o más unidades de intercalado.

10. Un procedimiento para generar una señal de transmisión, que comprende:

25 codificación de adición de redundancia con una velocidad de código menor de 1, para generar una secuencia de palabras de código, donde a partir de un bloque de alimentación de símbolos se genera una palabra de código de la secuencia de palabras de código, comprendiendo la palabra de código un número de símbolos de corrección de error hacia adelante (FEC) que es mayor que un número de símbolos del bloque de alimentación, donde las palabras de código de la secuencia de palabras de código son palabras de código generadas con un código LDPC (Low Density Parity Check);

30 procesamiento de la secuencia de palabras de código, que comprende:

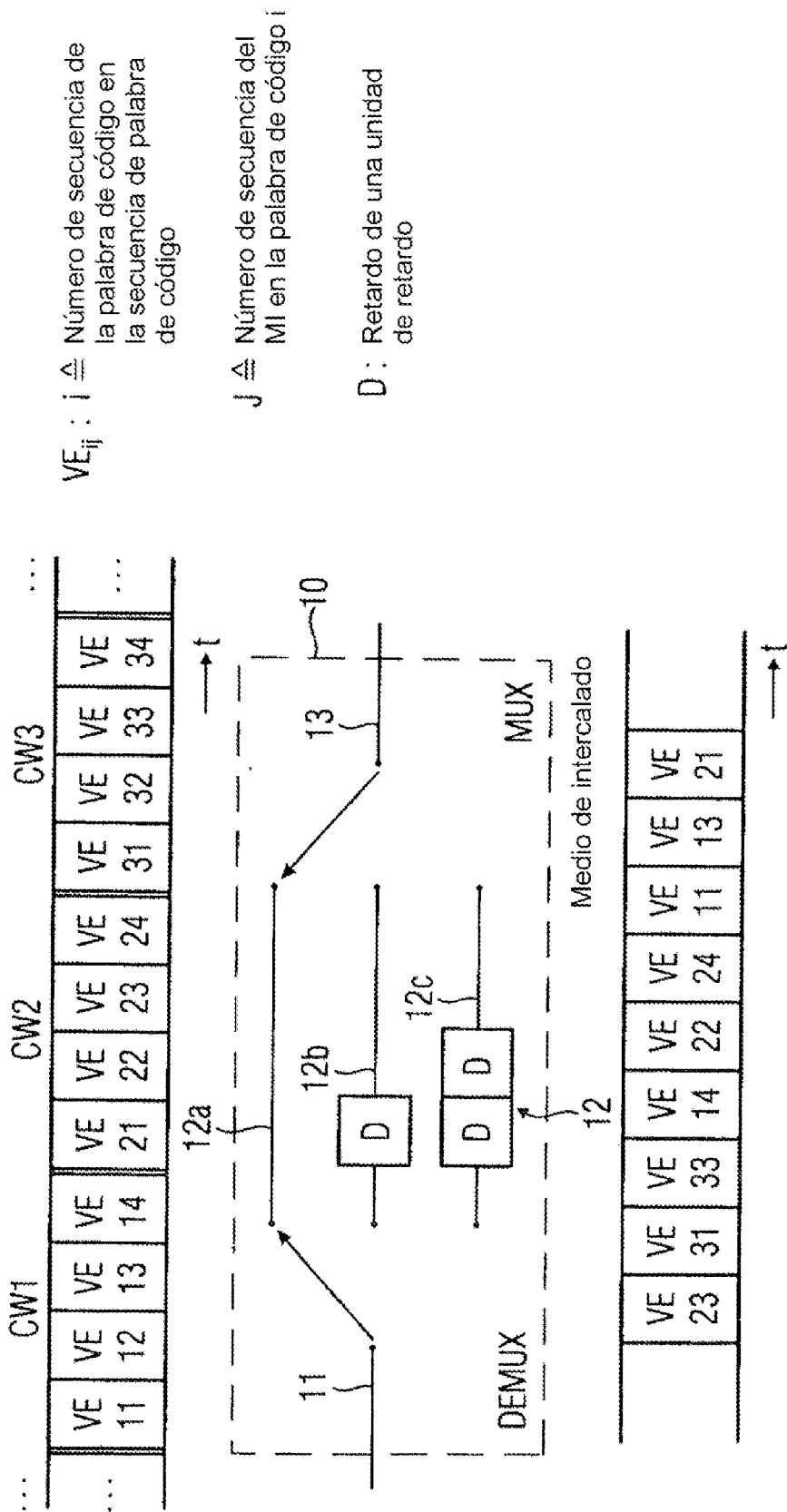
35 cambio a modo de símbolo de un orden de símbolos FEC respectivamente en las palabras de código de la secuencia de palabras de código, de modo que un orden de los símbolos FEC se modifica respectivamente en las palabras de código de la secuencia de palabras de código para obtener palabras de código cambiadas, comprendiendo las palabras de código cambiadas, cada una, una secuencia de unidades de intercalado, comprendiendo cada unidad de intercalado al menos dos símbolos de corrección de error hacia adelante (FEC); y cambio (10) de la secuencia de unidades de intercalado en las palabras de código cambiadas para obtener una palabra de código intercalada que comprende una secuencia cambiada de unidades de intercalado, donde la etapa del cambio (10) se realiza de modo que no se cambia un orden de los símbolos FEC dentro de una unidad de intercalado, y se cambia la secuencia de unidades de intercalado, de modo que, observado temporalmente, entre dos unidades de intercalado de la palabra de código cambiada está dispuesta al menos una unidad de intercalado de una palabra de código cambiada anterior o posterior; y

45 generación de la señal de transmisión mediante modulación de una corriente de datos emitida por la etapa del cambio (10) en un canal de transmisión.

11. Programa informático que tiene un código de programa para realizar el procedimiento según la reivindicación 10 cuando el procedimiento se ejecuta en un ordenador.

50

FIG 1



- Entre VE_{21} y VE_{22} se encuentran VE_{11} , VE_{13} de la palabra de código precedente PC_1
- Entre VE_{21} y VE_{22} se encuentra VE_{24}
- Entre VE_{31} y VE_{33} no se encuentra VE_{32}

FIG 2

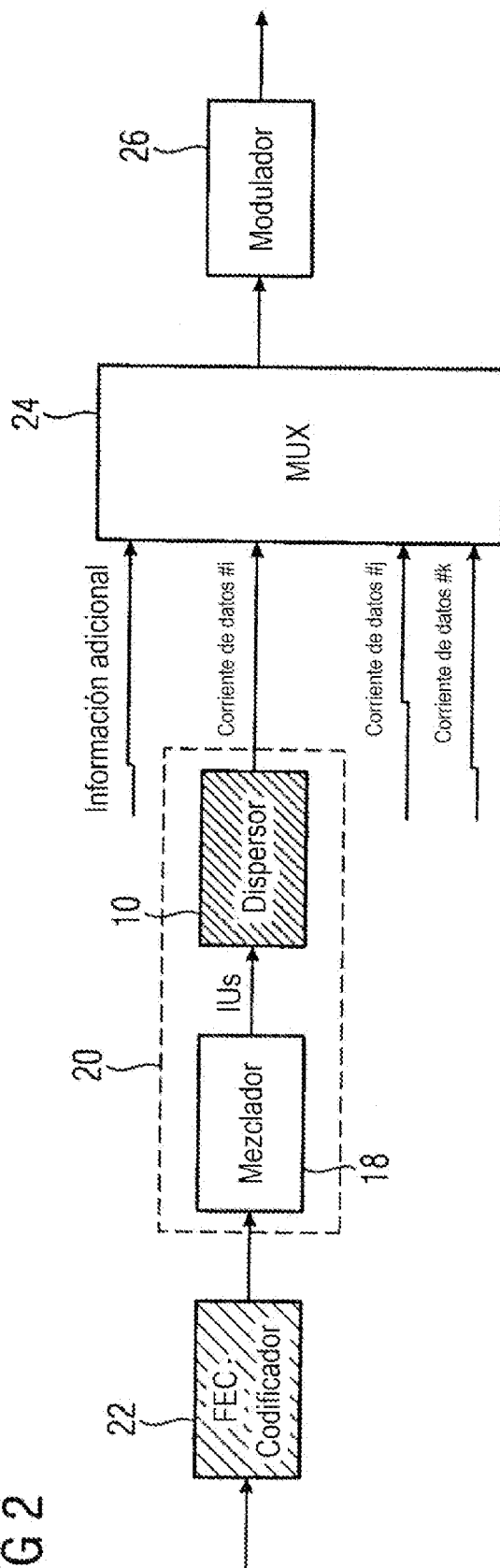


FIG 3

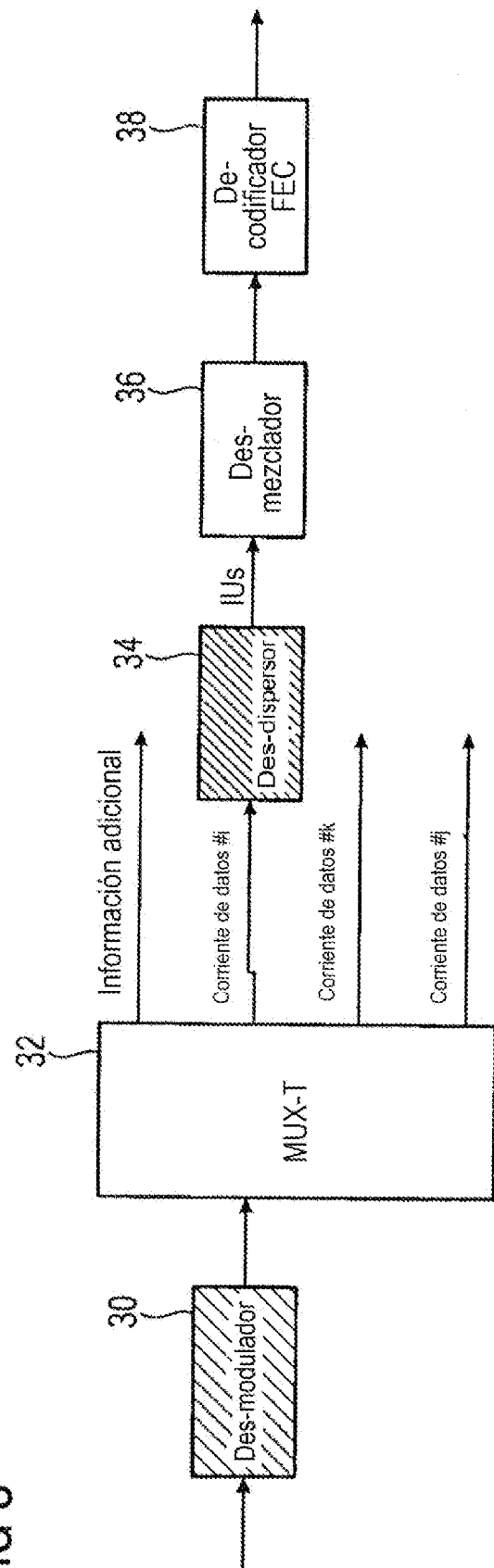


FIG 4

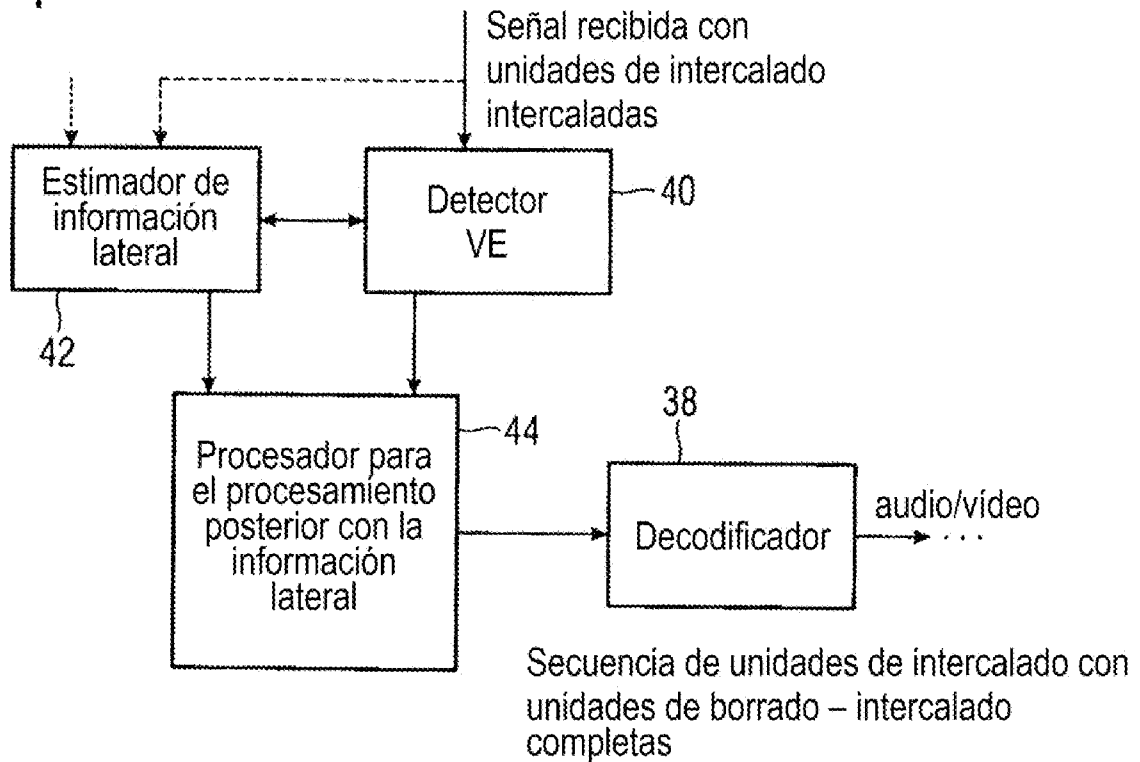


FIG 5

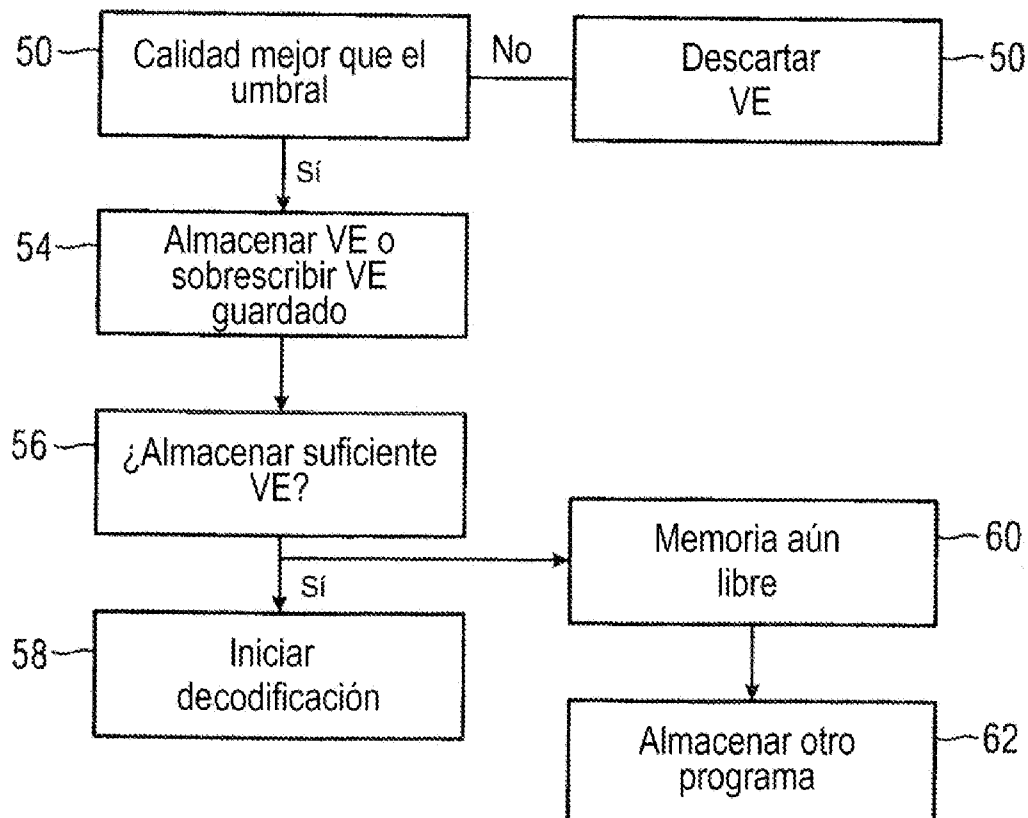


FIG 6

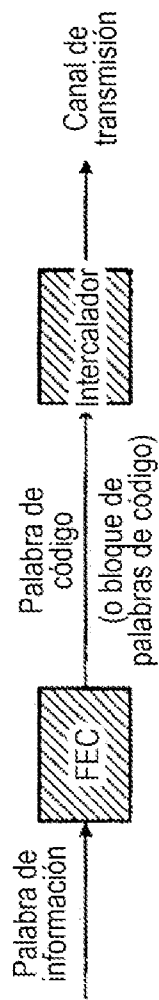


FIG 7

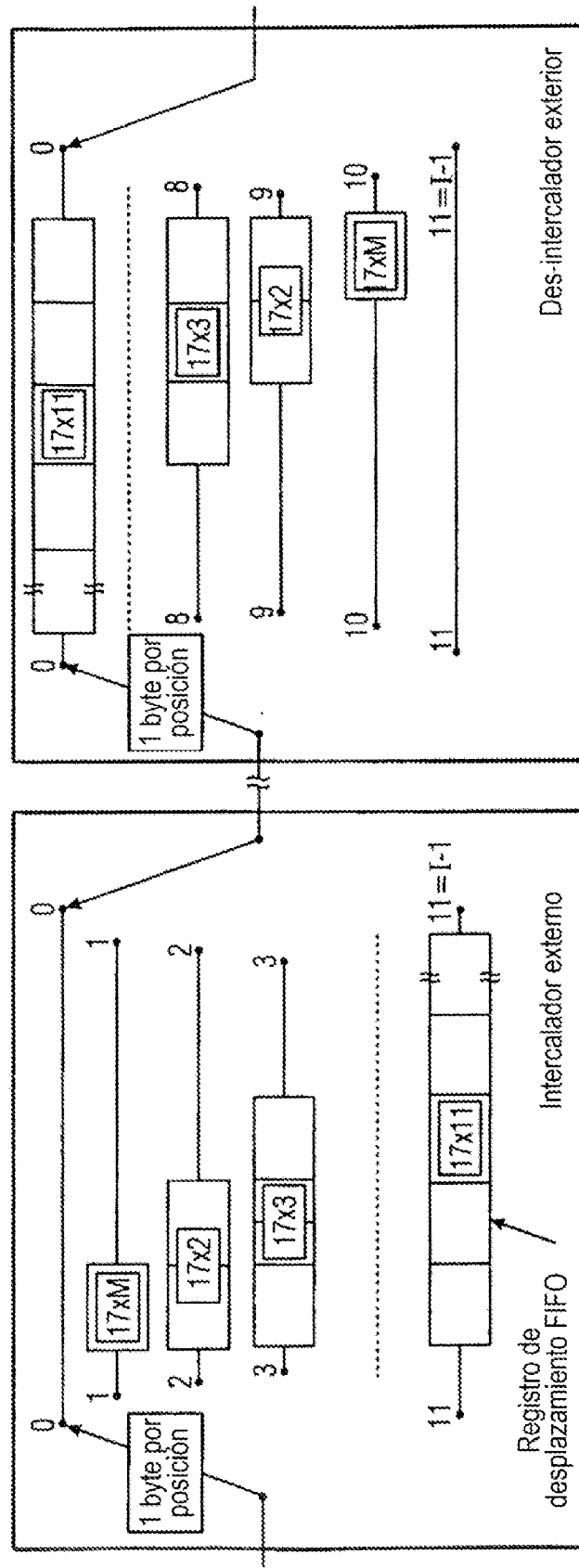


FIG 8

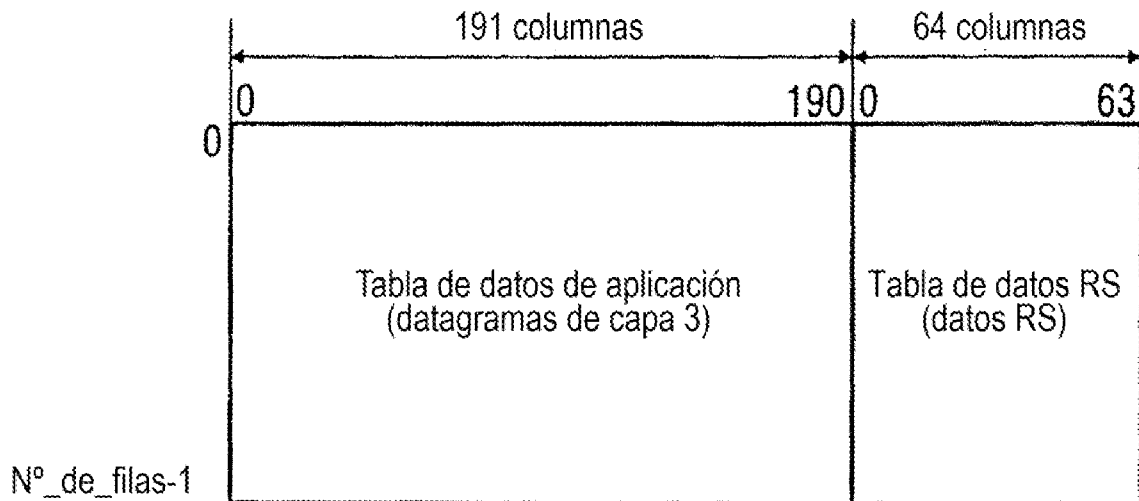


FIG 9

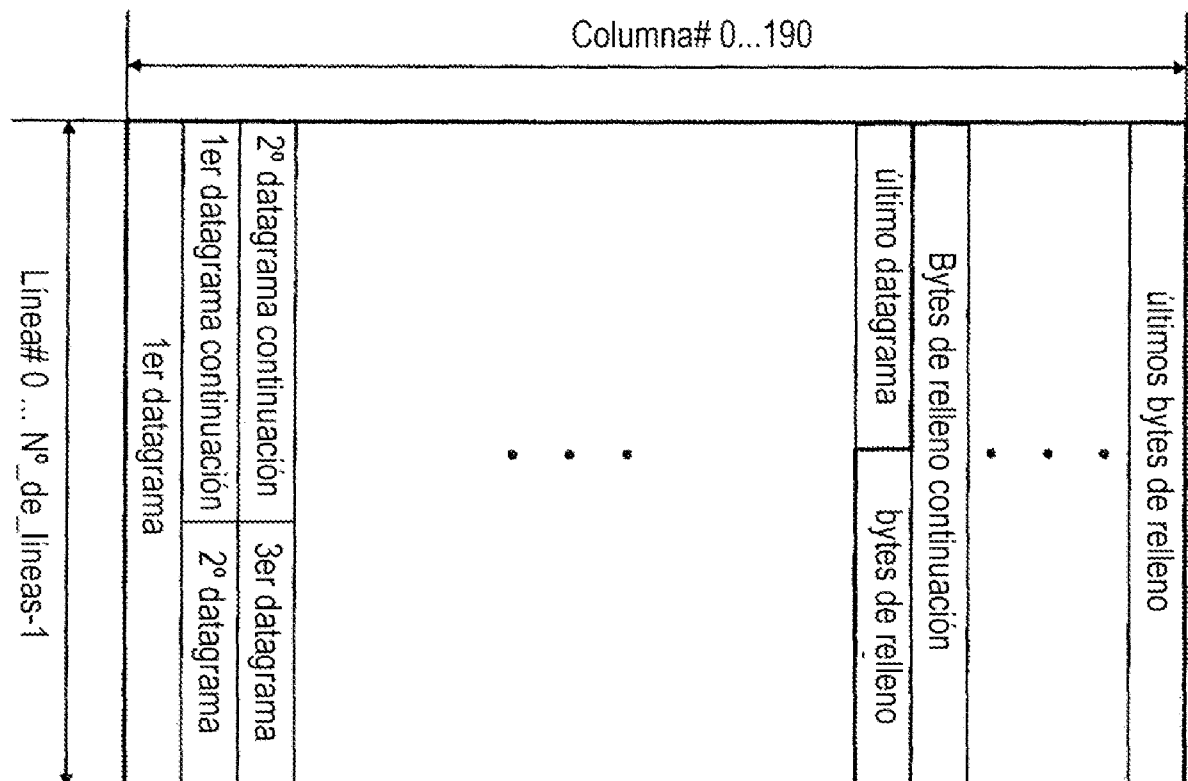


FIG 10

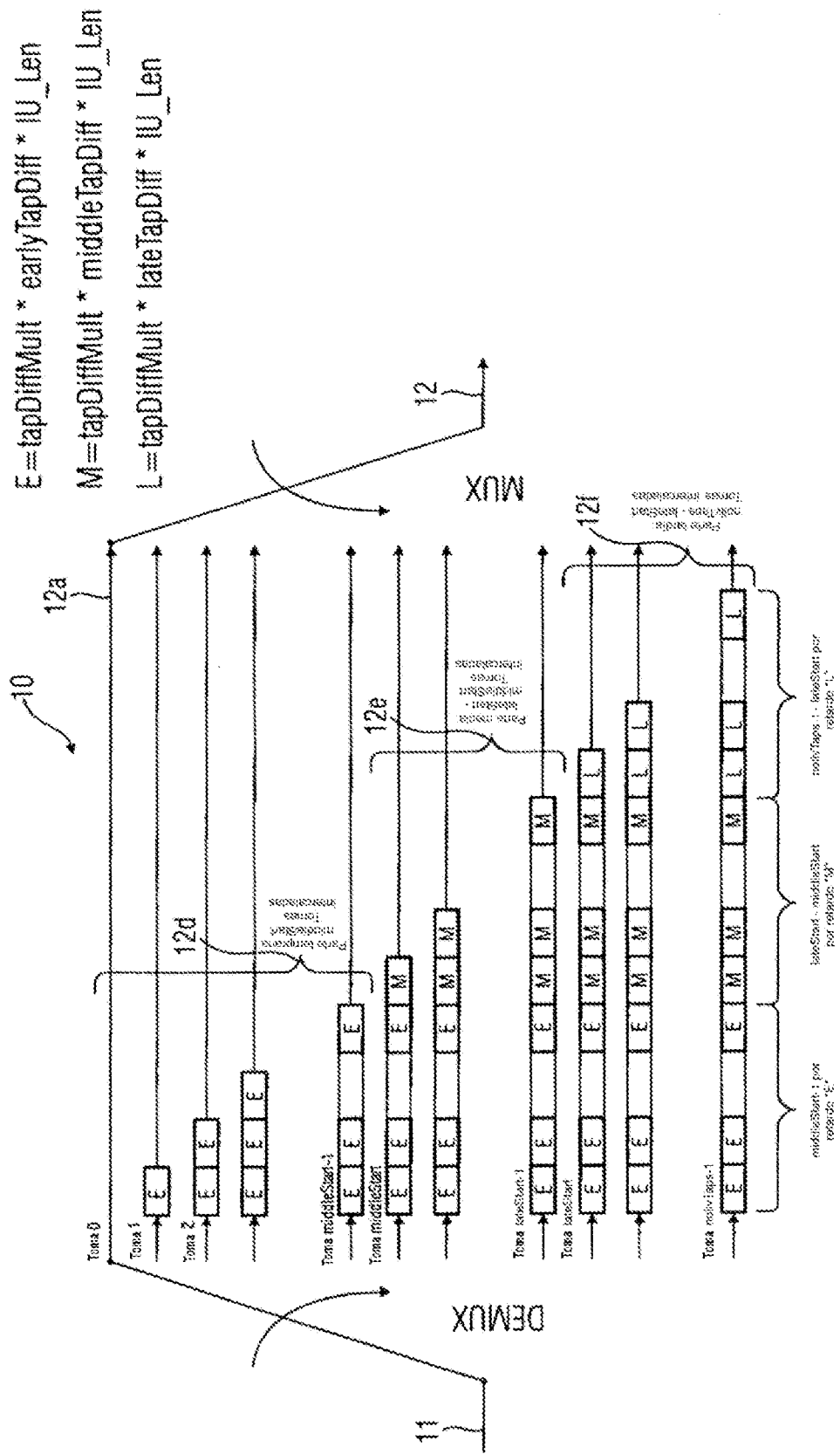


FIG 11

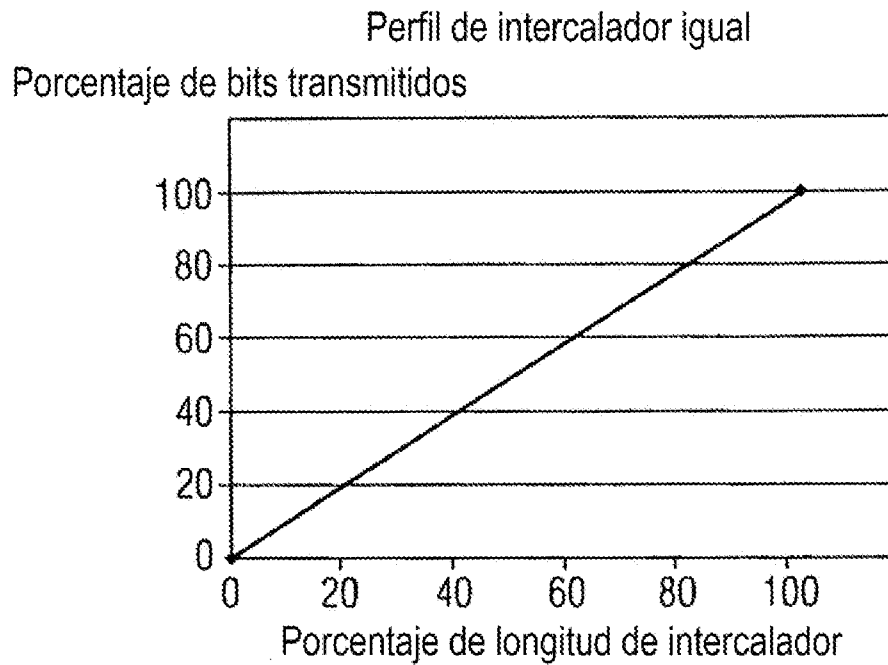


FIG 12

