



# [12] 发明专利申请公开说明书

[21] 申请号 02142293.1

[43] 公开日 2003 年 4 月 2 日

[11] 公开号 CN 1407730A

[22] 申请日 2002.8.28 [21] 申请号 02142293.1  
 [30] 优先权  
 [32] 2001. 9. 10 [33] EP [31] 01440292. 9  
 [71] 申请人 阿尔卡塔尔公司  
 地址 法国巴黎  
 [72] 发明人 伯特霍尔德·威丁

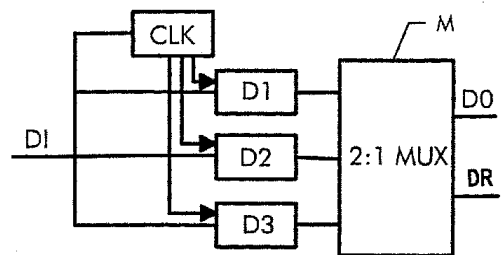
[74] 专利代理机构 中国国际贸易促进委员会专利  
 商标事务所  
 代理人 李 玲

权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称 高位速率二进制信号接收机

[57] 摘要

本发明涉及电信领域。公开了一种高位速率二进制信号接收机，包含具有耦合至 2:1 多路复用器的三个并行判定器的软判定电路。三个判定器具有不同阈值并产生四个电位状态。2:1 多路复用器将四个不同状态转换为恢复的数据信号和表示判定可靠性的可靠性信号。



1.一种高位速率二进制信号接收机，所述接收机包括并行耦合至数据输入的三个判定器，每个判定器具有不同的阈值，用于判断接收信号是否大于各自的阈值，并包括耦合至所述三个判定器的2: 1多路复用器，用于从所述判定器的输出信号产生二进制输出信号和可靠性信号。

2.根据权利要求1所述的接收机，还包括耦合至数据输入的时钟发生器，用于从所述输入信号产生恢复的时钟信号，所述恢复的时钟信号输送至所述判定器的时钟输入。

3.根据权利要求1所述的接收机，还包括伪差错监视器，用于对一个或多个判定器阈值进行调整。

4.根据权利要求3所述的接收机，其中伪差错监视器包括输入至EXOR门的第四判定器，所述二进制输出信号也提供至所述EXOR门，用于产生伪差错，使用逻辑电路对所述伪差错进行估计，以调整所述阈值。

5.根据权利要求2所述的接收机，还包括伪差错监视器，用于对一个或多个判定器的时钟输入的时钟相位进行调整。

6.根据权利要求5所述的接收机，其中伪差错监视器包括输入至EXOR门的第四判定器，所述二进制输出信号也提供至所述EXOR门，用于产生伪差错，使用逻辑电路对所述伪差错进行估计，以调整所述时钟相位。

7.一种高位速率二进制信号判定器电路，所述判定器电路包括：

-并行耦合至数据输入的三个判定器，每个判定器具有不同的阈值，用于判断接收信号是否大于各自的阈值；和

-耦合至所述三个判定器的2: 1多路复用器，用于从所述判定器的输出信号产生二进制输出信号和可靠性信号。

8.一种恢复高位速率二进制信号的方法，包括以下步骤：

-将接收信号与三个不同阈值进行比较，从而获得四个可能的状

态;

-将四个可能状态解码为两位信号，最有效的位代表恢复的信号，最无效的位为可靠性信号。

## 高位速率二进制信号接收机

### 技术领域

本发明涉及电信领域，特别涉及一种高位速率二进制信号接收机。

### 背景技术

在数据传输中，尤其是在高位速率数据传输中，数据判定是一个重要方面，数据判定即指对于接收到的传输数据的每一位判断其内容是逻辑“1”还是逻辑“0”。这样做的原因是，由于传输路径上受到线性和非线性影响，接收到的信号失真，并且需要恢复为具有陡脉冲上升沿的理想二进制信号。对于光学二进制信号尤其是这样，因为光学二进制信号将在传输路径上进行色散，并需要从光学信号转换为电信号，随后进行电恢复。

数据判定通常由判定器进行，判定器将每个连续位的信号电平与一个阈值进行比较。如果信号电平超过阈值，则此位包含逻辑“1”，否则位包含逻辑“0”。存在的一个问题是阈值附近的数据判定可能存在缺陷。

从欧洲专利EP0 923 204可以获得一种改进型判定器电路，该电路还包含伪差错监视器，能控制判定器的阈值。

从欧洲专利EP0 912 020可以获得另一种判定器电路，该电路包含耦合至多路复用器的三个并行判定器。多路复用器的输出输送至数个延迟元件，延迟元件反馈耦合至多路复用器。此判定器电路的作用是对在接收到的光学信号的不同偏振模式的不同信号成分的传播时延中的差异进行补偿，这种差异是由偏振模式色散造成的。

从欧洲专利EP0 656 700可以获得一种用于四电平光学信号的专用接收机。四电平光学信号在不同的振幅电平包含数据符号，每个数据符号代表两个数据位。经过光/电转换的信号被并行输送至三个判定

器，每个判定器具有不同的阈值。三个判定器的输出被输送至多路复用器，多路复用器将四个电位状态转变为包含在其中的两个位。因此判定器和多路复用器的作用是将多电平信号重新转换为二进制信号。转换后的二进制信号的位速率是接收到的光学信号符号速率的两倍。在ECOC1996中也公布了这种接收机和相关方法（请参看B. Wedding等人所著《Multi-Level Dispersion Supported Transmission at 20Gbit/s over 46km Installed Standard Single Mode Fiber》，发表在ECOC1996会刊中，奥斯陆，MoB.4.4, pp.1.91-1.94）。

在位速率为10Gbit/s甚至40Gbit/s的高位速率传输系统中，增加光学接收机的灵敏度非常重要。对于水下传输系统和在信号路径上具有较少数量再生器的传输系统尤其是这样。

## 发明内容

因此本发明的目的是提供一种具有增强灵敏度的接收机和判定电路。

本发明目的是通过接收机和软判定电路实现的，软判定电路具有三个耦合至2: 1多路复用器的并行判定器。三个判定器具有不同的阈值，并生成四个电位状态。2: 1多路复用器将四个不同的状态转换为恢复的数据信号和表示判定可靠性的可靠性信号。

在本发明的有益发展中，设置了第四判定电路，其输出信号使用EXOR函数与恢复的数据信号进行比较，以产生伪差错信号，使用此伪差错信号调整阈值和/或判定器的时钟相位。

本发明的其他有益发展限定在从属权利要求中。

本发明的优点是，判定电路可以完全集成为应用于10Gbit/s的数据传输的SiGe芯片。

## 附图说明

下面将结合附图对本发明的优选实施例进行说明，其中：

图1显示了根据本发明的第一判定电路的方框图；

图 2 显示了根据本发明的第二判定电路的方框图；

图 3 显示了可以在图 2 的判定电路中使用的已知的 2: 1 多路复用器。

### 具体实施方式

图 1 说明了根据本发明的软判定电路的原理。数据输入 DI 连接至三个并行判定器 D1、D2、D3。判定器的输出连接至 2: 1 多路复用器 M。多路复用器 M 的一个输出是用于恢复的数据信号的数据输出 DO，另一个输出是用于可靠性信号的输出 DR。数据输入 DI 还耦合至时钟恢复电路 CLK，时钟恢复电路从接收的信号获得恢复的时钟信号，并把恢复的时钟信号提供给判定器 D1-D3。判定器可以仅仅是 D 触发器或者任何其他类型的定时信号振幅比较器。

三个判定器中的每个判定器具有不同的阈值，用于在每个时钟周期与接收信号的信号电平进行比较。第二判定器 D2 的阈值低于第一判定器 D1 的阈值，但高于第三判定器 D3 的阈值，因此能产生四个电位状态：

- (1) 低于 D3 的阈值 (000)；
- (2) 低于 D2 的阈值但高于 D3 的阈值 (001)；
- (3) 低于 D1 的阈值但高于 D2 的阈值 (011)；或者
- (4) 高于 D1 的阈值 (111)

2: 1 多路复用器将这四个电位状态解码为下面相应的两位表示法：

- (1) 000=01；
- (2) 001=00；
- (3) 011=10；或者
- (4) 111=11

最有效的位被用作恢复的数据信号 DO，而最无效的位代表可靠性信号 DR。

图 2 说明了本发明的第二实施例的电路方框图。相同元件使用与图 1 相同的标号表示。

2: 1多路复用器M具有两个数据输入 $D1_{in}$ 和 $D2_{in}$ 、时钟输入 $Cl_{in}$ ，以及数据输出 $D_{out}$ 。判定器D1的输出耦合至 $D1_{in}$ ，判定器D3的输出耦合至 $D2_{in}$ ，判定器D2的输出耦合至 $Cl_{in}$ 。 $D_{out}$ 表示可靠性信号DR，D2的输出为数据输出DO。

图3说明了非常适于在图2所示的判定器电路中使用多路复用器。这种多路复用器电路可以从J. Hauenschild等人在1991年5月第23期《Electronics Letters》vol.27, No.11, pp.978-979上发表的《Demonstration of Retiming Capability of Silicon Bipolar Time-Division Multiplexer Operating to 24 Gbit/s》一文中获得，此论文在此已经被引作参考文献。这种多路复用器具有的优势是，它可以完全集成在SiGe双极型芯片中，用于20Gbit或以上的高位速率传输中。但是，本发明并不限于使用这种特定多路复用器，也可以使用本技术领域已知的其他2: 1多路复用器。

但是，多路复用器M由对三个判定器D1-D3的输出信号的逻辑操作所限定，并因而可以由EXOR等逻辑电路组成，EXOR将三个判定器的输出信号进行逻辑组合，在某种程度上获得与上述相同的逻辑操作。

可靠性信号DR是一个用来对判定电路的判定可靠性进行判断的装置。可以使用某些逻辑电路进行估计，例如用计数器或可编程处理器（未示出），确定传输路径上是否发生线路故障或者设备故障。如果可靠性信号DR的值为“1”，则判定可靠性为高，如果可靠性信号DR的值为“0”，则判定可靠性为低。将在限定时间间隔内出现的“0”的数量计算出来，如果这个数量超过预先确定的阈值，则将产生“信号丢失”或者AIS等警报。当每次的时间间隔过去之后，计数器复位并重新开始计数。可靠性信号中偶然出现的“0”可以忽略不计。

DR中“0”的计数值最好与性能监视数据进行比较，性能监视数据由在接收机后继部分的信号处理过程中所进行的差错检验来计算。这种性能监视数据表示在信号中检测到的校验和差错，并且如果这些差错与判定过程的低可靠性相关，这表示在传输路径上前面的设

备出现故障。

图2还说明了本发明的另外的有益发展。这种改进装置由伪差错监视器组成，伪差错监视器用于对判定器D1-D3的阈值或者为判定器提供时钟信号的时钟相位进行调整，或者对二者都进行调整。例如从欧洲专利EP0923204可以获得伪差错监视器，此处将该专利列为参考文献。

对于伪差错发生，第四判定器PED耦合至数据输入DI。第四判定器的阈值最好或者处于判定器D2与D1的阈值之间，或者处于判定器D2与D3的阈值之间。还为判定器PED提供了恢复的时钟信号。判定器PED的输出输送至逻辑EXOR门C的第一输入。EXOR门C的第二输入耦合至数据输出DO。EXOR门C的输出表示伪差错信号，此伪差错信号是根据预先确定的规则通过例如可编程处理器（未示出）这样的逻辑电路进行估计。这种规则可以以信号和传输性质为基础确定，或者可以依靠经验确定。但是，对伪差错的估计用于对四个判定器D1-D3、PED中的某几个或全部的阈值进行调整，或者对提供给四个判定器D1-D3、PED的时钟信号中的某几个或全部的相位进行调整，或者对二者都进行调整。使用传统的移相器PS1-4可以实现相位调整。

对阈值和相位的调整可以根据速率和可靠性使检测得到改进。因而规则可以在训练相位中确定，以使检测质量最优化。对于这种训练相位特别适合的逻辑电路是神经网络型逻辑处理器。

此判定电路是高位速率二进制信号接收机的一部分。从现有技术可以知道，接收机还可以在判定电路上添加其他元件，例如光/电转换器、线路终端和信号估计设备等。



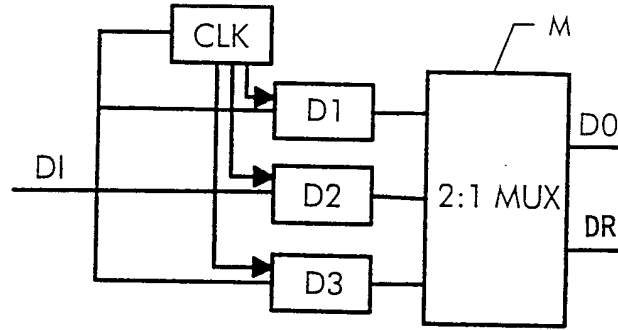


图 1

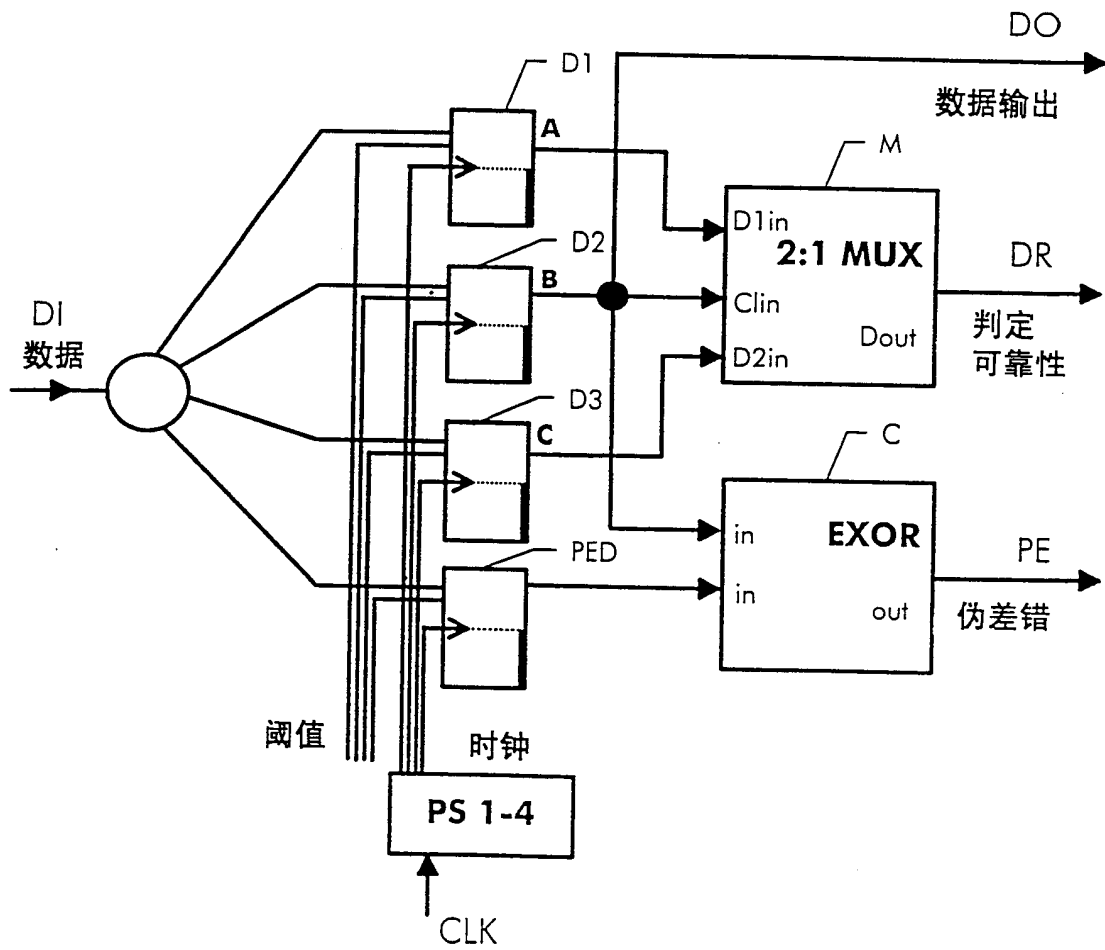
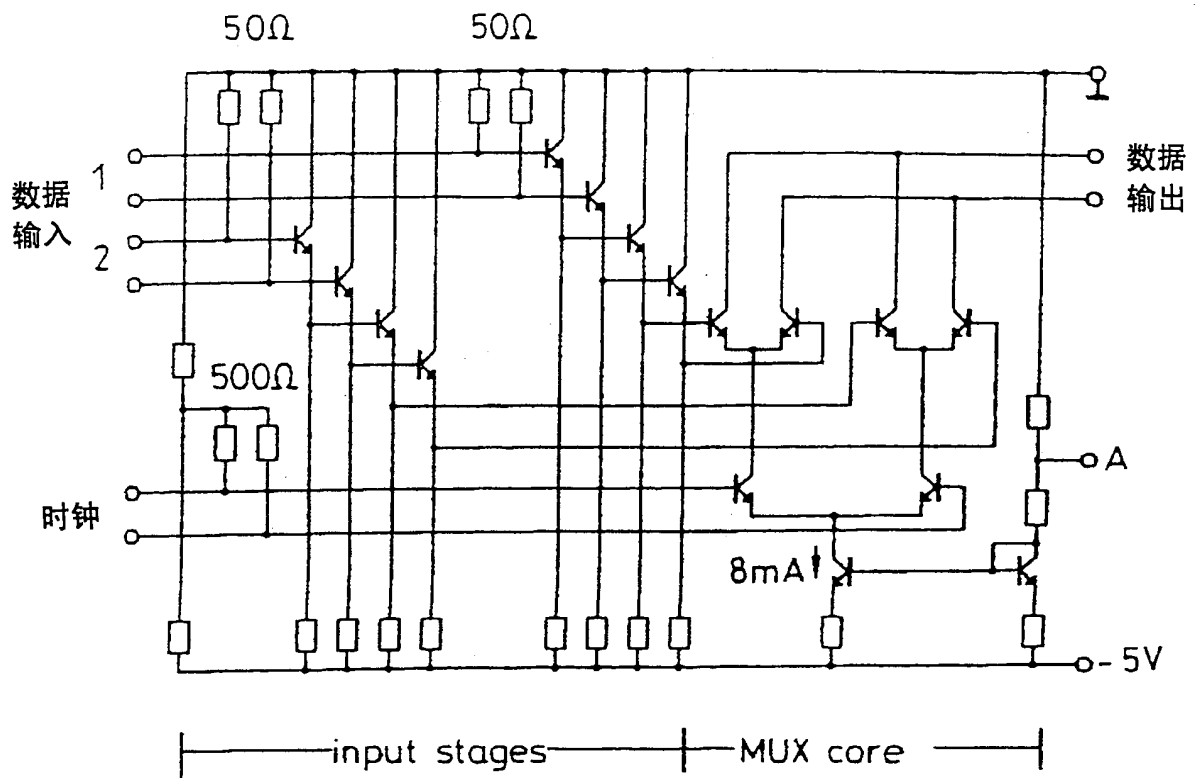


图 2



现有技术

图 3