

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年11月21日(21.11.2013)



(10) 国際公開番号
WO 2013/172065 A1

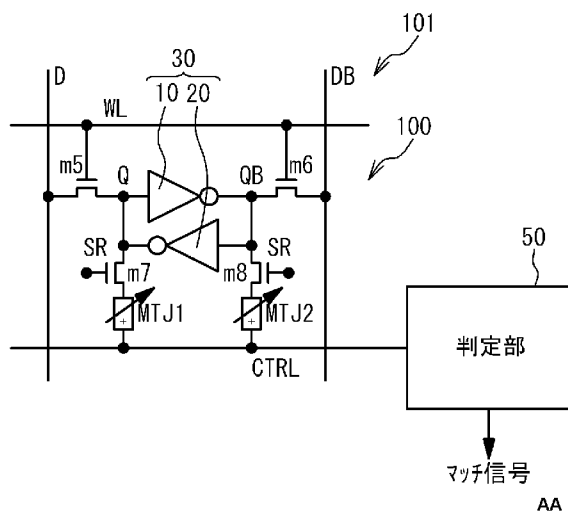
- (51) 国際特許分類:
G11C 11/15 (2006.01) G11C 11/413 (2006.01)
- (21) 国際出願番号: PCT/JP2013/054051
- (22) 国際出願日: 2013年2月19日(19.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-114988 2012年5月18日(18.05.2012) JP
- (71) 出願人: 独立行政法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 山本 修一郎(YAMAMOTO Shuichiro); 〒2268502 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP). 周藤 悠介(SHUTO Yusuke); 〒2268502 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP). 菅原 聡(SUGAHARA Satoshi); 〒2268503 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP).
- (74) 代理人: 片山 修平(KATAYAMA Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テブコビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MEMORY CIRCUIT

(54) 発明の名称: 記憶回路

[図6]

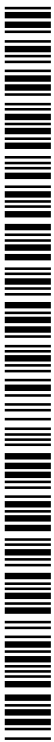


50 DETERMINING UNIT
AA MATCH SIGNAL

(57) Abstract: A memory circuit provided with: a bistable circuit (30) for storing data; non-volatile elements (MTJ1, MTJ2) for storing, in a non-volatile manner, data stored in the bistable circuit, and restoring, in the bistable circuit, the data that has been stored in a non-volatile manner; and a determining part (50). The data in the bistable circuit is stored by the determining part (50) in the non-volatile elements when the data in the bistable circuit and the data in the non-volatile elements do not match, and the data in the bistable circuit is not stored by the determining part (50) in the non-volatile elements when the data in the bistable circuit and the data in the non-volatile elements match.

(57) 要約: データを記憶する双安定回路30と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子MTJ1、MTJ2と、前記双安定回路と前記不揮発性素子とのデータが一致する場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しない場合は、前記双安定回路のデータを前記

不揮発性素子にストアする判定部50と、を具備する記憶回路。



WO 2013/172065 A1

規則 4.17 に規定する申立て:

添付公開書類:

- 不利にならない開示又は新規性喪失の例外に関する申立て (規則 4.17(v))

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：記憶回路

技術分野

[0001] 本発明は、記憶回路に関し、例えば双安定回路と不揮発性素子とを備える記憶回路に関する。

背景技術

[0002] SRAM (Static Random Access Memory) の双安定回路に記憶されているデータを強磁性トンネル接合素子 (MTJ) に不揮発的にストアし、双安定回路の電源を遮断する。その後、双安定回路の電源投入時にMTJから双安定回路にデータをリストアする記憶装置が知られている (例えば特許文献1)。この記憶装置を、マイクロプロセッサ、システムオンチップ、マイクロコントローラ、FPGA (Field Programmable Gate Array) またはCMOS (Complementary Metal Oxide Semiconductor) ロジック等に用いることにより、消費電力を削減することができる。

先行技術文献

特許文献

[0003] 特許文献1：国際公開2009/028298号

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の記憶回路においては、双安定回路のデータをMTJに不揮発的にストアできることから、双安定回路の電源を遮断することができる。これにより、待機時の消費電力を大幅に抑制できる。しかしながら、電源が投入されている期間は、通常のSRAMに比べると消費電力が大きくなる。

[0005] 本発明は、上記課題に鑑みなされたものであり、消費電力を削減することを目的とする。

課題を解決するための手段

[0006] 本発明は、データを記憶する双安定回路と、前記双安定回路に記憶された

データを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記双安定回路と前記不揮発性素子とのデータが一致する場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しない場合は、前記双安定回路のデータを前記不揮発性素子にストアする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

[0007] 上記構成において、前記不揮発性素子は、抵抗値が変更されることにより前記双安定回路のデータをストアする構成とすることができる。

[0008] 上記構成において、前記制御部は、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定し、一致したと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアせず、一致しないと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアする構成とすることができる。

[0009] 上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続され、前記制御部は、前記双安定回路にデータが記憶されているときの前記制御線の電圧に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定する構成とすることができる。

[0010] 上記構成において、前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、前記不揮発性素子は、一端が前記第1ノードに他端が前記制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が前記制御線との間に接続された第2不揮発性素子と、を含む構成とすることができる。

[0011] 上記構成において、前記双安定回路のデータを読み出す読出回路を具備し、前記制御部は、前記読出回路の出力と、前記制御線の電圧と、に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定する構成とすることができる。

[0012] 上記構成において、前記双安定回路は、相補的な第1ノードおよび第2ノ

ードを含み、前記制御線は、第1制御線と第2制御線とを含み、前記不揮発性素子は、一端が前記第1ノードに他端が第1制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が第2制御線との間に接続された第2不揮発性素子と、を含み、前記制御部は、前記読出回路の出力と、前記第1制御線および前記第2制御線の電圧と、に基づき、前記第1不揮発性素子と前記第2不揮発性素子とのデータが矛盾するか否かを判定する構成とすることができる。

[0013] 上記構成において、前記制御部は、スキップ信号を受信した場合、前記双安定回路と前記不揮発性素子とのデータが一致するか否かの判定を行わない構成とすることができる。

[0014] 本発明は、それぞれが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする複数の不揮発性素子と、を有する複数のセルと、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられていない場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、前記複数の双安定回路の少なくとも1つのデータが書き換えられた場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

[0015] 上記構成において、前記制御部は、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かを判定し、書き換えられていないと判定した場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、書き換えられたと判定した場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアする構成とすることができる。

[0016] 上記構成において、前記複数のセルは複数の領域に分割されており、前記

制御部は、前記複数の領域毎に、前記双安定回路のデータを前記不揮発性素子にストアするか否かを判断する構成とすることができる。

[0017] 上記構成において、前記複数の領域毎に、前記双安定回路の少なくとも1つのデータが書き換えられたか否かを記憶する記憶部を具備する構成とすることができる。

[0018] 上記構成において、前記不揮発性素子は強磁性トンネル接合素子である構成とすることができる。

[0019] 上記構成において、前記制御部は、スキップ信号を受信した場合、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かの判定を行わない構成とすることができる。

[0020] 本発明は、強磁性トンネル接合素子と、前記強磁性トンネル接合素子に不揮発的に書き込まれたデータを読み出す読出回路と、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、前記読出回路の出力と、前記不揮発的に書き込むデータと、が一致しない場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

[0021] 上記構成において、前記制御部は、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致するか否かを判定し、一致したと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、一致しないと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む構成とすることができる。

[0022] 上記構成において、前記制御部は、スキップ信号を受信した場合、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行わない構成とすることができる。

発明の効果

[0023] 本発明によれば、消費電力を削減することができる。

図面の簡単な説明

[0024] [図1]図1 (a) および図1 (c) は、強磁性トンネル接合素子の一例を示す図である。図1 (b) は、強磁性トンネル接合素子の電流－電圧特性を示す図である。

[図2]図2は、記憶セルの回路図である。

[図3]図3は、記憶セルの制御を示すタイミングチャートである。

[図4]図4 (a) および図4 (b) は、記憶セルの別の例を示す回路図である。

[図5]図5 (a) および図5 (b) は、実施例1に係る記憶回路および記憶セルを示すブロック図である。

[図6]図6は、実施例1に係る記憶セルと判定部のブロック図である。

[図7]図7 (a) および図7 (b) は、電源、スイッチ線および制御線のタイミングチャートである。

[図8]図8は、実施例2に係る記憶回路のブロック図である。

[図9]図9は、スイッチ線と制御線のタイミングチャートである。

[図10]図10は、実施例3に係る記憶セルと判定部のブロック図である。

[図11]図11は、実施例3に係る記憶回路の回路図である。

[図12]図12は、各信号のタイミングチャートである。

[図13]図13は、実施例4に係る記憶回路を示すブロック図である。

[図14]図14は、ストアの際の制御部の処理を示すフローチャートである。

[図15]図15は、実施例4の変形例に係る記憶回路を示すブロック図である。

[図16]図16は、実施例5に係る記憶回路のブロック図である。

[図17]図17は、実施例5に係る記憶回路のより詳細なブロック図である。

発明を実施するための形態

[0025] まず、不揮発性素子として強磁性トンネル接合素子について説明する。図

1 (a) は、強磁性トンネル接合素子の一例を示す図である。強磁性トンネル接合素子 40 は、強磁性電極フリー層 42 と、強磁性電極ピン層 46 と、強磁性電極フリー層 42 と強磁性電極ピン層 46 との間に設けられたトンネル絶縁膜 44 とを有する。強磁性電極フリー層 42 および強磁性電極ピン層 46 は、強磁性金属、ハーフメタル強磁性体または強磁性半導体からなる。強磁性電極フリー層 42 は、磁化方向を変更することができる。一方、強磁性電極ピン層 46 は、磁化方向が固定されている。強磁性電極フリー層 42 と強磁性電極ピン層 46 との磁化方向が平行な状態を平行磁化、反平行な場合を反平行磁化という。

[0026] 図 1 (b) は、強磁性トンネル接合素子 40 の電流－電圧特性を示す図である。図 1 (a) のように、強磁性電極ピン層 46 に対し強磁性電極フリー層 42 に印加される電圧 V および強磁性電極フリー層 42 から強磁性電極ピン層 46 に流れる電流 I で定義する。このときの強磁性トンネル接合素子 40 のシンボルを図 1 (c) のように定義する。図 1 (b) を参照に、平行磁化状態の強磁性トンネル接合素子 40 の抵抗 R_p は、反平行磁化状態の強磁性トンネル接合素子 40 の抵抗 R_{ap} より小さくなる。一般に、 R_p と R_{ap} は強磁性トンネル接合に印加される電圧の関数であるが、以下では近似的に抵抗値が一定の抵抗として取り扱う。 R_p と R_{ap} が一定抵抗でない場合でも以下の議論は同様に成り立つ。

[0027] 反平行磁化状態において、強磁性トンネル接合素子 40 に印加される電圧 V が大きくなると、電流 I は抵抗 R_{ap} の逆数の傾きで大きくなる (図 1 (b) の A)。電流 I が閾値電流 I_{TF} を越えると、強磁性電極ピン層 46 から強磁性電極フリー層 42 に注入される強磁性電極ピン層 46 の多数スピンの電子により、強磁性電極フリー層 42 の磁化が反転し、平行磁化状態となる (図 1 (b) の B)。これにより、強磁性トンネル接合素子 40 の抵抗は R_p となる。一方、平行磁化状態で負の電流 I が流れ (図 1 (b) の C)、閾値電流 I_{TR} を負に越えると、強磁性電極フリー層 42 から強磁性電極ピン層 46 に注入される電子のうち、強磁性電極フリー層 42 の少数スピンの電子

は強磁性電極ピン層46によって反射される。これにより、強磁性電極フリー層42の磁化が反転し、反平行磁化状態となる(図1(b)のD)。

[0028] このように、スピン偏極した電荷の注入により磁化方向を変更させる強磁性電極フリー層42の磁化方向を反転させる方法をスピン注入磁化反転法という。スピン注入磁化反転法は、磁界を発生させ磁化方向を変更する方法に比べ、磁化方向の変更に要する消費電力を削減できる可能性がある。また、磁場を発生させ磁化方向を変更する方法に比べると、漏洩磁場の問題がないことから、選択セル以外のセルに誤書き込みや誤消去を発生するディスタージの影響を受け難く、高密度集積化に向いている。

[0029] 次に、双安定回路と強磁性トンネル接合素子とを有する記憶セルの例について説明する。図2は、記憶セルの回路図である。図2に示すように、記憶セル100は、第1インバータ回路10、第2インバータ回路20、強磁性トンネル接合素子MTJ1およびMTJ2を有している。第1インバータ回路10と第2インバータ回路20はリング状に接続され双安定回路30を構成している。第1インバータ回路10は、nMOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2およびpMOSFETm1を有している。第2インバータ回路20は、nMOSFETm4およびpMOSFETm3を有している。

[0030] 第1インバータ回路10と第2インバータ回路20が接続されたノードがそれぞれノードQ、QBである。ノードQとノードQBとは互いに相補ノードであり、双安定回路30は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路30は、安定状態となることにより、データを記憶することができる。

[0031] ノードQおよびQBは、それぞれMOSFETm5およびm6を介し入出力線DおよびDBに接続されている。MOSFETm5およびm6のゲートはワード線WLに接続されている。MOSFETm1からm6により6MOSFET型のSRAMが形成される。

[0032] ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8と強磁性トンネル接合素子MTJ2とが接続されている。FETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。FETm7およびm8のゲートはスイッチ線SRに接続されている。なお、FETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。すなわち、FETm7およびm8のソースおよびドレインがノードQおよびQBと制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2に対し直列に接続されていればよい。また、FETm7およびm8は、設けられていなくてもよい。

[0033] 双安定回路30へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30に入出力線DおよびDBのデータが書き込まれる。また、入出力線DおよびDBを等電位の浮遊状態としワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30のデータを入出力線DおよびDBに読み出すことができる。FETm5およびm6を遮断状態とすることにより、双安定回路30のデータが保持される。なお、双安定回路30へのデータの書き込み、読み出し、および保持の際、スイッチ線SRはローレベルとし、FETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

[0034] 図3は、記憶セルの制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図3を参照し、電源電圧Vsupplyが供給され、制御線CTRLおよびスイッチ線SRはローレベルである。双安定回路30へのデータの書き込みは、ワード線W

Lをハイレベル、入出力線D、DBをハイレベルまたはローレベルとすることにより行われる。双安定回路30から強磁性トンネル接合素子MTJ1およびMTJ2へのデータのストアは、期間T1においてスイッチ線SRおよび制御線CTRLをハイレベルとし、期間T2において、スイッチ線SRをハイレベルとし制御線CTRLをローレベルとすることにより行われる。

[0035] ノードQおよびQBがそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗および低抵抗となる。ノードQおよびQBがそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ低抵抗および高抵抗となる。このように、双安定回路30のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。

[0036] その後、電源電圧Vsupplyを0Vとすることにより、記憶セルはシャットダウン状態となる。このとき、記憶セルに電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアは、期間T3において制御線CTRLをローレベルとしスイッチ線SRをハイレベルとした状態で電源電圧Vsupplyを0Vから立ち上げるにより行われる。

[0037] 強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗のとき、ノードQおよびQBはそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗および高抵抗のとき、ノードQおよびQBはそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的に記憶されているデータが双安定回路にリストアされる。

[0038] 双安定回路30からのデータの読み出しは、ワード線WLをハイレベルとすることにより行われる。

[0039] 図4(a)および図4(b)は、記憶セルの別の例を示す回路図である。図4(a)に示すように、強磁性トンネル接合素子MTJ2の代わりに抵抗R1を用いることができる。図4(b)に示すように、ノードQBと制御線

CTRLとの間は接続されていない。図4(a)および図4(b)のように、強磁性トンネル接合素子は、ノードQおよびQBの一方と制御線CTRLとの間にのみ接続してもよい。なお、FETm7は、強磁性トンネル接合素子MTJ1と制御線CTRLとの間に接続されていてもよい。また、FETm7は、設けられていなくてもよい。

実施例 1

[0040] 図5(a)および図5(b)は、実施例1に係る記憶回路および記憶セルを示すブロック図である。図5(a)を参照し、記憶回路103は、メモリ領域77、列デコーダ71、列ドライバ72、行デコーダ73、行ドライバ74および制御部85を備えている。メモリ領域77には、複数の記憶セル100がマトリックス状に配置されている。列デコーダ71および行デコーダ73は、アドレス信号から列および行を選択する。列ドライバ72は、選択された列の入出力線D、DBおよび制御線CTRLに電圧等を印加する。行ドライバ74は、選択された行のワード線WL、スイッチ線SRおよび制御線CTRLに電圧等を印加する。制御部85は、列デコーダ71、列ドライバ72、行デコーダ73、および行ドライバ74を介し、記憶セル100の入出力線D、DB、ワード線WL、スイッチ線SRおよび制御線CTRLに電圧等を印加する。図5(b)に示すように、記憶セル100は、例えば図2の記憶セル100と同様である。

[0041] なお、行ドライバ74が制御線CTRLに電圧を印加する場合、例えば、行に配列された記憶セル100毎に制御線CTRLが接続される。列ドライバ72が制御線CTRLに電圧を印加する場合、例えば、列に配列された記憶セル100に共通に制御線CTRLが接続される。

[0042] 図6は、実施例1に係る記憶セルと判定部とのブロック図である。図6を参照し、記憶回路101は、図2に示した記憶セル100および判定部50を備えている。記憶セル100の構成は図5(b)と同じであり説明を省略する。判定部50は、複数の記憶セル100にデータを不揮発的にストアする際に、記憶セル100毎に双安定回路30と強磁性トンネル接合素子MT

J 1 およびMT J 2とのデータが一致しているか否かを判定する。例えば、ノードQおよびQBがそれぞれハイレベルおよびローレベルであり、かつ強磁性トンネル接合素子MT J 1 およびMT J 2 がそれぞれ高抵抗および低抵抗の場合、双安定回路30と強磁性トンネル接合素子MT J 1 およびMT J 2 とのデータは一致している。ノードQおよびQBがそれぞれハイレベルおよびローレベルであり、かつ強磁性トンネル接合素子MT J 1 およびMT J 2 がそれぞれ低抵抗および高抵抗の場合、双安定回路30と強磁性トンネル接合素子MT J 1 およびMT J 2 とのデータは一致していない。判定部50は、データが一致しているか否かを示すマッチ信号を制御部85に出力する。

[0043] 制御部85は、複数の記憶セル100のうちデータを不揮発的にストアする記憶セル100毎に、マッチ信号を受信する。マッチ信号がデータの一致を示している場合、記憶セル100への不揮発的なストアを行なわない。マッチ信号がデータの一致を示していない場合、記憶セル100への不揮発的なストアを行なう。

[0044] 図7(a)および図7(b)は、電源、スイッチ線および制御線のタイミングチャートである。図7(a)を参照し、制御部85は、双安定回路30と強磁性トンネル接合素子MT J 1 およびMT J 2 とのデータが一致しない記憶セル100において、ストアする期間にスイッチ線SRの電圧をハイレベル(VDD)とする。制御部85は、制御線CTRLの電圧をローレベル(0V)とハイレベル(VDD)とする。これにより、双安定回路30のデータが強磁性トンネル接合素子MT J 1 およびMT J 2 にストアされる。その後、制御部85は、シャットダウンの期間において、電源電圧Vsupplyを0Vとする。

[0045] 図7(b)を参照し、制御部85は、双安定回路30と強磁性トンネル接合素子MT J 1 およびMT J 2 とのデータが一致する記憶セル100において、ストアする期間にスイッチ線SRの電圧および制御線CTRLの電圧をローレベル(0V)とする。これにより、双安定回路30のデータは強磁性

トンネル接合素子MTJ1およびMTJ2にストアされない。その後、制御部85は、シャットダウンの期間において、電源電圧Vsupplyを0Vとする。

[0046] 実施例1によれば、制御部85は、双安定回路30と強磁性トンネル接合素子のデータが一致する場合は、双安定回路30のデータを強磁性トンネル接合素子にストアせず、双安定回路30と強磁性トンネル接合素子とのデータが一致しない場合は、双安定回路30のデータを強磁性トンネル接合素子にストアする。これにより、ストアによる消費電力を抑制できる。このように、記憶セル100毎に、双安定回路30のデータを強磁性トンネル接合素子にストアするか否かを判定できる。実施例1においては、双安定回路30と制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2が接続された場合を例に説明したが、強磁性トンネル接合素子等の不揮発性素子にデータを不揮発的にストアできれば、他の回路構成でもよい。

[0047] また、制御部85は、外部の回路からスキップ信号を受信してもよい。制御部85は、スキップ信号を受信した場合、双安定回路30と強磁性トンネル接合素子とのデータが一致するか否かの判定を行なわない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

[0048] 強磁性トンネル接合素子のように不揮発性素子が抵抗値が変更されることにより双安定回路30のデータをストアする場合、制御部85は、双安定回路30にデータが記憶されているときの制御線CTRLの電圧に基づき、双安定回路30と強磁性トンネル接合素子とのデータが一致するか否かを判定することができる。図4(a)および図4(b)のように、強磁性トンネル接合素子が、双安定回路30内の1つのノードQまたはQBと制御線CTRLとの間に1つ設けられていてもよい。

実施例 2

[0049] 実施例2は実施例1の具体例である。図8は、実施例2に係る記憶回路のブロック図である。図8を参照し、判定部50は比較器52およびインバー

タ54を備えている。比較器52は、制御線CTRLの電圧と参照電圧Vrefとを比較する。インバータ53は比較器52の出力を反転しマッチ信号として出力する。

[0050] 図9は、スイッチ線と制御線のタイミングチャートである。制御部85は、制御線CTRLを浮遊状態とし、時間t1において、スイッチ線SRをハイレベルとする。双安定回路30と強磁性トンネル接合素子とのデータが一致している場合として、例えばノードQがハイレベルかつ強磁性トンネル接合素子MTJ1が高抵抗、ノードQBがローレベルかつ強磁性トンネル接合素子MTJ2が低抵抗とする。制御線CTRLは、低抵抗の強磁性トンネル接合素子MTJ2に接続されたノードQBのレベルに近くなる。よって、図9の制御線CTRLの実線のように、比較的電圧が低い状態となる。

[0051] 一方、双安定回路30と強磁性トンネル接合素子とのデータが一致していない場合、低抵抗の強磁性トンネル接合素子に接続されたノードはハイレベルとなる。よって、図9の破線のように、制御線CTRLは比較的電圧が高い状態となる。そこで、参照電圧Vrefを適切に選択することにより、制御線CTRLの電圧により、双安定回路30と強磁性トンネル接合素子とのデータが一致しているか否かを判定できる。このように、制御部85は、各記憶セルに記憶されているデータを確認（ベリファイ）することができる。なお、参照電圧Vrefとしては、例えばVsupply/2とすることができる。

[0052] 実施例2のように、強磁性トンネル接合素子のように不揮発性素子は抵抗値が変更されることにより双安定回路30のデータをストアする。第1不揮発性素子(MTJ1)は、一端がノードQに他端が制御線CTRLに接続され、第2不揮発性素子(MTJ2)は一端がノードQBに他端が制御線CTRLとの間に接続されている。この場合、制御部85は、双安定回路30にデータが記憶されているときの制御線CTRLの電圧に基づき、双安定回路30と不揮発性素子とのデータが一致するか否かを判定することができる。なお、図4(a)および図4(b)のように、強磁性トンネル接合素子が、

1つのノードQまたはQBと制御線CTRLとの間に1つ設けられている場合も、制御線CTRLの電圧に基づき、双安定回路30と不揮発性素子とのデータが一致するか否かを判定することができる。

実施例 3

[0053] 実施例3は、実施例1の別の具体例である。図10は、実施例3に係る記憶セルと判定部のブロック図である。図10を参照し、判定部50は読出回路56および判定回路58を備えている。読出回路56の出力Boutが判定回路58に入力する。判定回路58は、マッチ信号と、エラー信号を制御部85に出力する。エラー信号は強磁性トンネル接合素子にストアされたデータが矛盾するか否かを示す信号である。その他の構成は図6と同じであり説明を省略する。

[0054] 図11は、実施例3に係る記憶回路の回路図である。図11を参照し、読出回路56は、センスアンプ61およびバッファ62を備えている。センスアンプ61は、双安定回路30のデータを読み出す。バッファ62は、センスアンプ61が読み出したデータを保持する。

[0055] 判定回路58は、MOSFETm10からm15、センスアンプ65、66、インバータ63、64、67およびXOR回路68を備えている。MOSFETm10からm13およびインバータ63は、バッファ62の出力Boutに基づき、ハイレベル側のノードQまたはQBに接続される制御線CTRL1またはCTRL2を接続線CTRL(H)を介しセンスアンプ65に電氣的に接続する。一方、ローレベル側のノードQまたはQBに接続される制御線CTRL1またはCTRL2を接続線CTRL(L)を介しセンスアンプ66に電氣的に接続する。センスアンプ65は、ノードがハイレベルの接続線CTRL(H)の電圧を参照電圧VrefHと比較する。センスアンプ65の出力がインバータ67を介しマッチ信号として出力される。

[0056] センスアンプ66は、ノードがローレベルの接続線CTRL(L)の電圧を参照電圧VrefLと比較する。センスアンプ65と66との出力はXOR回路68に入力する。XOR回路68はエラー信号を出力する。エラー信

号は2つの強磁性トンネル接合素子に矛盾するデータがストアされていないかを示す信号である。例えば、強磁性トンネル接合素子MTJ1とMTJ2とがともに低抵抗のとき、またはともに高抵抗のとき、2つの強磁性トンネル接合素子に矛盾するデータがストアされている。MOSFETm14、m15およびインバータ64は、接続線CTRL(H)およびCTRL(L)をプリチャージする。

[0057] 図12は、各信号のタイミングチャートである。読出回路56が双安定回路30からデータを読み出す。このとき、スイッチ線SRプリチャージPCはローレベルである。バッファ62の出力Bout、接続線CTRL(H)およびCTRL(L)はローレベルまたはハイレベルである。時間t2からt3の間はプリチャージ期間である。プリチャージPCがハイとなる。接続線CTRL(H)およびCTRL(L)はそれぞれローレベルおよびハイレベルにプリチャージされる。

[0058] 時間t3において、スイッチ線SRがハイレベル、プリチャージPCがローレベルとなる。接続線CTRL(H)の電圧は、対応する強磁性トンネル接合素子が高抵抗のとき（データが一致するとき）、実線のようになる。対応する強磁性トンネル接合素子が低抵抗のとき（データが一致しないとき）、破線のようになる。時間t4において、接続線CTRL(H)の電圧を参照電圧VrefHと比較することにより、ハイレベルのノードと対応する強磁性トンネル接合素子とのデータが一致しているか判定できる。接続線CTRL(L)の電圧は、対応する強磁性トンネル接合素子が低抵抗のとき（データが一致するとき）、実線のようになる。対応する強磁性トンネル接合素子が高抵抗のとき（データが一致しないとき）、破線のようになる。時間t4において、接続線CTRL(L)の電圧を参照電圧VrefLと比較することにより、ローレベルのノードと対応する強磁性トンネル接合素子とのデータが一致しているか判定できる。

[0059] 実施例3によれば、図10に示すように、制御部85は、読出回路56の出力Boutと、制御線の電圧と、に基づき、双安定回路30と強磁性トン

ネル接合素子とのデータが一致するか否かを判定することができる。例えば、図4(a)および図4(b)のように、強磁性トンネル接合素子が、双安定回路30内の1つのノードQまたはQBと制御線CTRLとの間に1つ設けられている場合であってもデータの一致を判定できる。

[0060] また、2つの強磁性トンネル接合素子MTJ1およびMTJ2が、双安定回路30内の2つのノードQおよびQBと接続線CTRL(H)およびCTRL(L)との間にそれぞれ接続されている場合、制御部85は、読出回路の出力Boutと、制御線CTRL1(第1制御線)および制御線CTRL2(第2制御線)の電圧と、に基づき、強磁性トンネル接合素子MTJ1とMTJ2とのデータが矛盾するか否かを判定することができる。

実施例 4

[0061] 図13は、実施例4に係る記憶回路を示すブロック図である。図13を参照し、記憶回路102は、メモリ領域77、列デコーダ71、列ドライバ72、行デコーダ73、行ドライバ74、判定回路75および制御部70を備えている。メモリ領域77には、複数の記憶セルがマトリックス状に配置されている。記憶セルは、例えば図2、図4(a)または図4(b)に示した記憶セルである。メモリ領域77は複数の領域76に分割されている。列デコーダ71および行デコーダ73は、アドレス信号から列および行を選択する。列ドライバ72は、選択された列の入出力線および制御線に電圧等を印加する。行ドライバ74は、選択された行のワード線、スイッチ線および制御線に電圧等を印加する。判定回路75は、所定期間において対応する領域76内の記憶セルにデータが揮発的に書き換えられたかを判定する。例えば、図13の記憶セル78にデータが揮発的に書き換えられている。

[0062] 図14は、ストアの際の制御部の処理を示すフローチャートである。図14に示すように、制御部70は、ストアする際に、最初の領域76について、前回に双安定回路30にデータがリストアされた以降に、複数の双安定回路のデータが揮発的に書き換えられているか否かを判定する(ステップS10)。Yesの場合、制御部70は、領域76内の各記憶セルにおいて、双

安定回路 30 のデータを不揮発性素子（例えば強磁性トンネル接合素子）に不揮発的にストアさせる（ステップ S 12）。No の場合、領域 76 内ではストアは行わない。制御部 70 は、最後の領域 76 が判定する（ステップ S 13）。Yes の場合終了する。No の場合ステップ S 10 に戻る。

[0063] なお、ステップ S 12 において、実施例 1 から 3 のように、記憶セル毎に双安定回路 30 のデータを不揮発性素子にストアするかの判定を行ってもよい。

[0064] 実施例 4 によれば、制御部 70 は、前回に双安定回路 30 にデータがリストアされた以降に、複数の双安定回路 30 のデータが揮発的に書き換えられていない場合、複数の記憶セルにおいて双安定回路 30 のデータを不揮発性素子にストアしない。一方、複数の双安定回路 30 の少なくとも 1 つのデータが書き換えられた場合、複数の記憶セルの少なくとも一部において双安定回路 30 のデータを不揮発性素子にストアする。このように、複数の双安定回路 30 のデータが揮発的に書き換えられていない場合、複数の双安定回路 30 のデータを不揮発性素子にストアしないことにより、ストアのための消費電力を抑制できる。

[0065] また、複数の記憶セルは複数の領域 76 に分割されており、制御部 70 は、複数の領域毎に、双安定回路 30 のデータを不揮発性素子にストアする可否かを判定することができる。

[0066] 図 15 は、実施例 4 の変形例に係る記憶回路を示すブロック図である。図 15 を参照し、図 13 の判定回路 75 に代わりに、AND 回路 79 および S R F F（S R フリップフロップ）80 が各領域 76 に対応し設けられている。AND 回路 79 は、書き換え活性信号 E N と、揮発的に書き換える記憶セルが領域 76 内かを示す信号との AND 処理を行なう。例えばアドレス信号から書き換える記憶セルが特定の領域 76 内かを判定できる。AND 回路 79 は、対応する領域 76 内の記憶セルが書き換え対象の場合ハイレベルを出力し、対応する領域 76 内の記憶セルが書き換え対象でない場合ローレベルを出力する。S R F F 80 は、一度ハイレベルが入力されるとハイレベルを

記憶する。制御部70は、SRFF80の出力により、所定期間内に、領域76内の記憶セルが揮発的に書き換えられたかを判断できる。制御部70は、リセット信号RSTを用いSRFF80の出力をローレベルにリセットできる。例えば、リストアを行なった場合、判定部50はSRFF80をリセットする。

[0067] 実施例4の変形例のように、記憶部(SRFF80)は、複数の領域76毎に、双安定回路30の少なくとも1つのデータが書き換えられたか否かを記憶する。これにより、制御部70は、簡単に、双安定回路30の少なくとも1つのデータが書き換えられたか否か判定できる。

[0068] 実施例4およびその変形例において、制御部70は、外部の回路からスキップ信号を受信してもよい。制御部70は、スキップ信号を受信した場合、前回に双安定回路30にデータがリストアされた以降に、複数の双安定回路30のデータが揮発的に書き換えられているか否かの判定を行なわない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

[0069] 実施例1から4およびその変形例においては、不揮発性素子として強磁性トンネル接合素子を例に説明したが、その他の不揮発性素子でもよい。例えば、不揮発性素子は、ReRAM(Resistance Random Access Memory)等に用いられるCER(Colossal Electro-Resistance)効果を用いた抵抗変化素子でもよい。また、相変化素子または強誘電体素子等でもよい。

実施例 5

[0070] 実施例5は、MRAM(Magnetic Random Access Memory)の例である。図16は、実施例5に係る記憶回路のブロック図である。記憶回路104は、記憶セル98としてMOSFET82と強磁性トンネル接合素子MTJを備えている。MOSFET82のソースおよびドレインの一方はビット線/BLに接続されている。MOSFET82のソースおよびドレインの他方は強磁性トンネル接合素子MTJを介しビット線BLに接続されている。MOSFET82のゲートはワード線WLに接続されている。記憶セル98はマト

リックス状に複数設けられている。

[0071] ドライバ84は、ビット線／BLおよびBLが接続されている。ドライバ84は、データを記憶セル98に不揮発的に書き込む。例えば、ドライバ84がビット線／BLおよびBLの一方をハイレベル、他方をローレベルとする。ワード線WLをハイレベルとしMOSFET82を導通状態とする。これにより、強磁性トンネル接合素子MTJに電流が流れる。強磁性トンネル接合素子MTJを流れる電流の向きに応じ、図1(a)から図1(c)において説明したように、強磁性トンネル接合素子MTJを低抵抗または高抵抗とすることができる。これにより、強磁性トンネル接合素子MTJにデータを不揮発的に書き込みできる。

[0072] 読出回路88にはビット線／BLが接続されている。読出回路88は、強磁性トンネル接合素子MTJに不揮発的に書き込まれたデータを読み出す。ビット線BLをハイレベルとし、ビット線／BLを浮遊状態とする。ワード線WLをハイレベルとしMOSFET82を導通状態とする。読出回路88がビット線／BLの電位を検出することにより、強磁性トンネル接合素子MTJが低抵抗か高抵抗か判定できる。これにより、強磁性トンネル接合素子MTJに書き込まれたデータを読み出すことができる。読み出されたデータは読出データBoutとして出力される。

[0073] 制御部86には、書込データと読出データとが入力される。制御部86は、書込データと読出データとが一致するか否かを判定する。書込データと読出データとが一致しない場合、制御部86は記憶セル98の強磁性トンネル接合素子MTJに書込データを書き込む。書込データと読出データとが一致する場合、制御部86は記憶セル98の強磁性トンネル接合素子MTJに書込データを書き込まない。

[0074] 図17は、実施例5に係る記憶回路のより詳細なブロック図である。読出回路88は、センスアンプ94とバッファ96を備えている。センスアンプ94は、ビット線／BLの電位が基準電位Refより低いか高いかにより記憶セル98のデータを読み出す。読み出されたデータはバッファ96に保持

される。制御部 86 は、バッファ 90 と XNOR 回路 92 とを備えている。書込データは、バッファ 90 に保持される。XNOR 回路 92 にはバッファ 90 に保持された書込データとバッファ 96 に保持された読出データとが入力される。XNOR 回路 92 は、書込データと読出データとが一致した場合、ハイレベルを、一致しない場合、ローレベルを出力する。ドライバ 84 は、XNOR 回路 92 の出力がハイレベルの場合、書込データを記憶セル 98 に書き込まない。例えば、ドライバ 84 は、ビット線 /BL と BL を等電位にする。または浮遊状態とする。これにより、ワード線 WL がハイレベルとなっても、強磁性トンネル接合素子 MTJ にはデータが書き込まれない。XNOR 回路 92 の出力がローレベルの場合、書込データを記憶セル 98 に書き込む。

[0075] 実施例 5 によれば、制御部 86 は、読出回路 88 の出力と、強磁性トンネル接合素子 MTJ に不揮発的に書き込むデータと、が一致した場合、書き込みデータを書き込まない。一方、制御部 86 は、読出回路 88 の出力と、不揮発的に書き込むデータと、が一致しない場合、強磁性トンネル接合素子に書き込みデータを書き込む。強磁性トンネル接合素子 MTJ にデータを書き込む際の消費電力は、強磁性トンネル接合素子 MTJ からデータを読み出す際の消費電力より非常に大きい。よって、強磁性トンネル接合素子 MTJ に書き込まれているデータと、書き込むデータが同じ場合、書き込みを行わない。これにより、消費電力を抑制できる。

[0076] 制御部 86 は、外部の回路からスキップ信号を受信してもよい。制御部 86 は、スキップ信号を受信した場合、読出回路 88 の出力と、強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行わない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

[0077] 実施例 1 から 5 のデータ読み出し方法として、電圧センスアンプを用いて説明したが、電流センスアンプを用いることもできる。

[0078] 実施例1から5に係る記憶回路は、例えばキャッシュメモリ、レジスタファイルまたはレジスタ等に用いることができる。フラッシュメモリ等の不揮発性メモリへの書き込みにおいて、書き込み条件の範囲が非常に狭い場合、誤書き込みを防ぐために、書き込めたかどうかを確認（ベリファイ）しながら、セルへの書き込み動作を繰り返すことがある。実施例1から5の記憶回路は、このようなベリファイとは異なり、すでに正常に書き込まれているデータと、上書きしたいデータの一致の確認（ベリファイ）を行なうものである。一般に、上記誤書き込み防止のベリファイは、多数回の確認を行なうことなどから、キャッシュメモリなど高速メモリには用いられない。一方、実施例1から5の記憶回路のように、データの一致のベリファイは、1回の書き込み動作に対して、1度行なえばよい。よって、高速検出が可能となり、キャッシュメモリなどの高速メモリへ応用することができる。

[0079] 以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

[0080] 10、20 インバータ
 30 双安定回路
 70、85、86 制御部
 MTJ1、MTJ2 強磁性トンネル接合素子

請求の範囲

- [請求項1] データを記憶する双安定回路と、
前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、
前記双安定回路と前記不揮発性素子とのデータが一致する場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しない場合は、前記双安定回路のデータを前記不揮発性素子にストアする制御部と、
を具備することを特徴とする記憶回路。
- [請求項2] 前記不揮発性素子は、抵抗値が変更されることにより前記双安定回路のデータをストアすることを特徴とする請求項1記載の記憶回路。
- [請求項3] 前記制御部は、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定し、一致したと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアせず、一致しないと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアすることを特徴とする請求項1または2記載の記憶回路。
- [請求項4] 前記不揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続され、
前記制御部は、前記双安定回路にデータが記憶されているときの前記制御線の電圧に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定することを特徴とする請求項3記載の記憶回路。
- [請求項5] 前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、
前記不揮発性素子は、一端が前記第1ノードに他端が前記制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が前記制御線との間に接続された第2不揮発性素子と、を含むことを特徴とする請求項4記載の記憶回路。

- [請求項6] 前記双安定回路のデータを読み出す読出回路を具備し、
前記制御部は、前記読出回路の出力と、前記制御線の電圧と、に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定することを特徴とする請求項4記載の記憶回路。
- [請求項7] 前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、
前記制御線は、第1制御線と第2制御線とを含み、
前記不揮発性素子は、一端が前記第1ノードに他端が第1制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が第2制御線との間に接続された第2不揮発性素子と、を含み、
前記制御部は、前記読出回路の出力と、前記第1制御線および前記第2制御線の電圧と、に基づき、前記第1不揮発性素子と前記第2不揮発性素子とのデータが矛盾するか否かを判定することを特徴とする請求項6記載の記憶回路。
- [請求項8] 前記制御部は、スキップ信号を受信した場合、前記双安定回路と前記不揮発性素子とのデータが一致するか否かの判定を行わないことを特徴とする請求項3から7のいずれか一項記載の記憶回路。
- [請求項9] それぞれが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする複数の不揮発性素子と、を有する複数のセルと、
前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられていない場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、前記複数の双安定回路の少なくとも1つのデータが書き換えられた場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアする制御部と、
を具備することを特徴とする記憶回路。
- [請求項10] 前記制御部は、前回に前記双安定回路にデータがリストアされた以

降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かを判定し、書き換えられていないと判定した場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、書き換えられたと判定した場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアすることを特徴とする請求項 9 記載の記憶回路。

[請求項11] 前記複数のセルは複数の領域に分割されており、
前記制御部は、前記複数の領域毎に、前記双安定回路のデータを前記不揮発性素子にストアするか否かを判断することを特徴とする請求項 9 または 10 記載の記憶回路。

[請求項12] 前記複数の領域毎に、前記双安定回路の少なくとも 1 つのデータが書き換えられたか否かを記憶する記憶部を具備することを特徴とする請求項 11 記載の記憶回路。

[請求項13] 前記制御部は、スキップ信号を受信した場合、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かの判定を行わないことを特徴とする請求項 10 記載の記憶回路。

[請求項14] 前記不揮発性素子は強磁性トンネル接合素子であることを特徴とする請求項 1 から 13 のいずれか一項記載の記憶回路。

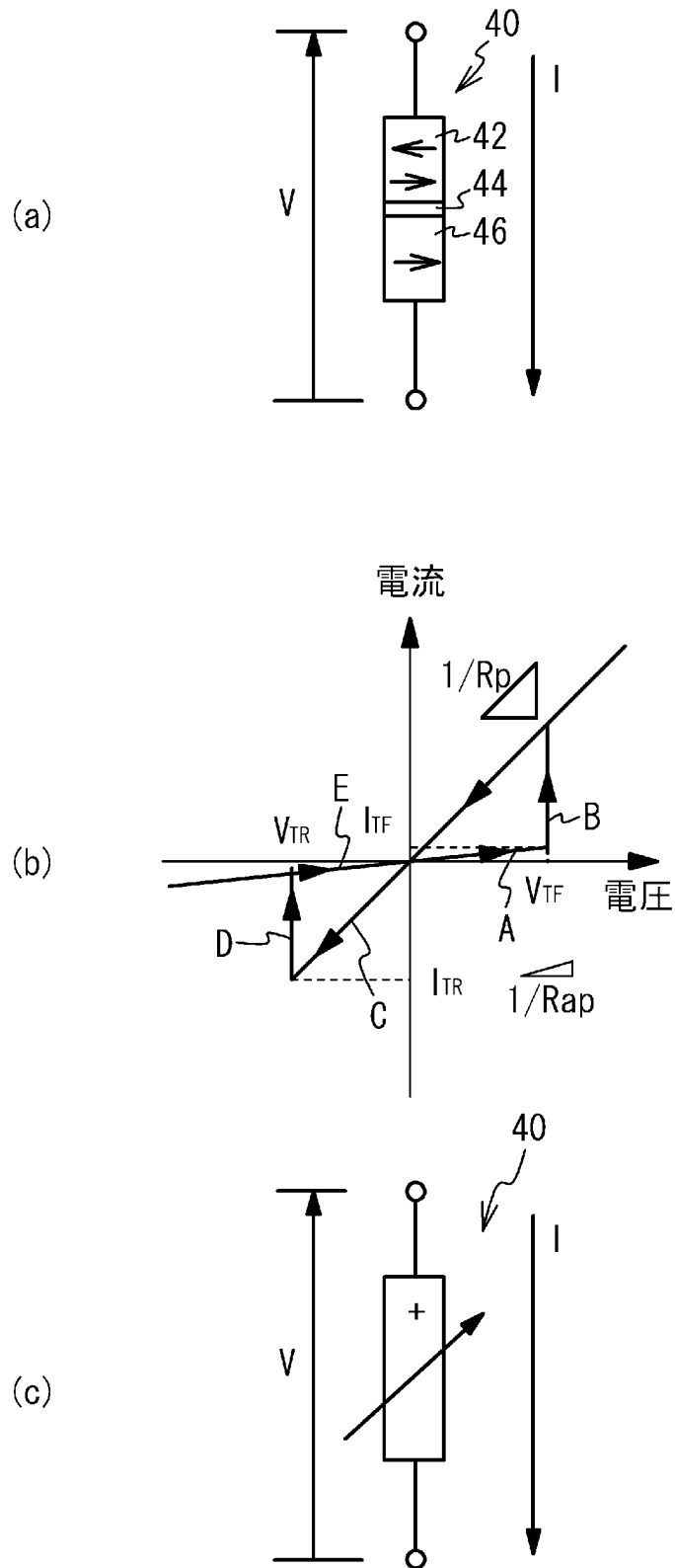
[請求項15] 強磁性トンネル接合素子と、
前記強磁性トンネル接合素子に不揮発的に書き込まれたデータを読み出す読出回路と、
前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、
前記読出回路の出力と、前記不揮発的に書き込むデータと、が一致しない場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む制御部と、

を具備することを特徴とする記憶回路。

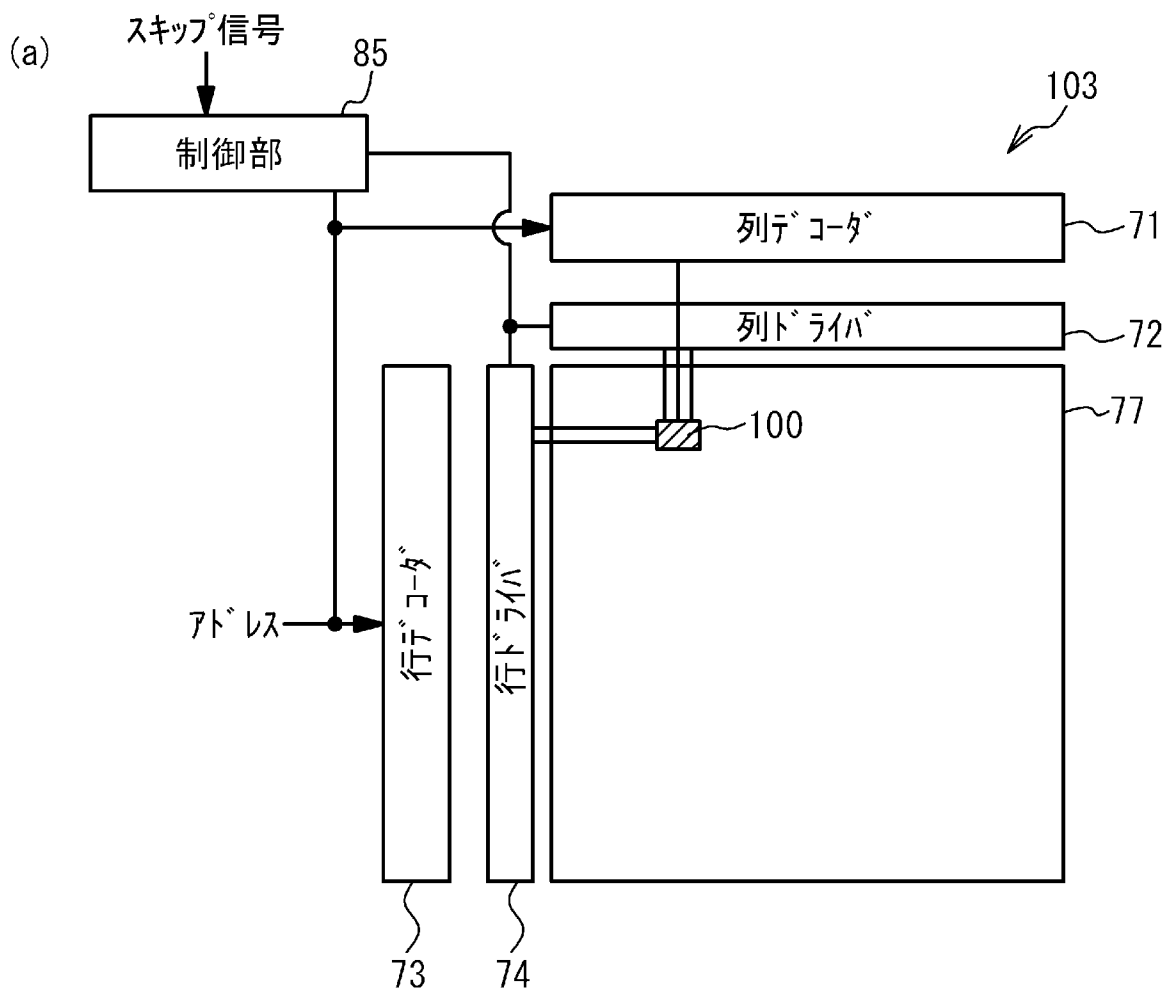
[請求項16] 前記制御部は、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致するか否かを判定し、一致したと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、一致しないと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込むことを特徴とする請求項15記載の記憶回路。

[請求項17] 前記制御部は、スキップ信号を受信した場合、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行なわないことを特徴とする請求項16記載の記憶回路。

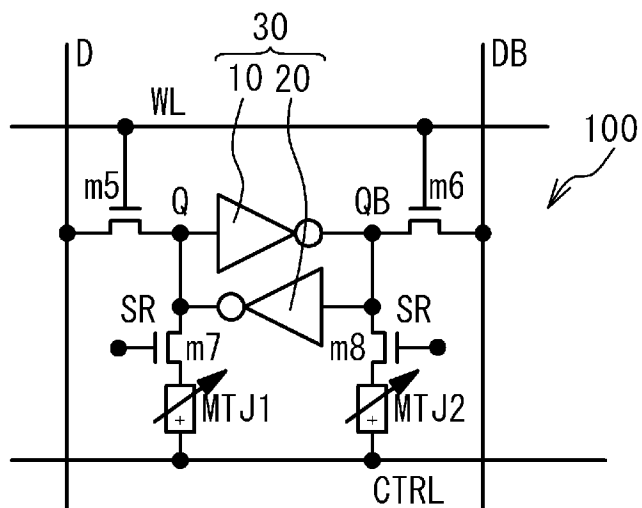
[図1]



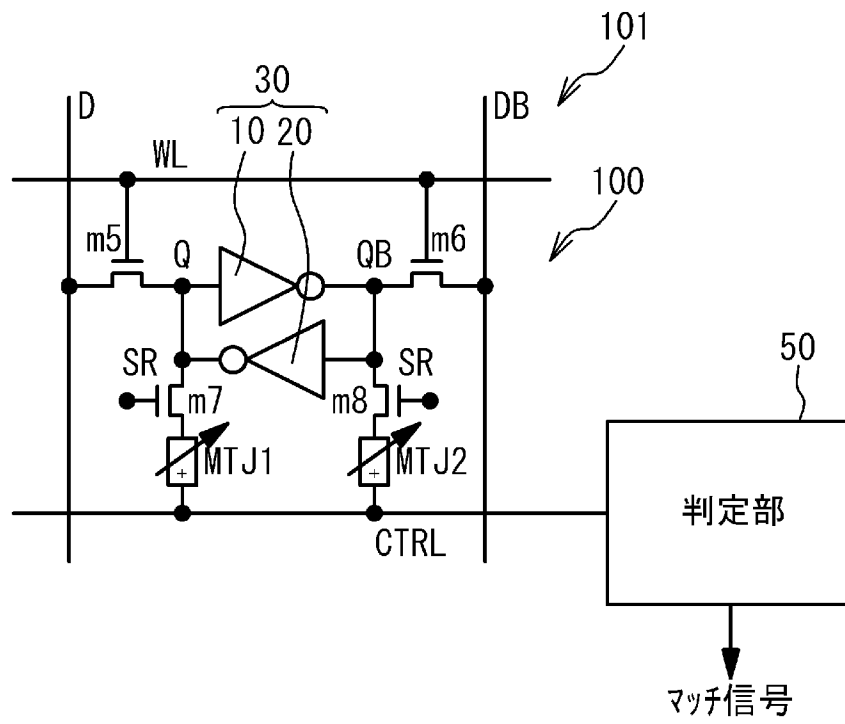
[図5]



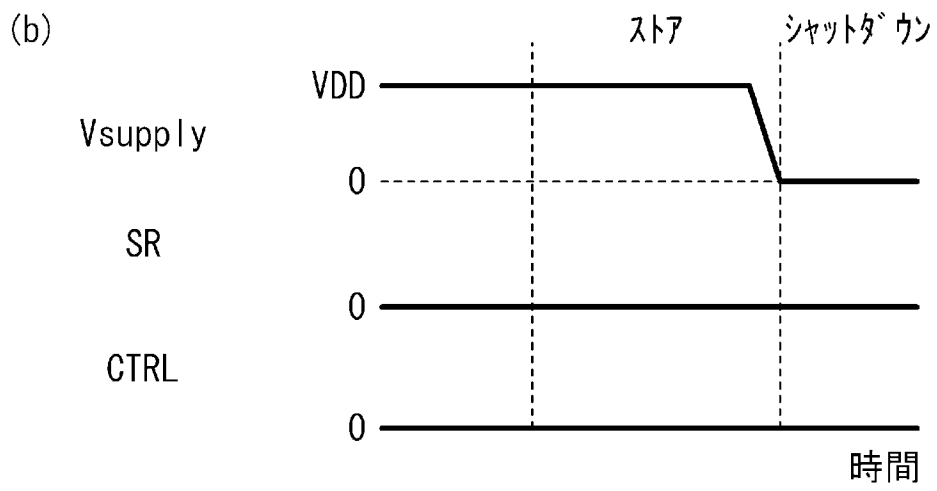
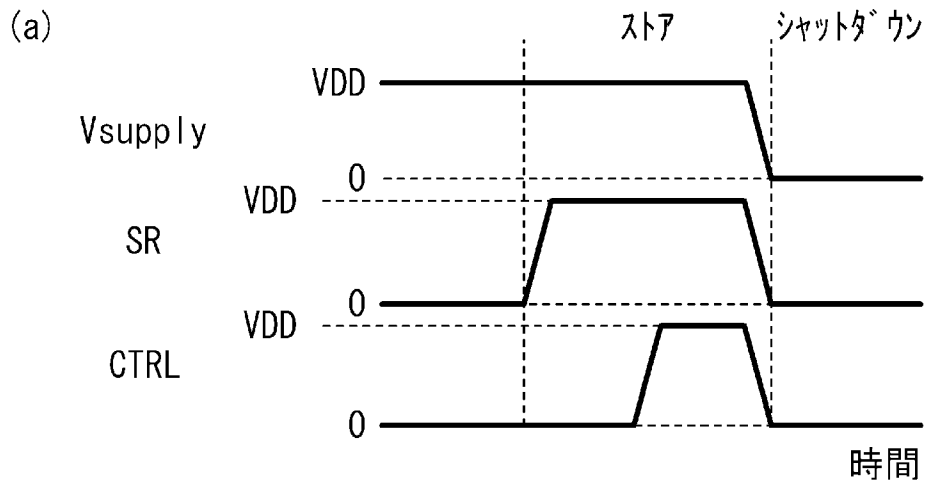
(b)



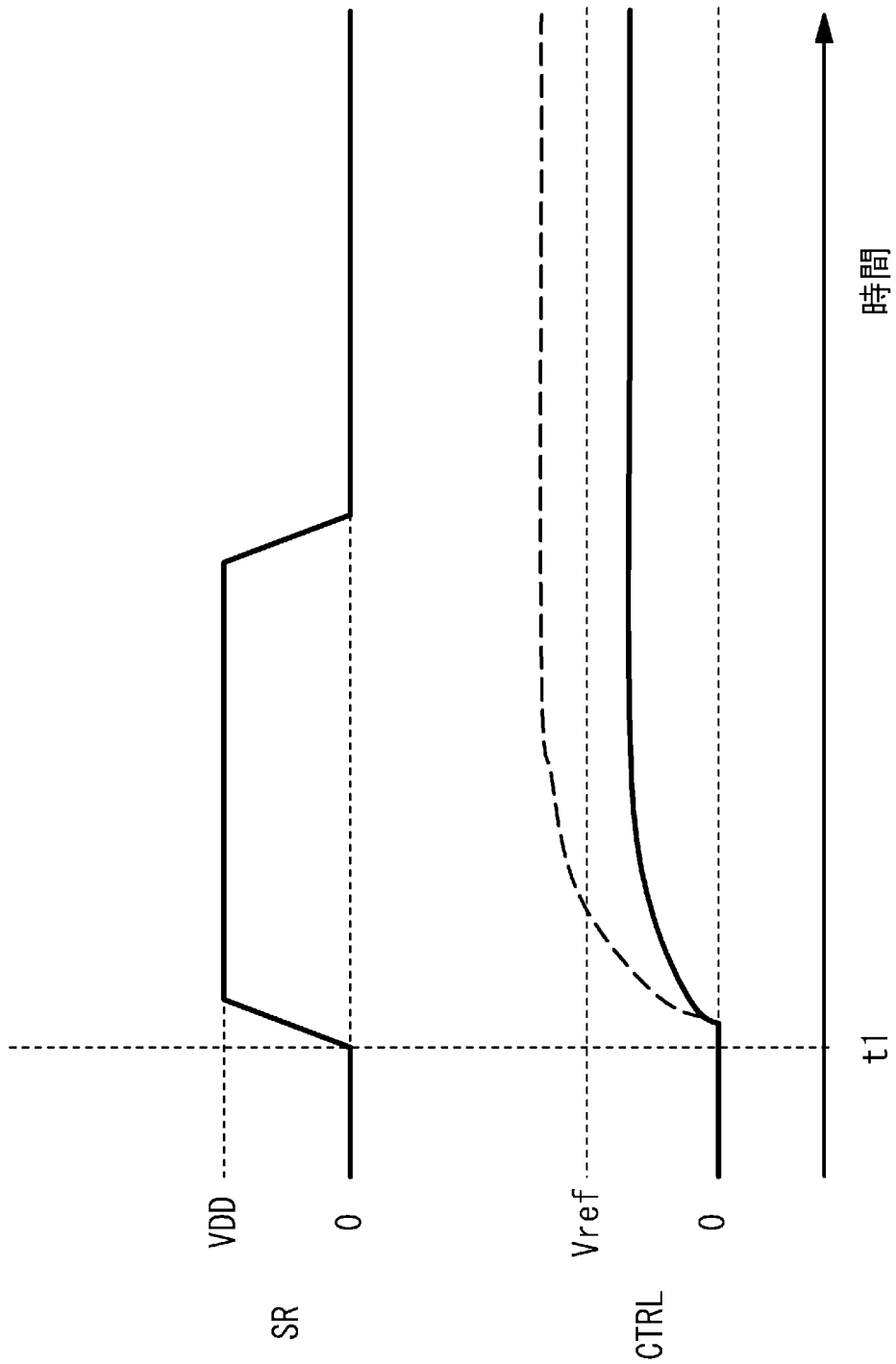
[図6]



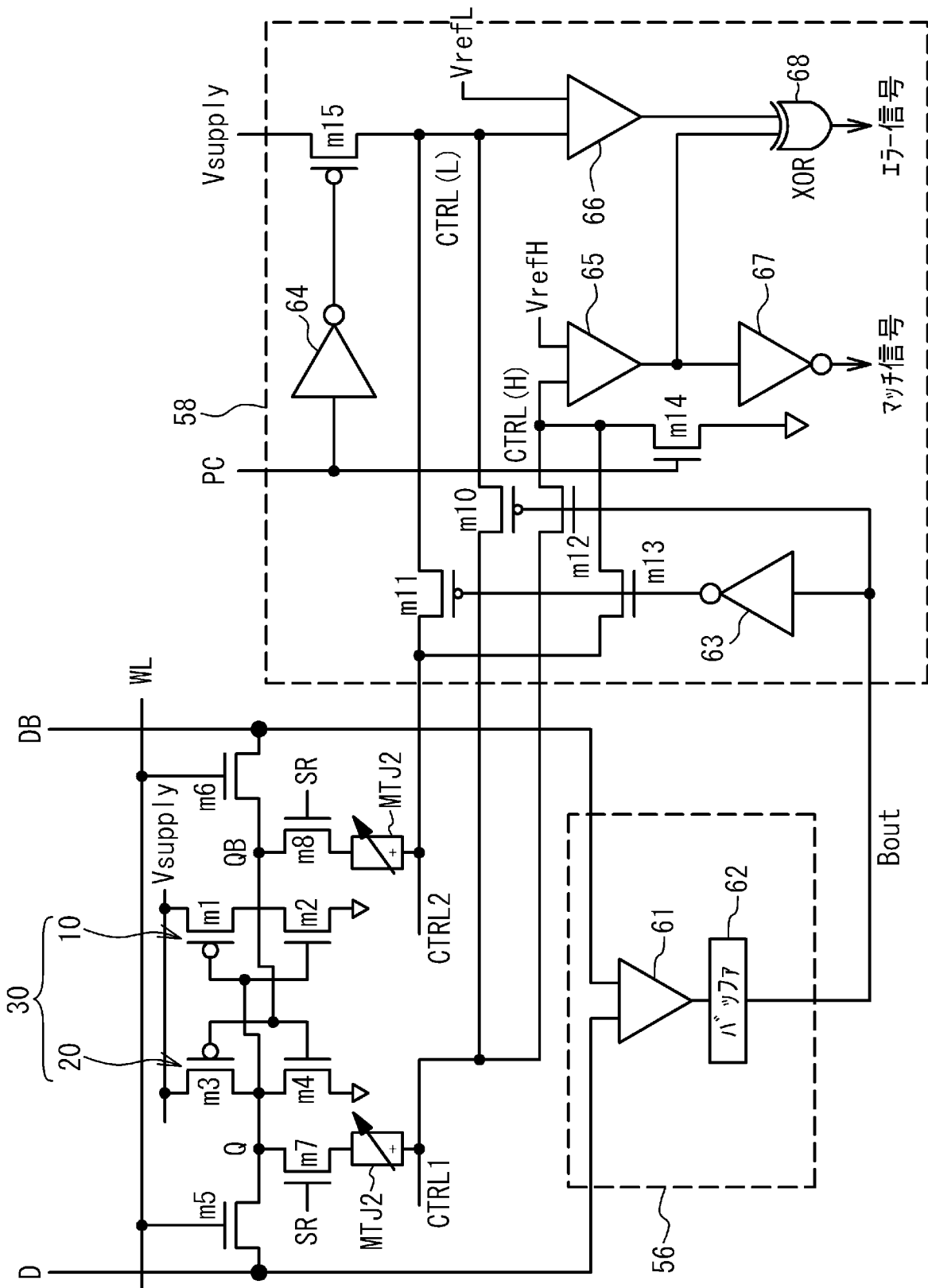
[図7]



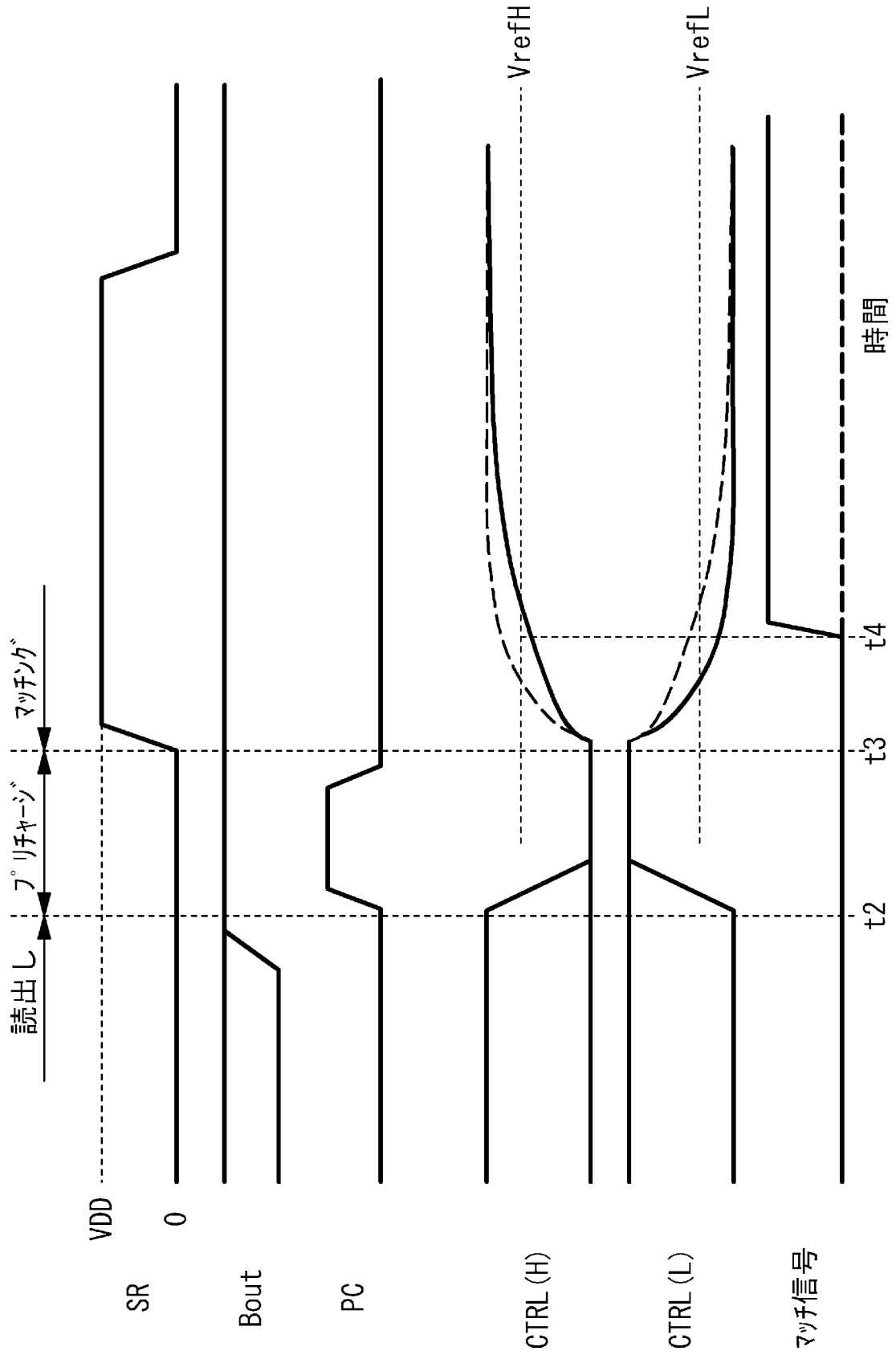
[図9]



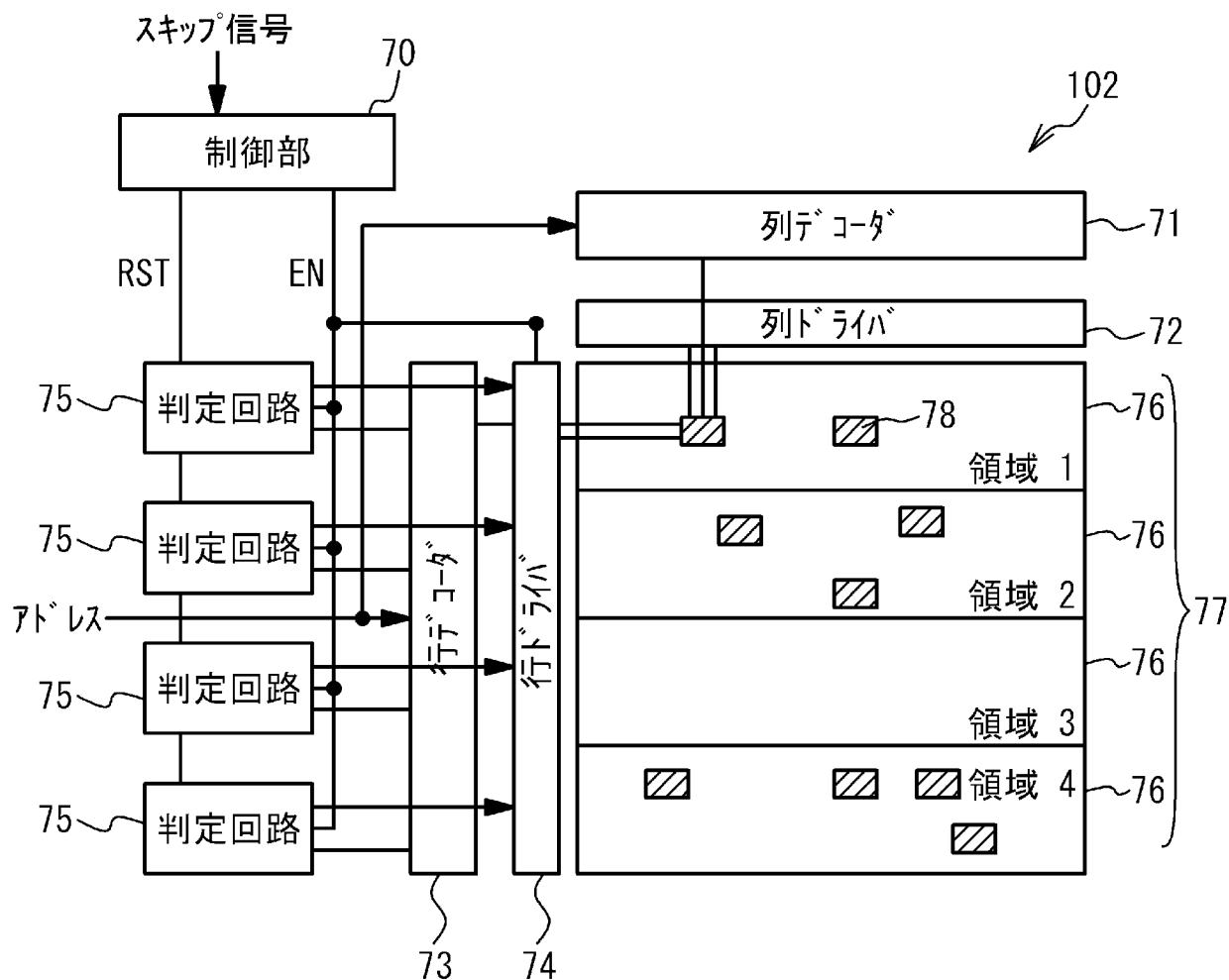
[図11]



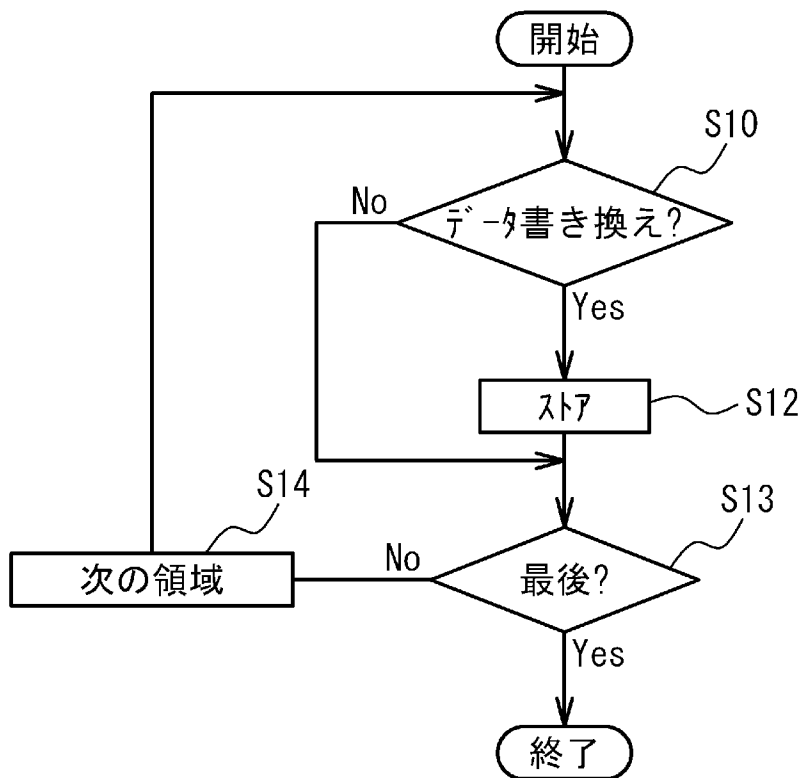
[図12]



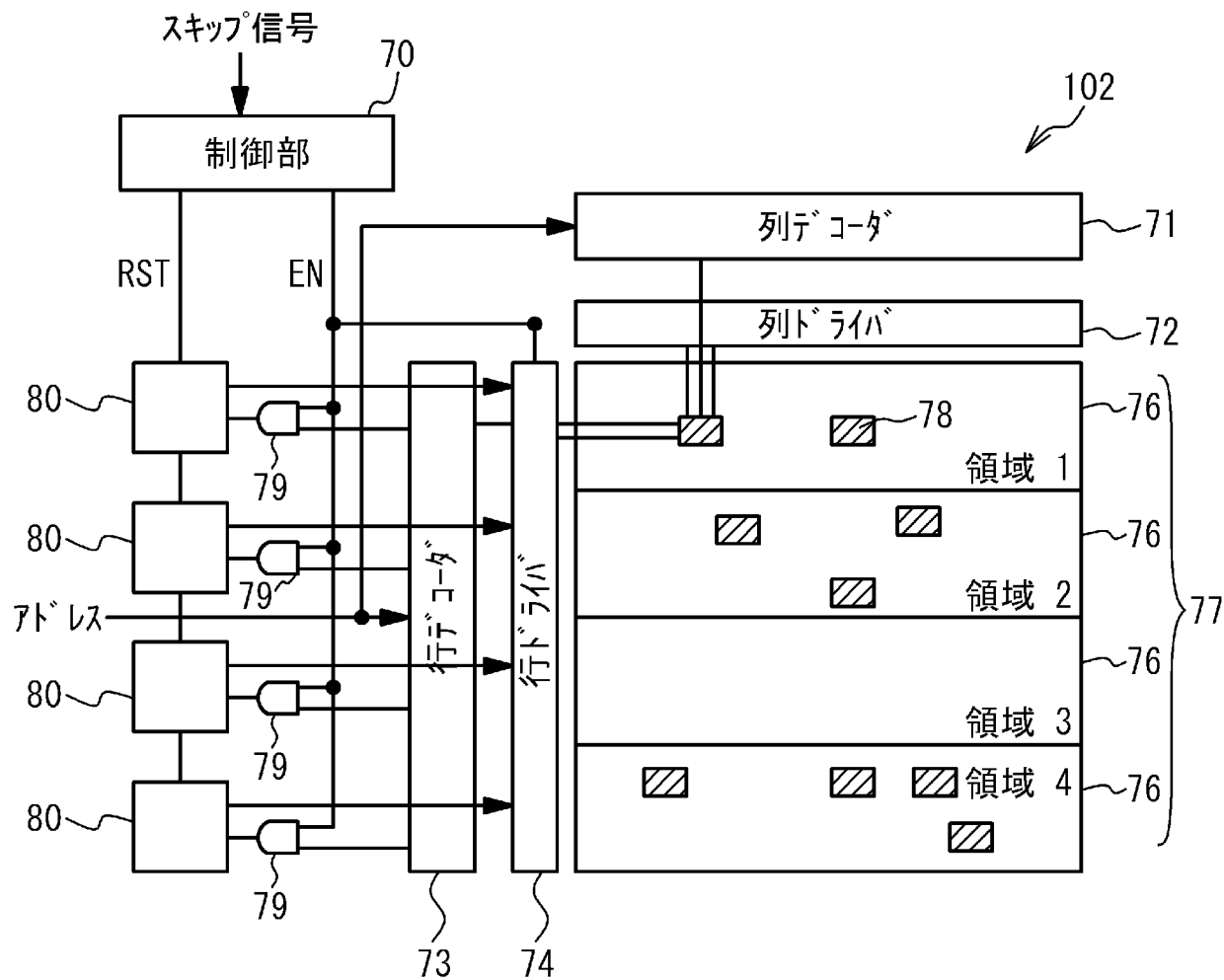
[図13]



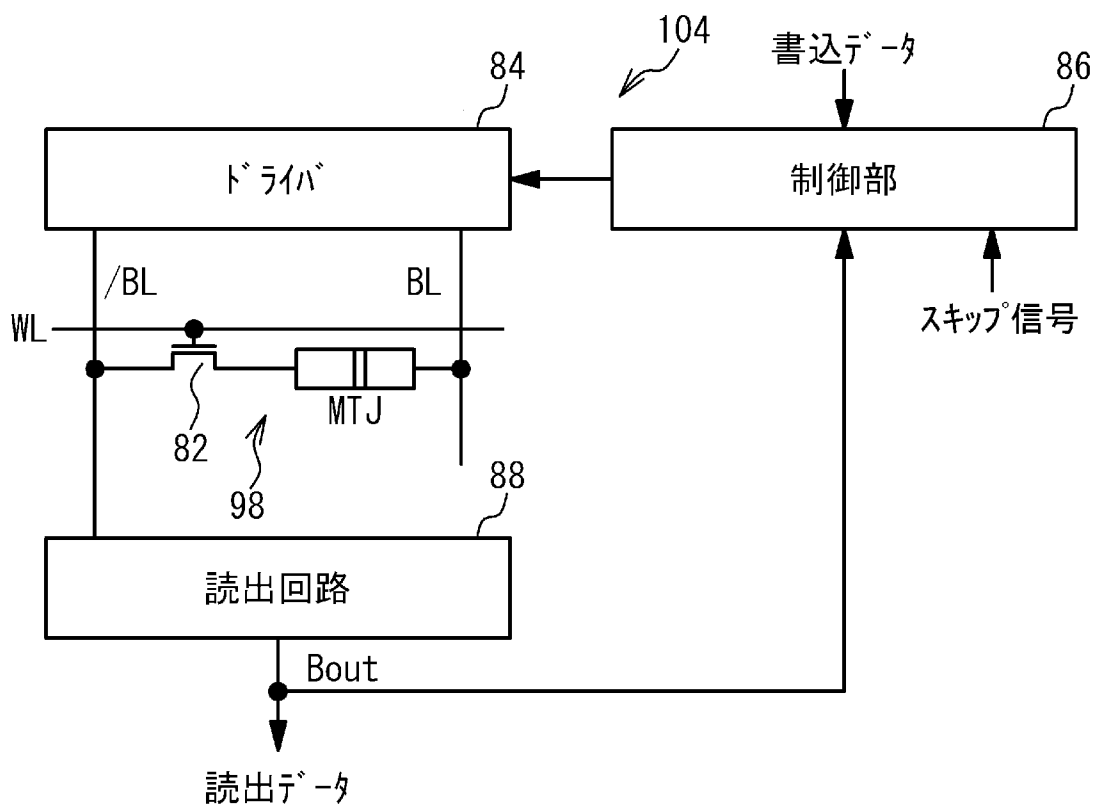
[図14]



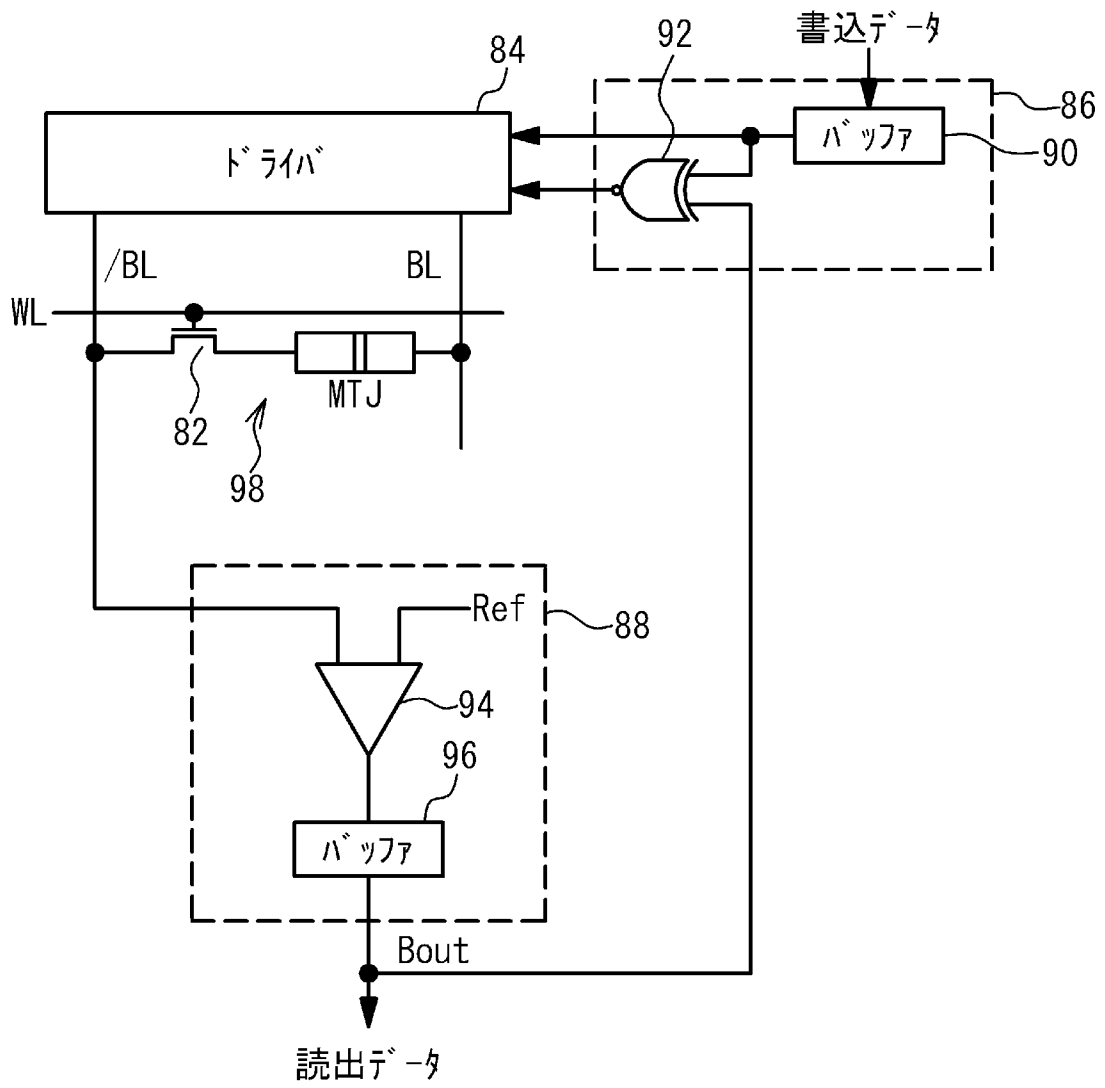
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/054051

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01) i, G11C11/413(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15, G11C11/413

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-63004 A (Sony Corp.), 26 February 2004 (26.02.2004), paragraphs [0024], [0035] to [0049]; fig. 1 to 2 & US 2005/0226033 A1 & EP 1542235 A1 & WO 2004/012198 A1 & KR 10-2005-0028049 A & CN 1685439 A	1-3, 9-10, 14-16 4-8, 11-13, 17
X A	JP 2-81398 A (Hitachi, Ltd.), 22 March 1990 (22.03.1990), page 10, upper left column, lines 2 to 11 (Family: none)	1-3, 9-12, 14-16 4-8, 13, 17

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 March, 2013 (14.03.13)

Date of mailing of the international search report
26 March, 2013 (26.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/054051

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	Yusuke Shuto, Shuuichirou Yamamoto, and Satoshi Sugahara, Evaluation and Control of Break-Even Time of Nonvolatile Static Random Access Memory Based on Spin-Transistor Architecture with Spin-Transfer-Torque Magnetic Tunnel Junctions, Japanese Journal of Applied Physics, vol.51, The Japan Society of Applied Physics, 30 March 2012 (30.03.2012), page 040212	1-3, 9-10, 14-16 4-8, 11-13, 17
A	WO 2009/028298 A1 (Tokyo Institute of Technology), 05 March 2009 (05.03.2009), fig. 5 & US 2011/0273925 A1 & CN 101821810 A	1-17
A	US 2010/0202191 A1 (CAMPBELL NELSON WHIPPS, LLC), 12 August 2010 (12.08.2010), fig. 1A (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C11/15(2006.01)i, G11C11/413(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C11/15, G11C11/413

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2004-63004 A (ソニー株式会社) 2004. 02. 26, 段落 【0024】 , 【0035】 - 【0049】 , 図 1-2 & US 2005/0226033 A1 & EP 1542235 A1 & WO 2004/012198 A1 & KR 10-2005-0028049 A & CN 1685439 A	1-3, 9-10, 14-16 4-8, 11-13, 17
X A	JP 2-81398 A (株式会社日立製作所) 1990. 03. 22, 第 10 頁左上欄第 2-11 行 (ファミリーなし)	1-3, 9-12, 14-16 4-8, 13, 17

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

14. 03. 2013

国際調査報告の発送日

26. 03. 2013

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

堀 拓也

電話番号 03-3581-1101 内線 3565

5 U

4445

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	Yusuke Shuto, Shuuichirou Yamamoto, and Satoshi Sugahara, Evaluation and Control of Break-Even Time of Nonvolatile Static Random Access Memory Based on Spin-Transistor Architecture with Spin-Transfer-Torque Magnetic Tunnel Junctions, Japanese Journal of Applied Physics, 51 巻, 公益社団法人応用物理学会, 2012. 03. 30, 040212 頁	1-3, 9-10, 14-16 4-8, 11-13, 17
A	WO 2009/028298 A1 (国立大学法人東京工業大学) 2009. 03. 05, 図 5 & US 2011/0273925 A1 & CN 101821810 A	1-17
A	US 2010/0202191 A1 (CAMPBELL NELSON WHIPPS, LLC) 2010. 08. 12, FIG. 1A (ファミリーなし)	1-17