

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 3 日(03.01.2013)



(10) 国際公開番号
WO 2013/002227 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/08 (2006.01)
G02F 1/1368 (2006.01) H01L 27/12 (2006.01)
H01L 21/20 (2006.01) H01L 29/786 (2006.01)
H01L 21/265 (2006.01) H01L 51/50 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/066299
- (22) 国際出願日: 2012 年 6 月 26 日(26.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-146529 2011 年 6 月 30 日(30.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三谷 昌弘
(MITANI, Masahiro).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).

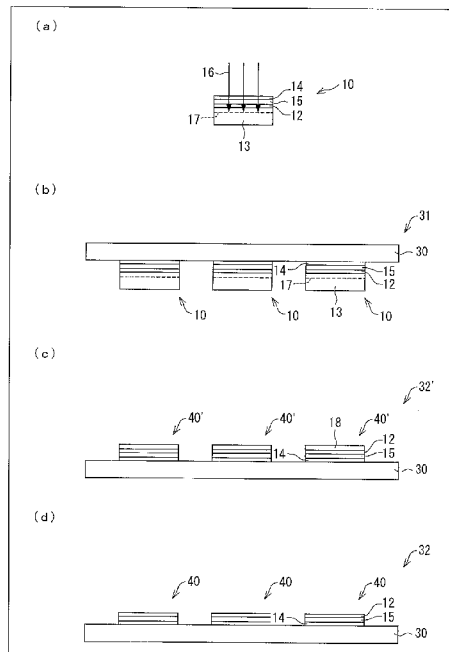
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE, SUBSTRATE FOR FORMING SEMICONDUCTOR SUBSTRATE, MULTILAYER SUBSTRATE, SEMICONDUCTOR SUBSTRATE, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体基板の製造方法、半導体基板作成用基板、積層基板、半導体基板、及び電子デバイス

[図1]



(57) Abstract: To prevent film thickness variation of a plurality of single crystal semiconductor films that are transferred to a base substrate by reliably separating the films at brittle layers. A method for producing an SOI substrate (33) wherein a plurality of SOI layers (15) are arranged on a base substrate (30). This method for producing an SOI substrate (33) comprises: a step wherein a plurality of SOI wafers (10), in each of which an oxide film (14), an SOI layer (15), a BOX layer (12) and an Si supporting substrate (13) that is formed of a single crystal semiconductor material and internally comprises a brittle layer (17) that is formed by irradiation of ions are sequentially laminated, are bonded to a base substrate (30) in such a manner that the oxide layers (14) are closest to the base substrate (30); a step wherein the plurality of SOI wafers (10) are heated, so that parts of the Si supporting substrates (13) are separated at the brittle layers (17) and the oxide films (14), the SOI layers (15), the BOX layers (12) and single crystal Si layers (18) that are parts of the Si supporting substrates (13) are transferred to the base substrate (30); and a step wherein the base substrate (30) is subjected to an etch-back treatment, so that the thus-transferred single crystal Si layers (18) are etched, thereby exposing the BOX layers (12).

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

脆弱層で確実に分離し、ベース基板に転写された複数の単結晶半導体膜の膜厚バラツキを防止する。複数のSOI層(15)が、ベース基板(30)に配されているSOI基板(33)の製造方法であり、酸化膜(14)と、SOI層(15)と、BOX層(12)と、イオンの照射により形成された脆弱層(17)を内部に有する単結晶半導体材料からなるSi支持基板(13)とが順に積層されている複数のSOIウェハ(10)を、酸化膜(14)がベース基板(30)に近い側となるように、ベース基板(30)に貼り合わせる工程と、複数のSOIウェハ(10)に熱を加え、脆弱層(17)で、Si支持基板(13)の一部を分離して、酸化膜(14)と、SOI層(15)と、BOX層(12)と、Si支持基板(13)の一部である単結晶Si層(18)とをベース基板(30)に転写する工程と、ベース基板(30)にエッチバック処理を行い、転写された単結晶Si層(18)をエッチングして、BOX層(12)を露出させる工程とを有する。

明 細 書

発明の名称：

半導体基板の製造方法、半導体基板作成用基板、積層基板、半導体基板、及び電子デバイス

技術分野

[0001] 本発明は半導体基板の製造方法、半導体基板作成用基板、積層基板、及び電子デバイスに関する。

背景技術

[0002] 駆動の高速化、低消費電力化のため、バルク状のS i（シリコン）ウェハに替えて、絶縁層上に、薄い単結晶S i層が形成されたS O I（Silicon On Insulator）ウェハを用いて集積回路を形成する方法が開発されている。S O Iウェハを用いて集積回路を形成することで、寄生容量を小さくすることができることが知られている。通常S O Iウェハは、水素イオンの注入を用いたスマートカット（登録商標）法により製作される。

[0003] しかし、このような一般的なS O Iウェハでは、6～8インチΦ程度のS iウェハを用いるので、大画面化が難しい。

[0004] そこで、近年、特許文献1～6に開示されているように、スマートカット法等を用いて、大型のガラス基板に複数枚のS iウェハを並べて貼り合せ、S i膜を転写して、大面積のS O I基板を製作する方法が開示されている。

[0005] このように、大型ガラス基板に、複数枚のS iウェハを貼り合わせ、S i膜を転写することで、安価で大面積なS O I基板を製作することができる。

[0006] 特許文献1、2では、複数の凹部が形成されたトレーにS iウェハを並べ、当該S iウェハに水素イオンを注入して脆弱層（損傷領域）を形成したあと、一括してガラス基板に貼り合わせる。そして、当該S iウェハを貼り合わせたガラス基板に熱処理を行って脆弱層で分離することで複数のS i膜がガラス基板に転写される。これにより、ガラス基板に複数のS i膜が転写されたS O I基板を得ることができる。

- [0007] ここで、薄膜トランジスタ（TF T）等を形成する場合、膜厚が薄いS i膜が必要である。しかし、脆弱層を浅めに形成して膜厚が薄いS i膜を、直接、ガラス基板に転写すると、S i膜に穴が開きやすくなり歩留りが低下する。
- [0008] このため、ガラス基板には、予め、所望の膜厚より厚いS i膜を転写する。そして、転写したS i膜にレーザー光を照射し、S i膜の表面を平坦化した後、所謂、エッチバック処理を、S i膜が転写されたガラス基板の全面に施すことで、転写されたS i膜の薄膜化を行う。
- [0009] エッチバック処理では、所望の膜厚より厚いS i膜が転写されたガラス基板をチャンバーに入れ、チャンバー内にプロセスガスを導入し、ガラス基板の表面にプラズマを発生させるドライエッチング処理が行われる。
- [0010] しかし、大型のガラス基板をエッチバック処理すると、転写されたS i膜が均一に薄くならない。
- [0011] 図16の（a）は、従来の、エッチバック処理前の半導体基板の平面図であり、図16の（b）は図16の（a）の断面図である。
- [0012] 図17の（a）は、従来の、エッチバック処理後の半導体基板の平面図であり、図17の（b）は図17の（a）の断面図である。
- [0013] 図16の（a）及び（b）に示すように、SOI基板800は、大型のガラス基板801に、転写された6つのS iウェハ810が離間して配されている。S iウェハ810は、単結晶S i膜811と、熱酸化膜812とからなる。単結晶S i膜811は、熱酸化膜812を介してガラス基板801に配されている。一例として、一つのS iウェハ810は、6つのパネル形成領域850を有するものとする。
- [0014] このSOI基板800の単結晶S i膜811をエッチバック処理すると、図17の（a）及び（b）に示すように、エッチング装置の面内分布の影響を受けて、SOI基板800のうち、コーナ一部や中央部の単結晶S i膜811はゆっくりエッチングされて膜厚が厚い厚膜部803が形成される。
- [0015] 一方、図17の（a）の紙面上下左右方向に位置する単結晶S i膜811

は早くエッチングされ、図１７の（ａ）及び（ｂ）に示すように膜厚が薄い薄膜部８０４が形成される。

[0016] これは、大型ガラス基板のドライエッチング装置（平行平板型ＲＩＥやＩＣＰ型ＲＩＥ）は、装置固有のエッチングレートの分布を持つからである。

[0017] 一般的に、大型ガラス基板のドライエッチング装置では、周辺部（特にコーナー部）は電界が逃げやすく放電密度が低くなりやすいことと、シャワープレートから送られたエッチングガスの流量が少なくなりやすく、中央部もエッチングガスが留まりにくいので、これらの領域はエッチングレートが遅くなる。

[0018] そのため、エッチングレートはドーナツ型の分布になり、これらのエッチングレートの分布自体を改善することは、ガラス基板が大型になるほど難しい。

[0019] これら装置を用いたドライエッチングで、大型のガラス基板８０１に転写された単結晶Ｓｉ膜８１１のエッチバック処理を行うと、エッチングレートの遅いコーナー部では単結晶Ｓｉ膜８１１は厚くなり、エッチングレートの早い上下左右の領域では、単結晶Ｓｉ膜８１１は薄くなってしまう。

[0020] その結果としてドーナツ状に、単結晶Ｓｉ膜８１１の膜厚がばらつくことになる。特に、ＳＯＩ基板８００のコーナー部の単結晶Ｓｉ膜８１１は、一つのＳｉ膜内に厚膜部８０３と薄膜部８０４とが形成され、一つのＳｉ膜内で膜厚がばらつくことになる。

[0021] このように膜厚がばらついている単結晶Ｓｉ膜８１１を用いて、ＴＦＴ（薄膜トランジスタ）を作成すると、ＴＦＴの閾値電圧がばらつくため、例えば有機ＥＬ表示装置向けなど、均一なＴＦＴ特性を必要とするＴＦＴバックプレーンを形成することが困難となる。

[0022] また、エッチング処理により、膜厚が均一な単結晶Ｓｉ膜８１１の面積も小さくなるので、均一な膜厚の単結晶Ｓｉ膜８１１が得られるパネル形成領域８５０の面積も小さくなり、パネルの取れ効率が悪くなる。この結果、パネルコストが上昇するという課題が生じる。

[0023] このような、ドーナツ状に膜厚がばらついた単結晶Si膜811が形成されてしまう課題は、大型のガラス基板に複数のSi膜が転写されたSOI基板をドライエッチングした場合に顕著に生じる特有の課題であり、小型基板であるSiウェハやSOIウェハ、小型ガラス基板、あるいはそれらを1対1で貼り合せた小型のSOI基板など、小型基板をドライエッチングした場合には、深刻な問題にならなかった課題である。

[0024] 特許文献7には、ガラス基板と貼り合せ、脆弱層で分離した後の複数のSi膜を、CMP（化学機械研磨）により薄膜化する方法が開示されている。

[0025] 特許文献7では、CMPによる面内の研磨量のバラツキを考慮し、Siウェハ中に形成された脆弱層の、表面からの深さが異なる複数種類のSiウェハを、ガラス基板に貼り合わせ、膜厚の異なるSi膜を転写している。特許文献7では、CMP（化学機械研磨）の研磨量が大きい領域（例えば、ガラス基板の周辺部には）には、表面から脆弱層までの深さが深い（即ち、転写後のSi膜厚が厚い）Siウェハをガラス基板に配し、CMPの研磨量が小さい領域（例えば、ガラス基板の中心部）には、表面から脆弱層までの深さが浅い（即ち、転写後のSi膜厚が薄い）Siウェハをガラス基板に配している。

[0026] これにより、CMPによる研磨処理量の違いによる複数のSi膜間の膜厚バラツキを防止している。

[0027] 特許文献7では、ガラス基板に貼り合わせる前のSiウェハとして、図18の（a）に示すように、単結晶Si基板901と、単結晶Si基板901上に形成された熱酸化膜902とからなる、所謂バルク状のSiウェハ900を用いている。

[0028] Siウェハ900に対して、熱酸化膜902の表面側から、単結晶Si基板901中にイオン注入を行い、単結晶Si基板901中に脆弱層903を形成する。この際、その後のCMPの研磨量の大きさに応じて、脆弱層903の深さを調整しておく。そして、単結晶Si基板901中に脆弱層903が形成された複数のSiウェハ900を、大型のガラス基板904に貼り合

せる。この際、CMPの研磨量が大きい領域（例えば、ガラス基板の周辺部には）には、表面から脆弱層までの深さが深い（即ち、転写後のSi膜厚が厚い）Siウェハをガラス基板に配し、CMPの研磨量が小さい領域（例えば、ガラス基板の中心部）には、表面から脆弱層までの深さが浅い（即ち、転写後のSi膜厚が薄い）Siウェハをガラス基板に配している。

[0029] 次に、図18の（b）に示すように、熱を加えることで、脆弱層903に沿って、単結晶Si基板901の一部の単結晶Si層905を分離し、残った方を、ガラス基板904に転写されたSi膜906として得ている。このSi膜906の表面をCMPで研磨することで、Si膜906の薄膜化を行っている。

[0030] 特許文献8は、単結晶Si層の内部にSiO₂からなるBOX (buried oxide) 層が形成されたSOIウェハを用い、単結晶Si基板中ではなく、BOX層中に脆弱層を形成したSOIウェハをガラス基板に転写している。

[0031] 特許文献8では、図19の（a）に示すように、Si支持基板911、BOX層912、単結晶SiからなるSOI層913、及び熱酸化膜914が順に積層されたSOIウェハ910に対して、熱酸化膜914の表面側から、イオン注入を行い、BOX層912中に脆弱層915を形成する。

[0032] 次に、図19の（b）に示すように、BOX層912に脆弱層915が形成されたSOIウェハ910を、ガラス基板904に貼り合わせる。

[0033] 次に、熱を加えることで、ガラス基板904に貼り合わされたSOIウェハ910を、BOX層912内の脆弱層915で分離し、熱酸化膜914、SOI層913、BOX層912の一部を、ガラス基板904に転写する。この後、ガラス基板904に転写されたBOX層912をウェットエッチングにより除去する。これにより、除去されたBOX層912と熱酸化膜914との間に配されているSOI層913が露出し、膜厚が均一な複数のSOI層913をガラス基板904に転写することができる。

[0034] 特許文献8の方法によると、脆弱層915を形成することで層内に形成されてしまう結晶欠陥は、BOX層912内に限定されSOI層913には形

成されない。また、脆弱層 915 で分離され残った BOX 層 912 をウェットエッチングにより除去することで、BOX 層 912 熱酸化膜 914 との間
の SOI 層 913 を露出させているので、膜厚の均一な SOI 層 913 を得
ることができる。

先行技術文献

特許文献

- [0035] 特許文献1：日本国公開特許公報「特開 2009 - 94488 号公報（2009 年 4 月 30 日公開）」
- 特許文献2：日本国公開特許公報「特開 2009 - 94496 号公報（2009 年 4 月 30 日公開）」
- 特許文献3：日本国公開特許公報「特開 2009 - 194375 号公報（2009 年 8 月 27 日公開）」
- 特許文献4：日本国公開特許公報「特開 2010 - 80938 号公報（2010 年 4 月 8 日公開）」
- 特許文献5：日本国公表特許公報「特表 2009 - 507363 号公報（2009 年 2 月 19 日公表）」
- 特許文献6：日本国公表特許公報「特表 2009 - 516929 号公報（2009 年 4 月 23 日公表）」
- 特許文献7：日本国公開特許公報「特開 2009 - 246346 号公報（2009 年 10 月 22 日公開）」
- 特許文献8：日本国公開特許公報「特開 2004 - 288780 号公報（2004 年 10 月 14 日公開）」

発明の概要

発明が解決しようとする課題

- [0036] しかしながら、上述したように、エッチバック処理による発生するシリコン膜の膜厚ばらつきは、ガラス基板に転写された Si 膜間だけでなく、一つの Si 膜内でも発生する。このため、特許文献 7 に記載のように、複数の S

i ウェハ間で、表面からの脆弱層の形成深さを異ならせても、転写された一つのS i ウェハ内で発生する膜厚バラツキを防止することができない。

[0037] さらに、特許文献7では、図18の(a)及び(b)に示すように、ガラス基板に配置する場所に応じて、単結晶S i 基板901内に深さの異なる脆弱層903を形成している。脆弱層903で分離したあと、イオン注入により形成された結晶構造の欠陥を除去するために、ガラス基板904に転写されたS i 膜906の表面を一定膜厚だけCMPで研磨している。しかしながら、複数のS i 膜906間で研磨量が異なるために、研磨量が少ないS i 膜（脆弱層の形成深さが浅いS i ウェハを転写したS i 膜）に対しては、S i 膜906中に形成された結晶構造の欠陥を完全に除去することはできず、S i 膜906中の結晶欠陥が残ってしまうことになる。逆に、脆弱層の形成深さが浅いS i 膜（研磨量の少ないS i 膜）の結晶欠陥を、CMPで完全に取り除こうとして多く研磨すると、脆弱層の形成深さが深いS i 膜（研磨量の多いS i 膜）は、CMPで薄膜化され過ぎることになる。

[0038] また、BOX層は、非晶質であるS i O₂から構成されているので、既に結晶構造が十分乱れており、水素イオンをBOX層内に注入しても、脆弱層が形成されにくい。

[0039] このため、特許文献8の方法によると、現実的には、BOX層に形成された脆弱層は分離されにくく、途中で分離のためのクラックが止まったり、歪んだ方向に割れたりするなど、脆弱層で分離する際に不良品が発生し易くなる。

[0040] 本発明は、上記の問題点を解決するためになされたもので、その目的は、脆弱層で確実に分離し、ベース基板に転写された複数の単結晶半導体膜の膜厚バラツキを防止することである。

課題を解決するための手段

[0041] 上記の課題を解決するために、本発明の半導体基板の製造方法は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板の製造方法であって、第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射に

より形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板とが順に積層されている複数の積層基板を、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わせる工程と、上記複数の積層基板に熱を加え、上記脆弱層で、上記支持基板の一部を分離して、上記第1の絶縁膜と、上記単結晶半導体膜と、上記第2の絶縁膜と、上記支持基板の一部とを上記ベース基板に転写する工程と、上記ベース基板にエッチバック処理を行い、転写された上記支持基板の一部をエッチングして、上記第2の絶縁膜を露出させる工程とを有することを特徴としている。

[0042] 上記構成によると、上記ベース基板に貼り合わされた上記積層基板は、単結晶材料からなる上記支持基板内部に脆弱層が形成されている。このため、熱を加えることで、確実に、上記脆弱層で分離して、単結晶半導体膜と、上記第2の絶縁膜と、上記支持基板の一部とを、上記ベース基板上に転写することができる。

[0043] そして、ベース基板上に転写された上記単結晶半導体膜と、上記支持基板の一部との間には、上記第2の絶縁膜が配されているので、上記ベース基板にエッチバック処理を行って、転写された上記支持基板の一部をエッチングする際、上記第2の絶縁膜がエッチストップパとして機能し、上記単結晶半導体膜がエッチングされることを防止することができる。

[0044] このため、上記ベース基板に配された複数の単結晶半導体膜の膜厚バラツキを抑えた半導体基板を得ることができる。

[0045] 上記の課題を解決するために、本発明の半導体基板作成用基板は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するための半導体基板作成用基板であって、第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板と、が順に積層されている複数の積層基板が、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わされており、上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴とし

ている。

[0046] 上記の課題を解決するために、本発明の積層基板は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するために、上記ベース基板に貼り合わせるための積層基板であって、第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板と、が順に積層されており、上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴としている。

[0047] 上記構成によると、上記ベース基板に貼り合わされた上記積層基板は、単結晶材料からなる上記支持基板に脆弱層が形成されている。このため、熱を加えることで、確実に、上記脆弱層で分離して、単結晶半導体膜と、上記第2の絶縁膜と、上記支持基板の一部とを、上記ベース基板上に転写することができる。

[0048] そして、ベース基板上に転写された上記単結晶半導体膜と、上記支持基板の一部との間には、上記第2の絶縁膜が配されているので、上記ベース基板にエッチバック処理を行って、転写された上記支持基板の一部をエッチングする際、上記第2の絶縁膜がエッチストップパとして機能し、上記単結晶半導体膜がエッチングされることを防止することができる。

[0049] このため、上記ベース基板に配された複数の単結晶半導体膜の膜厚バラツキを抑えた半導体基板を得ることができる。

[0050] また、上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であり、上記第2の絶縁膜の膜厚が薄い。このため、上記単結晶半導体膜と、上記支持基板との間に上記第2の絶縁膜が設けられていたとしても、確実に、上記支持基板内部に、上記脆弱層を形成することができる。

発明の効果

[0051] 本発明の半導体基板の製造方法は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板の製造方法であって、第1の絶縁膜と、単結晶半

導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板とが順に積層されている複数の積層基板を、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わせる工程と、上記複数の積層基板に熱を加え、上記脆弱層で、上記支持基板の一部を分離して、上記第1の絶縁膜と、上記単結晶半導体膜と、上記第2の絶縁膜と、上記支持基板の一部とを上記ベース基板に転写する工程と、上記ベース基板にエッチバック処理を行い、転写された上記支持基板の一部をエッチングして、上記第2の絶縁膜を露出させる工程とを有する。

[0052] 本発明の半導体基板作成用基板は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するための半導体基板作成用基板であって、第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板と、が順に積層されている複数の積層基板が、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わされており、上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴としている。

[0053] 本発明の積層基板は、複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するために、上記ベース基板に貼り合わせるための積層基板であって、第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板と、が順に積層されており、上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下である。

[0054] これにより、脆弱層で確実に分離し、ベース基板に転写された複数の単結晶半導体膜の膜厚バラツキを防止するという効果を奏する。

図面の簡単な説明

[0055] [図1]本発明の実施形態1のSOI基板の製造方法の概略を説明する図である。

[図2] S O I 基板を表す平面図であり、(a) はエッチバック処理前の S O I 基板を表し、(b) はエッチバック処理後の S O I 基板を表す。

[図3] 一般的な S O I ウェハの構成を表す断面図である。

[図4] H^+ 、 H_2^+ 、 H_3^+ の加速電圧に対する注入深さを表す図である。

[図5] S O I ウェハの製造方法を示す図である。

[図6] S O I ウェハ及び絶縁性基板の製造工程、及び S O I ウェハをトレーに載置する工程を説明するための図である。

[図7] 複数の S O I ウェハを、ベース基板と貼り合わせるための各工程を説明するための図である。

[図8] 本発明の実施形態 1 の S O I 基板に、T F T を形成するための各工程を説明するための図である。

[図9] 本実施の形態に係るトランジスタ基板を用いて作成された液晶表示装置を表す断面図である。

[図10] 本実施の形態に係るトランジスタ基板を用いて作成されたエレクトロルミネセンス装置を表す断面図である。

[図11] 本実施の形態に係るトランジスタ基板を用いて作成された、無線通信装置を説明するための回路ブロック図である。

[図12] 本実施の形態に係るトランジスタ基板を用いて作成された、発光装置を説明するための概略図である。

[図13] 本実施の形態にかかる液晶表示装置、エレクトロルミネセンス装置、無線通信装置、発光装置などを用いた応用商品像の例である。

[図14] 本発明の実施形態 2 の S O I 基板に、T F T を形成するための各工程を説明するための図である。

[図15] 本発明の実施形態 3 の S O I 基板に、T F T を形成するための各工程を説明するための図である。

[図16] 従来の、エッチバック処理前の半導体基板の図であり、(a) は平面を表し、(b) は断面を表す。

[図17] 従来の、エッチバック処理後の半導体基板の図であり、(a) は平面

を表し、(b)は断面を表す。

[図18]従来の、単結晶Siウェハを表す図であり、(a)は単結晶Siウェハの単結晶Si層内に脆弱層を形成する様子を表し、(b)は(a)の単結晶Siウェハを脆弱層で分離している様子を表す。

[図19]従来の、SOIウェハを表す図であり、(a)はSOIウェハのBOX層内に脆弱層を形成する様子を表し、(b)は(a)のSOIウェハを脆弱層で分離しようとしている様子を表す。

発明を実施するための形態

[0056] [実施の形態1]

本発明の第1の実施の形態について説明する。

[0057] (SOI基板32の製造方法の概略)

まず、図1の(a)～(d)、図2の(a)～(b)を用いて、本実施の形態に係るSOI基板32の製造方法の概略について説明する。図1は、本発明のSOI基板32の製造方法の概略を説明する図である。

[0058] まず、図1の(a)に示すように、SOIウェハ(積層基板)10を用意する。SOIウェハ10は、複数の単結晶半導体膜が、ベース基板に配されているSOI基板(半導体基板)を作成するために、上記ベース基板に貼り合わせるための基板である。

[0059] SOIウェハ10は、順に積層されている、 SiO_2 からなる酸化膜(第1の絶縁膜)14と、単結晶SiからなるSOI層(単結晶半導体膜)15と、 SiO_2 からなるBOX層(第2の絶縁膜)12と、単結晶SiからなるSi支持基板(支持基板)13とから構成されている。SOI層15が、TFET等を形成したときに、活性層となる。このため、SOI層15は、ベース基板へ転写後、特に、膜厚が均一であることが要求される膜である。なお、SOIウェハ10の詳細な説明は後述する。

[0060] この酸化膜14の表面側から、水素イオン(イオン16)を照射(イオン注入又はイオンドーピング)することにより、Si支持基板(支持基板)13内部の所定の深さに脆弱層(結晶欠陥層)17を形成する。このSOIウ

エハ１０を複数個用意する。

[0061] 図１の（ｂ）に示すように、この複数のＳＯＩウェハ１０と、ベース基板３０の各々に、表面が親水性となる表面処理を施し、この複数のＳＯＩウェハ１０の酸化膜１４の表面側を、大型のガラス等からなるベース基板３０に貼り合せる。これにより、複数のＳＯＩウェハ１０のそれぞれの酸化膜１４の表面がベース基板３０に貼り合わされた貼り合せ基板（半導体基板作成用基板）３１を得ることができる。

[0062] そして、複数のＳＯＩウェハ１０に熱を加えることで、脆弱層１７で、Ｓｉ支持基板１３の一部を分離する。これにより、図１の（ｃ）に示すように、酸化膜１４と、ＳＯＩ層１５と、ＢＯＸ層１２と、脆弱層１７で分離されたＳｉ支持基板１３の一部である単結晶Ｓｉ層１８とからなるＳＯＩウェハ４０'が複数、ベース基板３０上に転写された貼り合せ基板３２'を得ることができる。貼り合せ基板３２'は、エッチバック処理前のＳＯＩ基板である。

[0063] ＳＯＩウェハ１０では、脆弱層１７は、非晶質であるＢＯＸ層１２内ではなく、単結晶ＳｉからなるＳｉ支持基板１３内に形成されている。このため、熱を加えることで、確実に、脆弱層１７で、Ｓｉ支持基板１３の一部を分離することができる。

[0064] そして、複数のＳＯＩウェハ４０'が転写されたベース基板３０、すなわち貼り合せ基板３２'にエッチバック処理を行い、ＳＯＩウェハ４０'の単結晶Ｓｉ層１８を、エッチングして、ＢＯＸ層１２を露出させる。

[0065] これにより、図１の（ｄ）に示すように、酸化膜１４と、ＳＯＩ層１５と、ＢＯＸ層１２ととからなるＳＯＩウェハ４０が複数、ベース基板３０上に転写されたＳＯＩ基板（半導体基板）３２を得ることができる。ＳＯＩ基板３２は、エッチバック処理後の基板である。

[0066] このように、エッチバック処理前は、ベース基板３０上に転写されたＳＯＩ層１５と、単結晶Ｓｉ層１８との間にＢＯＸ層１２が配されているので、ベース基板３０にエッチバック処理を行って、単結晶Ｓｉ層１８をエッチン

グする際、BOX層12をエッチストップパとして機能させることができる。
このため、エッチバック処理で、BOX層12の下層のSOI層15がエッチングされることを防止することができる。

[0067] 本実施の形態では、この後、後述するように、SOI基板32にウェットエッチングを施し、BOX層12を除去し、BOX層12の下層のSOI層15を露出させる。

[0068] このように、SOI基板32の製造方法によると、ベース基板30に配された複数のSOI層15間、及び一SOI層15内の膜厚ばらつきを抑えた、SOI基板32を得ることができる。

[0069] 図2の(a)はエッチバック処理前のSOI基板を表す平面図であり、図2の(b)はエッチバック処理後のSOI基板を表す平面図である。

[0070] 図2の(a)に示すように、エッチバック処理前に、例えば、貼り合せ基板32'は一つのSOIウェハ40'内に、6つのパネル形成領域3を有していた場合、図2の(b)に示すように、エッチバック処理後も、SOI基板32は、一つのSOIウェハ40内に、膜厚の均一なパネルを形成するための、6つのパネル形成領域3を有することが可能である。

[0071] このように、SOI基板32は、エッチバック処理後も、SOI基板32内で均一な膜厚の複数のSOI層15を有するので、閾値電圧の揃ったTFTバックプレーンを形成することができると共に、パネルを形成可能な面積（すなわち膜厚が均一なSOI層15の面積）を充分確保することができる。このため、パネルの取れ効率向上や、コスト削減を実現することができる。

[0072] (SOIウェハ10の詳細説明)

次に、図1の(a)、図3、図4を用いて、SOIウェハ10を詳細に説明する。

[0073] 図1の(a)に示すように、SOIウェハ10は、酸化膜14、SOI層15、BOX層12、及びSi支持基板13が順に積層されている。

[0074] 酸化膜14の表面には、上述したように、SOIウェハ10の貼り合せ相

手となるベース基板 30 が貼り合わされる。

[0075] 酸化膜 14 の膜厚は、良好な転写を行うために、10 nm～200 nm 程度であることが好ましい。酸化膜 14 の膜厚を 10 nm～200 nm 程度とすることで、転写する際の熱処理時に、ブリスタ等の穴あき欠陥の発生を防止することができる。一方、酸化膜 14 の膜厚が薄いと、貼り合せ相手であるベース基板からの不純物元素の汚染（拡散）が懸念される。本実施例では、貼り合せ相手であるベース基板からの不純物元素の汚染（拡散）を防止する事も考慮して、一例として、酸化膜 14 の膜厚を 100 nm 程度とする。

[0076] 酸化膜 14 は、本実施の形態では、単結晶 Si を熱酸化することで得られる SiO₂ からなるものとする。ただし、酸化膜 14 は、SiO₂ に限定されるものではなく、不純物バリア性の高い、SiON（酸化窒化シリコン）、SiNO（窒化酸化シリコン）、又は SiN_x（窒化シリコン）等の窒化膜を用いてもよい。酸化膜 14 に、SiON（酸化窒化シリコン）、SiNO（窒化酸化シリコン）、又は SiN_x（窒化シリコン）を用いることで、貼り合せ相手であるベース基板からの不純物元素の汚染（拡散）を、効果的に防ぐことができる。

[0077] SOI 層 15 は、ベース基板 30 に貼り合わされた後、活性層として機能する膜である。

[0078] 例えば、液晶パネル用の TFT を製造する場合、SOI 層 15 の膜厚が薄すぎるとオン電流が小さくなり駆動力不足となる。一方、SOI 層 15 の膜厚が厚すぎると、光リーク電流が大きくなってしまう。

[0079] このため、SOI 層 15 の膜厚は、50 nm 以上 200 nm とすることが好ましい。これにより、十分に駆動力が得られるオン電流を流すことが可能であり、かつ、光リーク電流の発生が抑制された TFT を得ることができる。すなわち、液晶ディスプレイや有機 EL ディスプレイ用途等の TFT に適した膜厚を有する SOI 基板を得ることができる。

[0080] SOI 層 15 は、単結晶半導体材料からなる膜であり、本実施の形態では単結晶 Si からなるものとする。ただし、単結晶半導体材料は Si に限定さ

れるものではなく、S i に換えて、G e（ゲルマニウム）、S i 及びG eを含む半導体材料、S i の化合物、G a A s、G a NなどのIII-V族化合物半導体等を用いてもよい。

[0081] B O X 層 1 2 は、単結晶S i からなるS O I 層 1 5 及びS i 支持基板 1 3 の間に埋め込んで形成された埋め込み酸化膜である。

[0082] B O X 層 1 2 は、本実施の形態では、ベース基板 3 0 に貼り合せ後、S O I 層 1 5 を露出させるためにエッチングを行う際のエッチストップパとして機能させるための膜である。このため、B O X 層 1 2 は、エッチバック処理の際、支持基板 1 3 の構成材料に対する選択比が 2 以上の材料からなることが好ましい。

[0083] B O X 層 1 2 は、ベース基板 3 0 と貼り合わされず、単体で用いられる一般的なS O I ウェハ中に形成されているB O X 層と比べて膜厚が薄くなるように形成されている。

[0084] 図 3 は、一般的なS O I ウェハの構成を表す断面図である。

[0085] 図 3 に示すS O I ウェハ 9 5 0 は、順に、S i O₂ からなる酸化膜 9 5 4 と、単結晶S i からなるS O I 層 9 5 3 と、S i O₂ からなるB O X 層 9 5 2 と、単結晶S i からなるS i 支持基板 9 5 1 とが積層されている。

[0086] S O I ウェハ 9 5 0 は、ベース基板などに貼り合されず、単体で、T F T 等を製造するために用いられる。B O X 層 9 5 2 は、単結晶S i からなるS O I 層 9 5 3 とS i 支持基板 9 5 1 との間に埋め込まれて形成された埋め込み酸化層である。

[0087] 通常、ベース基板に貼り合されないS O I ウェハ 9 5 0 のB O X 層 9 5 2 は、S O I ウェハ 9 5 0 にT F T を形成した際、ソース・ドレインの寄生容量や、漏れ電流（リーク電流）を抑えるための絶縁層として用いられる。このため、B O X 層 9 5 2 の膜厚は、一般的に、0. 1 μ m 以上 2 0 μ m 以下程度となるように、比較的厚く形成されている。

[0088] すなわち、一般的なS O I ウェハ 9 5 0 のB O X 層 9 5 2 は、膜厚を薄くすると、S O I ウェハ本来の目的であるソース・ドレインの寄生容量や、漏

れ電流（リーク電流）の抑制が困難となる。

[0089] 一方、図1の(a)に示すSOIウェハ10は、ベース基板30に貼り合せ後、SOI層15を露出させるためにエッチングを行う際のエッチストップパとして機能すればよい。このためSOIウェハ950のBOX層952のような0.1 μm 以上の厚い膜厚は必要ない。このため、BOX層12は、膜厚を薄くすることができる。

[0090] さらに、SOIウェハ10は、酸化膜14の表面側から、酸化膜14、SOI層15、及びBOX層12を透過させて、Si支持基板13内部の所定の深さに水素イオン16を打ち込み、Si支持基板13内部に脆弱層17を形成する必要がある。

[0091] このため、BOX層12の膜厚は、50 nm以下と、図3の一般的なSOIウェハ950のBOX層952と比べて膜厚が薄くなるように形成されている。これにより、酸化膜14の膜厚を100 nm、SOI層15の膜厚を50 nm以上200 nmとし、かつ、酸化膜14の表面側から水素イオン16を打ち込み、Si支持基板13内部に、剥離面となる脆弱層17を形成することができる。すなわち、エッチストップパを形成することができる。

[0092] このように、BOX層12の膜厚が50 nm以下と薄いので、確実に、Si支持基板13内部に脆弱層17を形成することができる。

[0093] Si支持基板（支持基板）13は、SOIウェハ10のハンドルウェハ（ハンドル層）となる基板である。Si支持基板（支持基板）13の内部の所定の深さには、脆弱層17が形成されている。

[0094] Si支持基板13は、単結晶半導体材料からなり、本実施の形態では単結晶Siからなるものとする。ただし、単結晶半導体材料はSiに限定されるものではなく、Siに換えて、Ge（ゲルマニウム）、Si及びGeを含む半導体材料、Siの化合物、GaAs、GaNなどのIII-V族化合物半導体等を用いてもよい。Si支持基板13の膜厚は、一例として635 μm 程度とする。

[0095] 脆弱層17は、上述のように、SOIウェハ10の酸化膜14の表面側か

ら水素イオン16を、Si支持基板13内に打ち込むことにより、Si支持基板13内部に形成される。

[0096] 水素イオン16としては、 H^+ 、 H_2^+ イオン、 H_3^+ を用いることができる。また、 H イオンと一緒に、 He イオンを注入しても良い。

[0097] この水素イオン16による、脆弱層17が形成される酸化膜14の表面からの深さは、水素イオン16の注入エネルギー（加速電圧）によって決まる。

[0098] 図4は、 H^+ 、 H_2^+ 、 H_3^+ の加速電圧に対する注入深さを表す図である。 H^+ の注入深さを元に、 H_2^+ 、 H_3^+ の注入深さを算出している。即ち、加速電圧一定の場合、重いイオンほど注入深さは浅くなるため、 H_2^+ を用いると H^+ の凡そ1/2倍、 H_3^+ を用いると H^+ の凡そ1/3倍の注入深さとなる。図4に示すように、水素イオン16のSOIウェハ10への注入深さは加速電圧依存性を示します。

[0099] 図4より、加速電圧が高くなれば、 H^+ 、 H_2^+ 、 H_3^+ の注入深さも深くなることが分かる。しかし、加速電圧が高すぎるとスループットが悪くなったり、注入されたSOIウェハ10が高温になるなどの問題が生じる。このため、水素イオン16を注入する場合の加速電圧は、概ね150keV程度、が上限となる。

[0100] 従って、生産効率を低下させず、水素イオン16をSOIウェハ10への注入する深さの上限は、水素イオン16として H^+ を用いた場合は1400nm程度、 H_2^+ を用いた場合は700nm程度、 H_3^+ を用いた場合は460nm程度となる。

[0101] ここで、図3で示した一般的なSOIウェハ950は、0.2 μm 以上5 μm 以下と、膜厚が厚いBOX層952を有している。

[0102] SOIウェハ950の酸化膜954の膜厚を100nm、SOI層953の膜厚を200nmとすると、酸化膜954、SOI層953、及びBOX層952の膜厚の和は、500nm以上5300nm以下となる。このため、SOIウェハ950に対して、 H^+ 、 H_2^+ 、 H_3^+ を注入したとしても、BO

X層952の下層に配されているSi支持基板951内に脆弱層を形成することができない。

[0103] 一方、本実施形態に係るSOIウェハ10は、膜厚が50nm以下と薄いBOX層12を有している。SOIウェハ10の酸化膜14の膜厚を100nm、SOI層15の膜厚を200nmとすると、酸化膜14、SOI層15、及びBOX層12の膜厚の和は、350nm以下となる。

[0104] 水素イオン16の注入により結晶構造が崩れ、結晶欠陥やダメージが入る領域は、注入のピーク(Rp)から射影分散($\Delta R_p \cong 100\text{nm}$)以内程度と考えられるため、この射影分散を考慮しても、支持基板内に脆弱層を形成するのに必要な注入深さは、 $350\text{nm} + 100\text{nm} = 450\text{nm}$ である。このため、SOIウェハ10に H^+ (注入深さ: 1400nm程度)や、 H_2^+ (注入深さ: 700nm程度)や、 H_3^+ (注入深さ: 460nm程度)を注入しても、SOI層15にダメージを与えることなく、確実に、BOX層12の下層のSi支持基板13内に脆弱層17を形成することができる。

[0105] 以上の理由から、SOIウェハ10では、BOX層12の膜厚が薄くなるように形成している。

[0106] 具体的には、SOIウェハ10では、酸化膜14の膜厚が100nm程度、SOI層15の膜厚が50nm以上200nmであることに対し、BOX層12の膜厚は50nm以下である。すなわち、BOX層12の膜厚は、酸化膜14及びSOI層15の膜厚の和の1/3以下である。

[0107] このように、SOIウェハ10は、BOX層12の膜厚が薄いので、酸化膜14側から水素イオン16を注入した際に、水素イオン16が、酸化膜14、SOI層15、BOX層12を透過し、Si支持基板13内部に脆弱層17を形成することができる。

[0108] 換言すると、SOIウェハ10の構成によると、SOI層15と、Si支持基板13との間にBOX層12が設けられていたとしても、Si支持基板13内部に、脆弱層17を形成することができる。

[0109] また、酸化膜14、SOI層15、及びBOX層12の膜厚の和は、35

0 nm以下であることが好ましい。これにより、注入深さが一番浅い H_3^+ を注入した場合でも、水素イオン注入時の欠陥が残ると考えられる射影分散を考慮しても、BOX層12やSOI層15にまで欠陥が入ることはなく、良質なSOI層15をベース基板に転写することが出来る。また、どの水素イオンを照射する場合でも、酸化膜14表面からSi支持基板13までの距離が短く、水素イオン16の注入深さ（形成する脆弱層17の深さ）を浅く設定することができる。このため、イオン注入の際の加速電圧を下げる事ができる。この加速電圧を下げることで、イオン注入したSOIウェハ10が高温になるのを抑制し、スループットが低下しない程度の処理時間でイオン注入し、脆弱層17を、SOIウェハ10内部に形成することができるので、量産に適したSOI基板33を得ることができる。

[0110] （半導体基板の製造方法の具体例）

次に、SOIウェハ10を用いて形成される大型のSOI基板32の製造方法の具体例について、順に説明する。

[0111] 《SOIウェハ形成工程》

まず、図5の(a)～(e)を用いて、SOIウェハ10を得るためのSOIウェハ10'の製造方法について説明する。図5の(a)～(e)は、SOIウェハ10'の製造方法を示す図である。

[0112] 図5の(a)に示すように、熱酸化膜を形成する工程では、単結晶SiからなるSiウェハに熱酸化処理を施し、単結晶Si層2の表面に熱酸化膜(SiO_2)12'を形成する。これにより、単結晶Si層2の表面に熱酸化膜12'が形成されたSiウェハ1を得る。

[0113] 本実施の形態では、熱酸化膜12'の膜厚は50 nm以下とする。この熱酸化膜12'が、後のBOX層12となる。

[0114] 次に、図5の(b)に示すように、脆弱層を形成する工程では、熱酸化膜12'の表面側から水素イオン6を、質量分離を伴うイオン注入又は質量分離を伴わないイオンドーピングで照射することで、Siウェハ1の単結晶Si層2内の所定の深さに、水素イオン6を打ち込む。これにより、単結晶Si

i 層 2 内に脆弱層 7 を形成する。後で述べるように、転写する S O I 層 1 1 は、転写後に C M P で削られたり、熱酸化（犠牲酸化）により薄膜化されたりするので、予め厚目に転写しておく必要がある。そのため、水素イオン 6 の注入深さは、それらを考慮して深めに設定しておく必要がある。

[0115] 水素イオン 6 の照射条件としては、例えば H^+ や H_2^+ を主としてイオン注入（又はイオンドーピング）する場合は、注入エネルギー（加速電圧）10 keV 以上 90 keV 以下程度、注入量 $1 \times 10^{16} / \text{cm}^2$ 以上 $1 \times 10^{17} / \text{cm}^2$ 以下の条件で行う。

[0116] 一方、 H_3^+ を主としてイオン注入（又はイオンドーピング）する場合は、注入エネルギー（加速電圧）は 35 keV 以上 150 keV 以下、注入量 $1 \times 10^{16} / \text{cm}^2$ 以上 $1 \times 10^{17} / \text{cm}^2$ 以下の条件で行う。また、H イオンと一緒に、He イオンを注入しても良い。

[0117] 次に、図 5 の（c）に示すように、表面処理をする工程では、水素イオン 6 を注入した S i ウェハ 1 の熱酸化膜 1 2' の表面と、ハンドルウェハとなる基板であり、単結晶 S i からなる S i 支持基板 1 3 の表面とを、プラズマ処理あるいは薬液処理を行う。これにより、熱酸化膜 1 2' の表面と、S i 支持基板 1 3 の表面とを親水性にする（親水化処理を施す）。

[0118] プラズマ処理は A r プラズマ、大気圧プラズマなどを用いることが出来る。あるいは、オゾン水洗浄、S C 1 洗浄などの薬液処理を数分程度行って親水化処理を施してもよい。

[0119] そして、親水化処理を施した S i ウェハ 1 と S i 支持基板 1 3 とのそれぞれの表面同士を向い合わせにする。

[0120] 次に、図 5 の（d）に示すように、貼り合わせ工程では、親水化処理を施した S i ウェハ 1 の熱酸化膜 1 2' と S i 支持基板 1 3 との表面同士を貼り合わせる。それぞれの表面は、親水化処理が施されているので、互いに貼り合わせると、ファンデルワース力によりそれぞれの表面同士が接合する。

[0121] この後、200℃、2 h（時間）程度のプレアニール処理を施すことで、脱水反応が進み共有結合が形成され、S i ウェハ 1 と S i 支持基板 1 3 との

接合をより強固にすることができる。

[0122] これにより、単結晶Si層2と、単結晶Si層からなるSi支持基板13との間に配された、膜厚が50nm以下と薄いBOX層12を得ることができる。

[0123] 次に、図5の(e)に示すように、単結晶Siを支持基板に転写する工程では、まず、Siウェハ1とSi支持基板13とを貼り合せた基板に500℃以上700℃以下程度の熱処理を行う。これにより、単結晶Si層2の脆弱層7中に形成された微小空孔が膨張して亀裂が生じ、その結果、脆弱層7に沿って、単結晶Si層2の一部の単結晶Si層2'を分離する。

[0124] 次に、単結晶Si層2のうち、単結晶Si層2'を分離した後の、残った単結晶Si膜の表面をCMPで研磨することで、転写されたSOI層11を得る。

[0125] このようにして、Si支持基板13に転写された、BOX層12及びBOX層12に積層されたSOI層11からなるSOIウェハ10'を得ることができる。

[0126] SOIウェハ10'は、単結晶SiからなるSOI層11及びSi支持基板13との間に配されているBOX層12が、膜厚が50nm以下と薄く形成されている。

[0127] 上述したように、一般的なSOIウェハでは、単結晶シリコン内に形成されたBOX層は、膜厚が0.1μm以上20μm以下程度と、膜厚が厚くなるように形成されている。このため、SOI層側から照射する水素イオンの注入エネルギーを上げても、厚いBOX層を透過させて、Si支持基板内に脆弱層を形成することは困難である。

[0128] 一方、SOIウェハ10'では、BOX層12の膜厚が50nm以下と薄いので、上述したように、SOI層11側から水素イオンを照射し、BOX層12を透過させて、BOX層12より深いSi支持基板13に水素イオンをドーピングすることができる。これにより、Si支持基板13に脆弱層を形成することができる。

[0129] (SOIウェハの絶縁性基板への貼り合わせ前の工程)

次に、図6の(a)～(e)を用いて、SOIウェハを、絶縁性基板へ貼り合わせる前の各工程について説明する。

[0130] 図6の(a)～(e)は、SOIウェハ及び絶縁性基板の製造工程、及びSOIウェハをトレイに載置する工程を説明するための図である。

[0131] まず、図6の(a)に示すように、一例として図5の(a)～(e)を用いて説明した方法で製造された、単結晶シリコン内に、膜厚が50nm以下と、薄いBOX層12が配されているSOIウェハ10'を準備する。

[0132] 次に、図6の(b)に示すように、酸化膜を形成する工程では、SOIウェハ10'に熱を加えることで熱酸化(犠牲酸化)処理を行う。このように、SOIウェハ10'の表面を酸化することで、SOI層11から得られた、 SiO_2 となった酸化膜14と、その下層の単結晶SiからなるSOI層15とを有するSOIウェハ10を得る。

[0133] この酸化膜を形成する工程では、SOI層15上に酸化膜14を得ると共に、SOI層15の膜厚を所望の膜厚(最終膜厚)に調整する。酸化膜14の膜厚は50～150nm程度であればよい。一例として、酸化膜14の膜厚は100nm程度とする。また、SOI層15の膜厚は50nm以上200nm以下程度とする。

[0134] 次に、図6の(c)に示すように、脆弱層を形成する工程では、SOIウェハ10の表面の酸化膜14側から、Si支持基板13内の所定の深さに水素イオンを打ち込むことで、Si支持基板13の所定の深さに脆弱層17を形成する。

[0135] 水素イオンの打ち込みは、BOX層12を透過した水素イオンの分布のピーク位置がSi支持基板13内となる注入エネルギー(加速電圧)で、イオン注入又はイオンドーピングにより行う。注入する水素イオン16としては、 H^+ 、 H_2^+ 、 H_3^+ を用いることができる。また、 H^+ イオンと一緒に、 He^+ イオンを注入しても良い。

[0136] 一例として、 H^+ をイオン注入(又はイオンドーピング)する場合は、注入

エネルギー（加速電圧）は 10 keV 以上 40 keV 以下、注入量 $1 \times 10^{16} / \text{cm}^2$ 以上 $1 \times 10^{17} / \text{cm}^2$ 以下程度の条件で行う。

[0137] また、 H_2^+ イオンを主として照射する場合、加速電圧は 30 keV 以上 90 keV 以下、注入量 $1 \times 10^{16} / \text{cm}^2$ 以上 $1 \times 10^{17} / \text{cm}^2$ 以下程度の条件で行う。

[0138] また、 H_3^+ のようなイオンを含むイオン注入（又はイオンドーピング）する場合は、注入エネルギー（加速電圧）は 55 keV 以上 150 keV 以下、注入量 $1 \times 10^{16} / \text{cm}^2$ 以上 $1 \times 10^{17} / \text{cm}^2$ 以下程度の条件で行う。

[0139] これにより、酸化膜 14 側から水素イオン 16 を照射した際に、水素イオン 16 が、酸化膜 14、 SOI 層 15、 BOX 層 12 を透過し、 Si 支持基板 13 内部に脆弱層 17 を、確実に形成することができる。

[0140] また、水素イオン 16 を照射する際の加速電圧が通常より低いため、イオン注入した SOI 基板 10 が高温になることを抑制し、水素イオン 16 の注入量を増やすことができる。このため、スループットが低下しない程度の処理時間でイオンを照射し、かつ、脆弱層 17 を、 Si 支持基板 13 内部に形成することができる。これにより、量産に適した SOI 基板を得ることができる。

[0141] 脆弱層 17 を形成する深さは、一例として、酸化膜 14 の表面から 200 nm 以上 450 nm 以下程度とする。

[0142] SOI ウェハ 10 は、 SOI ウェハ 10 に配されている BOX 層 12 の膜厚が薄いので、酸化膜 14 の表面側から注入した水素イオン 16 を、酸化膜 14、 SOI 層 15 及び BOX 層 12 を透過させることができ、これにより、 Si 支持基板 13 内に脆弱層 17 を形成することができる。

[0143] 水素イオン 16 の注入によるダメージ（結晶構造の損傷）は、水素イオン 16 が注入された（打ち込まれた）脆弱層 17 付近が一番大きく、そのダメージの広がり（注入ピークからの距離）は、水素イオン 16 の射影分散（ $\Delta R_p \cong 100\text{ nm}$ ）以内程度と考えられる。しかし、脆弱層 17 は、 BOX 層 12 の下層の Si 支持基板 13 内で、かつ水素イオン 16 の射影分散の影

響が出ない深さに形成されるので、後に活性層として用いるSOI層15には深刻なダメージ層が残らない。このため、SOI層15を用いて、高性能であり、特性のバラツキが少ないTFET（薄膜トランジスタ）を形成することができる。

[0144] 次に、図6の（d）に示すように、SOIウェハ10をトレイに配する工程では、脆弱層17が形成された複数のSOIウェハ10を、トレイ21に並べてマトリクス状に配置する。

[0145] トレイ21の表面には、SOI層11を配するための複数の凹部22が、マトリクス状に形成されている。この凹部22のそれぞれに、例えば、治具やロボットアームで挟んだり吸着したりすることで、複数のSOIウェハ10をそれぞれを搬送して配置していく。これにより、トレイ21に、マトリクス状に、複数のSOIウェハ10が配置される。

[0146] ここで、トレイ21の凹部22に載置するためにSOIウェハ10を搬送する際、SOIウェハ10の酸化膜14の表面に触れると、この後の工程で、SOIウェハ10をベース基板30と貼りあわせる際、不良が発生する可能性が高くなる。

[0147] このため、SOIウェハ10は、例えば、図6の（d）に示す載置治具23や、載置治具24等によりトレイ21の凹部22に配される。

[0148] 載置治具23は、矢印A方向に、アーム23a・23bが開閉可能となっている。載置治具23は、アーム23a・23bでSOIウェハ10の側面を挟んだり、離したりすることで、酸化膜14の表面に触れずに、SOIウェハ10を、トレイ21の凹部22に配することができる。

[0149] また、載置治具24は、SOIウェハ10の裏面（酸化膜12が形成されている面とは逆側の面、Si支持基板13の表面）を支持し、吸着することで、SOIウェハ10を固定し、搬送する。載置治具24は、トレイ21の凹部22に対して斜め方向（図6の（d）の矢印B方向）に稼動が可能となっている。

[0150] 載置治具24は、SOIウェハ10をトレイ21の凹部22に載置する際

、斜めに傾けて、吸着を弱めながら、斜め方向に引き抜く。あるいは、図示しないが、トレイ 21 の凹部 22 の底面に配された、昇降可能な突き上げピンの上に S O I ウェハ 10 を載置し、載置後、吸着を切った載置治具 24 を横方向に引き抜いても良い。その後、突き上げピンが降下して、S O I ウェハ 10 はトレイ 21 の凹部 22 に収まる。このようにして、載置治具 24 は、酸化膜 14 の表面に触れずに、S O I ウェハ 10 を、トレイ 21 の凹部 22 に配することができる。

[0151] 凹部 22 の深さは、S O I ウェハ 10 の厚みよりも浅く形成することで、酸化膜 14 の表面を凹部 22 から出しておく。これは、次工程で、S O I ウェハ 10 を、ベース基板 30 と貼りあわせるためである。

[0152] 先に述べたように、トレイ 21 には、昇降可能な突き上げピンが配されていることが好ましい。これは、複数の S O I ウェハ 10 をトレイ 21 に並べる際に、斜めに傾けて載置するよりも、S O I ウェハ 同士の間隔を詰めて、載置する事が出来るためである。これにより、より多くの S O I ウェハ 10 を並べることが出来る。

[0153] また、トレイ 21 には真空吸着機構が配されており、また、トレイ 21 は耐薬液性（耐アルカリ性）を有する材質から構成されていることが好ましい。これは、後工程で、トレイ 21 に配されている複数の S O I ウェハ 10 の表面処理を一括で行う際、プラズマ処理ではなく S C 1 洗浄等を行ったり、スピン乾燥やエアナイフ乾燥等を行う場合があるためである。

[0154] トレイ 21 は、例えば、石英やステンレスなどの材料で構成することができる。耐薬液性（耐アルカリ性）を有するトレイ 21 としては、テフロン（登録商標）や P F A（テトラフルオロエチレン）などの材料で構成することが好ましい。

[0155] このように、S O I ウェハ 10 をトレイ 21 に配する工程では、S O I ウェハ 10 のうち、酸化膜 14 が上方となるように、互いに離間して形成されている複数の凹部 22 のそれぞれに、複数の S O I ウェハ 10 を配する。

[0156] また、図 6 の（e）に示すように、複数の S O I ウェハ 10 を貼り合せる

ためのベース基板30を準備しておく。

[0157] ベース基板30としては、ガラス基板や石英基板などの絶縁性材料からなる基板を用いることが出来る。ベース基板30は、一例として、液晶パネル製造用に開発されたマザーガラス基板を用いることが好ましい。

[0158] ベース基板30に、一例として、第4世代(730mm×920mm)、第6世代(1500mm×1850mm)、第8世代(2200mm×2400mm)などの大型のガラス基板を用いることにより、例えば5インチ角(125mm×125mm)程度の小型のSOIウェハ10を多数枚貼り合せた大面積のSOI基板32を得ることが出来る。ベース基板30は、SOIウェハ10との貼り合せのため、CMPを行って表面を平坦化処理しておくことが望ましい。

[0159] (貼り合わせ工程)

次に、図7の(a)～(g)を用いてSOIウェハ10をベース基板30に貼り合わせるための各工程について説明する。

[0160] 図7の(a)～(g)は、複数のSOIウェハ10を、ベース基板30と貼り合わせるための各工程を説明するための図である。

[0161] 図7の(a)に示すように、貼り合わせる工程では、まず、トレイ21に配された複数のSOIウェハ10の酸化膜14、及びベース基板30の表面に対し、プラズマ処理あるいは薬液処理を行うことで、それぞれの表面を親水性にする。

[0162] プラズマ処理を行う場合は、Arプラズマ、大気圧プラズマなどを用いることができる。又は、SOIウェハ10の表面、及びベース基板30の表面に対し、オゾン水洗浄、SC1洗浄などの薬液処理を数分程度行って、それぞれの表面に対し、親水化処理を施してもよい。

[0163] 次に、親水化処理した互いの表面同士を向かい合わせにし、複数のSOIウェハ10をトレイ21に載せた状態で、SOIウェハ10と、ベース基板30とを貼り合わせる。これにより、SOIウェハ10の酸化膜14の表面と、親水化処理を施したベース基板30の表面とは、ファンデルワース力に

より接合する。

[0164] 次に、SOIウェハ10と、ベース基板30とを接合させた後、200℃、2時間程度のプレアニール処理を行う事で、酸化膜14と、ベース基板30との界面で脱水反応が進み、共有結合が形成され、接合をより強固にすることができる。

[0165] このようにして、貼り合せ工程では、複数のSOIウェハ10を、一括してベース基板30に貼り合わせる。これにより、SOIウェハ10は、酸化膜14がベース基板30に近い側となるように、ベース基板30に貼り合わされる。

[0166] なお、SOIウェハ10の表面を親水化する表面処理は、トレイ21に載せる前の段階、すなわち、SOIウェハ10をトレイ21に配する工程以前の工程で行ってもよい。

[0167] 次に、図7の(b)に示すように、SOIウェハ10を転写する工程では、ベース基板30と接合された複数のSOIウェハ10を載置していたトレイ21を取り除く。これより、トレイ21に載置されていた複数のSOIウェハ10は、ベース基板30に転載され、結果、貼り合せ基板31を得ることができる。

[0168] 上述したように、複数のSOIウェハ10は、互いに離間してトレイ21に載置されていたので、ベース基板30に転載された複数のSOIウェハ10も、互いに離間して、ベース基板30に配される。

[0169] 次に、図7の(c)に示すように、貼り合せ基板31をトレイ25へ載置する工程では、貼り合せ基板31を、貼り合せ基板31の下方に設置したトレイ25に載置する。

[0170] トレイ25は、複数のSOIウェハ10を格納可能に形成された凹部27を有する。トレイ25が備えている凹部27は、トレイ21の凹部22とは深さが異なる。

[0171] トレイ25の凹部27の深さは、SOIウェハ10の厚みよりも、一回り大きく形成しておく。すなわち、凹部27の深さは、SOIウェハ10の厚

みよりも深く形成しておく。これにより、SOIウェハ10が、トレイ25の凹部27内に格納される。

[0172] このように、トレイ25の凹部27内に、SOIウェハ10を格納する理由は、次工程の熱処理で分離したSi支持基板13の一部の単結晶シリコンをトレイ25の凹部27に落として回収するためである。

[0173] なお、トレイ25は、必ずしも貼り合せ基板31の下方に位置する必要はない。例えば、特許文献4のように、ベース基板30の上方に複数のSOIウェハ10が配置されるように、貼り合せ基板31の向きを替え、そして、SOIウェハ10に凹部27を被せるようにトレイ25を貼り合せ基板31に載置してもよい。即ち、図7の(c)で、上下反転した状態の構成としてもよい。トレイ25の材質は、次工程で高温の熱処理を行うため、石英が望ましい。

[0174] またトレイ25は、必ずしも上記構成でなくてもよい。例えば、図示しないが、トレイ25の凹部27の底面に、昇降可能な突き上げピンが配されていて、熱処理で分離したSi支持基板13の一部の単結晶シリコンを突き上げピン上に落として回収しても良い。

[0175] 次に、図7の(d)に示すように、Si支持基板13の一部を分離する工程では、凹部27のそれぞれに格納されたSOIウェハ10を加熱処理することで、脆弱層17に沿ってSi支持基板13を、単結晶Si層18と、単結晶Si層19とに分離する。

[0176] 加熱処理では、貼り合せ基板31に対して、500℃以上700℃程度の熱を加える。これにより、Si支持基板13内の脆弱層17中に形成された微小空孔が膨張して亀裂が生じる。これにより、脆弱層17に沿ってSi支持基板13のうち、脆弱層17より下方の単結晶Si層19が分離し、重力によりトレイ25の凹部27内へと各々落下する。

[0177] 一方、Si支持基板13のうち、膜厚100nm程度の残った単結晶Si層18は、ベース基板30に転写される。

[0178] そして、図7の(e)に示すように、トレイ25を取り外すことで、凹部

27内に落下した単結晶Si層19を回収する。このようにして、順に単結晶Si層18、BOX層12、SOI層15、及び酸化膜14が積層され、転写されたSOIウェハ40'が複数、互いに離間してベース基板30に配された貼り合せ基板32'を得ることができる。貼り合せ基板32'は、エッチバック処理前の基板である。

[0179] 次に、図7の(f)に示すように、エッチバック処理を行う工程では、貼り合せ基板32'にドライエッチングを施すことで、単結晶Si層18を除去するエッチバック処理を施す。これにより、SOIウェハ40'から単結晶Si層18が除去されたSOIウェハ40が、複数、ベース基板30に配されたSOI基板32を得ることができる。

[0180] エッチバック処理を行う前の貼り合せ基板32'は、単結晶Si層18の下層にBOX層12が形成されているので、エッチバック処理の際、ドライエッチレートの内分布が生じて、BOX層12がエッチストップとして働く。このため、BOX層12の下層の、転写されたSOI層15はエッチングされず、SOI基板32内、かつ、SOIウェハ40内で、均一な膜厚のSOI層15を有する大型のSOI基板32を得ることができる。

[0181] 後述するように、SOI基板32を用いて、例えば、TFT等を形成することで、特性バラツキが少ないTFTを得ることができる。さらに、このTFTを用いて、表示パネルを作成することで、表示ムラが無い表示パネルを得ることができる。

[0182] また、SOI基板32は、SOIウェハ40内の膜厚も均一なので、一つのSOIウェハ40内の、表示パネルを形成可能な面積（すなわち、均一な膜厚のSOI層15が形成されている領域の面積）を十分確保することができる。これにより、表示パネルの取れ効率が上がり、歩留まり向上、コスト削減を実現することができる。

[0183] 次に、図7の(g)に示すように、BOX層を除去する工程では、図7の(f)で示したSOI基板32に対してウェットエッチング又はドライエッチングを施すことで、BOX層12を除去し、BOX層12の下層のSOI

層 1 5 を露出させる。

[0184] これにより、S O I ウェハ 4 0 から B O X 層 1 2 が除去された S O I ウェハ 4 1 が、複数、ベース基板 3 0 に配された S O I 基板 3 3 を得ることができる。この B O X 層 1 2 を除去するのは、後工程で、S O I 基板 3 3 の全面に渡ってゲート絶縁膜を形成するためである。

[0185] B O X 層 1 2 を除去するためのウェットエッチングは、H F （フッ酸）や N H ₄ F （フッ化アンモニウム）等を用いて行うことができる。ウェットエッチングは、エッチングレートの面内分布が小さく、S O I 基板 3 3 の全面に渡って均一にエッチングが進むため、B O X 層 1 2 を均一に除去でき、大型の S O I 基板 3 3 の全面に渡って、均一な膜厚の S O I 層 1 5 を得ることができる。

[0186] 一方、B O X 層 1 2 を除去するためのドライエッチングは、平行平板型 R I E 等を用いて行うことができる。ドライエッチングは、エッチングレートの面内分布がウェットエッチングより大きいが、B O X 層と下層のシリコン膜（S O I 層 1 5）との選択比がある程度確保できれば、ウェットエッチングより高速で B O X 層を除去することができる。従って、大型の S O I 基板 3 3 の全面に渡って、均一な膜厚の S O I 層 1 5 を、高スループットで得ることができる。

[0187] この B O X 層を除去する工程で、露出された B O X 層 1 2 を除去し、複数の S O I 層 1 5 を露出させることで、B O X 層 1 2 が除去された状態で、S O I 基板 3 3 全面に、再度ゲート絶縁膜を形成し直す事が出来るので、ゲート絶縁膜の膜厚調整が容易になる。また、各種プロセス（液晶用、有機 E L 用など）に応じた T F T 等の形成が可能な汎用性の高い S O I 基板 3 3 を得ることができる。

[0188] このようにして S O I 基板 3 3 を得ることができる。

[0189] 上述した特許文献 7 では、エッチストップとして機能する膜が存在しないので、S i 膜の薄膜化のために、エッチバック処理を施すと、そのエッチバック処理によりガラス基板に転写した S i 膜のバラツキが発生する。この S

i 膜の膜厚のバラツキを反映して、T F T 特性（閾値）のバラツキが大きくなるという課題があった。

[0190] T F T 特性のばらつきは、回路設計マージン増大に伴う消費電力の増大や、パネルの表示ムラとして表れる。

[0191] 一方、S O I 基板 3 3 によると、エッチバック処理を行う前には、エッチバック処理でのエッチストップとなる B O X 層 1 2 が配されている。このため、エッチバック処理を行っても、S O I 層 1 5 の膜厚にバラツキが発生することを防止することができる。従って、S O I 基板 3 3 によると、T F T 特性（閾値）バラツキが小さい T F T を得ることができる。これにより、回路設計マージンを小さく抑えることができ、高速であり、低消費電力である回路を実現することができる。

[0192] また、特許文献 8 では、B O X 層内に脆弱層を形成している。しかし、B O X 層は結晶構造ではないため、水素イオン注入を行っても、水素イオン注入面（すなわち脆弱層）で綺麗に剥離する事は困難である。

[0193] 一方、S O I 基板 3 3 によると、水素イオン 1 6 を、膜厚が薄い B O X 層 1 2 を透過させて、単結晶 S i からなる S i 支持基板 1 3 に注入することで、S i 支持基板 1 3 に脆弱層 1 7 を形成しているので、脆弱層 1 7 で、確実に、S i 支持基板 1 3 の一部を分離することができる。

[0194] また、特許文献 7 では、エッチバック処理により、S i 膜の膜厚がばらつくので、エッチバック処理後、S i 膜の周辺部が薄くなったり消失したりして、S i 膜内で、膜厚が均一なパネルを配置できる領域の面積が少なくなったり、それに伴ない、パネルの取れ数が少なくなるという課題が生じていた。

[0195] 一方、S O I 基板 3 3 によると、エッチバック処理の際、エッチストップとして機能する B O X 層 1 2 が配されているので、エッチバック処理を行っても、S O I ウェハ 4 1 のコーナ一部や中央部の膜厚が薄くなることを防止することができる。これにより、S i 膜厚が均一なパネルを配置することができる面積を確保することができ、パネルの取れ数を向上させることができ

る。

[0196] (TF T形成工程)

次に、図8の(a)～(g)を用いてTF Tを形成するための各工程について説明する。

[0197] 図8の(a)～(g)は、SOI基板に、TF Tを形成するための各工程を説明するための図である。

[0198] 図8の(a)に示すように、周辺部を除去する工程と、レーザー処理を行う工程とを有していてもよい。

[0199] 周辺部を除去する工程では、まず、フォトリソグラフィと、エッチングとによって、ベース基板30に転写されたSOI層15及酸化膜14の周辺部を除去する。これにより、ベース基板30に転写したSOI層15の面積は一回り小さくなり、パネルの形成が可能な領域も多少減少することになる。

[0200] ベース基板30に転写されたSOI層15の周辺部は密着力が弱く、周辺部を除去せず、TF T等を製造すると不良発生の原因となる場合がある。このため、周辺部を除去する工程を設け、予め、ベース基板30に転写されたSOI層15及酸化膜14の周辺部を除去しておくことが好ましい。

[0201] なお、周辺部を除去する工程は、SOI層15及び酸化膜14を、ベース基板30に貼り合わせる前、すなわち、脆弱層を形成する工程(図6の(c))と、SOIウェハ10をトレイに配する工程(図6の(d))との間に行ってもよい。

[0202] 次に、図8の(a)に示すように、レーザー処理を行う工程では、周辺部を除去したSOI層15の表面に、レーザーを照射する。

[0203] レーザー処理を行う工程では、例えば、波長308nmのXeClエキシマレーザーを用いることができる。照射エネルギー密度は、転写したSOI層15の膜厚にもよるが、SOI層15の膜厚が130nm程度の場合は、400mJ/cm²以上～700mJ/cm²程度で行う。

[0204] レーザー処理を行う工程でSOI層15の表面にレーザーを照射すること

で、S O I 層 1 5 の表面をレーザーで再結晶化することができ、S O I 層 1 5 の表面の突起部をなくし、平坦化することができる。これにより、高耐圧の T F T 素子を形成可能な S O I 基板 3 3 を得ることができる。また、レーザー照射による再結晶化により、イオン注入により生じた S O I 層 1 5 内部の欠陥を修復、低減することができる。これにより欠陥の少ない高性能な T F T 素子を形成可能な S O I 層 1 5 を得ることができる。

[0205] なお、上述した周辺部を除去する工程と、レーザー処理を行う工程とは、任意で設ければよい。また、レーザー処理を行う工程は、次のアイランド化する工程の後に行い、アイランド化された S O I 層 1 5 に対してレーザーを照射するようにしてもよい。

[0206] 次工程以降は、一般的な p o l y - S i などの T F T 形成プロセス（アイランド化→ゲート絶縁膜形成→ゲート電極形成→ソース/ドレインイオン注入→層間デポジション→活性化→コンタクトホール形成→メタル配線形成）を用いて、T F T を形成すればよい。以下、T F T 形成工程について簡単に述べる。

[0207] 図 8 の（b）に示すように、アイランド化する工程では、任意で表面にレーザー処理を行った S O I 層 1 5 を、一例としてフォトリソグラフィーにより、所望の T F T パターンにアイランド化する。これにより、酸化膜 1 4 上に形成され、酸化膜 1 4 の一部が露出するようにアイランド化された S O I 層 3 0 1 を得る。

[0208] 次に、図 8 の（c）に示すように、ゲート絶縁膜を形成する工程では、一例として C V D 法により、S O I 層 3 0 1 や、表面が露出している酸化膜 1 4 及びベース基板 3 0 を覆って、ゲート絶縁膜 3 0 2 を形成する。

[0209] ゲート絶縁膜 3 0 2 は、2 0 n m 以上 2 0 0 n m 以下程度の膜厚で形成する。ゲート絶縁膜 3 0 2 の材質としては、S i O₂、S i O N、又はそれらを組み合わせた材質などを用いることができる。

[0210] 次に、図 8 の（d）に示すように、ゲート電極を形成する工程では、一例としてスパッタ法により、S O I 層 3 0 1 の上方であり、ゲート絶縁膜 3 0

2の表面に、ゲート電極材料を成膜し、フォトリソグラフィーによりゲート電極303をパターン形成する。

[0211] ゲート電極303は、50nm以上400nm以下程度の膜厚で形成する。ゲート絶縁膜302の材質としては、W、Mo、MoW、Al、Al-Si、Ti、又はそれらを組み合わせた材質などを用いることができる。

[0212] 次に、図8の(e)に示すように、ソース領域及びド레인領域を形成する工程では、ゲート電極303をマスクとして、SOI層301のそれぞれにイオンドーピング又はイオン注入を行うことにより、SOI層301にソース領域305及びド레인領域304を形成する。

[0213] Nch-TFTを形成する場合は、ソース領域305及びド레인領域304に、P、As等をイオンドーピング又はイオン注入すればよい。また、Pch-TFTを形成する場合は、ソース領域305及びド레인領域304に、B（ホウ素）等をイオンドーピング又はイオン注入すればよい。

[0214] 次に、図8の(f)に示すように、層間絶縁膜を形成する工程では、一例としてCVD法を用いて、ゲート電極303及びゲート絶縁膜302を覆うように、ベース基板30の全面に層間絶縁膜306を形成する。

[0215] 層間絶縁膜306は、200nm以上600nm以下程度の膜厚で形成する。層間絶縁膜306の材質としては、SiO₂、SiN、又はそれらを組み合わせた材質などを用いることができる。

[0216] その後、熱処理を行う工程では、ソース領域305及びド레인領域304に注入したイオンの活性化のための熱処理を行う。熱処理を行う工程では、550℃以上600℃以下で、1～2時間程度の炉アニール、又は550℃以上650℃以下、10min程度のRTA処理を行う。

[0217] 次に、図8の(g)に示すように、ソース電極及びド레인電極形成工程では、まず、一例としてフォトリソグラフィー及びエッチングにより、ゲート絶縁膜302及び層間絶縁膜306にコンタクトホールを形成する。

[0218] 次に、一例としてスパッタ法を用いて、ソース・ド레인電極材料を、層間絶縁膜306上及びコンタクトホール内に成膜する。次に、成膜したソー

ス・ドレイン電極材料をパターニングすることで、層間絶縁膜 306 上であって、コンタクトホールを介してソース領域 305 と接続されたソース電極 307 を形成することができる。また、層間絶縁膜 306 上であって、コンタクトホールを介してドレイン領域 304 と接続されたドレイン電極 308 を形成することができる。

[0219] ソース・ドレイン電極材料としては、Al、Al-Si、Ti などを用いることができる。

[0220] これにより、ソース領域 305・ドレイン領域 304 が形成された活性層としての SOI 層 301 と、ゲート電極 303 と、ソース電極 307 と、ドレイン電極 308 とを少なくとも有する Nch (n チャンネル) 又は Pch (p チャンネル) の TFT 310 が、複数、ベース基板 30 に形成されたトランジスタ基板 300 を得ることができる。

[0221] また、一つの酸化膜 12 上に、Nch の TFT 310 と、Pch の TFT 310 とを形成し、その組み合わせにより CMOS (相補型 MOS トランジスタ) 回路 311 を形成してもよい。

[0222] トランジスタ基板 300 では、活性層としての複数の SOI 層 301 の膜厚が均一なので、複数の TFT 310 間の特性バラツキが少ない。従って、トランジスタ基板 300 によると、例えば、液晶パネルや有機 EL パネルなどに適した高性能で低バラツキが TFT バックプレーンを得ることができる。

[0223] トランジスタ基板 300 を用いて、液晶パネル製造工程や、有機 EL パネル製造工程を進めることで、表示ムラが少なく、低消費電力の CMOS 回路 311 をモノリシックに形成した液晶パネルや有機 EL パネルを得ることができる。

[0224] また、CMOS 回路 311 を用いることにより、様々な半導体回路を実現することができる。例えば、増幅回路、電源回路、フィードバック回路、作動増幅回路、あるいは無線通信に必須となる位相補償回路、フィルタ回路などを作成することが可能である。

[0225] 本実施の形態で得られるトランジスタ基板 300 は非常に大きいガラス基板のため、以下に示すような装置においては、必要なパネル等の大きさに切り出して使えばよい。

[0226] (電子デバイス)

次に、トランジスタ基板 300 を用いて形成した各電子デバイスの構成について説明する。

[0227] まず、トランジスタ基板 300 を用いて得られる液晶表示装置について説明する。

[0228] 図 9 は、本実施の形態に係るトランジスタ基板 300 を用いて作成された液晶表示装置を表す断面図である。

[0229] 図 8 の (g) で示したようなトランジスタ基板 300 をアクティブマトリクス基板 320 として用い、TFT 310 の一部を、各画素を駆動するための画素用トランジスタ (スイッチング素子) として機能させる。

[0230] アクティブマトリクス基板 320 を製造するには、まず、トランジスタ基板 300 の層間絶縁膜 306 上に、ソース電極 307・ドレイン電極 308 を覆って、層間絶縁膜 314 を積層し、積層した層間絶縁膜 314 のうち、ドレイン電極 308 上の層間絶縁膜 314 にコンタクトホールを設ける。

[0231] 次に、層間絶縁膜 314 の上層に画素電極 401 を形成し、コンタクトホールを介して画素電極 401 と各 TFT 310 のドレイン電極 308 とを接続する。これにより、画素用のスイッチング素子としての TFT 310 を備えたアクティブマトリクス基板 320 が得られる。

[0232] また、画素用トランジスタ以外の TFT 310 を組み合わせて液晶駆動回路を形成してもよい。また、アクティブマトリクス基板 320 に、さらに光検出素子やフォトダイオードを設け、当該検出素子の駆動制御用に TFT 310 を形成してもよい。これにより、光検出素子が受光した光の位置を検知することでタッチパネル機能を実現するタッチパネル機能付の液晶表示装置を構成することもできる。

[0233] 画素電極 401 が形成されたアクティブマトリクス基板 320 と、対向電

極 4 1 1 が形成された対向基板 4 1 0 を貼り合せて封止し、両基板の間に液晶 4 2 0 を注入することによって、液晶パネル 4 0 0 が得られる。この液晶パネル 4 0 0 は、電圧の印加により液晶 4 2 0 の向きが変化して、各画素の光を通したり遮ったりするシャッターのような役割を果たす。従って、液晶パネル 4 0 0 の裏面にバックライトモジュール 4 3 0 を配置することで、バックライトモジュール 4 3 0 からの光を、液晶パネル 4 0 0 がシャッターのように ON、OFF することで画像を表示する液晶表示装置 4 5 0 が得られる。バックライトモジュール 4 3 0 には、LED や冷陰極管などを用いることが出来る。

[0234] 次に、トランジスタ基板 3 0 0 を用いて得られるエレクトロルミネセンス装置について説明する。

[0235] 図 1 0 は、本実施の形態に係るトランジスタ基板 3 0 0 を用いて作成されたエレクトロルミネセンス装置 5 0 0 を表す断面図である。

[0236] まず、図 9 の液晶表示装置 4 5 0 の場合と同様にしてアクティブマトリクス基板 3 2 0 を製造する。

[0237] 次に、画素電極 4 0 1 が形成されたアクティブマトリクス基板 3 2 0 の上に、隣の画素とショートしないように隔離層 5 0 1 を設ける。続いて、エレクトロルミネセンス材料を含んで形成される層（EL 層 5 0 2）、対向電極 5 0 3、樹脂層 5 0 4 と順に形成して、最後に保護するための対向基板 5 0 5 を貼り合わせればよい。各画素電極 4 0 1 と対向電極 5 0 3 に挟まれた EL 層 5 0 2 に電流が流れるので、EL 層 5 0 2 において発光するエレクトロルミネセンス（EL）装置 5 0 0 が得られる。

[0238] このエレクトロルミネセンス装置 5 0 0 は、ディスプレイのような表示装置にも使えるし、照明のような発光装置にも用いることが出来る。

[0239] 次に、トランジスタ基板 3 0 0 を用いて得られる無線通信装置について説明する。

[0240] 図 1 1 は、本実施の形態に係るトランジスタ基板 3 0 0 を用いて作成された、無線通信装置を説明するための回路ブロック図である。無線通信装置 6

00の構造自体は、図8の（g）で示したCMOS回路311と基本的には同じであると考えてよい。無線通信装置600は、図8の（g）で示したトランジスタ基板300によって各回路が形成された無線通信回路601を備えている。

[0241] 無線通信装置600の無線通信回路601は、電波を受信するためのアンテナ612やサンプリング回路602、受信した電波を復調する復調回路603、あるいは搬送波に信号をのせるための変調回路604、所定の周波数特性を得るための整流（フィルタ）回路605、信号を共振させたり発振させたりする共振回路606や発振回路607などの通信系回路、また各回路に一定電圧を供給する定電圧回路613などの電源系回路、あるいは、信号のやり取りのタイミングをはかるクロック608や制御レジスタ609、それらを動かすCPU610などの制御系回路、そしてデータを記憶するROM611aやRAM611bなどのメモリ回路などで構成されている。

[0242] 次に、トランジスタ基板300を用いて得られる発光装置について説明する。

[0243] 図12は、本実施の形態に係るトランジスタ基板300を用いて作成された、発光装置を説明するための概略図である。実施の形態で説明した単結晶シリコンであるSOI層301に替えて、Ga₂NやGaAsなどの化合物半導体を酸化膜14上に形成している。即ち、ベース基板30の上の酸化膜14上に、サファイア基板701上でエピタキシャル成長した化合物半導体膜の積層膜702が転写されている。

[0244] 積層膜702は、サファイア基板701側から順に、バッファ層703、n-コンタクト層704、発光層705、p-コンタクト層706、p-電極707が積層され、さらに、n-コンタクト層704には、発光層705と離間してn-電極708が積層されて構成されている。

[0245] このように、ベース基板30上に、発光素子であるLED710が形成され発光装置700が得られる。

[0246] （電子機器）

次に、図１３の（ａ）～（ｅ）を用いて、トランジスタ基板３００を用いて製造された上記電子デバイスを用いて製造することができる電子機器について説明する。

[0247] 図１３の（ａ）～（ｅ）は、本実施の形態にかかる液晶表示装置、エレクトロルミネセンス装置、無線通信装置、発光装置など各電子デバイスを用いた電子機器を構成した応用商品像の例である。液晶表示装置４５０やエレクトロルミネセンス装置５００は、図１３の（ａ）に示すパソコン（ＰＣ）７５０の表示部７５１、図１３の（ｂ）に示す携帯電話７６０の表示部７６１、図１３の（ｃ）に示す無線通信機器７７０などの表示部７７１に用いることができる。無線通信装置６００は、図１３の（ｂ）に示す携帯電話７６０の無線通信部７６２、図１３の（ｃ）に示す無線通信機器７７０などの無線通信部７７２に用いることができる。また、エレクトロルミネセンス装置５００は、表示部７５１・７６１・７７１だけでなく、図１３の（ｄ）に示す有機ＥＬ照明７８０などの発光部７８１にも用いることができる。発光装置７００は、図１３の（ｅ）に示すＬＥＤ電球（電子機器）７９０などの発光部７９１に用いることができる。

[0248] 〔実施の形態２〕

次に、本発明の第２の実施の形態について、図５～図８、図１４の（ａ）～（ｆ）を用いて説明する。なお、説明の便宜上、前記実施の形態１にて説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0249] 上述したように実施の形態１では、大型ガラス基板であるベース基板３０に複数のＳＯＩウェハ１０を転写し、エッチバックを行った後、ＢＯＸ層１２を除去し、新たなゲート絶縁膜３０２を全面に形成することで、トランジスタ基板３００を得ていた。

[0250] 一方、本実施の形態２では、ＢＯＸ層１２を除去せず、ＢＯＸ層１２をゲート絶縁膜の一部として用いる半導体基板を得る点で、実施の形態１で説明した半導体基板の製造方法と異なる。

- [0251] BOX層12は、高品質の熱酸化膜なので、これをゲート絶縁膜とした作成されたTFEは良好な界面特性（急峻なS値）を示す。この半導体基板を製造するための工程は、実施の形態1とほぼ等しいので、主に、相違点について説明する。
- [0252] まず、BOX層の膜厚が50nm以下のSOIウェハを得る。このSOIウェハは、例えば上述したようにスマートカット法を用いて作成することができる。
- [0253] 図5の（a）に示すように、まず、熱酸化膜を形成する工程では、単結晶SiからなるSiウェハに熱酸化処理を施し、単結晶Si層2の表面に熱酸化膜（SiO₂）12'を形成する。これにより、単結晶Si層2の表面に熱酸化膜12'が形成されたSiウェハ1を得る。
- [0254] ここで、熱酸化膜12'は、後のBOX層12となるものであり、膜厚が50nm以下となるように形成し、さらに、後工程（図14の（d）のゲート絶縁膜を形成する工程）で形成するゲート絶縁膜302の厚みとの和が、所望のゲート絶縁膜313の膜厚となるように、予め熱酸化膜形成の酸化時間を調整しておく。
- [0255] 一例として、単結晶シリコン基板に、850℃のウェット酸化処理を施す。例えば、熱酸化膜12'を20nm程度形成する場合は15min程度、50nm程度形成する場合は45min程度、熱酸化処理すればよい。
- [0256] そして、Siウェハ1に、図5の（b）～（e）を用いて説明したように、脆弱層を形成する工程、表面処理をする工程、貼り合わせ工程、単結晶Siを支持基板に転写する工程の各処理を順に施すことで、SOIウェハ10'を得ることができる。
- [0257] 次に、図6の（a）～（e）を用いて説明したように、SOIウェハの絶縁性基板への貼り合わせ前の各工程を経ることで、SOIウェハ10と、ベース基板30とを得る。
- [0258] さらに、図7の（a）～（f）の各工程を経ることで、図14の（a）に示すように、エッチバック処理後のSOI基板32を得る。

[0259] 次に、本実施の形態では、エッチバック処理後のSOI基板32を得た後、BOX層12を除去する工程を経ず、図14の(b)に示すように、周辺部を除去する工程と、レーザー処理を行う工程とにより、BOX層12、SOI層15及酸化膜14の周辺部の除去及びBOX層12の表面へのレーザーの照射を行う。レーザー照射により、イオン注入で生じたSOI層15内の結晶欠陥を回復することが出来る。周辺部を除去する工程と、レーザー処理を行う工程では、図8の(a)を用いて説明した処理と同様の処理を用いることができる。

[0260] なお、周辺部を除去する工程と、レーザー処理を行う工程とは、任意で設ければよい。

[0261] 次に、図14の(c)に示すように、アイランド化する工程では、任意で表面にレーザー処理を行ったBOX層12及びその下層のSOI層15を、一例としてフォトリソグラフィーにより、所望のTFTパターンにアイランド化(パターン形成)する。これにより、酸化膜12上に形成され、酸化膜12の一部が露出するようにアイランド化されたBOX層312及びSOI層301を得る。

[0262] 次に、図14の(d)に示すように、ゲート絶縁膜を形成する工程では、一例としてCVD法により、アイランド化されたBOX層312及びSOI層301や、表面が露出している酸化膜12及びベース基板30を覆って、ゲート絶縁膜(第3の絶縁膜)302を形成する。これにより、SOI層301上に、BOX層312と、ゲート絶縁膜302とからなる、所望の膜厚のゲート絶縁膜313を得ることができる。

[0263] 除去しないBOX層312の厚みと、本工程で成膜したゲート絶縁膜302の厚みとの和が、所望のゲート絶縁膜313の厚みとなるように、本工程で成膜するゲート絶縁膜302の厚みを調整する。

[0264] ゲート絶縁膜302は、20nm以上200nm以下程度の膜厚で形成する。ゲート絶縁膜302の材質としては、SiO₂、SiON、又はそれらを組み合わせた材質などを用いることができる。

[0265] 本工程のように、CVD法等で、後からゲート絶縁膜302を付加し、所望に膜厚のゲート絶縁膜313を形成することで、アイランドのコーナー部やエッジ部などをゲート絶縁膜313で完全に被覆でき、ゲートリーク電流が少なく、絶縁耐圧に優れたTFETを形成することができる。

[0266] 次に、図14の(e)に示すように、ゲート電極を形成する工程では、一例としてスパッタ法により、SOI層301の上方であり、ゲート絶縁膜302の表面（すなわちゲート絶縁膜313の表面）に、ゲート電極材料を成膜し、フォトリソグラフィーによりゲート電極303をパターン形成する。

[0267] その後、図8の(e)～(g)を用いて説明したように、ソース領域及びドレイン領域を形成する工程、層間絶縁膜を形成する工程、ソース電極及びドレイン電極形成工程を経る。これにより、図14の(f)に示すように、BOX層312上にゲート絶縁膜302が形成されることで、所望の膜厚に調整されたゲート絶縁膜313を有するトランジスタ基板330を得ることができる。

[0268] このように、本実施の形態では、アイランド化する工程で、BOX層12及びSOI層15をフォトリソグラフィーによりアイランド化し、ゲート絶縁膜を形成する工程では、アイランド化されたBOX層312との膜厚が所望のゲート絶縁膜313の膜厚となるように、BOX層312及びSOI層301を覆うようにゲート絶縁膜302を積層する。これにより、所望の膜厚のゲート絶縁膜313を得ている。

[0269] これによると、SOI層301との界面の欠陥（界面準位）が少なく高品位な絶縁膜であるBOX層312を、ゲート絶縁膜313の一部として利用するので、TFET特性の優れた（S値が急峻で）、低消費電力のTFET素子を形成することができる。また、アイランド化されたBOX層312を除去しないので、工程数を削減することができる。

[0270] [実施の形態3]

次に、本発明の第3の実施の形態について、図5～図8、図15の(a)～(e)を用いて説明する。なお、説明の便宜上、前記実施の形態1、2に

て説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0271] 上述したように実施の形態1では、ベース基板30に転写したSOIウェハのBOX層を除去し、新たなゲート絶縁膜302を全面に形成することで、トランジスタ基板300を得ていた。

[0272] また、実施の形態2では、ベース基板30に転写したSOIウェハのBOX層を除去せず、BOX層上にゲート絶縁膜を成膜し、BOX層を、所望の膜厚のゲート絶縁膜の一部の構成として利用することで、トランジスタ基板330を得ていた。

[0273] 一方、本実施の形態3では、BOX層を除去せず、BOX層自身をゲート絶縁膜として用いる半導体基板を得る点で、実施の形態1、2で説明した半導体基板の製造方法と相違する。

[0274] BOX層12は、高品質の酸化膜なので、これをゲート絶縁膜とした作成されたTFTは良好な界面特性（急峻なS値）を示す。この半導体基板を製造するための工程は、実施の形態1、2とほぼ等しいので、主に、相違点について説明する。

[0275] まず、BOX層の膜厚が50nm以下のSOIウェハを得る。このSOIウェハは、例えば上述したようにスマートカット法を用いて作成することができる。

[0276] 図5の(a)に示すように、まず、熱酸化膜を形成する工程では、単結晶SiからなるSiウェハに熱酸化処理を施し、単結晶Si層2の表面に熱酸化膜(SiO₂)12'を形成する。これにより、単結晶Si層2の表面に熱酸化膜12'が形成されたSiウェハ1を得る。

[0277] ここで、熱酸化膜12'は、後のBOX層12となるものであり、膜厚が50nm以下となるように形成する。さらに、熱酸化膜12'は、ゲート絶縁膜として機能するものであり、所望のゲート絶縁膜の膜厚となるように、予め熱酸化膜形成の酸化時間を調整しておく。

[0278] 一例として、単結晶シリコン基板に、850℃のウェット酸化処理を施す

。例えば、熱酸化膜12'を20nm程度形成する場合は15min程度、50nm程度形成する場合は45min程度、熱酸化処理すればよい。

[0279] そして、Siウェハ1に、図5の(b)～(e)を用いて説明したように、脆弱層を形成する工程、表面処理をする工程、貼り合わせ工程、単結晶Siを支持基板に転写する工程の各処理を順に施すことで、SOIウェハ10'を得ることができる。

[0280] 次に、図6の(a)～(e)を用いて説明したように、SOIウェハの絶縁性基板への貼り合わせ前の各工程を経ることで、SOIウェハ10と、ベース基板30とを得る。

[0281] さらに、図7の(a)～(f)の各工程を経ることで、図15の(a)に示すように、エッチバック処理後のSOI基板32を得る。

[0282] 次に、エッチバック処理後のSOI基板32を得た後、BOX層を除去する工程を経ず、図15の(b)に示すように、周辺部を除去する工程と、レーザー処理を行う工程とにより、BOX層12、SOI層15、酸化膜14の周辺部の除去、及びBOX層12の表面へのレーザーの照射を行う。レーザー照射により、イオン注入で生じたSOI層15内の結晶欠陥を回復することが出来る。周辺部を除去する工程と、レーザー処理を行う工程では、図8の(a)、図14の(b)を用いて説明した処理と同様の処理を用いることができる。

[0283] なお、周辺部を除去する工程と、レーザー処理を行う工程とは、任意で設ければよい。

[0284] 次に、図15の(c)に示すように、アイランド化する工程では、任意で表面にレーザー処理を行ったBOX層12及びその下層のSOI層15を、一例としてフォトリソグラフィーにより、所望のTFTパターンにアイランド化する。これにより、酸化膜12上に形成され、酸化膜12の一部が露出するようにアイランド化されたBOX層312及びSOI層301を得る。

[0285] 次に、本実施の形態では、ゲート絶縁膜を形成する工程を経ず、図15の(d)に示すように、ゲート電極を形成する工程により、SOI層301の

上方であり、BOX層312の表面に、一例としてスパッタ法によりゲート電極材料を成膜し、フォトリソグラフィーによりゲート電極303をパターン形成する。

[0286] このように、本実施の形態では、アイランド化する工程で、BOX層12及びSOI層15をアイランド化し、次に、ゲート電極を形成する工程で、そのアイランド化されたBOX層312上にゲート電極303を形成する。また、図示はしないが、ゲート電極とは異なるレイヤーに、別途ゲート配線層を設けて多層配線の形にする。

[0287] これによると、SOI層15との界面の欠陥（界面準位）が少なく高品位な絶縁膜であるBOX層12を、ゲート絶縁膜として、そのまま利用するので、TFT特性の優れた（S値が急峻で）、低消費電力のTFT素子を形成することができる。また、BOX層312を除去する工程を省略できることに加え、さらに、膜厚調整のためのBOX層312上に絶縁膜を形成する工程を省略することができるので、実施の形態2で説明した半導体基板の製造方法と比べ、さらに工程数を削減することができる。

[0288] その後、図8の（e）～（g）を用いて説明したように、ソース領域及びドレイン領域を形成する工程、層間絶縁膜を形成する工程、ソース電極及びドレイン電極形成工程を経る。これにより、図15の（e）に示すように、ゲート絶縁膜302を有さず、ゲート絶縁膜として機能するBOX層312を有するトランジスタ基板340を得ることができる。

[0289] また、上記積層基板の上記第1の絶縁膜の表面側からイオンを照射し、上記支持基板内部に上記脆弱層を形成する工程を有することが好ましい。

[0290] 上記構成によると、脆弱層で分離後、ベース基板上に転写された上記単結晶半導体膜と、上記支持基板の一部との間には、上記第2の絶縁膜が配されているので、上記ベース基板にエッチバック処理を行って、転写された上記支持基板の一部をエッチングする際、上記第2の絶縁膜がエッチストップパとして機能し、上記単結晶半導体膜がエッチングされることを防止することができる。

- [0291] このため、上記ベース基板に配された複数の単結晶半導体膜の膜厚バラツキを抑えた半導体基板を得ることができる。
- [0292] また、上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることが好ましい。
- [0293] 上記構成によると、上記第2の絶縁膜の膜厚が薄いので、上記第1の絶縁膜側からイオンを照射した際に、当該イオンが、上記第1の絶縁膜、上記単結晶半導体膜、及び上記第2の絶縁膜を透過し、これにより、上記支持基板内部に上記脆弱層を形成することができる。このように、上記構成によると、上記単結晶半導体膜と、上記支持基板との間に上記第2の絶縁膜が設けられていたとしても、上記支持基板内部に、上記脆弱層を形成することができる。
- [0294] また、イオンの注入深さ（形成する脆弱層の深さ）を浅く設定することができるので、イオンを照射する際の加速電圧を下げることができる。そのため、イオンを照射した基板が高温になることを抑制でき、結果として、より多くのイオンを注入することが出来る。このため、量産レベルのスループットが確保出来る程度の処理時間でイオンを照射し、かつ、上記脆弱層を、上記支持基板内部に形成することができる。これにより、量産に適した半導体基板を得ることができる。
- [0295] また、上記第2の絶縁膜の膜厚は 50 nm 以下であることが好ましい。上記構成によると、上記第2の絶縁膜の膜厚が薄いので、確実に、上記支持基板内部に上記脆弱層を形成することができる。
- [0296] また、上記単結晶半導体膜の膜厚は 50 nm 以上 200 nm 以下であることが好ましい。
- [0297] 上記構成によると、例えば、液晶ディスプレイや有機ELディスプレイ用途のTFT素子に適した膜厚の単結晶半導体膜を有する半導体基板を得ることができる。
- [0298] また、第1の絶縁膜、上記単結晶半導体膜、及び上記第2の絶縁膜の膜厚の和は、 350 nm 以下であることが好ましい。

- [0299] 上記構成によると、第1の絶縁膜表面から支持基板までの距離が短く、イオンの注入深さ（形成する脆弱層の深さ）を浅く設定することができるので、イオンを照射する際の加速電圧を下げることができる。この加速電圧を下げることで、イオンを照射した基板が高温になることを抑制することができる、結果として、より多くのイオンを注入することが出来る。このため、量産レベルのスループットが確保出来る程度の処理時間でイオンを照射し、かつ、上記脆弱層を、上記支持基板内部に、確実に形成することができる。これにより、量産に適した半導体基板を得ることができる。
- [0300] ここで、イオンの照射により結晶構造が崩れ、結晶欠陥やダメージが入る領域は、注入のピーク（ R_p ）から射影分散（ $\Delta R_p \cong 100\text{ nm}$ ）以内程度と考えられる。上記構成とすることで、この射影分散を考慮しても、上記単結晶半導体膜にダメージを与えることなく、確実に、上記第2の絶縁膜の下層の上記支持基板内に上記脆弱層を形成することができる。
- [0301] また、上記イオンは、 H^+ イオン、 H_2^+ イオン、又は H_3^+ であり、上記 H^+ イオンを主として照射する場合、加速電圧は 10 keV 以上 40 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であり、上記 H_2^+ イオンを主として照射する場合、加速電圧は 30 keV 以上 90 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であり、上記 H_3^+ イオンを主として照射する場合、加速電圧は 55 keV 以上 150 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であることが好ましい。
- [0302] 上記構成によると、上記第1の絶縁膜側からイオンを照射した際に、当該イオンが、上記第1の絶縁膜、上記単結晶半導体膜、及び上記第2の絶縁膜を透過し、上記支持基板内部に上記脆弱層を、確実に形成することができる。
- [0303] さらに、イオンを照射する際の加速電圧が通常のSOIウェハに照射する場合より低いため、イオンを照射した基板が高温になることを抑制し、イオンの注入量を増やすことができる。このため、スループットが低下しない程

度の処理時間でイオンを照射し、かつ、上記脆弱層を、上記支持基板内部に形成することができる。これにより、量産に適した半導体基板を得ることができる。

[0304] また、露出された上記第2の絶縁膜を除去し、上記複数の単結晶半導体膜を露出させる工程を有することが好ましい。

[0305] 上記構成により、上記第2の絶縁膜が除去された状態で、半導体基板全面に再度ゲート絶縁膜を形成し直す事が出来るので、ゲート絶縁膜の膜厚調整が容易になる。また、各種プロセス（液晶用、有機EL用など）に応じたTFET等の形成が可能な汎用性の高い半導体基板を得ることができる。

[0306] また、上記第2の絶縁膜は、ウェットエッチングにより除去することが好ましい。上記構成により、上記ベース基板全面に渡って面内分布の小さい均一なエッチングが可能となるため、上記ベース基板に配された複数の単結晶半導体膜の膜厚が均一な半導体基板を得ることが出来る。

[0307] また、露出された上記第2の絶縁膜及び上記単結晶半導体膜を、フォトリソグラフィによりパターン形成する工程と、パターン形成された上記第2の絶縁膜との膜厚が所望のゲート絶縁膜の膜厚となるように、当該パターン形成された上記第2の絶縁膜及び上記単結晶半導体膜を覆う第3の絶縁膜を積層し、上記ゲート絶縁膜を形成する工程とを有することが好ましい。

[0308] 上記構成によると、上記単結晶半導体膜との界面の欠陥（界面準位）が少なく高品位な絶縁膜である上記第2の絶縁膜を、ゲート絶縁膜の一部として利用するので、TFET特性の優れた（S値が急峻な）、低消費電力のTFET素子を形成することができる。また、上記パターン形成された第2の絶縁膜を除去しないので、工程数を削減することができる。

[0309] また、露出された上記第2の絶縁膜及び上記単結晶半導体膜を、フォトリソグラフィによりパターン形成する工程と、

パターン形成された上記第2の絶縁膜上にゲート電極を形成する工程と、を有することが好ましい。

上記構成によると、上記単結晶半導体膜との界面の欠陥（界面準位）が少な

く高品位な絶縁膜である上記第2の絶縁膜を、ゲート絶縁膜として、そのまま利用するので、TFT特性の優れた（S値が急峻な）、低消費電力のTFT素子を形成することができる。また、上記パターン形成された第2の絶縁膜を除去したり、膜厚調整のために上層に、別途、絶縁膜を積層したりしないので、工程数を削減することができる。

[0310] また、露出された上記複数の単結晶半導体膜、又は、パターン形成された上記単結晶半導体膜に、レーザーを照射することが好ましい。

[0311] 上記構成によると、単結晶半導体膜をレーザーで再結晶化することができるので、単結晶半導体膜の表面の突起部をなくし平坦化することができる。これにより高耐压のTFT素子を形成可能な半導体基板を得ることができる。また、レーザーによる再結晶化により、イオン注入により生じた単結晶半導体膜内部の欠陥を修復、低減することができる。これにより、欠陥の少ない高性能なTFT素子を形成可能な半導体基板を得ることができる。

[0312] 上記第2の絶縁膜は、上記エッチバック処理の際、上記支持基板に対する選択比が2以上の材料からなることが好ましい。これにより、第2の絶縁膜を、エッチストッパとして十分に機能させることができるので、上記単結晶半導体膜がエッチングされることを防止することができる。

[0313] このため、上記ベース基板に配された複数の単結晶半導体膜の膜厚バラツキを抑えた半導体基板を得ることができる。

[0314] また、上記第2の絶縁膜はBOX層であり、上記単結晶半導体膜はSOI層であり、上記第1の絶縁膜は熱酸化により形成された SiO_2 、 SiON 、 SiNO 、 SiN_x のうち少なくとも1つであり、上記ベース基板はガラス基板であることが好ましい。

[0315] また、上記半導体基板の製造方法により製造された半導体基板を用いて電子デバイスを構成してもよい。さらに、上記電子デバイスを用いて電子機器を構成してもよい。

[0316] また、本発明の半導体基板は、上記半導体基板作成用基板において、上記支持基板が除去されており、上記第2の絶縁膜がゲート絶縁膜となるように

半導体を設けることができる。

[0317] また、本発明の半導体基板は、上記ゲート絶縁膜を、上記第2の絶縁膜のみで構成することができる。

[0318] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0319] 本発明は、均一な膜厚が要求されるSOI基板の製造方法、そのSOI基板を用いて製造された薄膜トランジスタ、及び各種電子デバイスに利用することができる。

符号の説明

- [0320] 6・16 水素イオン（イオン）
7・17 脆弱層
18 単結晶Si層（支持基板の一部）
10 SOIウェハ（積層基板）
12・312 BOX層（第2の絶縁膜）
13 Si支持基板（支持基板）
14 酸化膜（第1の絶縁膜）
15・301 SOI層（単結晶半導体膜）
30 ベース基板
31 貼り合せ基板（半導体基板作成用基板）
32 SOI基板（半導体基板）
32' 貼り合せ基板
33 SOI基板（半導体基板）
302 ゲート絶縁膜（第3の絶縁膜）
303 ゲート電極
304 ドレイン領域

- 3 0 5 ソース領域
- 3 0 6 層間絶縁膜
- 3 0 7 ソース電極
- 3 0 8 ドレイン電極
- 3 1 0 T F T
- 3 1 3 ゲート絶縁膜
- 3 1 4 層間絶縁膜
- 3 2 0 アクティブマトリクス基板
- 3 3 0 ・ 3 4 0 トランジスタ基板
- 4 0 0 液晶パネル
- 4 5 0 液晶表示装置（電子デバイス）
- 5 0 0 エレクトロルミネセンス装置（電子デバイス）
- 6 0 0 無線通信装置（電子デバイス）
- 7 5 0 パソコン（電子機器）
- 7 6 0 携帯電話（電子機器）
- 7 7 0 無線通信機器（電子機器）
- 7 8 0 有機E L 照明（電子機器）
- 7 9 0 L E D 電球（電子機器）

請求の範囲

- [請求項1] 複数の単結晶半導体膜が、ベース基板に配されている半導体基板の製造方法であって、
- 第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を内部に有する単結晶半導体材料からなる支持基板とが順に積層されている複数の積層基板を、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わせる工程と、
- 上記複数の積層基板に熱を加え、上記脆弱層で、上記支持基板の一部を分離して、上記第1の絶縁膜と、上記単結晶半導体膜と、上記第2の絶縁膜と、上記支持基板の一部とを上記ベース基板に転写する工程と、
- 上記ベース基板にエッチバック処理を行い、転写された上記支持基板の一部をエッチングして、上記第2の絶縁膜を露出させる工程とを有することを特徴とする半導体基板の製造方法。
- [請求項2] 上記積層基板の上記第1の絶縁膜の表面側からイオンを照射し、上記支持基板内部に上記脆弱層を形成する工程を有することを特徴とする請求項1に記載の半導体基板の製造方法。
- [請求項3] 上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴とする請求項1又は2に記載の半導体基板の製造方法。
- [請求項4] 上記第2の絶縁膜の膜厚は50nm以下であることを特徴とする請求項3に記載の半導体基板の製造方法。
- [請求項5] 上記単結晶半導体膜の膜厚は50nm以上200nm以下であることを特徴とする請求項3又は4に記載の半導体基板の製造方法。
- [請求項6] 上記第1の絶縁膜、上記単結晶半導体膜、及び上記第2の絶縁膜の膜厚の和は、350nm以下であることを特徴とする請求項3～5の何れか1項に記載の半導体基板の製造方法。

- [請求項7] 上記イオンは、 H^+ イオン、 H_2^+ イオン、又は H_3^+ イオンであり、
 上記 H^+ イオンを主として照射する場合、加速電圧は 10 keV 以上 40 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であり、
 上記 H_2^+ イオンを主として照射する場合、加速電圧は 30 keV 以上 90 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であり、
 上記 H_3^+ イオンを主として照射する場合、加速電圧は 55 keV 以上 150 keV 以下、注入量 $1 \times 10^{16}/\text{cm}^2$ 以上 $1 \times 10^{17}/\text{cm}^2$ 以下であることを特徴とする請求項2～6の何れか1項に記載の半導体基板の製造方法。
- [請求項8] 露出された上記第2の絶縁膜を除去し、上記複数の単結晶半導体膜を露出させる工程を有することを特徴とする請求項1～7の何れか1項に記載の半導体基板の製造方法。
- [請求項9] 上記第2の絶縁膜は、ウェットエッチングにより除去することを特徴とする請求項8に記載の半導体基板の製造方法。
- [請求項10] 露出された上記第2の絶縁膜及び上記単結晶半導体膜を、フォトリソグラフィーによりパターン形成する工程と、
 パターン形成された上記第2の絶縁膜との膜厚が所望のゲート絶縁膜の膜厚となるように、当該パターン形成された上記第2の絶縁膜及び上記単結晶半導体膜を覆う第3の絶縁膜を積層し、上記ゲート絶縁膜を形成する工程とを有することを特徴とする請求項1～7の何れか1項に記載の半導体基板の製造方法。
- [請求項11] 露出された上記第2の絶縁膜及び上記単結晶半導体膜を、フォトリソグラフィーによりパターン形成する工程と、
 パターン形成された上記第2の絶縁膜上にゲート電極を形成する工程と、を有することを特徴とする請求項1～7の何れか1項に記載の半導体基板の製造方法。

- [請求項12] 露出された上記複数の単結晶半導体膜、又は、パターン形成された上記単結晶半導体膜に、レーザーを照射することを特徴とする請求項8～11の何れか1項に記載の半導体基板の製造方法。
- [請求項13] 上記第2の絶縁膜は、上記エッチバック処理の際、上記支持基板に対する選択比が2以上の材料からなることを特徴とする請求項1～12の何れか1項に記載の半導体基板の製造方法。
- [請求項14] 上記第2の絶縁膜はBOX層であり、上記単結晶半導体膜はSOI層であり、上記第1の絶縁膜は熱酸化により形成された SiO_2 、 SiON 、 SiNO 、 SiN_x のうち少なくとも1つであり、上記ベース基板はガラス基板であることを特徴とする請求項1～13の何れか1項に記載の半導体基板の製造方法。
- [請求項15] 請求項1～14の何れか1項に記載の半導体基板の製造方法により製造された半導体基板を用いて製造されたことを特徴とする電子デバイス。
- [請求項16] 複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するための半導体基板作成用基板であって、
第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照射により形成された脆弱層を有し単結晶半導体材料からなる支持基板と、が順に積層されている複数の積層基板が、上記第1の絶縁膜が上記ベース基板に近い側となるように、ベース基板に貼り合わされており、
上記積層基板の上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴とする半導体基板作成用基板。
- [請求項17] 複数の単結晶半導体膜が、ベース基板に配されている半導体基板を作成するために、上記ベース基板に貼らせるための積層基板であって、
第1の絶縁膜と、単結晶半導体膜と、第2の絶縁膜と、イオンの照

射により形成された脆弱層を有し単結晶半導体材料からなる支持基板と、が順に積層されており、

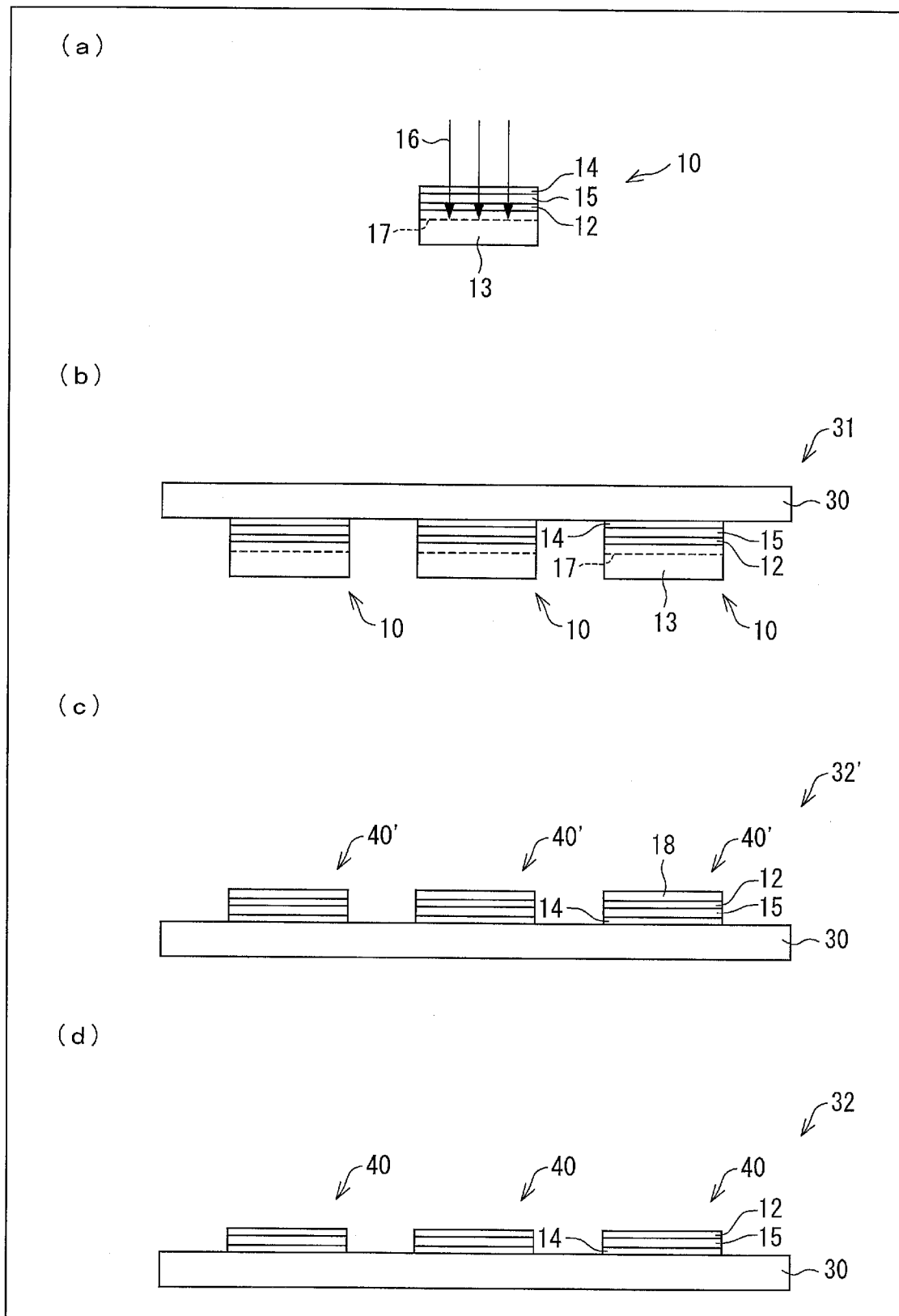
上記第2の絶縁膜の膜厚は、上記第1の絶縁膜及び上記単結晶半導体膜の膜厚の和の $1/3$ 以下であることを特徴とする積層基板。

[請求項18] 請求項16に記載の上記半導体基板作成用基板において、上記支持基板が除去されており、

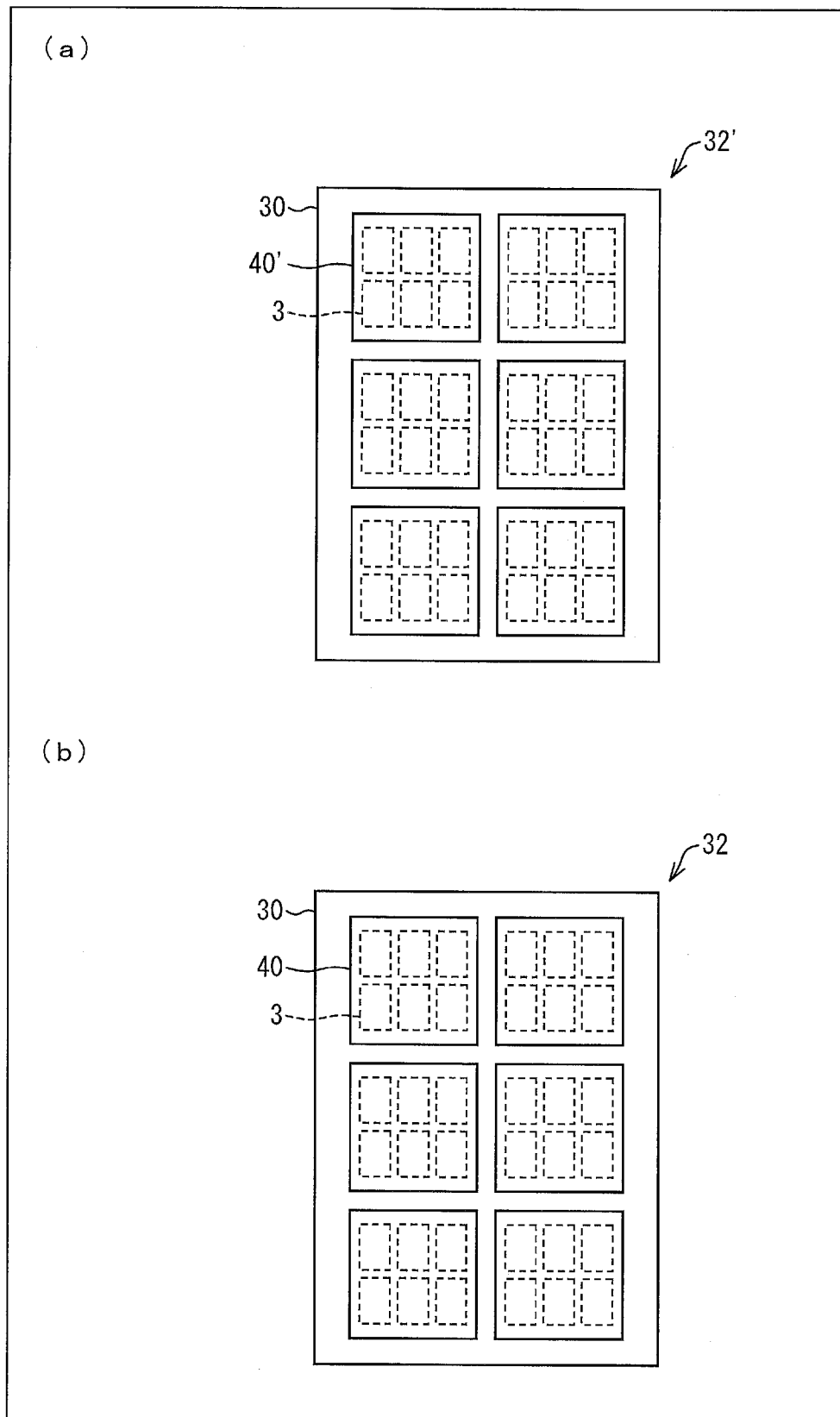
上記第2の絶縁膜がゲート絶縁膜となるように半導体が設けられていることを特徴とする半導体基板。

[請求項19] ゲート絶縁膜が、上記第2の絶縁膜のみで構成されていることを特徴とする請求項18に記載の半導体基板。

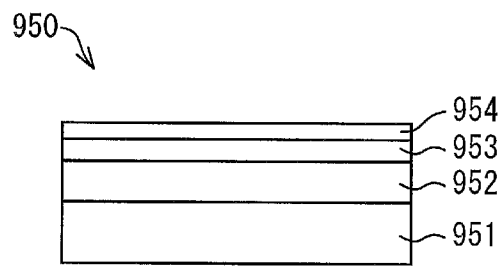
[図1]



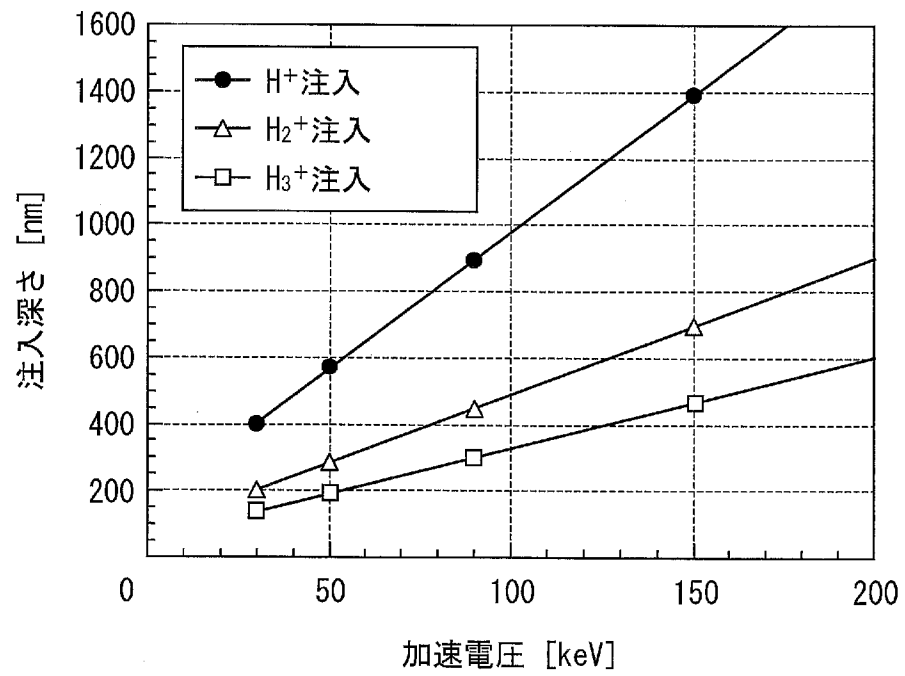
[図2]



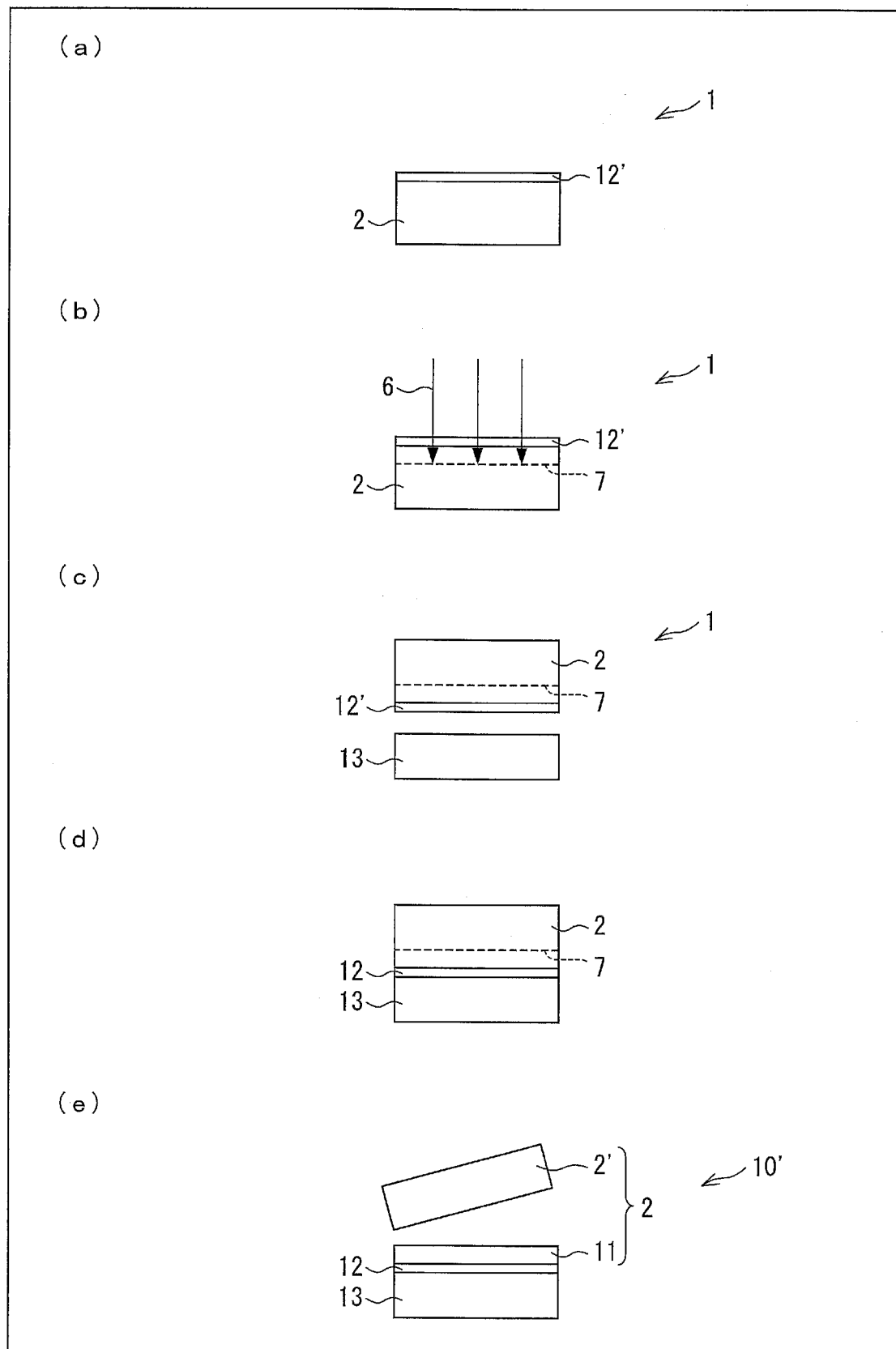
[図3]



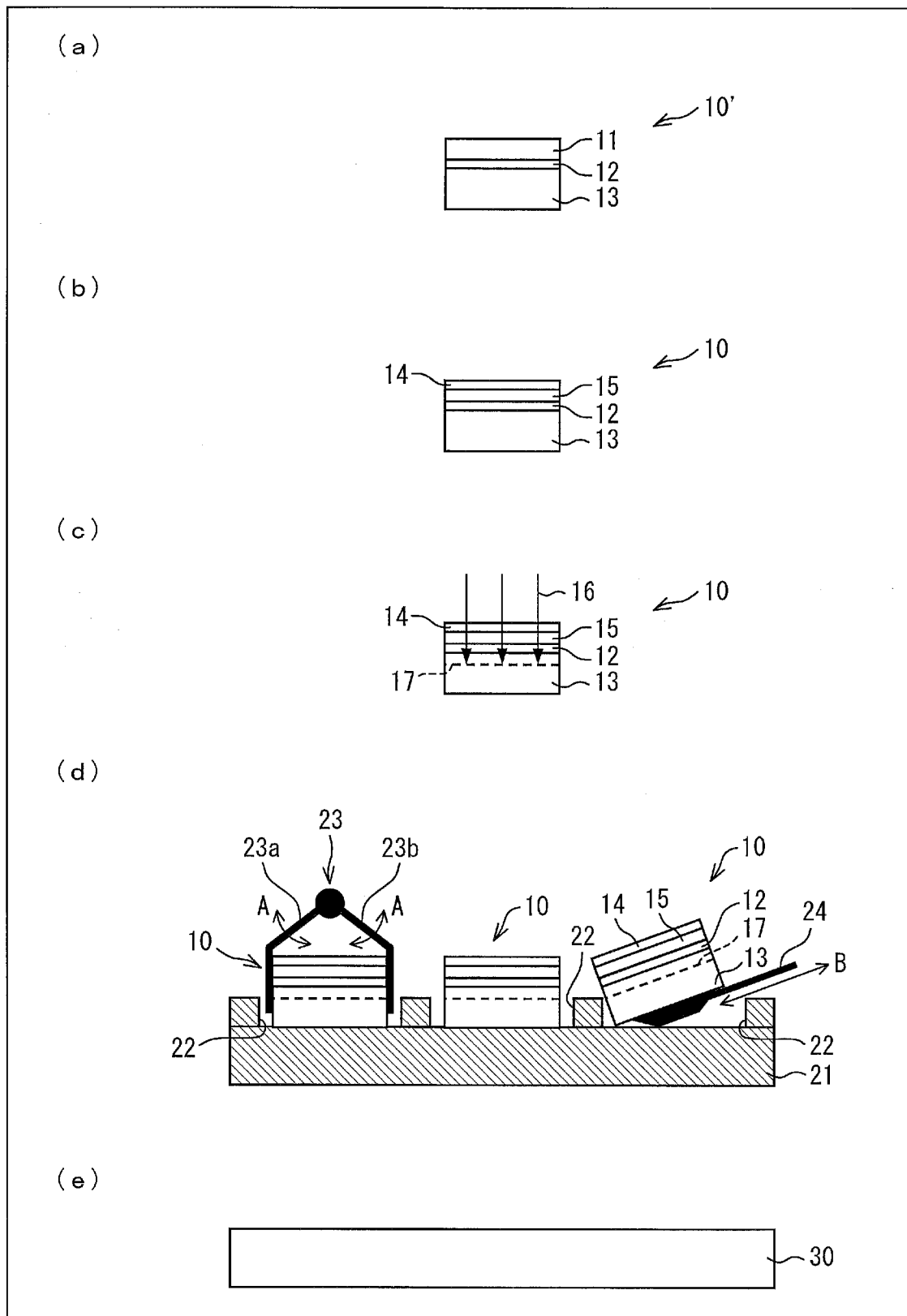
[図4]



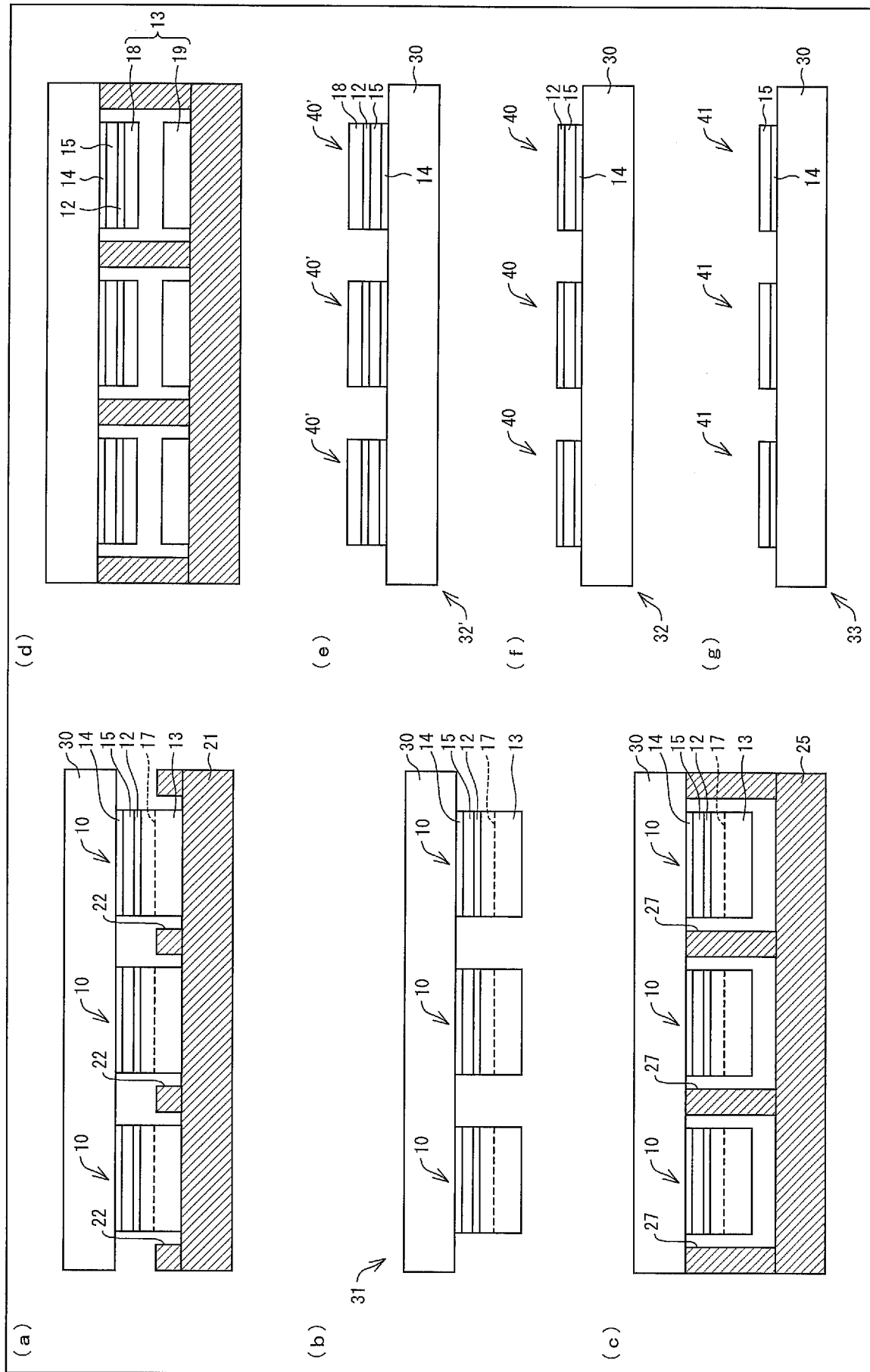
[図5]



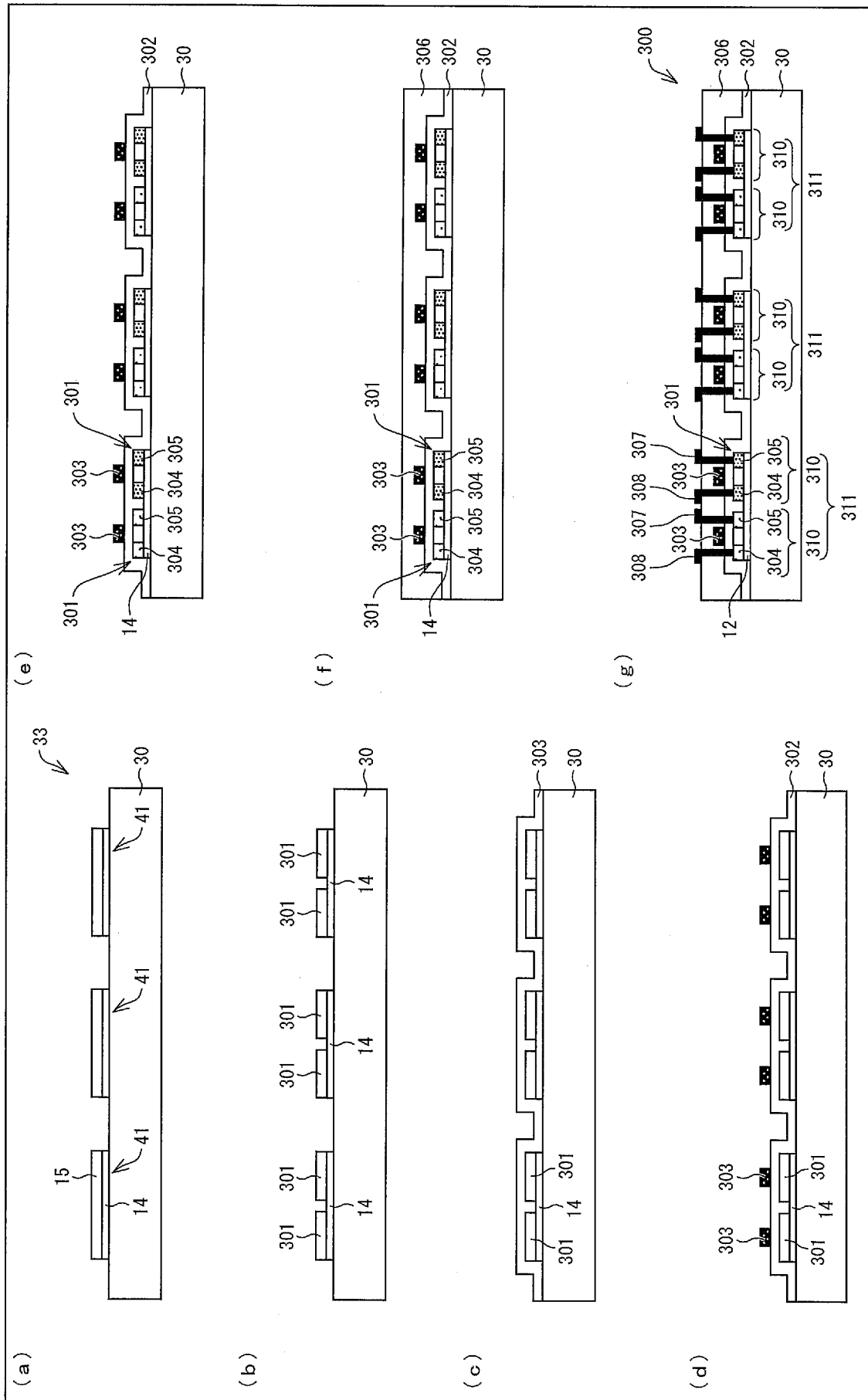
[図6]



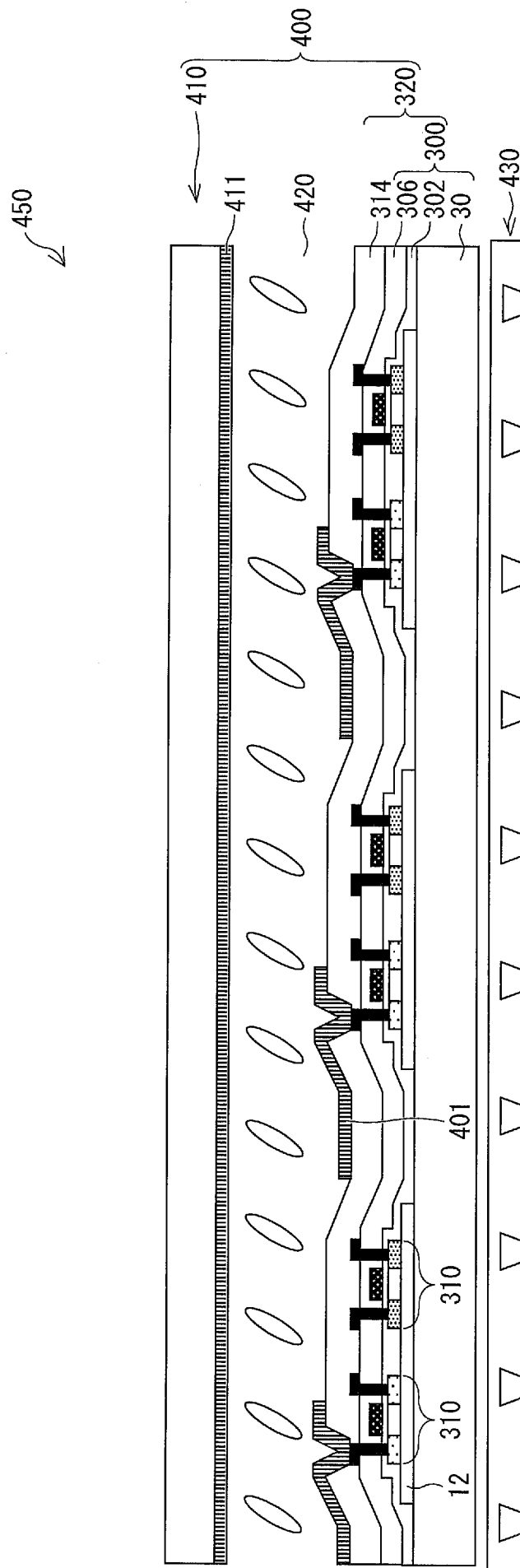
[図7]



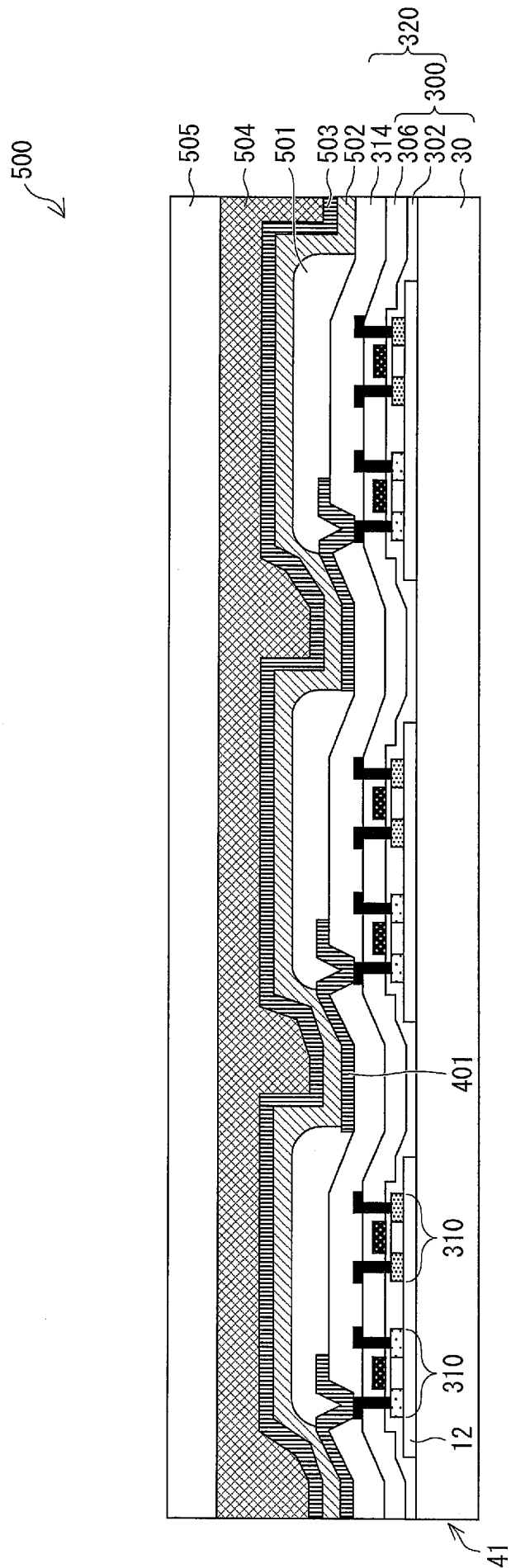
[図8]



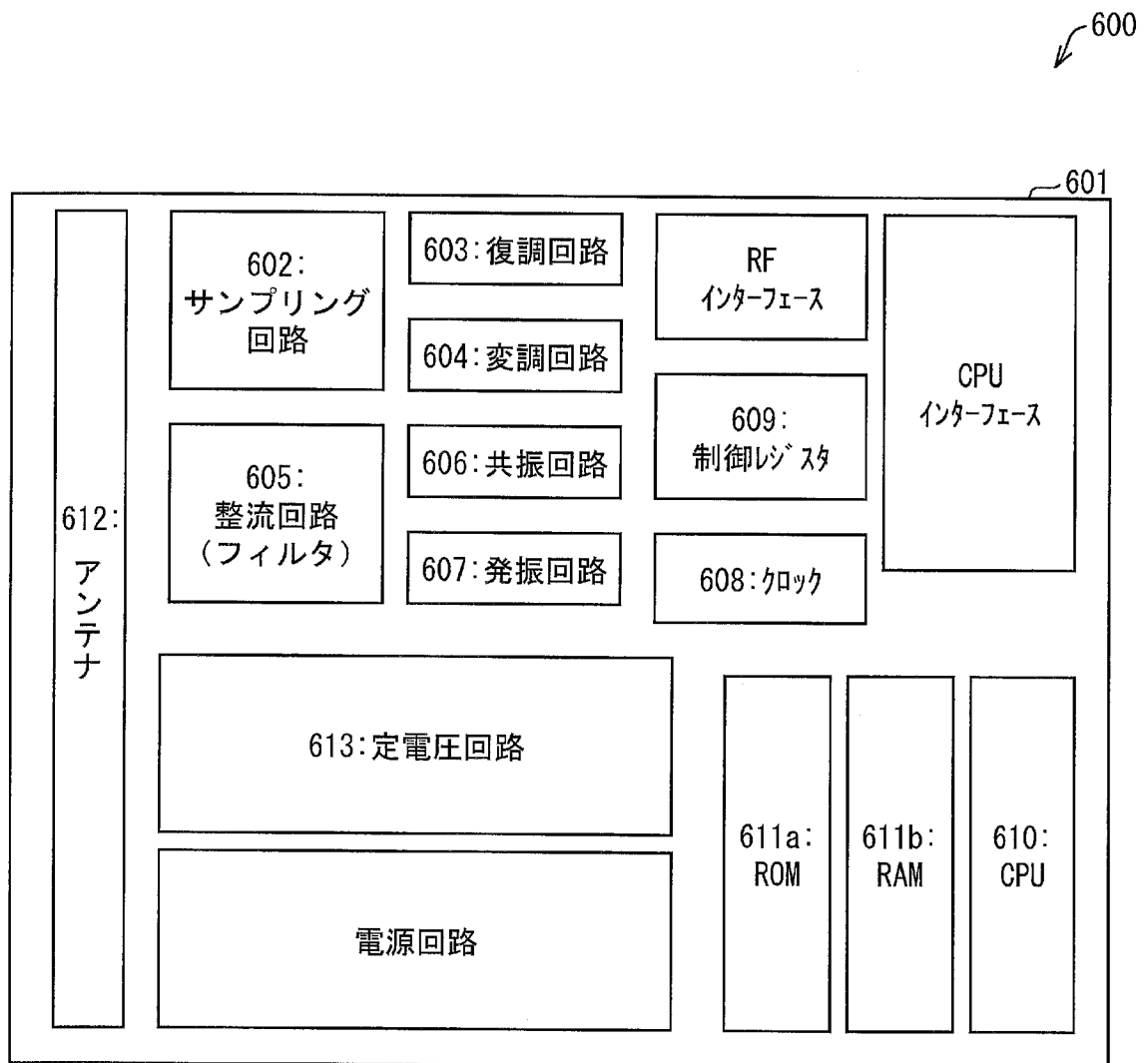
[図9]



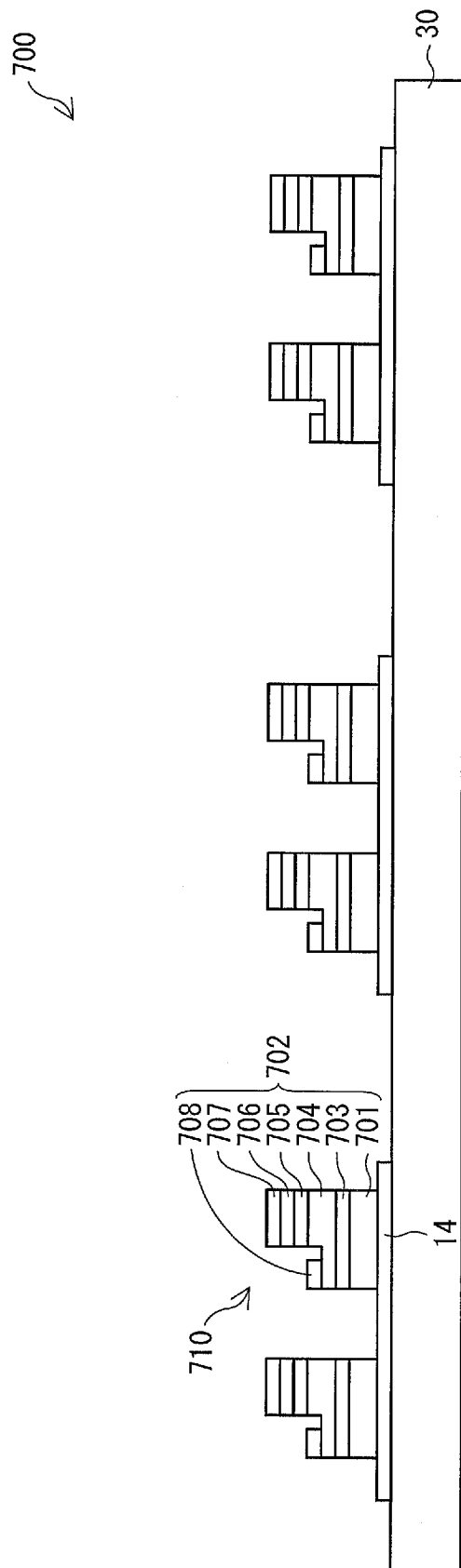
[図10]



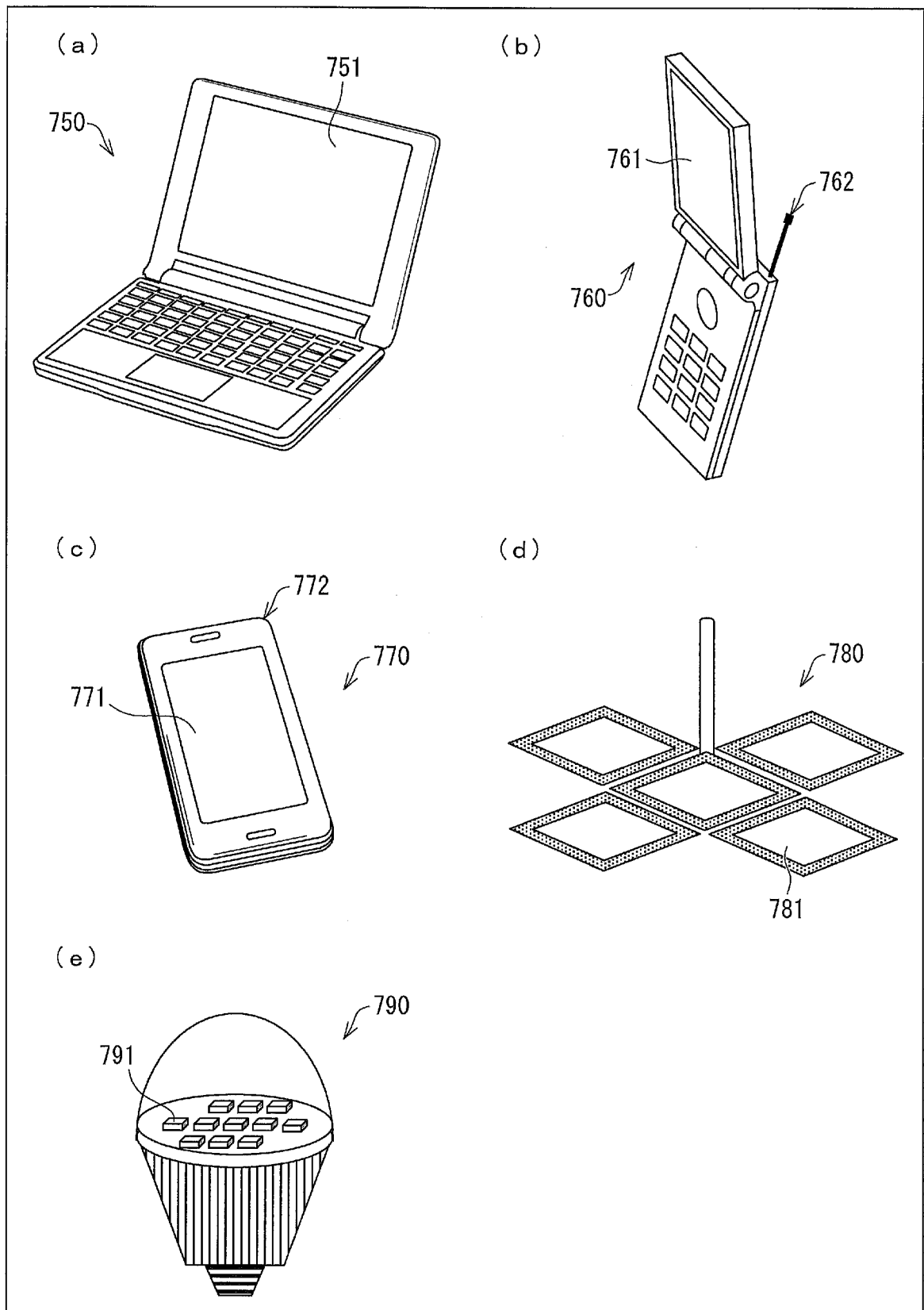
[図11]



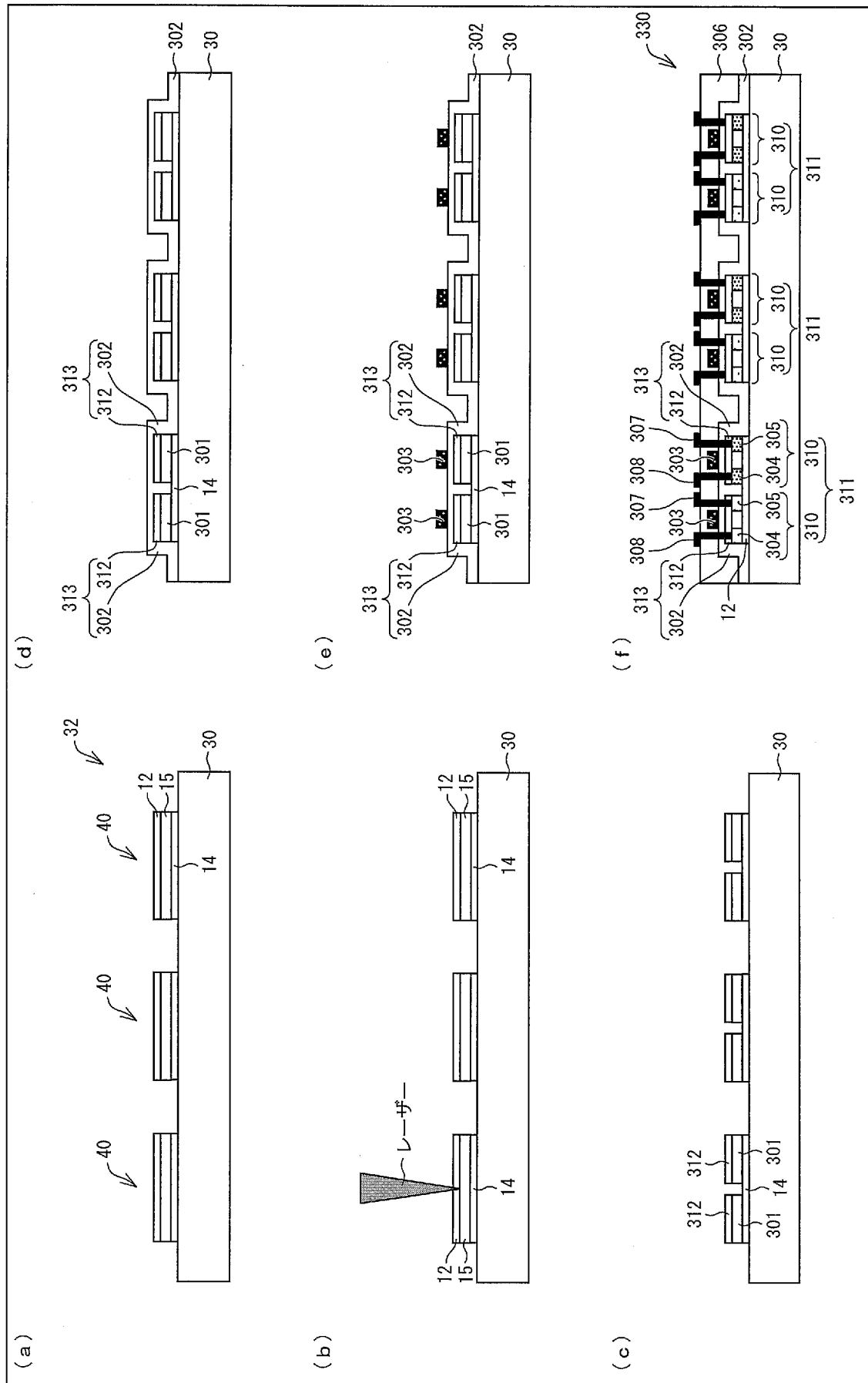
[図12]



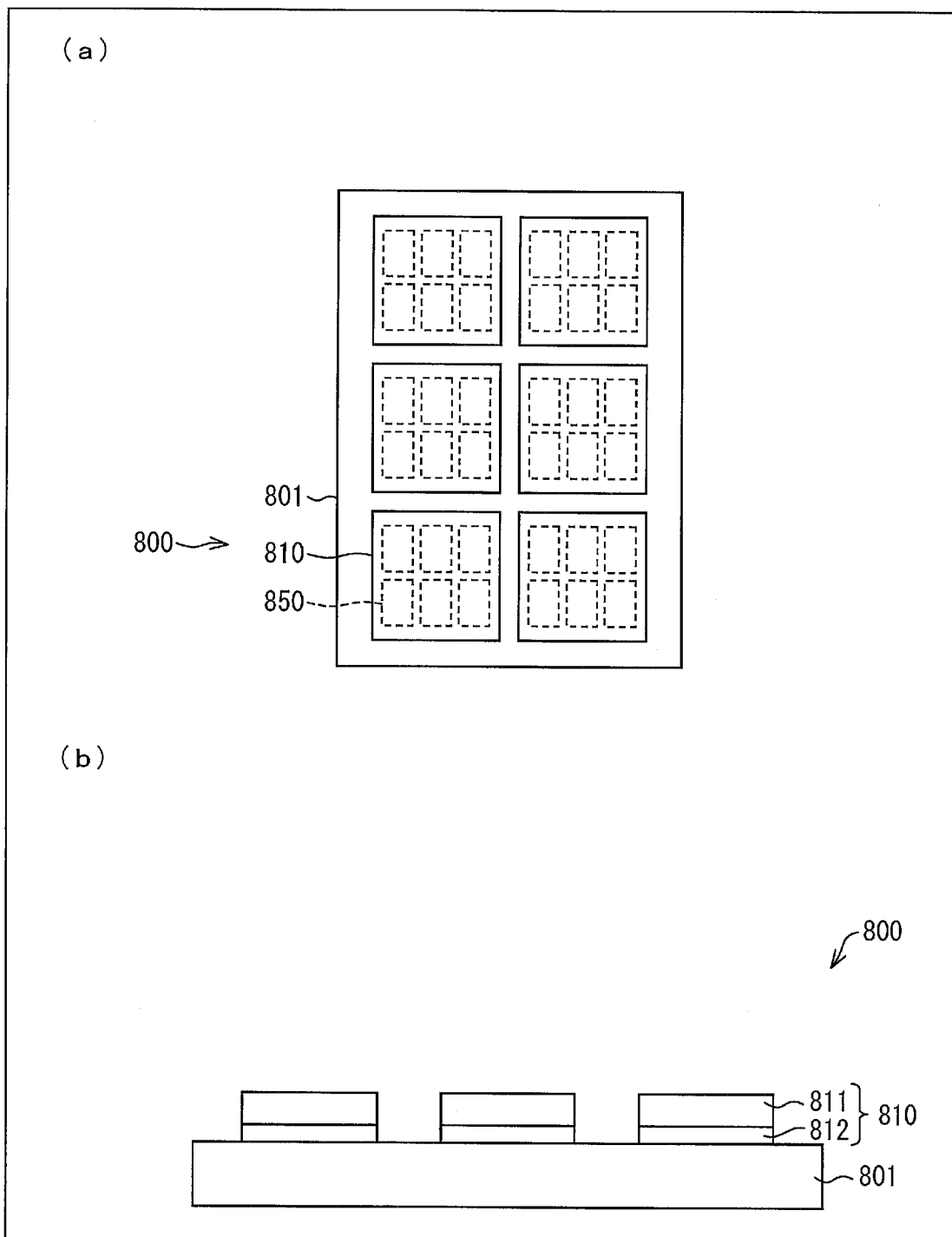
[図13]



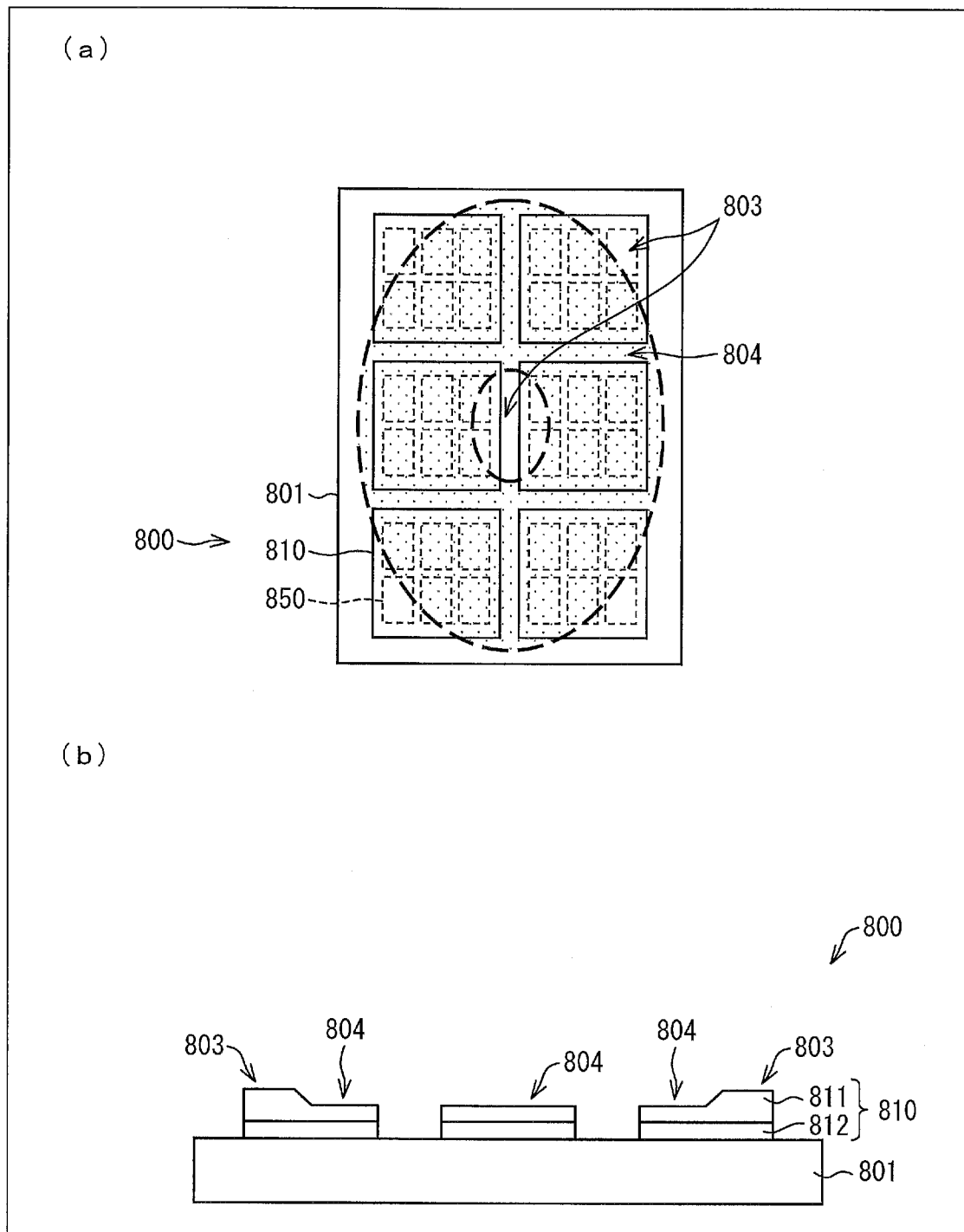
[図14]



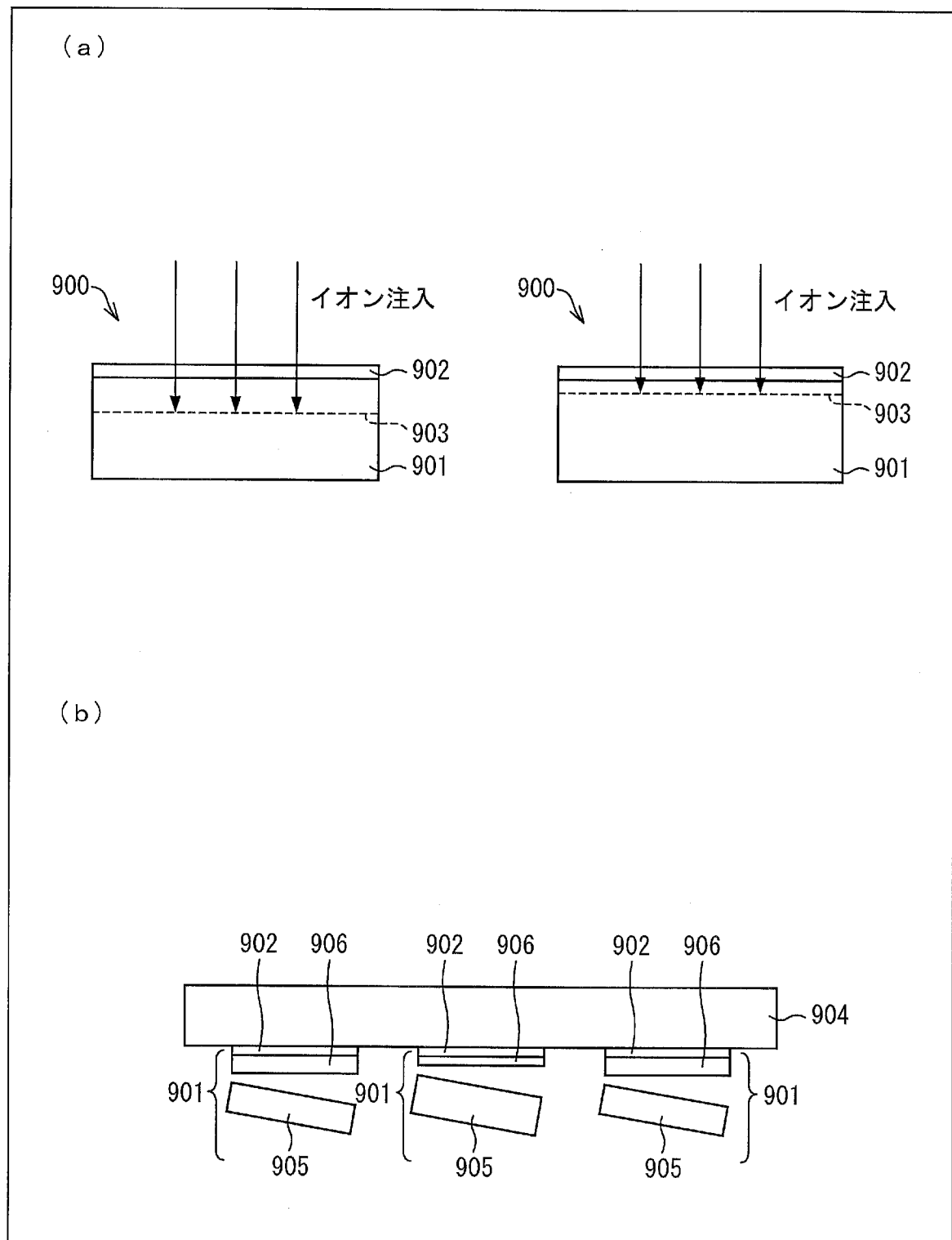
[図16]



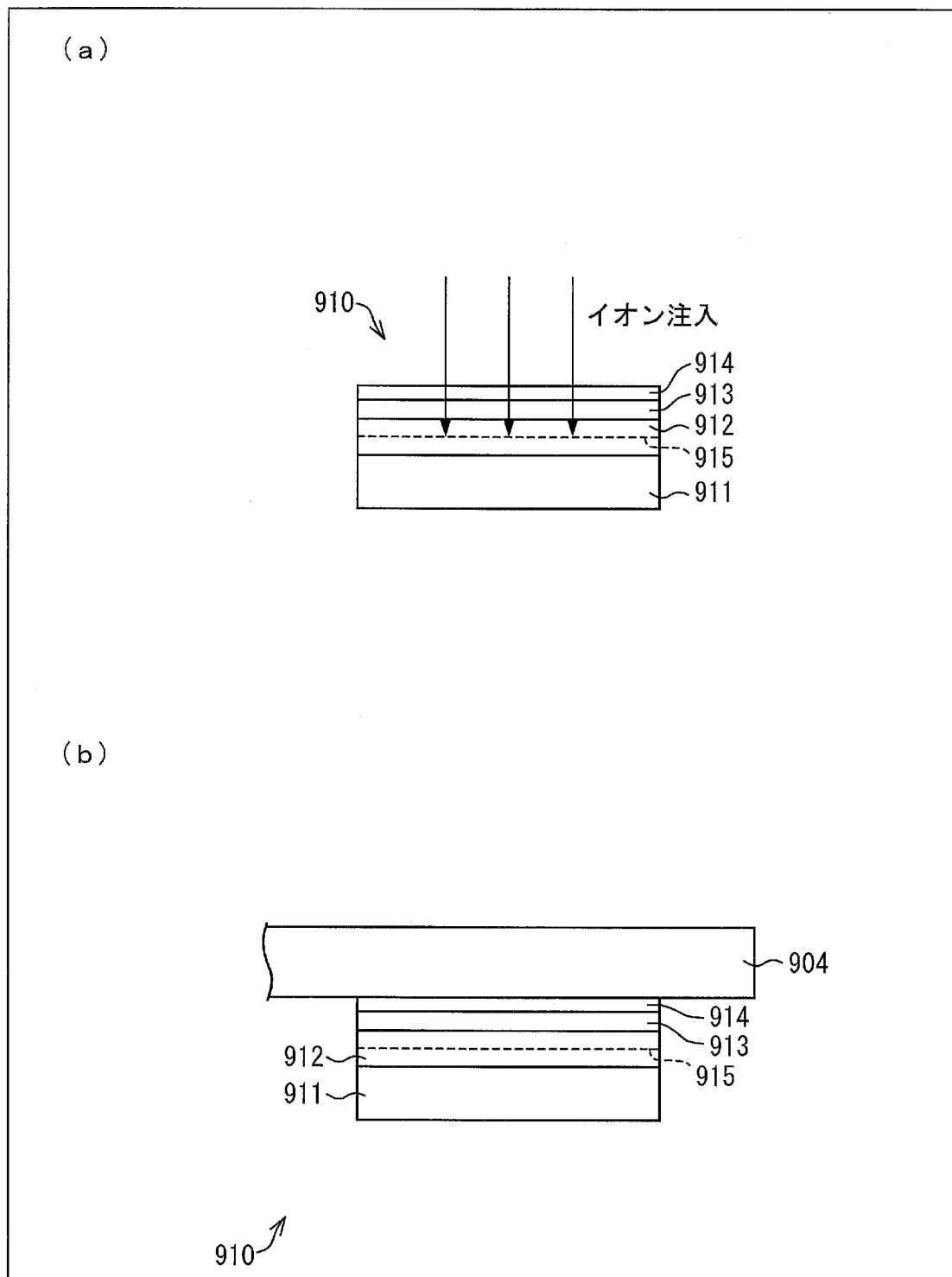
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066299

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, G02F1/1368(2006.01)i, H01L21/20(2006.01)i,
H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L27/08(2006.01)i,
H01L27/12(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, G02F1/1368, H01L21/20, H01L21/265, H01L21/336, H01L27/08,
H01L27/12, H01L29/786, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-009723 A (Semiconductor Energy Laboratory Co., Ltd.), 13 January 2011 (13.01.2011), claims; fig. 1, 8 & US 2010/0304550 A1 & KR 10-2010-0127716 A	1-19
A	JP 2010-080938 A (Semiconductor Energy Laboratory Co., Ltd.), 08 April 2010 (08.04.2010), claims; fig. 2, 3 & US 2010/0055872 A1 & SG 159476 A	1-19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 September, 2012 (12.09.12)

Date of mailing of the international search report
25 September, 2012 (25.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/02 (2006.01)i, G02F1/1368 (2006.01)i, H01L21/20 (2006.01)i, H01L21/265 (2006.01)i,
H01L21/336 (2006.01)i, H01L27/08 (2006.01)i, H01L27/12 (2006.01)i, H01L29/786 (2006.01)i,
H01L51/50 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/02, G02F1/1368, H01L21/20, H01L21/265, H01L21/336, H01L27/08, H01L27/12, H01L29/786, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-009723 A (株式会社半導体エネルギー研究所) 2011.01.13, 特許請求の範囲、図1, 8 & US 2010/0304550 A1 & KR 10-2010-0127716 A	1-19
A	JP 2010-080938 A (株式会社半導体エネルギー研究所) 2010.04.08, 特許請求の範囲、図2, 3 & US 2010/0055872 A1 & SG 159476 A	1-19

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 9 . 2 0 1 2

国際調査報告の発送日

2 5 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岩 本 勉

5 F

9 3 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6