

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-519122

(P2019-519122A)

(43) 公表日 令和1年7月4日(2019.7.4)

(51) Int.Cl.

H01L 21/82 (2006.01)

F 1

H01L 21/82
H01L 21/82

テーマコード(参考)

W 5 F O 6 4
D

審査請求 未請求 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2018-567265 (P2018-567265)
 (86) (22) 出願日 平成29年4月26日 (2017.4.26)
 (85) 翻訳文提出日 平成31年2月19日 (2019.2.19)
 (86) 國際出願番号 PCT/US2017/029700
 (87) 國際公開番号 WO2017/222638
 (87) 國際公開日 平成29年12月28日 (2017.12.28)
 (31) 優先権主張番号 15/192,872
 (32) 優先日 平成28年6月24日 (2016.6.24)
 (33) 優先権主張国 米国(US)

(71) 出願人 595020643
 クアアルコム・インコーポレイテッド
 Q U A L C O M M I N C O R P O R A T
 E D
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100112807
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】低減された寄生抵抗および改善されたデータバス速度のためのスタンダードセルアーキテクチャ

(57) 【要約】

MOSデバイスは、第2のトラックに位置する第1の入力および第3のトラックに位置する第1の出力を備えた第1の論理コンポーネントを含み得る。MOSデバイスは、第4のトラックに位置する第2の入力および第5のトラックに位置する第2の出力を備えた第2の論理を含み得る。例えば、MOSデバイスデバイスは、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターフェクトを含む。別の例において、MOSデバイスは、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターフェクトを含む。MOSデバイスは、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターフェクトを含む。さらにまた、MOSデバイスは、第5のトラック上の第2の出力に結合される M_y 層上の第4のインターフェクトを含む。

【選択図】図2

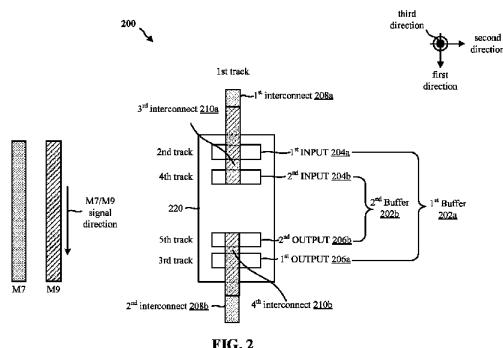


FIG. 2

【特許請求の範囲】

【請求項 1】

金属酸化膜半導体 (MOS) デバイスであって、

第1の入力および第1の出力を備えた第1の論理コンポーネントと、前記第1の入力は、第1の方向に延びている第1のトラックおよび前記第1の方向に直交する第2の方向に延びている第2のトラックに位置し、前記第1の出力は、前記第1のトラックおよび前記第2の方向に延びている第3のトラックに位置する、

第2の入力および第2の出力を備えた第2の論理コンポーネントと、前記第2の入力は、前記第1のトラックおよび前記第2の方向に延びている第4のトラックに位置し、前記第2の出力は、前記第1のトラックおよび前記第2の方向に延びている第5のトラックに位置し、前記第4のトラックおよび前記第5のトラックは、前記第2のトラックと前記第3のトラックとの間にある、

前記第1のトラックに延び、前記第2のトラック上の前記第1の入力に結合される金属 x (M_x) 層上の第1のインターフェクトと、

前記第1のトラックに延び、前記第3のトラック上の前記第1の出力に結合される前記 M_x 層上の第2のインターフェクトと、

前記第1のトラックに延び、前記第4のトラック上の前記第2の入力に結合される金属 y (M_y) 層上の第3のインターフェクトと、 y は、 x よりも大きい、

前記第1のトラックに延び、前記第5のトラック上の前記第2の出力に結合される前記 M_y 層上の第4のインターフェクトと

を備える、MOS デバイス。

【請求項 2】

前記第1の論理コンポーネントおよび前記第2の論理コンポーネントは、前記MOS デバイスにおけるスタンダードセルの一部である、請求項1に記載のMOS デバイス。

【請求項 3】

前記第1のインターフェクト、前記第2のインターフェクト、前記第3のインターフェクト、および前記第4のインターフェクトは、前記スタンダードセルと少なくとも1つの他のスタンダードセルとの間のセル間ルーティングである、請求項2に記載のMOS デバイス。

【請求項 4】

前記スタンダードセルは、第1の行、前記第1の行に隣接する第2の行、前記第2の行に隣接する第3の行、および前記第3の行に隣接する第4の行を含む4つの行を備えた4倍の高さのセルであり、前記第2のトラックは前記第1の行にあり、前記第3のトラックは前記第4の行にあり、前記第4のトラックは前記第2の行または第3の行の1つにあり、前記第5のトラックは前記第2の行または前記第3の行の別の1つにある、請求項2に記載のMOS デバイス。

【請求項 5】

前記第1の入力は第1の入力ピンに対応し、前記第1の出力は第1の出力ピンに対応し、前記第2の入力は第2の入力ピンに対応し、前記第2の出力は第2の出力ピンに対応し、

前記第1の入力ピンは、金属 $x - z_1$ ($M_x - z_1$) 層インターフェクトに対応し、ここで、 $z_1 = 1$ である、

前記第1の出力ピンは、金属 $x - z_2$ ($M_x - z_2$) 層インターフェクトに対応し、ここで、 $z_2 = 1$ である、

前記第2の入力ピンは、金属 $y - z_3$ ($M_y - z_3$) 層インターフェクトに対応し、ここで、 $z_3 = 1$ である、

前記第2の出力ピンは、金属 $y - z_4$ ($M_y - z_4$) 層インターフェクトに対応し、ここで、 $z_4 = 1$ である、請求項1に記載のMOS デバイス。

【請求項 6】

z_1 、 z_2 、 z_3 、および z_4 は、それぞれ1に等しい、請求項5に記載のMOS デバ

10

20

30

40

50

イス。

【請求項 7】

x は、 7 に等しく、 y は、 9 に等しい、請求項 1 に記載の M O S デバイス。

【請求項 8】

前記第 5 のトラックは、前記第 4 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターフェクトおよび前記第 3 のインターフェクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターフェクトおよび前記第 4 のインターフェクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 1 に記載の M O S デバイス。

【請求項 9】

前記第 4 のトラックは、前記第 5 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターフェクトおよび前記第 4 のインターフェクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターフェクトおよび前記第 3 のインターフェクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 1 に記載の M O S デバイス。

10

【請求項 10】

前記第 1 の論理コンポーネントは、第 1 のバッファであり、前記第 2 の論理コンポーネントは、第 2 のバッファである、請求項 1 に記載の M O S デバイス。

【請求項 11】

前記第 1 のトラックは、垂直トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ水平トラックである、請求項 1 に記載の M O S デバイス。

20

【請求項 12】

前記第 1 のトラックは、水平トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ、垂直トラックである、請求項 1 に記載の M O S デバイス。

【請求項 13】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記第 1 のトラックに配置された第 1 のバッファの一部であり、前記 M O S デバイスは、

30

前記第 1 のトラックに平行する第 6 のトラックに配置された第 2 のバッファと、前記第 2 のバッファは前記第 1 のバッファに隣接しない、

30

前記第 1 のトラックに平行する第 7 のトラックに配置された第 3 のバッファと、前記第 3 のバッファは前記第 2 のバッファに隣接しない、

30

前記第 1 のトラックに平行する第 8 のトラックに配置された第 4 のバッファと、前記第 4 のバッファは前記第 3 のバッファに隣接しない、

30

をさらに備える、請求項 1 に記載の M O S デバイス。

【請求項 14】

金属酸化膜半導体 (M O S) デバイスを動作させる方法であって、

第 1 の入力および第 1 の出力を備えた第 1 の論理コンポーネントを通して第 1 の信号を伝搬することと、前記第 1 の入力は、第 1 の方向に延びている第 1 のトラックおよび前記第 1 の方向に直交する第 2 の方向に延びている第 2 のトラックに位置し、前記第 1 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 3 のトラックに位置する、

40

第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントを通して第 2 の信号を伝搬することと、前記第 2 の入力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 4 のトラックに位置し、前記第 2 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 5 のトラックに位置し、前記第 4 のトラックおよび前記第 5 のトラックは、前記第 2 のトラックと前記第 3 のトラックとの間にあり、ここにおいて、前記 M O S I C デバイスは、

40

前記第 1 のトラックに延び、前記第 2 のトラック上の前記第 1 の入力に結合される金属 x (M x) 層上の第 1 のインターフェクトと、

50

前記第1のトラックに延び、前記第3のトラック上の前記第1の出力に結合される前記 M_x 層上の第2のインターフェクトと、

前記第1のトラックに延び、前記第4のトラック上の前記第2の入力に結合される金属 y (M_y)層上の第3のインターフェクトと、 y は、 x よりも大きい、

前記第1のトラックに延び、前記第5のトラック上の前記第2の出力に結合される前記 M_y 層上の第4のインターフェクトとを備える、

を備える、方法。

【請求項15】

前記第1の論理コンポーネントおよび前記第2の論理コンポーネントは、前記MOSデバイスにおけるスタンダードセルの一部である、請求項14に記載の方法。

10

【請求項16】

前記第1のインターフェクト、前記第2のインターフェクト、前記第3のインターフェクト、および前記第4のインターフェクトは、前記スタンダードセルと少なくとも1つの他のスタンダードセルとの間のセル間ルーティングである、請求項15に記載の方法。

【請求項17】

前記スタンダードセルは、第1の行、前記第1の行に隣接する第2の行、前記第2の行に隣接する第3の行、および前記第3の行に隣接する第4の行を含む4つの行を備えた4倍の高さのセルであり、前記第2のトラックは前記第1の行にあり、前記第3のトラックは前記第4の行にあり、前記第4のトラックは前記第2の行または第3の行の1つにあり、前記第5のトラックは前記第2の行または前記第3の行の別の1つにある、請求項15に記載の方法。

20

【請求項18】

前記第1の入力は第1の入力ピンに対応し、前記第1の出力は第1の出力ピンに対応し、前記第2の入力は第2の入力ピンに対応し、前記第2の出力は第2の出力ピンに対応し、

前記第1の入力ピンは、金属 $x - z_1$ ($M_x - z_1$)層インターフェクトに対応し、ここで、 $z_1 = 1$ である、

前記第1の出力ピンは、金属 $x - z_2$ ($M_x - z_2$)層インターフェクトに対応し、ここで、 $z_2 = 1$ である、

前記第2の入力ピンは、金属 $y - z_3$ ($M_y - z_3$)層インターフェクトに対応し、ここで、 $z_3 = 1$ である、

30

前記第2の出力ピンは、金属 $y - z_4$ ($M_y - z_4$)層インターフェクトに対応し、ここで、 $z_4 = 1$ である、請求項14に記載の方法。

【請求項19】

z_1 、 z_2 、 z_3 、および z_4 は、それぞれ1に等しい、請求項18に記載の方法。

【請求項20】

x は、7に等しく、 y は、9に等しい、請求項14に記載の方法。

【請求項21】

前記第5のトラックは、前記第4のトラックと前記第3のトラックとの間にあり、前記第1のインターフェクトおよび前記第3のインターフェクトは、第3の方向においてオーバーラップし、前記第2のインターフェクトおよび前記第4のインターフェクトは、前記第3の方向においてオーバーラップし、前記第3の方向は、前記第1の方向および前記第2の方向に直交する、請求項14に記載の方法。

40

【請求項22】

前記第4のトラックは、前記第5のトラックと前記第3のトラックとの間にあり、前記第1のインターフェクトおよび前記第4のインターフェクトは、第3の方向においてオーバーラップし、前記第2のインターフェクトおよび前記第3のインターフェクトは、前記第3の方向においてオーバーラップし、前記第3の方向は、前記第1の方向および前記第2の方向に直交する、請求項14に記載の方法。

【請求項23】

50

前記第1の論理コンポーネントは、第1のバッファであり、前記第2の論理コンポーネントは、第2のバッファである、請求項14に記載の方法。

【請求項24】

前記第1のトラックは、垂直トラックであり、前記第2のトラック、前記第3のトラック、前記第4のトラック、および前記第5のトラックは、それぞれ水平トラックである、請求項14に記載の方法。

【請求項25】

前記第1のトラックは、水平トラックであり、前記第2のトラック、前記第3のトラック、前記第4のトラック、および前記第5のトラックは、それぞれ、垂直トラックである、請求項14に記載の方法。

10

【請求項26】

前記第1の論理コンポーネントおよび前記第2の論理コンポーネントは、前記第1のトラックに配置された第1のバッファの一部であり、前記MOSデバイスは、

前記第1のトラックに平行する第6のトラックに配置された第2のバッファと、前記第2のバッファは前記第1のバッファに隣接しない、

前記第1のトラックに平行する第7のトラックに配置された第3のバッファと、前記第3のバッファは前記第2のバッファに隣接しない、

前記第1のトラックに平行する第8のトラックに配置された第4のバッファと、前記第4のバッファは前記第3のバッファに隣接しない、

をさらに備える、請求項14に記載の方法。

20

【請求項27】

金属酸化膜半導体(MOS)デバイスであって、

第1の入力および第1の出力を備えた第1の論理コンポーネントを通して第1の信号を伝搬するための第1の手段と、前記第1の入力は、第1の方向に延びている第1のトラックおよび前記第1の方向に直交する第2の方向に延びている第2のトラックに位置し、前記第1の出力は、前記第1のトラックおよび前記第2の方向に延びている第3のトラックに位置する、

第2の入力および第2の出力を備えた第2の論理コンポーネントを通して第2の信号を伝搬するための第2の手段と、前記第2の入力は、前記第1のトラックおよび前記第2の方向に延びている第4のトラックに位置し、前記第2の出力は、前記第1のトラックおよび前記第2の方向に延びている第5のトラックに位置し、前記第4のトラックおよび前記第5のトラックは、前記第2のトラックと前記第3のトラックとの間にあり、ここにおいて、前記MOSICデバイスは、

30

前記第1のトラックに延び、前記第2のトラック上の前記第1の入力に結合される金属 x (M_x)層上の第1のインターフェクトと、

前記第1のトラックに延び、前記第3のトラック上の前記第1の出力に結合される前記 M_x 層上の第2のインターフェクトと、

前記第1のトラックに延び、前記第4のトラック上の前記第2の入力に結合される金属 y (M_y)層上の第3のインターフェクトと、 y は、 x よりも大きい、

前記第1のトラックに延び、前記第5のトラック上の前記第2の出力に結合される前記 M_y 層上の第4のインターフェクトとをさらに備える、

40

を備える、MOSデバイス。

【請求項28】

前記第1の論理コンポーネントおよび前記第2の論理コンポーネントは、前記MOSデバイスにおけるスタンダードセルの一部である、請求項27に記載のMOSデバイス。

【請求項29】

前記第1のインターフェクト、前記第2のインターフェクト、前記第3のインターフェクト、および前記第4のインターフェクトは、前記スタンダードセルと少なくとも1つの他のスタンダードセルとの間のセル間ルーティングである、請求項28に記載のMOS。

【請求項30】

50

前記第1の入力は第1の入力ピンに対応し、前記第1の出力は第1の出力ピンに対応し、前記第2の入力は第2の入力ピンに対応し、前記第2の出力は第2の出力ピンに対応し、

前記第1の入力ピンは、金属 $x - z_1$ ($M_{x - z_1}$) 層インターフェクトに対応し、ここで、 $z_1 = 1$ である、

前記第1の出力ピンは、金属 $x - z_2$ ($M_{x - z_2}$) 層インターフェクトに対応し、ここで、 $z_2 = 1$ である、

前記第2の入力ピンは、金属 $y - z_3$ ($M_{y - z_3}$) 層インターフェクトに対応し、ここで、 $z_3 = 1$ である、

前記第2の出力ピンは、金属 $y - z_4$ ($M_{y - z_4}$) 層インターフェクトに対応し、ここで、 $z_4 = 1$ である、請求項27に記載のMOSデバイス。 10

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 本願は、2016年6月24日出願された「A STANDARD CELL ARCHITECTURE FOR REDUCED PARASITIC RESISTANCE AND IMPROVED DATAPATH SPEED」と題する、米国特許出願第15/192,872の利益を主張するもので、その全体が参照によって明細書に明確に組み込まれる。

【技術分野】

【0002】

[0002] 本開示は、一般的に、スタンダードセルアーキテクチャ (standard cell architecture) に関し、より具体的には、寄生抵抗を低減し、データパス速度を向上させる金属酸化膜半導体 (MOS) 集積回路 (IC) デバイスのためのスタンダードセルアーキテクチャに関する。

【背景技術】

【0003】

[0003] 集積回路のスタンダードセルは、デジタルロジックを実現する。システムオンチップ (SoC) デバイスのような、特定用途向け集積回路 (ASIC) は、何千から何百万ものスタンダードセルデバイスを含み得る。典型的なMOS ICデバイスは、連続的に形成された層のスタック (stack) を含む。各層は、先行する層の上にスタックまたはオーバレイされ得、トランジスタ (例えば、電界効果トランジスタ (FET) および / またはフィン形状のFET (FinFET)) を定義する形状を形成し、トランジスタを回路に接続するようにパターン化され得る。 30

【0004】

[0004] MOS ICデバイスがより小型サイズで製造されるにつれ、製造者は、より大量のスタンダードセルデバイスをシングルチップ上に集積することがより難しいことに気付いている。例えば、MOS ICデバイスのサイズが低減されるゆえに、寄生抵抗の増大がMOS ICデバイスの様々な層の幅および厚さの低減によって引き起こされ得る。寄生抵抗の増大は、スタンダードセルアウトプットの遅延の原因となり得る。

【0005】

[0005] さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する2つの異なる金属層 (例えば、上位の金属層および下位の金属層) 上の2つのインターフェクトがMOS ICデバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する2つの異なるスタンダードセルに接続されるとき、下位の金属層上のインターフェクトがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターフェクトが上位の金属層上のインターフェクトの入力 / 出力スタックに陥る可能性があるため、トラックの周りのインターフェクトをルーティングすることが必要となり得る。ルーティング迂回 (routing detour) は、下位の金属層上のインターフェクトに信号遅延を引き起こす可能性があり、下位の金属層上のインターフェクトの度重なる信号遅延は、MOS ICデバイスのためのデータパス速度の減少を引き起こす可能性 40

50

20

30

40

50

がある。

【0006】

[0006] 現在、小型MOS ICデバイスの寄生抵抗を低減し、トラック上の2つの異なる信号を搬送するインターフェクトがトラックの周りをルーティングされることなくトラック上の入力／出力ピンに接続することを可能にするスタンダードセルアーキテクチャが必要とされている。

【発明の概要】

【0007】

[0007] 本開示の一態様では、MOSデバイスが、第1の出力および第2の出力を備えた第1の論理コンポーネントを含み得る。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。MOSデバイスは、第2の入力および第2の出力を備えた第2の論理コンポーネントをさらに含む。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1のインターフェクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第1のインターフェクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターフェクトを含む。一態様において、 y は x よりも大きい。さらに、MOSデバイスは、第1のトラックに延び、第5のトラック上の第2の出力に結合される M_y 層上の第4のインターフェクトを含む。

10

20

30

40

【0008】

[0008] 本開示の別の態様では、MOS ICの動作の方法が、第1の出力および第1の出力を備えた第1の論理コンポーネントを通して第1の信号を伝搬することを含む。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。方法は、第2の入力および第2の出力を備えた第2の論理コンポーネントを通して第2の信号を伝搬することをさらに含む。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターフェクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターフェクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターフェクトを含む。一態様において、 y は x よりも大きい。さらに、MOSデバイスは、第1のトラックに延び、第5のトラック上の第2の出力に結合される M_y 層上の第4のインターフェクトを含む。

50

【図面の簡単な説明】

【0009】

【図1】本開示の一態様にしたがって、例示的なMOS ICデバイスの平面図を例示する図である。

【図2】本開示の一態様にしたがって、例示的なMOS ICデバイスの平面図を例示する図である。

【図3】本開示の一態様にしたがった、例示的なMOS ICデバイスの平面図を例示する図である。

【図4】本開示の一態様にしたがった、例示的なMOS ICデバイスの平面図を例示する図である。

【図5】本開示の一態様にしたがった、例示的なMOS ICデバイスの平面図を例示する図である。

【図6】例示的な方法のフローチャートである。

【詳細な説明】

【0010】

[0015] 添付の図面に関連して以下に記載される詳細な説明は、様々な構成の説明として意図され、本明細書に説明される概念が実施され得る唯一の構成を表すようには意図されない。詳細な説明は、様々な概念の完全な理解を提供する目的のために特定の詳細を含む。しかしながら、これらの概念がこれらの特定の詳細なしで実施され得ることは、当業者には明らかであろう。いくつかの事例では、周知の構造およびコンポーネントが、このような概念を曖昧にすることを避けるために、ブロック図形式で示される。装置および方法は、以下の詳細な説明において説明され、様々なブロック、モジュール、コンポーネント、回路、ステップ、プロセス、アルゴリズム、要素、等によって、添付の図面において例示され得る。

【0011】

[0016] MOS ICデバイスがより小型サイズで製造されるにつれて、製造者は、シングルチップ上により大量のスタンダードセルデバイスを統合することがより難しいことに気づいてきている。例えば、MOS ICデバイスのサイズが縮小されるにつれて、寄生抵抗の増大がMOS ICデバイスの様々な層の幅および厚さの低減によって引き起こされる可能性がある。寄生抵抗の増大は、スタンダードセルアウトプットの遅延の原因となり得る。

【0012】

[0017] MOS ICデバイスのスタンダードセルは、金属 \times (M \times)層のインターロネクトまで設計され得、ここで、 \times 3である。小型MOS ICデバイスの寄生抵抗を低減する1つの方法は、金属5(M5)層インターロネクトまたは金属6(M6)層インターロネクトのような、上位金属層までスタンダードセルを設計し得ることである。上位金属層インターロネクトでスタンダードセルを設計することで、下位金属層インターロネクトに上位金属層インターロネクトを接続するさらなるビア(via)も含まれ得る。更なる金属層インターロネクトおよびビアは、M \times 層インターロネクトまで設計されただけのスタンダードセルと比較して、スタンダードセルの全体的な寄生抵抗を低減可能であるさらなる並列電流経路を提供し得る。

【0013】

[0018] さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する2つの異なる金属層インターロネクト(例えば、上位の金属9(M9)層および下位の金属7(M7)層)上の2つのインターロネクトがMOS ICデバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する2つの異なるスタンダードセルに接続されるとき、下位の金属層上のインターロネクトがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターロネクトが上位の金属層上のインターロネクトの入力/出力スタックに陥る可能性があるため、トラックの周りのインターロネクトをルーティングすることが必要となり得る。図1に関して以下で説明されるように、ルーティング迂回は、下位の金属層上のインターロネクトに信号遅延を引き起こす可能性があり、下位の金属層上のインターロネクトの度重なる信号遅延は、MOS ICデバイスのためのデータパス速度の減少を引き起こす可能性がある。

【0014】

[0019] 図1は、先に述べたように、寄生抵抗を低減するためにM6層まで金属層で設計された第1のスタンダードセル120aおよび第2のスタンダードセル120bを含む

10

20

30

40

50

例示的なMOS ICデバイス100の平面図を例示する図である。第1のスタンダードセル120aは、第1のバッファ102aを含み、第2のスタンダードセル120bは、第2のバッファ102b（例えば、2ビットバッファ）を含む。

【0015】

[0020] 図1にさらに示されているように、第1のバッファ102aは、第1の入力104a（第1の入力ピン）および第1の出力106a（例えば、第1の出力ピン）を含む。例えば、第1の入力104aは、第1の方向に延びる第1のトラック（例えば、垂直トラック）および第2の方向に延びる第2のトラック（例えば、水平トラック）上に位置し得る。一態様において、第1の入力104aは、第1のM6層インターロネクトに対応し得る。さらに、第1の出力106aは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第3のトラック（例えば、水平トラック）上に位置し得る。別の態様において、第1の出力106aは、第2のM6層インターロネクトに対応し得る。図1の右上隅に示されるように、第1の方向は第2の方向に直交である。

10

【0016】

[0021] さらに、第2のバッファ102bは、第2の入力104b（例えば、第2の入力ピン）および第2の出力106b（例えば、第2の出力ピン）を含む。例えば、第2の出力104bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第4のトラック（例えば、水平トラック）上に位置し得る。一態様において、第2の入力104bは、第1のM8層インターロネクトに対応し得る。さらに、第2の出力106bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第5のトラック（例えば、水平トラック）上に位置し得る。別の態様において、第2の出力106bは、第2のM8層インターロネクトに対応し得る。

20

【0017】

[0022] また、図1に示されるように、M7層およびM9層は両方第1のトラックに沿って延びる。例えば、図1の右上隅に示されるように、M9層は、第3の方向におけるM7層の上に形成される。さらに、M7層およびM9層の各々に搬送された信号は、図1の左手側に示されるように、同じ方向に移動する。M9層がM7層の全体にわたって延びているが、M9層の一部は、第1の入力104aのM7層のビューを不明瞭にしないために図1に示されていない。

30

【0018】

[0023] 例示的なMOS ICデバイス100において、M7層上の第1のインターロネクト108aは、第2のトラック上の（例えば、M6層上の）第1の入力104aへのビアを通して結合され得る。さらに、第2のインターロネクト108bは、第1のトラックからのルーティング迂回で第4のトラック上の（例えば、M6層上の）第1の出力106aへのビアを通して接続され得る。さらに、M9層上の第3のインターロネクト110aは、第5のトラック上の（例えば、M8層上の）第2の入力104bへのビアを通して結合され得る。さらに、M9層上の第4のインターロネクト110bは、第3のトラック上の（例えば、M8層上の）第2の出力106bへのビアを通して結合され得る。

【0019】

[0024] しかしながら、第2の入力104bに対応するスタックはM9層まで延びるの40で、第2のインターロネクト108bは、第1のトラックからのルーティング迂回なしに第2のスタンダードセル120bに接続できない。先に述べたように、ルーティング迂回は、信号遅延を引き起こす可能性があり、ルーティング迂回の蓄積された信号遅延は、図1に示されるMOS ICデバイス100のデータ経路速度の減少を引き起こす可能性がある。

40

【0020】

[0025] 図2は、寄生抵抗を低減するためにM6/M8層までの金属層を用いて設計されたスタンダードセル220を含む例示的なMOS ICデバイス200を例示する。MOS ICデバイスは、第1のバッファ202aおよび第2のバッファ202b（例えば、2ビットバッファ）を含む。一態様において、図2に示される例示的なMOS ICデ

50

バイス 200 は、M7 層インターロネクトをバッファ出力に接続するためにルーティング迂回を要求しない。

【0021】

[0026] 図 2 にさらに示されているように、第 1 のバッファ 202a は、第 1 の入力 204a (第 1 の入力ピン) および第 1 の出力 206a (例えば、第 1 の出力ピン) を含む。例えば、第 1 の入力 204a は、第 1 の方向に延びる第 1 のトラック (例えば、垂直トラック) および第 2 の方向に延びる第 2 のトラック (例えば、水平トラック) 上に位置し得る。一様において、第 1 の入力 204a は、第 1 の M6 層インターロネクトに対応し得る。さらに、第 1 の出力 206a は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 3 のトラック (例えば、水平トラック) 上に位置し得る。別の様において、第 1 の出力 206a は、第 2 の M6 層インターロネクトに対応し得る。図 2 の右上隅に示されるように、第 1 の方向は第 2 の方向に直交である。10

【0022】

[0027] さらに、第 2 のバッファ 202b は、第 2 の入力 204b (例えば、第 2 の入力ピン) および第 2 の出力 206b (例えば、第 2 の出力ピン) を含む。例えば、第 2 の出力 204b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 4 のトラック (例えば、水平トラック) 上に位置し得る。一様において、第 2 の入力 204b は、第 1 の M8 層インターロネクトに対応し得る。さらに、第 2 の出力 206b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 5 のトラック (例えば、水平トラック) 上に位置し得る。別の様において、第 2 の出力 206b は、第 2 の M8 層インターロネクトに対応し得る。20

【0023】

[0028] また、図 2 に示されるように、M7 層インターロネクトおよび M9 層インターロネクトは、両方第 1 のトラックに沿って延びる。例えば、図 2 の右上隅に示されるように、M9 層インターロネクトは、第 3 の方向における M7 層インターロネクトの上に形成される。さらに、M7 層インターロネクトおよび M9 層インターロネクトの各々に搬送された信号は、図 2 の左手側に示されるように、同じ方向に移動する。M9 層インターロネクトが M7 層インターロネクトの全体にわたって延びているが、M9 層インターロネクトの一部は、第 1 の入力 204a および第 1 の出力 206a の M7 層インターロネクトのビューを不明瞭にしないために図 2 に示されていない。30

【0024】

[0029] 例示的な MOS IC デバイス 200において、M7 層上の第 1 のインターロネクト 208a は、第 2 のトラック上の第 1 の入力 204a (例えば、第 1 の M6 層インターロネクト) に結合され得る。例えば、第 1 のインターロネクト 208a は、MOS IC デバイス 200 の第 1 の入力 204a に第 1 のインターロネクト 208a を接続するビアを通して第 1 の入力 204a に結合され得る。

【0025】

[0030] さらに、M7 層上の第 2 のインターロネクト 208b は、第 3 のトラック上の第 1 の出力 206a (例えば、第 2 の M6 層インターロネクト) に結合され得る。例えば、第 2 のインターロネクト 208b は、MOS IC デバイス 200 の第 1 の出力 206a に M7 層を接続するビアを通して第 1 の出力 206a に結合され得る。40

【0026】

[0031] さらに、M9 層上の第 3 のインターロネクト 210a は、第 4 のトラック上の第 2 の入力 204b (例えば、第 1 の M8 層インターロネクト) に結合され得る。例えば、第 3 のインターロネクト 210a は、MOS IC デバイス 200 の第 2 の入力 204b に第 3 のインターロネクト 210a を接続するビアを通して第 2 の入力 204b に結合され得る。

【0027】

[0032] さらに、M9 層上の第 4 のインターロネクト 210b は、第 5 のトラック上の第 2 の出力 206b (例えば、第 2 の M8 層インターロネクト) に結合され得る。例えば50

、第4のインターフェクト210bは、MOS ICデバイス200の第2の出力206bに第4のインターフェクト210bを接続するビアを通して第2の出力206bに結合され得る。

【0028】

[0033] 第1のインターフェクト208a、第2のインターフェクト208b、第3のインターフェクト210a、および第4のインターフェクト210bは、スタンダードセル200と別のスタンダードセル(図2に図示せず)との間のセル間ルーティングとして使用され得る。図2に示される例示的な実施形態において、スタンダードセル220は、第2から第5のトラックを含む4つの行を備えた4倍の高さのセル(quadruple height cell)である。本明細書で開示される態様はまた、単一の高さのセル、2倍の高さのセル、3倍の高さのセル、または本開示の範囲から逸脱することのない任意の他のセルの高さに適応され得ることが理解されるべきである。10

【0029】

[0034] 図2に示されるように第1の入力204a、第2の入力204b、第1の出力206a、および第2の出力206bの方向を合わせることによって、MOS ICデバイス200のトランジスタへのスタックにおけるM9層インターフェクトの接続は、第1のトラックの上に延びているものからM7層インターフェクトをロックしない。よって、図2に例示されるMOS ICデバイスにおいて、M7層インターフェクトのルーティング迂回が回避され、データパス速度が改善され得る。20

【0030】

[0035] 図3は、寄生抵抗を低減するためにM6/M8層までの金属層を用いて各々設計されたスタンダードセル320を含む例示的なMOS ICデバイス300を例示する。MOS ICデバイス300はまた、第1のバッファ302aおよび第2のバッファ302b(例えば、2ビットバッファ)を含む。さらに、図3に示される例示的なMOS ICデバイス300は、M7をバッファ出力に接続するためにルーティング迂回を要求しない。30

【0031】

[0036] 図3にさらに示されているように、第1のバッファ302aは、第1の入力304a(第1の入力ピン)および第1の出力306a(例えば、第1の出力ピン)を含む。例えば、第1の入力304aは、第1の方向に延びる第1のトラック(例えば、垂直トラック)および第2の方向に延びる第2のトラック(例えば、水平トラック)上に位置し得る。一態様において、第1の入力304aは、第1のM6層インターフェクトに対応し得る。さらに、第1の出力306aは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第3のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第1の出力306aは、第2のM6層インターフェクトに対応し得る。図3の右上隅に示されるように、第1の方向は第2の方向に直交である。30

【0032】

[0037] さらに、第2のバッファ302bは、第2の入力304b(例えば、第2の入力ピン)および第2の出力306b(例えば、第2の出力ピン)を含む。例えば、第2の出力304bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第4のトラック(例えば、水平トラック)上に位置し得る。一態様において、第2の入力304bは、第1のM8層インターフェクトに対応し得る。さらに、第2の出力306bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第5のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第2の出力306bは、第2のM8層インターフェクトに対応し得る。40

【0033】

[0038] また、図3に示されるように、M7層インターフェクトおよびM9層インターフェクトは、両方第1のトラックに沿って延びる。例えば、図3の右上隅に示されるように、M9層インターフェクトは、第3の方向におけるM7層インターフェクトの上に形成される。さらに、M7層インターフェクトおよびM9層インターフェクトの各々に搬送さ50

れた信号は、図3の左手側に示されるように、反対方向に移動する。M9層インターフェクトがM7層インターフェクトの全体にわたって伸びているが、M9層インターフェクトの一部は、第1の入力304aおよび第1の出力306aのM7層インターフェクトのビューを不明瞭にしないために図3に示されていない。

【0034】

[0039] 例示的なMOS ICデバイス300において、M7層上の第1のインターフェクト308aは、第2のトラック上の第1の入力304a（例えば、第1のM6層インターフェクト）に結合され得る。例えば、第1のインターフェクト308aは、MOS ICデバイス300の第1の入力304aに第1のインターフェクト308aを接続するビアを通して第1の入力304aに結合され得る。

10

【0035】

[0040] さらに、M7層上の第2のインターフェクト308bは、第3のトラック上の第1の出力306a（例えば、第2のM6層インターフェクト）に結合され得る。例えば、第2のインターフェクト308bは、MOS ICデバイス300の第1の出力306aに第2のインターフェクト308bを接続するビアを通して第1の出力306aに結合され得る。

【0036】

[0041] さらに、M9層上の第3のインターフェクト310aは、第4のトラック上の第2の入力304b（例えば、第1のM8層インターフェクト）に結合され得る。例えば、第3のインターフェクト310aは、MOS ICデバイス300の第2の入力204bに第3のインターフェクト310aを接続するビアを通して第2の入力304bに結合され得る。

20

【0037】

[0042] さらに、M9層上の第4のインターフェクト310bは、第5のトラック上の第2の出力306b（例えば、第2のM8層インターフェクト）に結合され得る。例えば、第4のインターフェクト310bは、MOS ICデバイス300の第2の出力306bに第4のインターフェクト310bを接続するビアを通して第2の出力206bに結合され得る。

【0038】

[0043] 第1のインターフェクト308a、第3のインターフェクト308b、第3のインターフェクト310a、および第4のインターフェクト310bは、スタンダードセル320と別のスタンダードセル（図3に図示せず）との間のセル間ルーティングとして使用され得る。図3に示される例示的な実施形態において、スタンダードセル320は、第2から第5のトラックを含む4つの行を備えた4倍の高さのセルである。本明細書で開示される態様はまた、単一の高さのセル、2倍の高さのセル、3倍の高さのセル、または本開示の範囲から逸脱することのない任意の他のセルの高さに適応され得ることが理解されるべきである。

30

【0039】

[0044] 図3に示されるように第1の入力304a、第2の入力304b、第1の出力306a、および第2の出力306bの方向を合わせることによって、MOS ICデバイス300のトランジスタへのスタッカのM9層インターフェクトの接続は、第1のトラックの上に伸びているものからM7層インターフェクトをブロックしない。よって、図3に例示されるMOS ICデバイス300において、M7層インターフェクトのルーティング迂回が回避され、データパス速度が改善され得る。

40

【0040】

[0045] 図4は、寄生抵抗を低減するためにM5/M7層までの金属層を備えた例示的なMOS ICデバイス400を例示する。MOS ICデバイス400は、例えば、第1のバッファ402aおよび第2のバッファ402b（例えば、2ビットバッファ）を含む。さらに、図4に示される例示的なMOS ICデバイス400は、MOS ICデバイスの第1のトラックからM6層インターフェクトのルーティング迂回を要求しない。

50

【0041】

[0046] 図4にさらに示されているように、第1のバッファ402aは、第1の入力404a(第1の入力ピン)および第1の出力406a(例えば、第1の出力ピン)を含む。例えば、第1の入力404aは、第1の方向に延びる第1のトラック(例えば、垂直トラック)および第2の方向に延びる第2のトラック(例えば、水平トラック)上に位置し得る。一態様において、第1の入力404aは、第1のM5層インターフェクトに対応し得る。さらに、第1の出力406aは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第3のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第1の出力406aは、第2のM5層インターフェクトに対応し得る。図4の右上隅に示されるように、第1の方向は第2の方向に直交である。

10

【0042】

[0047] さらに、第2のバッファ402bは、第2の入力404b(例えば、第2の入力ピン)および第2の出力406b(例えば、第2の出力ピン)を含む。例えば、第2の出力404bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第4のトラック(例えば、水平トラック)上に位置し得る。一態様において、第2の入力404bは、第1のM7層インターフェクトに対応し得る。さらに、第2の出力406bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第5のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第2の出力406bは、第2のM7層インターフェクトに対応し得る。

20

【0043】

[0048] また、図4に示されるように、M6層インターフェクトおよびM8層インターフェクトは、両方第1のトラックに沿って延びる。例えば、図4の右上隅に示されるように、M8層インターフェクトは、第3の方向におけるM6層インターフェクトの上に形成される。さらに、M6層インターフェクトおよびM8層インターフェクトの各々に搬送された信号は、図4の左手側に示されるように、反対方向に移動する。M8層インターフェクトがM6層インターフェクトの全体にわたって延びているが、M8層インターフェクトの一部は、第1の入力404aおよび第1の出力406aのM6層インターフェクトのビューを不明瞭にしないために図4に示されていない。

【0044】

[0049] 例示的なMOS ICデバイス400において、M6層上の第1のインターフェクト408aは、第2のトラック上の第1の入力404a(例えば、第1のM5層インターフェクト)に結合され得る。例えば、第1のインターフェクト408aは、MOS ICデバイス400の第1の入力404aに第1のインターフェクト408aを接続するビアを通して第1の入力404aに結合され得る。

30

【0045】

[0050] さらに、M6層上の第2のインターフェクト408bは、第3のトラック上の第1の出力406a(例えば、第2のM5層インターフェクト)に結合され得る。例えば、第2のインターフェクト408bは、MOS ICデバイス400の第1の出力406aに第2のインターフェクト408bを接続するビアを通して第1の出力406aに結合され得る。

40

【0046】

[0051] さらに、M8層上の第3のインターフェクト410aは、第4のトラック上の第2の入力404b(例えば、第1のM7層インターフェクト)に結合され得る。例えば、第3のインターフェクト410aは、MOS ICデバイス400の第2の入力204bに第3のインターフェクト410aを接続するビアを通して第2の入力404bに結合され得る。

【0047】

[0052] さらに、M8層上の第4のインターフェクト410bは、第5のトラック上の第2の出力406b(例えば、第2のM7層インターフェクト)に結合され得る。例えば、第4のインターフェクト410bは、MOS ICデバイス400の第2の出力406bに結合され得る。

50

b に第 4 のインターフェクト 410b を接続するビアを通して第 2 の出力 406b に結合され得る。

【0048】

[0053] 図 4 に示されるように第 1 の入力 404a、第 2 の入力 404b、第 1 の出力 406a、および第 2 の出力 406b の方向を合わせることによって、MOS IC デバイス 400 のトランジスタへのスタックにおける M8 層インターフェクトの接続は、第 1 のトラックの上に延びているものから M6 層インターフェクトをブロックしない。よって、図 4 に例示される MOS IC デバイスにおいて、M6 層インターフェクトのルーティング迂回が回避され、データパス速度が改善され得る。

【0049】

[0054] 2 ビットバッファシステムは図 2～4 の例示的な MOS IC デバイス 200、300、400 に示されるが、本明細書で開示される態様は、2 ビットバッファシステムに限定されないと理解されるべきである。例えば、本明細書で開示される例示的な態様は、本開示の範囲から逸脱することなく 2 以上のバッファ（例えば、3 ビットバッファ、4 ビットバッファ、等）を含むバッファシステムに適用され得る。

【0050】

[0055] 図 5 は、本開示の態様にしたがった、例示的な MOS IC デバイス 500 を例示する。例えば、MOS IC デバイス 500 は、第 1 のスタンダードセル 502a、第 2 のスタンダードセル 502b、および少なくとも 1 つの他のスタンダードセル 502c を含み得る。スタンダードセル 502a および第 2 のスタンダードセル 502b の各々は、第 1 のトラック、第 2 のトラック、第 3 のトラック、および第 4 のトラックを含む。さらに、第 1 のスタンダードセル 502a は、 V_{dd} 電力レール 504a および V_{ss} 電力レール 506 を含み、第 2 のスタンダードセル 502b は、 V_{ss} 電力レール 506 および V_{dd} 電力レール 504b を含む。

20

【0051】

[0056] 第 1 のスタンダードセル 502a のトラックを効率的に使用するために、2 ビットバッファ 508a、508b、508c、および 508d の各々は、スタンダードセルに対する間隔要件 (spacing requirements) 内で動作しながら、MOS IC デバイス 500 の 2 ビットバッファの最大量を含むように千鳥配列され得る。

【0052】

[0057] 再度図 2～5 を参照すると、MOS デバイス (200、300、400、500) は、第 1 の入力 (204a、304a、404a) および第 1 の出力 (206a、306a、406a) を備えた第 1 の論理コンポーネント (202a、302a、402a) を含む。一態様において、第 1 の入力 (204a、304a、404a) は、第 1 の方向に延びる第 1 のトラックおよび第 1 の方向に直交する第 2 の方向に延びる第 2 のトラックに位置する。別の態様において、第 1 の出力 (206a、306a、406a) は、第 1 のトラックおよび第 2 の方向に延びる第 3 のトラックに位置する。

【0053】

[0058] 開示の別の態様において、MOS デバイス (200、300、400、500) は、第 2 の入力 (204b、304b、404b) および第 2 の出力 (206b、306b、406b) を備えた第 2 の論理コンポーネント (202b、302b、402b) を含む。一態様において、第 2 の入力 (204b、304b、404b) は、第 1 のトラックおよび第 2 の方向に延びる第 4 のトラックに位置する。別の態様において、第 2 の出力 (206b、306b、406b) は、第 1 のトラックおよび第 2 の方向に延びる第 5 のトラックに位置する。さらなる態様において、第 4 のトラックおよび第 5 のトラックは、第 2 のトラックおよび第 3 のトラックの間にある（図 2～4 参照）。

40

【0054】

[0059] 本開示のさらなる態様において、MOS デバイス (200、300、400、500) は、第 1 のトラック上に延びており、第 2 のトラック上の第 1 の入力 (204a、304a、404a) に結合された金属 \times (M_x) 層（例えば、図 2 および 3 の M7 層

50

、および図4のM6層インターフェクト)上の第1のインターフェクト(208a、308a、408a)を含む。

【0055】

[0060] 本開示のさらに別の態様において、MOSデバイス(200、300、400、500)は、第1のトラック上に延びており、第3のトラック上の第1の出力(206a、306a、406a)に結合されたM_x層(例えば、図2および3のM7層、および図4のM6層インターフェクト)上の第2のインターフェクト(208b、308b、408b)を含む。

【0056】

[0061] 本開示のまた別の態様において、MOSデバイス(200、300、400、500)は、第1のトラック上に延びており、第4のトラック上の第2の入力(204b、304b、404b)に結合された金属y(M_y)層(例えば、図2および3のM9層、および図4のM8層)上の第1のインターフェクト(208a、308a、408a)を含む。例えば、y(例えば、図2および3のy=9、および図4のy=8)は、x(例えば、図2および3のx=7、および図4のx=6)よりも大きい。

【0057】

[0062] さらにまた、MOSデバイス(200、300、400、500)は、第1のトラック上に延びており、第2のトラック上の第1の出力(206b、306b、406b)に結合されたM_y層(例えば、図2および3のM9層、および図4のM8層)上の第4のインターフェクト(210ba、310b、410b)を含む。

10

20

【0058】

[0063] さらなる態様において、第1の論理コンポーネント(202a、302a、402a)および第2の論理コンポーネント(202b、302b、402b)は、MOSデバイス(200、300、500)のスタンダードセル(220、320、502a)の一部である。

【0059】

[0064] さらにまた、第1のインターフェクト(208a、308a、408a)、第2のインターフェクト(208b、308b、408b)、第3のインターフェクト(210a、310a、410a)、および第4のインターフェクト(210b、310b、410b)は、スタンダードセル(502a)と少なくとも1つの他のスタンダードセル(502c)との間のセル間ルーティングである。

30

【0060】

[0065] さらに、スタンダードセル(502a)は、第1の行(図2～4参照)、第1の行(図2～4参照)に隣接した第2の行(図2～4参照)、第2の行(図2～4参照)に隣接した第3の行、および第3の行(図2～4参照)に隣接した第4の行を含む4つの行(図2～4参照)を備えた4倍の高さのセルであり得る。例えば、第2のトラック(図2～4参照)は、第1の行(図2～4参照)内にある。一態様において、第3のトラック(図2～4参照)は、第4の行(図2～4参照)内にある。別の態様において、第4のトラック(図2～4参照)は、第2の行(図2参照)または第3の行(図3および4参照)の1つにある。さらなる態様において、第5のトラック(図2～4参照)は、第2の行(図および4参照)または第3の行(図2参照)の別の1つにある。

40

【0061】

[0066] さらなる態様において、第1の入力(204a、304a、404a)は、第1の入力ピン(204a、304a、404a)に対応する。別の態様において、第1の出力(206a、306a、406a)は、第1の出力ピン(206a、306a、406a)に対応する。さらなる態様において、第2の入力(204b、304b、404b)は、第2の入力ピン(204b、304b、404b)に対応する。さらに、第2の出力(206b、306b、406b)は、第2の出力ピン(206b、306b、406b)に対応する。一例において、第1の入力ピン(204a、304a、404a)は、金属x-z₁(M_x-z₁)層インターフェクト(例えば、図2および3のM7層インターフェクト)上の第1のインターフェクト(208a、308a、408a)を含む。

50

ー コネクト、および図 4 の M 5 層インターラッピングコネクト) に対応する。例えば、 $z_1 = 1$ である。別の態様において、第 1 の出力ピン (206a, 306a, 406a) は、金属 $x - z_2$ ($M_x - z_2$) 層インターラッピングコネクト (例えば、図 2 および 3 の M 8 層インターラッピングコネクト、および図 4 の M 5 層インターラッピングコネクト) に対応する。例えば、 $z_2 = 1$ である。さらなる態様において、第 2 の入力ピン (204b, 304b, 404b) は、金属 $y - z_3$ ($M_y - z_3$) 層インターラッピングコネクト (例えば、図 2 および 3 の M 8 層インターラッピングコネクト、および図 4 の M 7 層インターラッピングコネクト) に対応する。例えば、 $z_3 = 1$ である。さらに、第 2 の出力ピン (206b, 306b, 406b) は、金属 $y - z_4$ ($M_y - z_4$) 層インターラッピングコネクト (例えば、図 2 および 3 の M 8 層インターラッピングコネクト、および図 4 の M 5 層インターラッピングコネクト) に対応する。例えば、 $z_4 = 1$ である。さらなる例において、 z_1, z_2, z_3 、および z_4 は、それぞれ 1 に等しい。 z_1, z_2, z_3 、および z_4 がそれぞれ 1 に等しいとき、入力 / 出力ピンは、前述した M 6、M 7、M 8、M 9 の信号線インターラッピングコネクト以下の 1 つのメタル層に位置する。よって、 z は、入力 / 出力ピンが位置する M 6、M 7、M 8、M 9 の信号線インターラッピングコネクト以下の金属層の数である。

10

【0062】

[0067] 一例において、第 5 のトラックは、第 4 のトラックと第 3 のトラックとの間に 20 ある (図 2 参照)。別の例において、第 1 のインターラッピングコネクト (208a) および第 3 のインターラッピングコネクト (210a) は、第 3 の方向においてオーバーラップする。さらなる例において、第 2 のインターラッピングコネクト (208b) および第 4 のインターラッピングコネクト (210b) は、第 3 の方向においてオーバーラップする。例えば、第 3 の方向は、第 1 の方向および第 2 方向に直交する。

20

【0063】

[0068] 別の例において、第 4 のトラックは、第 5 のトラックと第 3 のトラックの間に 30 ある (図 3 および 4 参照)。一態様において、第 1 のインターラッピングコネクト (308a, 408a) および第 4 のインターラッピングコネクト (310b, 410b) は、第 3 の方向においてオーバーラップする。さらなる態様において、第 2 のインターラッピングコネクト (308b, 408b) および第 3 のインターラッピングコネクト (310a, 410a) は、第 3 の方向においてオーバーラップする。例えば、第 3 の方向は、第 1 の方向および第 2 方向に直交する。

【0064】

[0069] またさらなる態様において、第 1 の論理コンポーネント (202a, 302a, 402a) は、第 1 のバッファ (202a, 302a, 402a) である。別の態様において、第 2 の論理コンポーネント (202b, 302b, 402b) は、第 2 のバッファ (202b, 302b, 402b) である。

30

【0065】

[0070] 別の態様において、第 1 のトラックは垂直トラックである (例えば、図 2 および 3)。さらなる態様において、第 2 のトラック、第 3 のトラック、第 4 のトラック、および第 5 のトラックは、それぞれ、水平トラック (例えば、図 2 および 3)。

【0066】

[0071] 別の態様において、第 1 のトラックは水平トラックである (例えば、図 4)。さらなる態様において、第 2 のトラック、第 3 のトラック、第 4 のトラック、および第 5 のトラックは、それぞれ、垂直トラックである (例えば、図 4)。

40

【0067】

[0072] 別の態様において、第 1 の論理コンポーネント (202a, 302a, 402a) および第 2 の論理コンポーネント (202b, 302b, 402b) は、第 1 のトラック (図 5 の第 1 のスタンダードセル 502a におけるトラック 1) 上に配置された第 1 のバッファ (508a) の一部である。さらに、MOS デバイス (500) はまた、第 1 のトラック (図 5 の第 1 のスタンダードセル 502a におけるトラック 1) に平行である第 6 のトラック (例えば、図 5 の第 1 のスタンダードセル 502a におけるトラック 2) 上に配置された第 2 のバッファ (508b) を含む。例えば、第 2 のバッファ (508b) は、第 1 のバッファ (508a) に隣接しない。さらなる態様において、MOS デバイ

50

ス(500)は、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)に平行である第7のトラック(図5の第1のスタンダードセル502aにおけるトラック3)上に配置された第3のバッファ(508c)を含む。例えば、第3のバッファ(508c)は、第2のバッファ(508b)に隣接しない。別の態様において、MOSデバイス(500)は、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)に平行である第8のトラック(例えば、図5の第1のスタンダードセル502におけるトラック4)上に配置された第4のバッファ(508d)を含む。例えば、第4のバッファ(508d)は、第3のバッファ(508c)に隣接しない。

【0068】

[0073] 図6は、例示的な方法のフローチャート600である。例示的な方法は、MOS ICデバイスの動作の方法である。例えば、MOSデバイスは、図2～4に例示されるMOS ICデバイス200、300、400のうちの1つであり得る。 10

【0069】

[0074] 602において、第1の信号は、第1の入力および第1の出力を備えた第1の論理コンポーネントを通して構成される。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。 20

【0070】

[0075] 604において、第2の信号が、第2の入力および第2の出力を備えた第2の論理コンポーネントを通して伝搬される。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターフェクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターフェクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターフェクトを含む。一態様において、 y は x よりも大きい。さらに、MOSデバイスは、第1のトラックに延び、第5のトラック上の第2の出力に結合される M_y 層上の第4のインターフェクトを含む。 30

【0071】

[0076] MOSデバイスは、第1の入力および第1の出力を備えた第1の論理コンポーネントを通して信号を伝搬するための第1の手段をさらに含む。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。 40

【0072】

[0077] MOSデバイスは、第2の入力および第2の出力を備えた第2の論理コンポーネントを通して信号を伝搬するための第2の手段をさらに含む。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターフェクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターフェクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターフェクトを含む。一態様において、 y は x よりも大きい 50

。さらに、MOSデバイスは、第1のトラックに延び、第5のトラック上の第2の出力に結合されるM_y層上の第4のインターフェクトを含む。

【0073】

[0078] MOS ICデバイスのスタンダードセルは、金属x(M_x)層のインターフェクトまで設計され得、ここで、x=3。小型MOS ICデバイスの寄生抵抗を低減する1つの方法は、金属5(M5)層インターフェクトまたは金属6(M6)層インターフェクトのような、上位金属層までスタンダードセルを設計し得る。上位金属層インターフェクトでスタンダードセルを設計することで、下位金属層インターフェクトに上位金属層インターフェクトを接続するさらなるビアも含まれ得る。更なる金属層インターフェクトおよびビアは、M_x層インターフェクトまで設計されただけのスタンダードセルと比較して、スタンダードセルの全体的な寄生抵抗を低減することが可能なさらなる並列電流経路を提供し得る。

10

【0074】

[0079] さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する2つの異なる金属層インターフェクト(例えば、上位のM9層および下位のM7層)上の2つのインターフェクトがMOS ICデバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する2つの異なるスタンダードセルに接続されると、下位の金属層上のインターフェクトがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターフェクトが上位の金属層上のインターフェクトの入力/出力スタックに陥る可能性があるため、トラックの周りのインターフェクトをルーティングすることが必要となり得る。図1に関して先に説明されたように、ルーティング迂回は、下位の金属層上のインターフェクトに信号遅延を引き起こす可能性があり、下位の金属層上のインターフェクトの度重なる信号遅延は、MOS ICデバイスのためのデータパス速度の減少を引き起こす可能性がある。

20

【0075】

[0080] 本開示は、2ビットバッファスタンダードセルの両端上の下位の金属層インターフェクト信号線(208a、208b、308a、308b、408a、408b)のための入力/出力ピンを備えた2ビットバッファを提供することによって、課題に対する解決策を提供する。さらに、上位の金属層インターフェクト信号線(210a、210b、310a、310b、410a、410b)の入力/出力ピンは、下位の金属層インターフェクト信号線(208a、208b、308a、308b、408a、408b)の入力/出力ピンの間に位置する。図2~4に示されるような第1の入力(204a、304a、404a)、第2の入力(204b、304b、404b)、第1の出力(206a、306a、406a)、および第2の出力(206b、306b、406b)により、MOS ICデバイス(200、300、400)への上位の金属層インターフェクト信号線(210a、210b、310a、310b、410a、410b)の接続は、第1のトラック上のMOS ICデバイス(200、300、400)への下位の金属層インターフェクト信号線(208a、208b、308a、308b、408a、408b)の接続をブロックしない。従って、図2~4に例示されるMOS ICデバイス(200、300、400)において、下位の金属層インターフェクト信号線(208a、208b、308a、308b、408a、408b)のルーティング迂回が回避され、データパス速度が改善され得る。

30

【0076】

[0081] 開プロセスにおけるステップの特定の順序または階層は、例示的なアプローチの例示であることが理解される。設計の選択に基づいて、プロセスにおけるステップの特定の順序または階層は、再構成され得ることが理解される。さらに、いくつかのステップは、組み合わされ得るか、または省略され得る。添付の方法の請求項は、様々なステップの要素をサンプルの順序で提示したものであり、提示された特定の順序または階層に限定されるようには意図されない。

40

【0077】

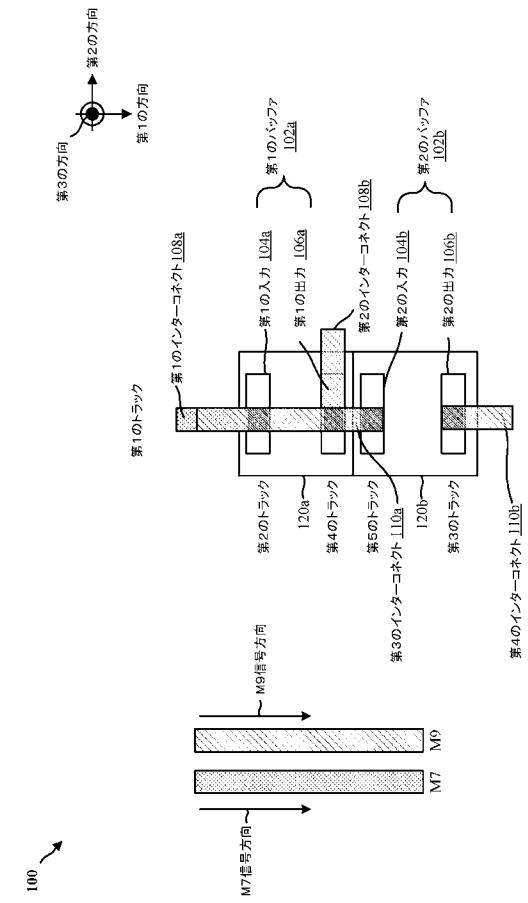
50

[0082] 先の説明は、いかなる当業者であっても、本明細書で説明された様々な態様を実現することを可能にするように提供される。これらの態様への様々な修正は、当業者にとって容易に明らかとなり、本明細書で定義された一般的な原理は、他の態様に適用され得る。従って、特許請求の範囲は、本明細書に示される態様に限定されるようには意図されず、特許請求の範囲の文言と一致する全範囲が与えられるものとし、ここで、単数形の要素への参照は、別途明記されていない限り、「1つ、および1つのみ」を意味するようには意図されず、「1つまたは複数」を意味するようには意図される。「例示的(exemplary)」という用語は、本明細書で「例、事例、または例示を提供する」という意味で使用される。「例示的」であるとして本明細書で説明された任意の態様は、必ずしも他の態様よりも好ましいまたは有利であるようには解釈されるべきでない。別段に明記されていない限り、「いくつかの(some)」という用語は、1つまたは複数を指す。「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、A、B、および/またはCの任意の組み合わせを含み、複数のA、複数のB、または複数のCを含み得る。特に、「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、Aのみ、Bのみ、Cのみ、AとB、AとC、BとC、またはAとBとCであることができ、ここで、任意のこののような組み合わせは、A、B、またはCの1つまたは複数のメンバーを含むことができる。当業者に知られている、あるいは後に知されることになる本開示全体にわたって説明された様々な態様の要素に対する全ての構造的および機能的な同等物は、参照によって本明細書に明確に組み込まれ、特許請求の範囲に包含されるようには意図される。さらに、本明細書で開示されるものはいずれも、そのような開示が特許請求の範囲において明記されているかどうかにかかわらず、公衆に放棄されるようには意図されない。いずれの請求項の要素も、その要素が「～のための手段(means for)」という表現を使用して明確に記載されていない限り、ミーンズプラスファンクションとして解釈されるべきではない。

10

20

【図 1】



【図 2】

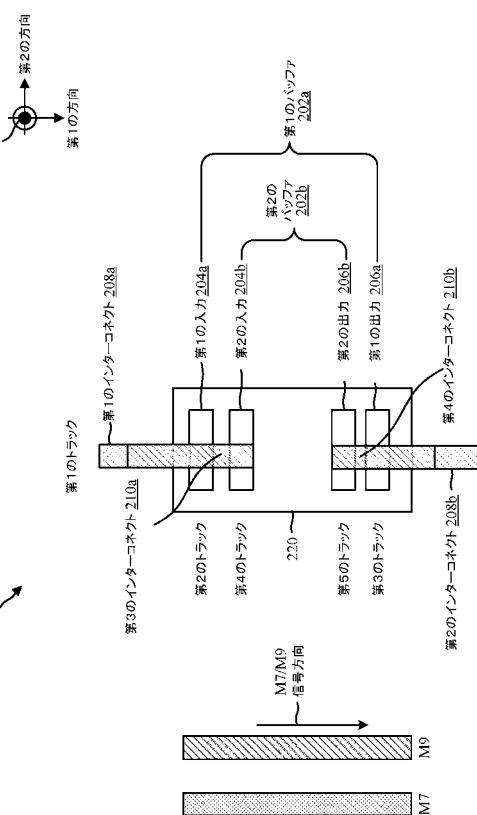


FIG. 2

【図 3】

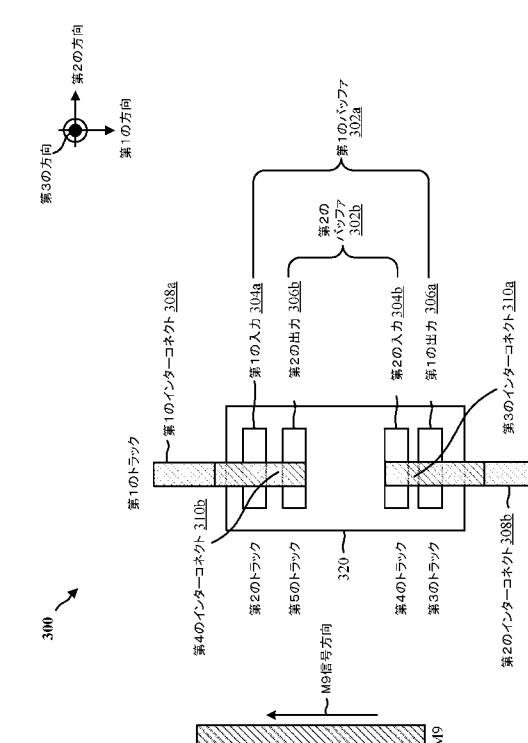


FIG. 1

【図 4】

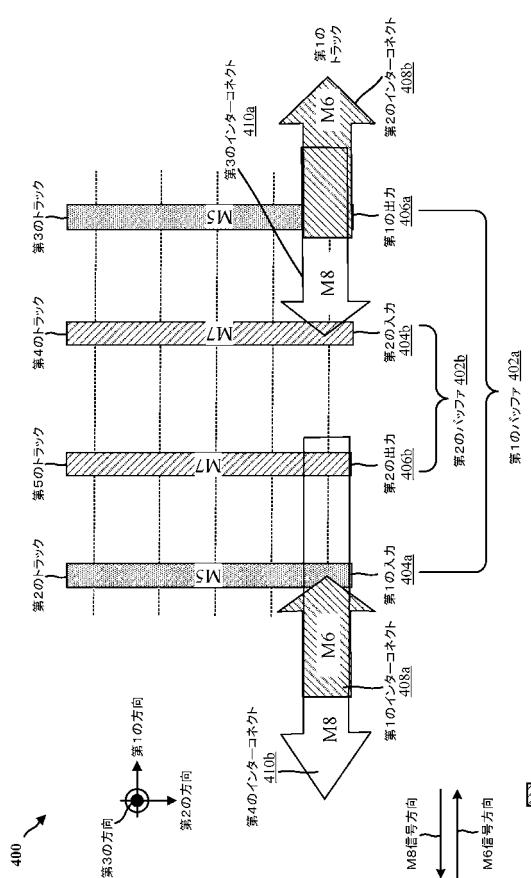


FIG. 4

M5 M7 M6 M8

【 図 5 】

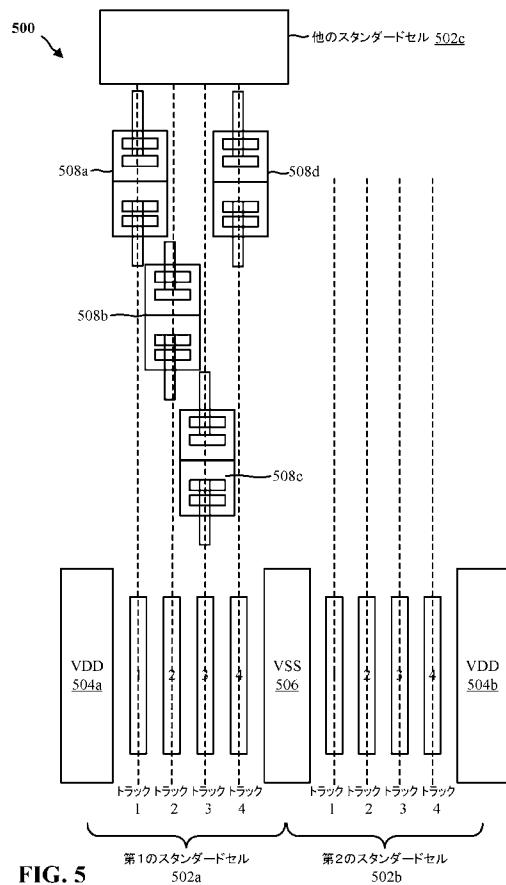


FIG. 5

【 四 6 】

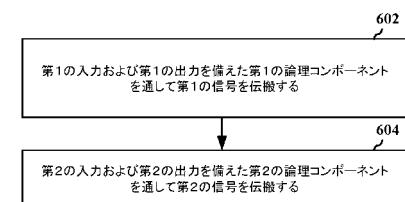


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2017/029700												
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/528 H03K19/177 ADD.														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L H03K														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, INSPEC, IBM-TDB, WPI Data														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">Y</td> <td style="padding: 2px;">US 2006/113567 A1 (OHMORI MUTSUHIRO [JP] ET AL) 1 June 2006 (2006-06-01) abstract; claims; figures 5,6 paragraphs [0006], [0069] - [0080] -----</td> <td style="text-align: center; padding: 2px;">1-30</td> </tr> <tr> <td style="text-align: center; padding: 2px;">Y</td> <td style="padding: 2px;">US 2007/132062 A1 (BANERJEE SUMAN K [US] ET AL) 14 June 2007 (2007-06-14) abstract; claims; figures 1-3 paragraphs [0014], [0026] -----</td> <td style="text-align: center; padding: 2px;">1-30</td> </tr> <tr> <td style="text-align: center; padding: 2px;">Y</td> <td style="padding: 2px;">US 2013/126978 A1 (BECKER SCOTT T [US] ET AL) 23 May 2013 (2013-05-23) abstract; claims; figures 8,11,17,23,24,26,27 paragraphs [0134], [0158], [0195], [0208], [0214], [0245], [0253] ----- -/-</td> <td style="text-align: center; padding: 2px;">5-7, 18-20,30</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 2006/113567 A1 (OHMORI MUTSUHIRO [JP] ET AL) 1 June 2006 (2006-06-01) abstract; claims; figures 5,6 paragraphs [0006], [0069] - [0080] -----	1-30	Y	US 2007/132062 A1 (BANERJEE SUMAN K [US] ET AL) 14 June 2007 (2007-06-14) abstract; claims; figures 1-3 paragraphs [0014], [0026] -----	1-30	Y	US 2013/126978 A1 (BECKER SCOTT T [US] ET AL) 23 May 2013 (2013-05-23) abstract; claims; figures 8,11,17,23,24,26,27 paragraphs [0134], [0158], [0195], [0208], [0214], [0245], [0253] ----- -/-	5-7, 18-20,30
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	US 2006/113567 A1 (OHMORI MUTSUHIRO [JP] ET AL) 1 June 2006 (2006-06-01) abstract; claims; figures 5,6 paragraphs [0006], [0069] - [0080] -----	1-30												
Y	US 2007/132062 A1 (BANERJEE SUMAN K [US] ET AL) 14 June 2007 (2007-06-14) abstract; claims; figures 1-3 paragraphs [0014], [0026] -----	1-30												
Y	US 2013/126978 A1 (BECKER SCOTT T [US] ET AL) 23 May 2013 (2013-05-23) abstract; claims; figures 8,11,17,23,24,26,27 paragraphs [0134], [0158], [0195], [0208], [0214], [0245], [0253] ----- -/-	5-7, 18-20,30												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.												
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed														
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 10 July 2017		Date of mailing of the international search report 18/07/2017												
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wirner, Christoph												

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2017/029700

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8 645 892 B1 (GUPTA VISHAL [IN] ET AL) 4 February 2014 (2014-02-04) abstract; claim 1; figures 2-4 -----	1-30
A	JP 2009 272340 A (AIL YG) 19 November 2009 (2009-11-19) abstract; claims; figures -----	1-30
A	WO 2016/069205 A1 (QUALCOMM INC [US]) 6 May 2016 (2016-05-06) abstract; claims; figures -----	1-30
A	WO 2015/138754 A1 (QUALCOMM INC [US]) 17 September 2015 (2015-09-17) abstract; claims; figures -----	1-30

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2017/029700

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2006113567	A1	01-06-2006	JP	2006114668 A	27-04-2006	
			KR	20060054018 A	22-05-2006	
			US	2006113567 A1	01-06-2006	
US 2007132062	A1	14-06-2007	US	2007132062 A1	14-06-2007	
			US	2010065968 A1	18-03-2010	
US 2013126978	A1	23-05-2013	US	2013126978 A1	23-05-2013	
			US	2013207199 A1	15-08-2013	
US 8645892	B1	04-02-2014	CN	103915407 A	09-07-2014	
			JP	2014132659 A	17-07-2014	
			US	8645892 B1	04-02-2014	
JP 2009272340	A	19-11-2009		NONE		
WO 2016069205	A1	06-05-2016	CA	2962779 A1	06-05-2016	
			KR	20170053732 A	16-05-2017	
			US	2016126180 A1	05-05-2016	
			US	2017053866 A1	23-02-2017	
			WO	2016069205 A1	06-05-2016	
WO 2015138754	A1	17-09-2015	US	2015262936 A1	17-09-2015	
			WO	2015138754 A1	17-09-2015	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 クマー、ドラブ

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 ナラヤナン、ベンカタスプラマニアン

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 タッラ、バラ・クリシュナ

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 ラソウリ、セイド・ハディ

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 ガタル、ラディカ・ビナヤック

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 パトゥリ、シバクマー

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド気付

Fターム(参考) 5F064 AA04 CC09 DD14 EE09 EE16 EE23 EE26 EE27 EE42 EE47

EE52