

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-519122

(P2019-519122A)

(43) 公表日 令和1年7月4日(2019.7.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 W	5 F O 6 4
	H O 1 L 21/82 D	

審査請求 未請求 予備審査請求 有 (全 25 頁)

(21) 出願番号	特願2018-567265 (P2018-567265)	(71) 出願人	595020643
(86) (22) 出願日	平成29年4月26日 (2017. 4. 26)		クアルコム・インコーポレイテッド
(85) 翻訳文提出日	平成31年2月19日 (2019. 2. 19)		QUALCOMM INCORPORATED
(86) 国際出願番号	PCT/US2017/029700		ED
(87) 国際公開番号	W02017/222638		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開日	平成29年12月28日 (2017. 12. 28)		121-1714、サン・ディエゴ、モア
(31) 優先権主張番号	15/192, 872		ハウス・ドライブ 5775
(32) 優先日	平成28年6月24日 (2016. 6. 24)	(74) 代理人	100108855
(33) 優先権主張国	米国 (US)		弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100112807
			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 低減された寄生抵抗および改善されたデータパス速度のためのスタンダードセルアーキテクチャ

(57) 【要約】

MOSデバイスは、第2のトラックに位置する第1の入力および第3のトラックに位置する第1の出力を備えた第1の論理コンポーネントを含み得る。MOSデバイスは、第4のトラックに位置する第2の入力および第5のトラックに位置する第2の出力を備えた第2の論理を含み得る。例えば、MOSデバイスデバイスは、第2のトラック上の第1の入力に結合されるM_x層上の第1のインターコネクトを含む。別の例において、MOSデバイスは、第3のトラック上の第1の出力に結合されるM_x層上の第2のインターコネクトを含む。MOSデバイスは、第4のトラック上の第2の入力に結合されるM_y層上の第3のインターコネクトを含む。さらにまた、MOSデバイスは、第5のトラック上の第2の出力に結合されるM_y層上の第4のインターコネクトを含む。

【選択図】 図2

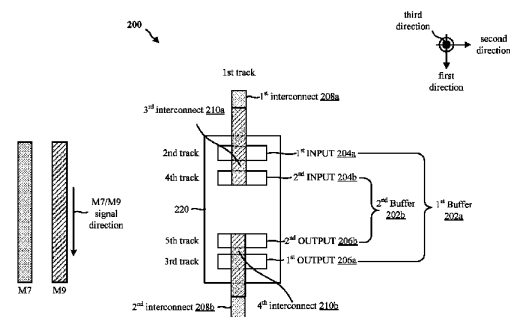


FIG. 2

【特許請求の範囲】

【請求項 1】

金属酸化膜半導体（MOS）デバイスであって、

第 1 の入力および第 1 の出力を備えた第 1 の論理コンポーネントと、前記第 1 の入力は、第 1 の方向に延びている第 1 のトラックおよび前記第 1 の方向に直交する第 2 の方向に延びている第 2 のトラックに位置し、前記第 1 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 3 のトラックに位置する、

第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントと、前記第 2 の入力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 4 のトラックに位置し、前記第 2 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 5 のトラックに位置し、前記第 4 のトラックおよび前記第 5 のトラックは、前記第 2 のトラックと前記第 3 のトラックとの間にある、

前記第 1 のトラックに延び、前記第 2 のトラック上の前記第 1 の入力に結合される金属 x （ M_x ）層上の第 1 のインターコネクトと、

前記第 1 のトラックに延び、前記第 3 のトラック上の前記第 1 の出力に結合される前記 M_x 層上の第 2 のインターコネクトと、

前記第 1 のトラックに延び、前記第 4 のトラック上の前記第 2 の入力に結合される金属 y （ M_y ）層上の第 3 のインターコネクトと、 y は、 x よりも大きい、

前記第 1 のトラックに延び、前記第 5 のトラック上の前記第 2 の出力に結合される前記 M_y 層上の第 4 のインターコネクトと
を備える、MOS デバイス。

【請求項 2】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記 MOS デバイスにおけるスタンダードセルの一部である、請求項 1 に記載の MOS デバイス。

【請求項 3】

前記第 1 のインターコネクト、前記第 2 のインターコネクト、前記第 3 のインターコネクト、および前記第 4 のインターコネクトは、前記スタンダードセルと少なくとも 1 つの他のスタンダードセルとの間のセル間ルーティングである、請求項 2 に記載の MOS デバイス。

【請求項 4】

前記スタンダードセルは、第 1 の行、前記第 1 の行に隣接する第 2 の行、前記第 2 の行に隣接する第 3 の行、および前記第 3 の行に隣接する第 4 の行を含む 4 つの行を備えた 4 倍の高さのセルであり、前記第 2 のトラックは前記第 1 の行にあり、前記第 3 のトラックは前記第 4 の行にあり、前記第 4 のトラックは前記第 2 の行または第 3 の行の 1 つにあり、前記第 5 のトラックは前記第 2 の行または前記第 3 の行の別の 1 つにある、請求項 2 に記載の MOS デバイス。

【請求項 5】

前記第 1 の入力は第 1 の入力ピンに対応し、前記第 1 の出力は第 1 の出力ピンに対応し、前記第 2 の入力は第 2 の入力ピンに対応し、前記第 2 の出力は第 2 の出力ピンに対応し、

前記第 1 の入力ピンは、金属 $x - z_1$ （ $M_{x - z_1}$ ）層インターコネクトに対応し、ここで、 $z_1 = 1$ である、

前記第 1 の出力ピンは、金属 $x - z_2$ （ $M_{x - z_2}$ ）層インターコネクトに対応し、ここで、 $z_2 = 1$ である、

前記第 2 の入力ピンは、金属 $y - z_3$ （ $M_{y - z_3}$ ）層インターコネクトに対応し、ここで、 $z_3 = 1$ である、

前記第 2 の出力ピンは、金属 $y - z_4$ （ $M_{y - z_4}$ ）層インターコネクトに対応し、ここで、 $z_4 = 1$ である、請求項 1 に記載の MOS デバイス。

【請求項 6】

z_1 、 z_2 、 z_3 、および z_4 は、それぞれ 1 に等しい、請求項 5 に記載の MOS デバ

10

20

30

40

50

イス。

【請求項 7】

x は、7 に等しく、y は、9 に等しい、請求項 1 に記載の MOS デバイス。

【請求項 8】

前記第 5 のトラックは、前記第 4 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターコネクトおよび前記第 3 のインターコネクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターコネクトおよび前記第 4 のインターコネクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 1 に記載の MOS デバイス。

【請求項 9】

前記第 4 のトラックは、前記第 5 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターコネクトおよび前記第 4 のインターコネクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターコネクトおよび前記第 3 のインターコネクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 1 に記載の MOS デバイス。

【請求項 10】

前記第 1 の論理コンポーネントは、第 1 のバッファであり、前記第 2 の論理コンポーネントは、第 2 のバッファである、請求項 1 に記載の MOS デバイス。

【請求項 11】

前記第 1 のトラックは、垂直トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ水平トラックである、請求項 1 に記載の MOS デバイス。

【請求項 12】

前記第 1 のトラックは、水平トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ、垂直トラックである、請求項 1 に記載の MOS デバイス。

【請求項 13】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記第 1 のトラックに配置された第 1 のバッファの一部であり、前記 MOS デバイスは、

前記第 1 のトラックに平行する第 6 のトラックに配置された第 2 のバッファと、前記第 2 のバッファは前記第 1 のバッファに隣接しない、

前記第 1 のトラックに平行する第 7 のトラックに配置された第 3 のバッファと、前記第 3 のバッファは前記第 2 のバッファに隣接しない、

前記第 1 のトラックに平行する第 8 のトラックに配置された第 4 のバッファと、前記第 4 のバッファは前記第 3 のバッファに隣接しない、

をさらに備える、請求項 1 に記載の MOS デバイス。

【請求項 14】

金属酸化膜半導体 (MOS) デバイスを動作させる方法であって、

第 1 の入力および第 1 の出力を備えた第 1 の論理コンポーネントを通して第 1 の信号を伝搬することと、前記第 1 の入力は、第 1 の方向に延びている第 1 のトラックおよび前記第 1 の方向に直交する第 2 の方向に延びている第 2 のトラックに位置し、前記第 1 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 3 のトラックに位置する、

第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントを通して第 2 の信号を伝搬することと、前記第 2 の入力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 4 のトラックに位置し、前記第 2 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 5 のトラックに位置し、前記第 4 のトラックおよび前記第 5 のトラックは、前記第 2 のトラックと前記第 3 のトラックとの間にある、ここにおいて、前記 MOS IC デバイスは、

前記第 1 のトラックに延び、前記第 2 のトラック上の前記第 1 の入力に結合される金属 x (M_x) 層上の第 1 のインターコネクトと、

10

20

30

40

50

前記第 1 のトラックに延び、前記第 3 のトラック上の前記第 1 の出力に結合される前記 M_x 層上の第 2 のインターコネクトと、

前記第 1 のトラックに延び、前記第 4 のトラック上の前記第 2 の入力に結合される金属 y (M_y) 層上の第 3 のインターコネクトと、 y は、 x よりも大きい、

前記第 1 のトラックに延び、前記第 5 のトラック上の前記第 2 の出力に結合される前記 M_y 層上の第 4 のインターコネクトとを備える、

を備える、方法。

【請求項 15】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記 MOS デバイスにおけるスタンダードセルの一部である、請求項 14 に記載の方法。

10

【請求項 16】

前記第 1 のインターコネクト、前記第 2 のインターコネクト、前記第 3 のインターコネクト、および前記第 4 のインターコネクトは、前記スタンダードセルと少なくとも 1 つの他のスタンダードセルとの間のセル間ルーティングである、請求項 15 に記載の方法。

【請求項 17】

前記スタンダードセルは、第 1 の行、前記第 1 の行に隣接する第 2 の行、前記第 2 の行に隣接する第 3 の行、および前記第 3 の行に隣接する第 4 の行を含む 4 つの行を備えた 4 倍の高さのセルであり、前記第 2 のトラックは前記第 1 の行にあり、前記第 3 のトラックは前記第 4 の行にあり、前記第 4 のトラックは前記第 2 の行または第 3 の行の 1 つにあり、前記第 5 のトラックは前記第 2 の行または前記第 3 の行の別の 1 つにある、請求項 15 に記載の方法。

20

【請求項 18】

前記第 1 の入力は第 1 の入力ピンに対応し、前記第 1 の出力は第 1 の出力ピンに対応し、前記第 2 の入力は第 2 の入力ピンに対応し、前記第 2 の出力は第 2 の出力ピンに対応し、

前記第 1 の入力ピンは、金属 $x - z_1$ ($M_{x - z_1}$) 層インターコネクトに対応し、ここで、 $z_1 = 1$ である、

前記第 1 の出力ピンは、金属 $x - z_2$ ($M_{x - z_2}$) 層インターコネクトに対応し、ここで、 $z_2 = 1$ である、

前記第 2 の入力ピンは、金属 $y - z_3$ ($M_{y - z_3}$) 層インターコネクトに対応し、ここで、 $z_3 = 1$ である、

30

前記第 2 の出力ピンは、金属 $y - z_4$ ($M_{y - z_4}$) 層インターコネクトに対応し、ここで、 $z_4 = 1$ である、請求項 14 に記載の方法。

【請求項 19】

z_1 、 z_2 、 z_3 、および z_4 は、それぞれ 1 に等しい、請求項 18 に記載の方法。

【請求項 20】

x は、7 に等しく、 y は、9 に等しい、請求項 14 に記載の方法。

【請求項 21】

前記第 5 のトラックは、前記第 4 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターコネクトおよび前記第 3 のインターコネクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターコネクトおよび前記第 4 のインターコネクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 14 に記載の方法。

40

【請求項 22】

前記第 4 のトラックは、前記第 5 のトラックと前記第 3 のトラックとの間にあり、前記第 1 のインターコネクトおよび前記第 4 のインターコネクトは、第 3 の方向においてオーバーラップし、前記第 2 のインターコネクトおよび前記第 3 のインターコネクトは、前記第 3 の方向においてオーバーラップし、前記第 3 の方向は、前記第 1 の方向および前記第 2 の方向に直交する、請求項 14 に記載の方法。

【請求項 23】

50

前記第 1 の論理コンポーネントは、第 1 のバッファであり、前記第 2 の論理コンポーネントは、第 2 のバッファである、請求項 1 4 に記載の方法。

【請求項 2 4】

前記第 1 のトラックは、垂直トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ水平トラックである、請求項 1 4 に記載の方法。

【請求項 2 5】

前記第 1 のトラックは、水平トラックであり、前記第 2 のトラック、前記第 3 のトラック、前記第 4 のトラック、および前記第 5 のトラックは、それぞれ、垂直トラックである、請求項 1 4 に記載の方法。

【請求項 2 6】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記第 1 のトラックに配置された第 1 のバッファの一部であり、前記 MOS デバイスは、

前記第 1 のトラックに平行する第 6 のトラックに配置された第 2 のバッファと、前記第 2 のバッファは前記第 1 のバッファに隣接しない、

前記第 1 のトラックに平行する第 7 のトラックに配置された第 3 のバッファと、前記第 3 のバッファは前記第 2 のバッファに隣接しない、

前記第 1 のトラックに平行する第 8 のトラックに配置された第 4 のバッファと、前記第 4 のバッファは前記第 3 のバッファに隣接しない、

をさらに備える、請求項 1 4 に記載の方法。

【請求項 2 7】

金属酸化膜半導体 (MOS) デバイスであって、

第 1 の入力および第 1 の出力を備えた第 1 の論理コンポーネントを通して第 1 の信号を伝搬するための第 1 の手段と、前記第 1 の入力は、第 1 の方向に延びている第 1 のトラックおよび前記第 1 の方向に直交する第 2 の方向に延びている第 2 のトラックに位置し、前記第 1 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 3 のトラックに位置する、

第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントを通して第 2 の信号を伝搬するための第 2 の手段と、前記第 2 の入力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 4 のトラックに位置し、前記第 2 の出力は、前記第 1 のトラックおよび前記第 2 の方向に延びている第 5 のトラックに位置し、前記第 4 のトラックおよび前記第 5 のトラックは、前記第 2 のトラックと前記第 3 のトラックとの間にある、ここにおいて、前記 MOS IC デバイスは、

前記第 1 のトラックに延び、前記第 2 のトラック上の前記第 1 の入力に結合される金属 x (M_x) 層上の第 1 のインターコネクトと、

前記第 1 のトラックに延び、前記第 3 のトラック上の前記第 1 の出力に結合される前記 M_x 層上の第 2 のインターコネクトと、

前記第 1 のトラックに延び、前記第 4 のトラック上の前記第 2 の入力に結合される金属 y (M_y) 層上の第 3 のインターコネクトと、 y は、 x よりも大きい、

前記第 1 のトラックに延び、前記第 5 のトラック上の前記第 2 の出力に結合される前記 M_y 層上の第 4 のインターコネクトとをさらに備える、

を備える、MOS デバイス。

【請求項 2 8】

前記第 1 の論理コンポーネントおよび前記第 2 の論理コンポーネントは、前記 MOS デバイスにおけるスタンダードセルの一部である、請求項 2 7 に記載の MOS デバイス。

【請求項 2 9】

前記第 1 のインターコネクト、前記第 2 のインターコネクト、前記第 3 のインターコネクト、および前記第 4 のインターコネクトは、前記スタンダードセルと少なくとも 1 つの他のスタンダードセルとの間のセル間ルーティングである、請求項 2 8 に記載の MOS。

【請求項 3 0】

10

20

30

40

50

前記第 1 の入力ピンは第 1 の入力ピンに対応し、前記第 1 の出力は第 1 の出力ピンに対応し、前記第 2 の入力ピンは第 2 の入力ピンに対応し、前記第 2 の出力は第 2 の出力ピンに対応し、

前記第 1 の入力ピンは、金属 $x - z_1$ ($M_{x - z_1}$) 層インターコネクタに対応し、ここで、 $z_1 = 1$ である、

前記第 1 の出力ピンは、金属 $x - z_2$ ($M_{x - z_2}$) 層インターコネクタに対応し、ここで、 $z_2 = 1$ である、

前記第 2 の入力ピンは、金属 $y - z_3$ ($M_{y - z_3}$) 層インターコネクタに対応し、ここで、 $z_3 = 1$ である、

前記第 2 の出力ピンは、金属 $y - z_4$ ($M_{y - z_4}$) 層インターコネクタに対応し、ここで、 $z_4 = 1$ である、請求項 27 に記載の MOS デバイス。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 本願は、2016 年 6 月 24 日出願された「A STANDARD CELL ARCHITECTURE FOR REDUCED PARASITIC RESISTANCE AND IMPROVED DATAPATH SPEED」と題する、米国特許出願第 15 / 192, 872 の利益を主張するもので、その全体が参照によって明細書に明確に組み込まれる。

【技術分野】

【0002】

[0002] 本開示は、一般的に、スタンダードセルアーキテクチャ (standard cell architecture) に関し、より具体的には、寄生抵抗を低減し、データバス速度を向上させる金属酸化膜半導体 (MOS) 集積回路 (IC) デバイスのためのスタンダードセルアーキテクチャに関する。

【背景技術】

【0003】

[0003] 集積回路のスタンダードセルは、デジタルロジックを実現する。システムオンチップ (SOC) デバイスのような、特定用途向け集積回路 (ASIC) は、何千から何百万ものスタンダードセルデバイスを含み得る。典型的な MOS IC デバイスは、連続的に形成された層のスタック (stack) を含む。各層は、先行する層の上にスタックまたはオーバーレイされ得、トランジスタ (例えば、電界効果トランジスタ (FET) および / またはフィン形状の FET (FinFET)) を定義する形状を形成し、トランジスタを回路に接続するようにパターン化され得る。

【0004】

[0004] MOS IC デバイスがより小型サイズで製造されるにつれ、製造者は、より大量のスタンダードセルデバイスをシングルチップ上に集積することがより難しいことに気付いている。例えば、MOS IC デバイスのサイズが低減されるゆえに、寄生抵抗の増大が MOS IC デバイスの様々な層の幅および厚さの低減によって引き起こされ得る。寄生抵抗の増大は、スタンダードセルアウトプットの遅延の原因となり得る。

【0005】

[0005] さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する 2 つの異なる金属層 (例えば、上位の金属層および下位の金属層) 上の 2 つのインターコネクタが MOS IC デバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する 2 つの異なるスタンダードセルに接続されるとき、下位の金属層上のインターコネクタがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターコネクタが上位の金属層上のインターコネクタの入力 / 出力スタックに陥る可能性があるため、トラックの周りのインターコネクタをルーティングすることが必要となり得る。ルーティング迂回 (routing detour) は、下位の金属層上のインターコネクタに信号遅延を引き起こす可能性があり、下位の金属層上のインターコネクタの度重なる信号遅延は、MOS IC デバイスのためのデータバス速度の減少を引き起こす可能性

10

20

30

40

50

がある。

【 0 0 0 6 】

[0006] 現在、小型 MOS IC デバイスの寄生抵抗を低減し、トラック上の 2 つの異なる信号を搬送するインターコネクがトラックの周りをルーティングされることなくトラック上の入力 / 出力ピンに接続することを可能にするスタンダードセルアーキテクチャが必要とされている。

【 発明の概要 】

【 0 0 0 7 】

[0007] 本開示の一態様では、MOS デバイスが、第 1 の出力および第 2 の出力を備えた第 1 の論理コンポーネントを含み得る。一態様において、第 1 の入力は、第 1 の方向に延びる第 1 のトラックおよび第 1 の方向に直交する第 2 の方向に延びる第 2 のトラックに位置する。別の態様において、第 1 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 3 のトラックに位置する。MOS デバイスは、第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントをさらに含む。一態様において、第 2 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 4 のトラックに位置する。別の態様において、第 2 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 5 のトラックに位置する。さらなる態様において、第 4 のトラックおよび第 5 のトラックは、第 2 のトラックおよび第 3 のトラックの間にある。例えば、MOS デバイスは、第 1 のトラックに延び、第 2 のトラック上の第 1 の入力に結合される M_x 層上の第 1 のインターコネクを含む。別の例において、MOS デバイスは、第 1 のトラックに延び、第 3 のトラック上の第 1 の出力に結合される M_x 層上の第 2 のインターコネクを含む。さらなる例において、MOS デバイスは、第 1 のトラックに延び、第 4 のトラック上の第 2 の入力に結合される M_y 層上の第 3 のインターコネクを含む。一態様において、 y は x よりも大きい。さらに、MOS デバイスは、第 1 のトラックに延び、第 5 のトラック上の第 2 の出力に結合される M_y 層上の第 4 のインターコネクを含む。

【 0 0 0 8 】

[0008] 本開示の別の態様では、MOS IC の動作の方法が、第 1 の出力および第 1 の出力を備えた第 1 の論理コンポーネントを通して第 1 の信号を伝搬することを含む。一態様において、第 1 の入力は、第 1 の方向に延びる第 1 のトラックおよび第 1 の方向に直交する第 2 の方向に延びる第 2 のトラックに位置する。別の態様において、第 1 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 3 のトラックに位置する。方法は、第 2 の入力および第 2 の出力を備えた第 2 の論理コンポーネントを通して第 2 の信号を伝搬することをさらに含む。一態様において、第 2 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 4 のトラックに位置する。別の態様において、第 2 の出力は、第 1 のトラックおよび第 2 の方向に延びる第 5 のトラックに位置する。さらなる態様において、第 4 のトラックおよび第 5 のトラックは、第 2 のトラックおよび第 3 のトラックの間にある。例えば、MOS デバイスは、第 1 のトラックに延び、第 2 のトラック上の第 1 の入力に結合される M_x 層上の第 1 のインターコネクを含む。別の例において、MOS デバイスは、第 1 のトラックに延び、第 3 のトラック上の第 1 の出力に結合される M_x 層上の第 2 のインターコネクを含む。さらなる例において、MOS デバイスは、第 1 のトラックに延び、第 4 のトラック上の第 2 の入力に結合される M_y 層上の第 3 のインターコネクを含む。一態様において、 y は x よりも大きい。さらに、MOS デバイスは、第 1 のトラックに延び、第 5 のトラック上の第 2 の出力に結合される M_y 層上の第 4 のインターコネクを含む。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 本開示の一態様にしたがった、例示的な MOS IC デバイスの平面図を例示する図である。

【 図 2 】 本開示の一態様にしたがった、例示的な MOS IC デバイスの平面図を例示する図である。

10

20

30

40

50

【図 3】本開示の一態様にしたがった、例示的な MOS IC デバイスの平面図を例示する図である。

【図 4】本開示の一態様にしたがった、例示的な MOS IC デバイスの平面図を例示する図である。

【図 5】本開示の一態様にしたがった、例示的な MOS IC デバイスの平面図を例示する図である。

【図 6】例示的な方法のフローチャートである。

【詳細な説明】

【0010】

【0015】 添付の図面に関連して以下に記載される詳細な説明は、様々な構成の説明として意図され、本明細書に説明される概念が実施され得る唯一の構成を表すようには意図されない。詳細な説明は、様々な概念の完全な理解を提供する目的のために特定の詳細を含む。しかしながら、これらの概念がこれらの特定の詳細なしで実施され得ることは、当業者には明らかであろう。いくつかの事例では、周知の構造およびコンポーネントが、このような概念を曖昧にすることを避けるために、ブロック図形式で示される。装置および方法は、以下の詳細な説明において説明され、様々なブロック、モジュール、コンポーネント、回路、ステップ、プロセス、アルゴリズム、要素、等によって、添付の図面において例示され得る。

10

【0011】

【0016】 MOS IC デバイスがより小型サイズで製造されるにつれて、製造者は、シングルチップ上により大量のスタンダードセルデバイスを統合することがより難しいことに気づいてきている。例えば、MOS IC デバイスのサイズが縮小されるにつれて、寄生抵抗の増大が MOS IC デバイスの様々な層の幅および厚さの低減によって引き起こされる可能性がある。寄生抵抗の増大は、スタンダードセルアウトプットの遅延の原因となり得る。

20

【0012】

【0017】 MOS IC デバイスのスタンダードセルは、金属 x (Mx) 層のインターコネクタまで設計され得、ここで、x 3 である。小型 MOS IC デバイスの寄生抵抗を低減する 1 つの方法は、金属 5 (M5) 層インターコネクタまたは金属 6 (M6) 層インターコネクタのような、上位金属層までスタンダードセルを設計し得ることである。上位金属層インターコネクタでスタンダードセルを設計することで、下位金属層インターコネクタに上位金属層インターコネクタを接続するさらなるビア(via)も含まれ得る。更なる金属層インターコネクタおよびビアは、Mx 層インターコネクタまで設計されただけのスタンダードセルと比較して、スタンダードセルの全体的な寄生抵抗を低減可能であるさらなる並列電流経路を提供し得る。

30

【0013】

【0018】 さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する 2 つの異なる金属層インターコネクタ (例えば、上位の金属 9 (M9) 層および下位の金属 7 (M7) 層) 上の 2 つのインターコネクタが MOS IC デバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する 2 つの異なるスタンダードセルに接続されるとき、下位の金属層上のインターコネクタがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターコネクタが上位の金属層上のインターコネクタの入力/出力スタックに陥る可能性があるため、トラックの周りのインターコネクタをルーティングすることが必要となり得る。図 1 に関して以下で説明されるように、ルーティング迂回は、下位の金属層上のインターコネクタに信号遅延を引き起こす可能性があり、下位の金属層上のインターコネクタの度重なる信号遅延は、MOS IC デバイスのためのデータバス速度の減少を引き起こす可能性がある。

40

【0014】

【0019】 図 1 は、先に述べたように、寄生抵抗を低減するために M6 層まで金属層で設計された第 1 のスタンダードセル 120 a および第 2 のスタンダードセル 120 b を含む

50

例示的なMOS ICデバイス100の平面図を例示する図である。第1のスタンダードセル120aは、第1のバッファ102aを含み、第2のスタンダードセル120bは、第2のバッファ102b（例えば、2ビットバッファ）を含む。

【0015】

[0020] 図1にさらに示されているように、第1のバッファ102aは、第1の入力104a（第1の入力ピン）および第1の出力106a（例えば、第1の出力ピン）を含む。例えば、第1の入力104aは、第1の方向に延びる第1のトラック（例えば、垂直トラック）および第2の方向に延びる第2のトラック（例えば、水平トラック）上に位置し得る。一態様において、第1の入力104aは、第1のM6層インターコネクタに対応し得る。さらに、第1の出力106aは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第3のトラック（例えば、水平トラック）上に位置し得る。別の態様において、第1の出力106aは、第2のM6層インターコネクタに対応し得る。図1の右上隅に示されるように、第1の方向は第2の方向に直交である。

10

【0016】

[0021] さらに、第2のバッファ102bは、第2の入力104b（例えば、第2の入力ピン）および第2の出力106b（例えば、第2の出力ピン）を含む。例えば、第2の出力104bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第4のトラック（例えば、水平トラック）上に位置し得る。一態様において、第2の入力104bは、第1のM8層インターコネクタに対応し得る。さらに、第2の出力106bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第5のトラック（例えば、水平トラック）上に位置し得る。別の態様において、第2の出力106bは、第2のM8層インターコネクタに対応し得る。

20

【0017】

[0022] また、図1に示されるように、M7層およびM9層は両方第1のトラックに沿って延びる。例えば、図1の右上隅に示されるように、M9層は、第3の方向におけるM7層の上に形成される。さらに、M7層およびM9層の各々に搬送された信号は、図1の左手側に示されるように、同じ方向に移動する。M9層がM7層の全体にわたって延びているが、M9層の一部は、第1の入力104aのM7層のビューを不明瞭にしないために図1に示されていない。

【0018】

30

[0023] 例示的なMOS ICデバイス100において、M7層上の第1のインターコネクタ108aは、第2のトラック上の（例えば、M6層上の）第1の入力104aへのビアを通して結合され得る。さらに、第2のインターコネクタ108bは、第1のトラックからのルーティング迂回で第4のトラック上の（例えば、M6層上の）第1の出力106aへのビアを通して接続され得る。さらに、M9層上の第3のインターコネクタ110aは、第5のトラック上の（例えば、M8層上の）第2の入力104bへのビアを通して結合され得る。さらに、M9層上の第4のインターコネクタ110bは、第3のトラック上の（例えば、M8層上の）第2の出力106bへのビアを通して結合され得る。

【0019】

[0024] しかしながら、第2の入力104bに対応するスタックはM9層まで延びるので、第2のインターコネクタ108bは、第1のトラックからのルーティング迂回なしに第2のスタンダードセル120bに接続できない。先に述べたように、ルーティング迂回は、信号遅延を引き起こす可能性があり、ルーティング迂回の蓄積された信号遅延は、図1に示されるMOS ICデバイス100のデータ経路速度の減少を引き起こす可能性がある。

40

【0020】

[0025] 図2は、寄生抵抗を低減するためにM6/M8層までの金属層を用いて設計されたスタンダードセル220を含む例示的なMOS ICデバイス200を例示する。MOS ICデバイスは、第1のバッファ202aおよび第2のバッファ202b（例えば、2ビットバッファ）を含む。一態様において、図2に示される例示的なMOS ICデ

50

バイス 200 は、M7 層インターコネクトをバッファ出力に接続するためにルーティング迂回を要求しない。

【0021】

[0026] 図 2 にさらに示されているように、第 1 のバッファ 202 a は、第 1 の入力 204 a (第 1 の入力ピン) および第 1 の出力 206 a (例えば、第 1 の出力ピン) を含む。例えば、第 1 の入力 204 a は、第 1 の方向に延びる第 1 のトラック (例えば、垂直トラック) および第 2 の方向に延びる第 2 のトラック (例えば、水平トラック) 上に位置し得る。一態様において、第 1 の入力 204 a は、第 1 の M6 層インターコネクトに対応し得る。さらに、第 1 の出力 206 a は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 3 のトラック (例えば、水平トラック) 上に位置し得る。別の態様において、第 1 の出力 206 a は、第 2 の M6 層インターコネクトに対応し得る。図 2 の右上隅に示されるように、第 1 の方向は第 2 の方向に直交である。

10

【0022】

[0027] さらに、第 2 のバッファ 202 b は、第 2 の入力 204 b (例えば、第 2 の入力ピン) および第 2 の出力 206 b (例えば、第 2 の出力ピン) を含む。例えば、第 2 の出力 204 b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 4 のトラック (例えば、水平トラック) 上に位置し得る。一態様において、第 2 の入力 204 b は、第 1 の M8 層インターコネクトに対応し得る。さらに、第 2 の出力 206 b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 5 のトラック (例えば、水平トラック) 上に位置し得る。別の態様において、第 2 の出力 206 b は、第 2 の M8 層インターコネクトに対応し得る。

20

【0023】

[0028] また、図 2 に示されるように、M7 層インターコネクトおよび M9 層インターコネクトは、両方第 1 のトラックに沿って延びる。例えば、図 2 の右上隅に示されるように、M9 層インターコネクトは、第 3 の方向における M7 層インターコネクトの上に形成される。さらに、M7 層インターコネクトおよび M9 層インターコネクトの各々に搬送された信号は、図 2 の左手側に示されるように、同じ方向に移動する。M9 層インターコネクトが M7 層インターコネクトの全体にわたって延びているが、M9 層インターコネクトの一部は、第 1 の入力 204 a および第 1 の出力 206 a の M7 層インターコネクトのビューを不明瞭にしないために図 2 に示されていない。

30

【0024】

[0029] 例示的な MOS IC デバイス 200 において、M7 層上の第 1 のインターコネクト 208 a は、第 2 のトラック上の第 1 の入力 204 a (例えば、第 1 の M6 層インターコネクト) に結合され得る。例えば、第 1 のインターコネクト 208 a は、MOS IC デバイス 200 の第 1 の入力 204 a に第 1 のインターコネクト 208 a を接続するビアを通して第 1 の入力 204 a に結合され得る。

【0025】

[0030] さらに、M7 層上の第 2 のインターコネクト 208 b は、第 3 のトラック上の第 1 の出力 206 a (例えば、第 2 の M6 層インターコネクト) に結合され得る。例えば、第 2 のインターコネクト 208 b は、MOS IC デバイス 200 の第 1 の出力 206 a に M7 層を接続するビアを通して第 1 の出力 206 a に結合され得る。

40

【0026】

[0031] さらに、M9 層上の第 3 のインターコネクト 210 a は、第 4 のトラック上の第 2 の入力 204 b (例えば、第 1 の M8 層インターコネクト) に結合され得る。例えば、第 3 のインターコネクト 210 a は、MOS IC デバイス 200 の第 2 の入力 204 b に第 3 のインターコネクト 210 a を接続するビアを通して第 2 の入力 204 b に結合され得る。

【0027】

[0032] さらに、M9 層上の第 4 のインターコネクト 210 b は、第 5 のトラック上の第 2 の出力 206 b (例えば、第 2 の M8 層インターコネクト) に結合され得る。例えば

50

、第4のインターコネクト210bは、MOS ICデバイス200の第2の出力206bに第4のインターコネクト210bを接続するビアを通して第2の出力206bに結合され得る。

【0028】

[0033] 第1のインターコネクト208a、第2のインターコネクト208b、第3のインターコネクト210a、および第4のインターコネクト210bは、スタンダードセル200と別のスタンダードセル(図2に図示せず)との間のセル間ルーティングとして使用され得る。図2に示される例示的な実施形態において、スタンダードセル220は、第2から第5のトラックを含む4つの行を備えた4倍の高さのセル(quadruple height cell)である。本明細書で開示される態様はまた、単一の高さのセル、2倍の高さのセル、3倍の高さのセル、または本開示の範囲から逸脱することのない任意の他のセルの高さに適応されることが理解されるべきである。

10

【0029】

[0034] 図2に示されるように第1の入力204a、第2の入力204b、第1の出力206a、および第2の出力206bの方向を合わせることによって、MOS ICデバイス200のトランジスタへのスタックにおけるM9層インターコネクトの接続は、第1のトラックの上に延びているものからM7層インターコネクトをブロックしない。よって、図2に例示されるMOS ICデバイスにおいて、M7層インターコネクトのルーティング迂回が回避され、データバス速度が改善され得る。

【0030】

20

[0035] 図3は、寄生抵抗を低減するためにM6/M8層までの金属層を用いて各々設計されたスタンダードセル320を含む例示的なMOS ICデバイス300を例示する。MOS ICデバイス300はまた、第1のバッファ302aおよび第2のバッファ302b(例えば、2ビットバッファ)を含む。さらに、図3に示される例示的なMOS ICデバイス300は、M7をバッファ出力に接続するためにルーティング迂回を要求しない。

【0031】

[0036] 図3にさらに示されているように、第1のバッファ302aは、第1の入力304a(第1の入力ピン)および第1の出力306a(例えば、第1の出力ピン)を含む。例えば、第1の入力304aは、第1の方向に延びる第1のトラック(例えば、垂直トラック)および第2の方向に延びる第2のトラック(例えば、水平トラック)上に位置し得る。一態様において、第1の入力304aは、第1のM6層インターコネクトに対応し得る。さらに、第1の出力306aは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第3のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第1の出力306aは、第2のM6層インターコネクトに対応し得る。図3の右上隅に示されるように、第1の方向は第2の方向に直交である。

30

【0032】

[0037] さらに、第2のバッファ302bは、第2の入力304b(例えば、第2の入力ピン)および第2の出力306b(例えば、第2の出力ピン)を含む。例えば、第2の出力304bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第4のトラック(例えば、水平トラック)上に位置し得る。一態様において、第2の入力304bは、第1のM8層インターコネクトに対応し得る。さらに、第2の出力306bは、第1の方向に延びる第1のトラックおよび第2の方向に延びる第5のトラック(例えば、水平トラック)上に位置し得る。別の態様において、第2の出力306bは、第2のM8層インターコネクトに対応し得る。

40

【0033】

[0038] また、図3に示されるように、M7層インターコネクトおよびM9層インターコネクトは、両方第1のトラックに沿って延びる。例えば、図3の右上隅に示されるように、M9層インターコネクトは、第3の方向におけるM7層インターコネクトの上に形成される。さらに、M7層インターコネクトおよびM9層インターコネクトの各々に搬送さ

50

れた信号は、図3の左手側に示されるように、反対方向に移動する。M9層インターコネクがM7層インターコネクの全体にわたって延びているが、M9層インターコネクの一部は、第1の入力304aおよび第1の出力306aのM7層インターコネクのビューを不明瞭にしないために図3に示されていない。

【0034】

[0039] 例示的なMOS ICデバイス300において、M7層上の第1のインターコネク308aは、第2のトラック上の第1の入力304a（例えば、第1のM6層インターコネク）に結合され得る。例えば、第1のインターコネク308aは、MOS ICデバイス300の第1の入力304aに第1のインターコネク308aを接続するビアを通して第1の入力304aに結合され得る。

10

【0035】

[0040] さらに、M7層上の第2のインターコネク308bは、第3のトラック上の第1の出力306a（例えば、第2のM6層インターコネク）に結合され得る。例えば、第2のインターコネク308bは、MOS ICデバイス300の第1の出力306aに第2のインターコネク308bを接続するビアを通して第1の出力306aに結合され得る。

【0036】

[0041] さらに、M9層上の第3のインターコネク310aは、第4のトラック上の第2の入力304b（例えば、第1のM8層インターコネク）に結合され得る。例えば、第3のインターコネク310aは、MOS ICデバイス300の第2の入力204bに第3のインターコネク310aを接続するビアを通して第2の入力304bに結合され得る。

20

【0037】

[0042] さらに、M9層上の第4のインターコネク310bは、第5のトラック上の第2の出力306b（例えば、第2のM8層インターコネク）に結合され得る。例えば、第4のインターコネク310bは、MOS ICデバイス300の第2の出力306bに第4のインターコネク310bを接続するビアを通して第2の出力206bに結合され得る。

【0038】

[0043] 第1のインターコネク308a、第3のインターコネク308b、第3のインターコネク310a、および第4のインターコネク310bは、スタンダードセル320と別のスタンダードセル（図3に図示せず）との間のセル間ルーティングとして使用され得る。図3に示される例示的な実施形態において、スタンダードセル320は、第2から第5のトラックを含む4つの行を備えた4倍の高さのセルである。本明細書で開示される態様はまた、単一の高さのセル、2倍の高さのセル、3倍の高さのセル、または本開示の範囲から逸脱することのない任意の他のセルの高さに適応され得ることが理解されるべきである。

30

【0039】

[0044] 図3に示されるように第1の入力304a、第2の入力304b、第1の出力306a、および第2の出力306bの方向を合わせることによって、MOS ICデバイス300のトランジスタへのスタックにおけるM9層インターコネクの接続は、第1のトラックの上に延びているものからM7層インターコネクをブロックしない。よって、図3に例示されるMOS ICデバイス300において、M7層インターコネクのルーティング迂回が回避され、データパス速度が改善され得る。

40

【0040】

[0045] 図4は、寄生抵抗を低減するためにM5/M7層までの金属層を備えた例示的なMOS ICデバイス400を例示する。MOS ICデバイス400は、例えば、第1のバッファ402aおよび第2のバッファ402b（例えば、2ビットバッファ）を含む。さらに、図4に示される例示的なMOS ICデバイス400は、MOS ICデバイスの第1のトラックからM6層インターコネクのルーティング迂回を要求しない。

50

【 0 0 4 1 】

[0046] 図 4 にさらに示されているように、第 1 のバッファ 4 0 2 a は、第 1 の入力 4 0 4 a (第 1 の入力ピン) および第 1 の出力 4 0 6 a (例えば、第 1 の出力ピン) を含む。例えば、第 1 の入力 4 0 4 a は、第 1 の方向に延びる第 1 のトラック (例えば、垂直トラック) および第 2 の方向に延びる第 2 のトラック (例えば、水平トラック) 上に位置し得る。一態様において、第 1 の入力 4 0 4 a は、第 1 の M 5 層インターコネクタに対応し得る。さらに、第 1 の出力 4 0 6 a は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 3 のトラック (例えば、水平トラック) 上に位置し得る。別の態様において、第 1 の出力 4 0 6 a は、第 2 の M 5 層インターコネクタに対応し得る。図 4 の右上隅に示されるように、第 1 の方向は第 2 の方向に直交である。

10

【 0 0 4 2 】

[0047] さらに、第 2 のバッファ 4 0 2 b は、第 2 の入力 4 0 4 b (例えば、第 2 の入力ピン) および第 2 の出力 4 0 6 b (例えば、第 2 の出力ピン) を含む。例えば、第 2 の出力 4 0 4 b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 4 のトラック (例えば、水平トラック) 上に位置し得る。一態様において、第 2 の入力 4 0 4 b は、第 1 の M 7 層インターコネクタに対応し得る。さらに、第 2 の出力 4 0 6 b は、第 1 の方向に延びる第 1 のトラックおよび第 2 の方向に延びる第 5 のトラック (例えば、水平トラック) 上に位置し得る。別の態様において、第 2 の出力 4 0 6 b は、第 2 の M 7 層インターコネクタに対応し得る。

20

【 0 0 4 3 】

[0048] また、図 4 に示されるように、M 6 層インターコネクタおよび M 8 層インターコネクタは、両方第 1 のトラックに沿って延びる。例えば、図 4 の右上隅に示されるように、M 8 層インターコネクタは、第 3 の方向における M 6 層インターコネクタの上に形成される。さらに、M 6 層インターコネクタおよび M 8 層インターコネクタの各々に搬送された信号は、図 4 の左手側に示されるように、反対方向に移動する。M 8 層インターコネクタが M 6 層インターコネクタの全体にわたって延びているが、M 8 層インターコネクタの一部は、第 1 の入力 4 0 4 a および第 1 の出力 4 0 6 a の M 6 層インターコネクタのビューを不明瞭にしないために図 4 に示されていない。

【 0 0 4 4 】

[0049] 例示的な MOS IC デバイス 4 0 0 において、M 6 層上の第 1 のインターコネクタ 4 0 8 a は、第 2 のトラック上の第 1 の入力 4 0 4 a (例えば、第 1 の M 5 層インターコネクタ) に結合され得る。例えば、第 1 のインターコネクタ 4 0 8 a は、MOS IC デバイス 4 0 0 の第 1 の入力 4 0 4 a に第 1 のインターコネクタ 4 0 8 a を接続するビアを通して第 1 の入力 4 0 4 a に結合され得る。

30

【 0 0 4 5 】

[0050] さらに、M 6 層上の第 2 のインターコネクタ 4 0 8 b は、第 3 のトラック上の第 1 の出力 4 0 6 a (例えば、第 2 の M 5 層インターコネクタ) に結合され得る。例えば、第 2 のインターコネクタ 4 0 8 b は、MOS IC デバイス 4 0 0 の第 1 の出力 4 0 6 a に第 2 のインターコネクタ 4 0 8 b を接続するビアを通して第 1 の出力 4 0 6 a に結合され得る。

40

【 0 0 4 6 】

[0051] さらに、M 8 層上の第 3 のインターコネクタ 4 1 0 a は、第 4 のトラック上の第 2 の入力 4 0 4 b (例えば、第 1 の M 7 層インターコネクタ) に結合され得る。例えば、第 3 のインターコネクタ 4 1 0 a は、MOS IC デバイス 4 0 0 の第 2 の入力 2 0 4 b に第 3 のインターコネクタ 4 1 0 a を接続するビアを通して第 2 の入力 4 0 4 b に結合され得る。

【 0 0 4 7 】

[0052] さらに、M 8 層上の第 4 のインターコネクタ 4 1 0 b は、第 5 のトラック上の第 2 の出力 4 0 6 b (例えば、第 2 の M 7 層インターコネクタ) に結合され得る。例えば、第 4 のインターコネクタ 4 1 0 b は、MOS IC デバイス 4 0 0 の第 2 の出力 4 0 6

50

bに第4のインターコネクト410bを接続するビアを通して第2の出力406bに結合され得る。

【0048】

[0053] 図4に示されるように第1の入力404a、第2の入力404b、第1の出力406a、および第2の出力406bの方向を合わせることによって、MOS ICデバイス400のトランジスタへのスタックにおけるM8層インターコネクトの接続は、第1のトラックの上に延びているものからM6層インターコネクトをブロックしない。よって、図4に例示されるMOS ICデバイスにおいて、M6層インターコネクトのルーティング迂回が回避され、データパス速度が改善され得る。

【0049】

10

[0054] 2ビットバッファシステムは図2～4の例示的なMOS ICデバイス200、300、400に示されるが、本明細書で開示される態様は、2ビットバッファシステムに限定されないと理解されるべきである。例えば、本明細書で開示される例示的な態様は、本開示の範囲から逸脱することなく2以上のバッファ（例えば、3ビットバッファ、4ビットバッファ、等）を含むバッファシステムに適用され得る。

【0050】

[0055] 図5は、本開示の態様にしたがった、例示的なMOS ICデバイス500を例示する。例えば、MOS ICデバイス500は、第1のスタンダードセル502a、第2のスタンダードセル502b、および少なくとも1つの他のスタンダードセル502cを含み得る。スタンダードセル502aおよび第2のスタンダードセル502bの各々は、第1のトラック、第2のトラック、第3のトラック、および第4のトラックを含む。さらに、第1のスタンダードセル502aは、 V_{dd} 電力レール504aおよび V_{ss} 電力レール506を含み、第2のスタンダードセル502bは、 V_{ss} 電力レール506および V_{dd} 電力レール504bを含む。

20

【0051】

[0056] 第1のスタンダードセル502aのトラックを効率的に使用するために、2ビットバッファ508a、508b、508c、および508dの各々は、スタンダードセルに対する間隔要件（spacing requirements）内で動作しながら、MOS ICデバイス500の2ビットバッファの最大量を含むように千鳥配列され得る。

【0052】

30

[0057] 再度図2～5を参照すると、MOSデバイス（200、300、400、500）は、第1の入力（204a、304a、404a）および第1の出力（206a、306a、406a）を備えた第1の論理コンポーネント（202a、302a、402a）を含む。一態様において、第1の入力（204a、304a、404a）は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力（206a、306a、406a）は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。

【0053】

[0058] 開示の別の態様において、MOSデバイス（200、300、400、500）は、第2の入力（204b、304b、404b）および第2の出力（206b、306b、406b）を備えた第2の論理コンポーネント（202b、302b、402b）を含む。一態様において、第2の入力（204b、304b、404b）は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力（206b、306b、406b）は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある（図2～4参照）。

40

【0054】

[0059] 本開示のさらなる態様において、MOSデバイス（200、300、400、500）は、第1のトラック上に延びており、第2のトラック上の第1の入力（204a、304a、404a）に結合された金属x（ M_x ）層（例えば、図2および3のM7層

50

、および図 4 の M 6 層インターコネクタ) 上の第 1 のインターコネクタ (2 0 8 a 、 3 0 8 a 、 4 0 8 a) を含む。

【 0 0 5 5 】

[0060] 本開示のさらに別の態様において、MOS デバイス (2 0 0 、 3 0 0 、 4 0 0 、 5 0 0) は、第 1 のトラック上に延びており、第 3 のトラック上の第 1 の出力 (2 0 6 a 、 3 0 6 a 、 4 0 6 a) に結合された M_x 層 (例えば、図 2 および 3 の M 7 層、および図 4 の M 6 層インターコネクタ) 上の第 2 のインターコネクタ (2 0 8 b 、 3 0 8 b 、 4 0 8 b) を含む。

【 0 0 5 6 】

[0061] 本開示のまた別の態様において、MOS デバイス (2 0 0 、 3 0 0 、 4 0 0 、 5 0 0) は、第 1 のトラック上に延びており、第 4 のトラック上の第 2 の入力 (2 0 4 b 、 3 0 4 b 、 4 0 4 b) に結合された金属 y (M_y) 層 (例えば、図 2 および 3 の M 9 層、および図 4 の M 8 層) 上の第 1 のインターコネクタ (2 0 8 a 、 3 0 8 a 、 4 0 8 a) を含む。例えば、 y (例えば、図 2 および 3 の $y = 9$ 、および図 4 の $y = 8$) は、 x (例えば、図 2 および 3 の $x = 7$ 、および図 4 の $x = 6$) よりも大きい。

【 0 0 5 7 】

[0062] さらにまた、MOS デバイス (2 0 0 、 3 0 0 、 4 0 0 、 5 0 0) は、第 1 のトラック上に延びており、第 2 のトラック上の第 1 の出力 (2 0 6 b 、 3 0 6 b 、 4 0 6 b) に結合された M_y 層 (例えば、図 2 および 3 の M 9 層、および図 4 の M 8 層) 上の第 4 のインターコネクタ (2 1 0 b a 、 3 1 0 b 、 4 1 0 b) を含む。

【 0 0 5 8 】

[0063] さらにまた、第 1 の論理コンポーネント (2 0 2 a 、 3 0 2 a 、 4 0 2 a) および第 2 の論理コンポーネント (2 0 2 b 、 3 0 2 b 、 4 0 2 b) は、MOS デバイス (2 0 0 、 3 0 0 、 5 0 0) のスタンダードセル (2 2 0 、 3 2 0 、 5 0 2 a) の一部である。

【 0 0 5 9 】

[0064] さらにまた、第 1 のインターコネクタ (2 0 8 a 、 3 0 8 a 、 4 0 8 a) 、第 2 のインターコネクタ (2 0 8 b 、 3 0 8 b 、 4 0 8 b) 、第 3 のインターコネクタ (2 1 0 a 、 3 1 0 a 、 4 1 0 a) 、および第 4 のインターコネクタ (2 1 0 b 、 3 1 0 b 、 4 1 0 b) は、スタンダードセル (5 0 2 a) と少なくとも 1 つの他のスタンダードセル (5 0 2 c) との間のセル間ルーティングである。

【 0 0 6 0 】

[0065] さらに、スタンダードセル (5 0 2 a) は、第 1 の行 (図 2 ~ 4 参照)、第 1 の行 (図 2 ~ 4 参照) に隣接した第 2 の行 (図 2 ~ 4 参照)、第 2 の行 (図 2 ~ 4 参照) に隣接した第 3 の行、および第 3 の行 (図 2 ~ 4 参照) に隣接した第 4 の行を含む 4 つの行 (図 2 ~ 4 参照) を備えた 4 倍の高さのセルであり得る。例えば、第 2 のトラック (図 2 ~ 4 参照) は、第 1 の行 (図 2 ~ 4 参照) 内にある。一態様において、第 3 のトラック (図 2 ~ 4 参照) は、第 4 の行 (図 2 ~ 4 参照) 内にある。別の態様において、第 4 のトラック (図 2 ~ 4 参照) は、第 2 の行 (図 2 参照) または第 3 の行 (図 3 および 4 参照) の 1 つにある。さらなる態様において、第 5 のトラック (図 2 ~ 4 参照) は、第 2 の行 (図 3 および 4 参照) または第 3 の行 (図 2 参照) の別の 1 つにある。

【 0 0 6 1 】

[0066] さらにまた、第 1 の入力 (2 0 4 a 、 3 0 4 a 、 4 0 4 a) は、第 1 の入力ピン (2 0 4 a 、 3 0 4 a 、 4 0 4 a) に対応する。別の態様において、第 1 の出力 (2 0 6 a 、 3 0 6 a 、 4 0 6 a) は、第 1 の出力ピン (2 0 6 a 、 3 0 6 a 、 4 0 6 a) に対応する。さらなる態様において、第 2 の入力 (2 0 4 b 、 3 0 4 b 、 4 0 4 b) は、第 2 の入力ピン (2 0 4 b 、 3 0 4 b 、 4 0 4 b) に対応する。さらに、第 2 の出力 (2 0 6 b 、 3 0 6 b 、 4 0 6 b) は、第 2 の出力ピン (2 0 6 b 、 3 0 6 b 、 4 0 6 b) に対応する。一例において、第 1 の入力ピン (2 0 4 a 、 3 0 4 a 、 4 0 4 a) は、金属 $x - z_1$ ($M_{x - z_1}$) 層インターコネクタ (例えば、図 2 および 3 の M 7 層インタ

ーコネク、および図4のM5層インターコネク)に対応する。例えば、 $z_1 = 1$ である。別の態様において、第1の出力ピン(206a、306a、406a)は、金属x - z_2 (M_{x-z_2})層インターコネク(例えば、図2および3のM8層インターコネク、および図4のM5層インターコネク)に対応する。例えば、 $z_2 = 1$ である。さらなる態様において、第2の入力ピン(204b、304b、404b)は、金属y - z_3 (M_{y-z_3})層インターコネク(例えば、図2および3のM8層インターコネク、および図4のM7層インターコネク)に対応する。例えば、 $z_3 = 1$ である。さらに、第2の出力ピン(206b、306b、406b)は、金属y - z_4 (M_{y-z_4})層インターコネク(例えば、図2および3のM8層インターコネク、および図4のM5層インターコネク)に対応する。例えば、 $z_4 = 1$ である。さらなる例において、 z_1 、 z_2 、 z_3 、および z_4 は、それぞれ1に等しい。 z_1 、 z_2 、 z_3 、および z_4 がそれぞれ1に等しいとき、入力/出力ピンは、前述したM6、M7、M8、M9の信号線インターコネク以下の1つのメタル層に位置する。よって、 z は、入力/出力ピンが位置するM6、M7、M8、M9の信号線インターコネク以下の金属層の数である。

【0062】

[0067] 一例において、第5のトラックは、第4のトラックと第3のトラックとの間にある(図2参照)。別の例において、第1のインターコネク(208a)および第3のインターコネク(210a)は、第3の方向においてオーバーラップする。さらなる例において、第2のインターコネク(208b)および第4のインターコネク(210b)は、第3の方向においてオーバーラップする。例えば、第3の方向は、第1の方向および第2方向に直交する。

【0063】

[0068] 別の例において、第4のトラックは、第5のトラックと第3のトラックの間にある(図3および4参照)。一態様において、第1のインターコネク(308a、408a)および第4のインターコネク(310b、410b)は、第3の方向においてオーバーラップする。さらなる態様において、第2のインターコネク(308b、408b)および第3のインターコネク(310a、410a)は、第3の方向においてオーバーラップする。例えば、第3の方向は、第1の方向および第2方向に直交する。

【0064】

[0069] またさらなる態様において、第1の論理コンポーネント(202a、302a、402a)は、第1のパッファ(202a、302a、402a)である。別の態様において、第2の論理コンポーネント(202b、302b、402b)は、第2のパッファ(202b、302b、402b)である。

【0065】

[0070] 別の態様において、第1のトラックは垂直トラックである(例えば、図2および3)。さらなる態様において、第2のトラック、第3のトラック、第4のトラック、および第5のトラックは、それぞれ、水平トラック(例えば、図2および3)。

【0066】

[0071] 別の態様において、第1のトラックは水平トラックである(例えば、図4)。さらなる態様において、第2のトラック、第3のトラック、第4のトラック、および第5のトラックは、それぞれ、垂直トラックである(例えば、図4)。

【0067】

[0072] 別の態様において、第1の論理コンポーネント(202a、302a、402a)および第2の論理コンポーネント(202b、302b、402b)は、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)上に配置された第1のパッファ(508a)の一部である。さらに、MOSデバイス(500)はまた、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)に平行である第6のトラック(例えば、図5の第1のスタンダードセル502aにおけるトラック2)上に配置された第2のパッファ(508b)を含む。例えば、第2のパッファ(508b)は、第1のパッファ(508a)に隣接しない。さらなる態様において、MOSデバイ

10

20

30

40

50

ス(500)は、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)に平行である第7のトラック(図5の第1のスタンダードセル502aにおけるトラック3)上に配置された第3のバッファ(508c)を含む。例えば、第3のバッファ(508c)は、第2のバッファ(508b)に隣接しない。別の態様において、MOSデバイス(500)は、第1のトラック(図5の第1のスタンダードセル502aにおけるトラック1)に平行である第8のトラック(例えば、図5の第1のスタンダードセル502におけるトラック4)上に配置された第4のバッファ(508d)を含む。例えば、第4のバッファ(508d)は、第3のバッファ(508c)に隣接しない。

【0068】

[0073] 図6は、例示的な方法のフローチャート600である。例示的な方法は、MOS ICデバイスの動作の方法である。例えば、MOSデバイスは、図2～4に例示されるMOS ICデバイス200、300、400のうちの1つであり得る。

10

【0069】

[0074] 602において、第1の信号は、第1の入力および第1の出力を備えた第1の論理コンポーネントを通して構成される。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。

【0070】

[0075] 604において、第2の信号が、第2の入力および第2の出力を備えた第2の論理コンポーネントを通して伝搬される。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターコネクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターコネクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターコネクトを含む。一態様において、 y は x よりも大きい。さらに、MOSデバイスは、第1のトラックに延び、第5のトラック上の第2の出力に結合される M_y 層上の第4のインターコネクトを含む。

20

30

【0071】

[0076] MOSデバイスは、第1の入力および第1の出力を備えた第1の論理コンポーネントを通して信号を伝搬するための第1の手段をさらに含む。一態様において、第1の入力は、第1の方向に延びる第1のトラックおよび第1の方向に直交する第2の方向に延びる第2のトラックに位置する。別の態様において、第1の出力は、第1のトラックおよび第2の方向に延びる第3のトラックに位置する。

【0072】

[0077] MOSデバイスは、第2の入力および第2の出力を備えた第2の論理コンポーネントを通して信号を伝搬するための第2の手段をさらに含む。一態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第4のトラックに位置する。別の態様において、第2の出力は、第1のトラックおよび第2の方向に延びる第5のトラックに位置する。さらなる態様において、第4のトラックおよび第5のトラックは、第2のトラックおよび第3のトラックの間にある。例えば、MOSデバイスデバイスは、第1のトラックに延び、第2のトラック上の第1の入力に結合される M_x 層上の第1のインターコネクトを含む。別の例において、MOSデバイスは、第1のトラックに延び、第3のトラック上の第1の出力に結合される M_x 層上の第2のインターコネクトを含む。さらなる例において、MOSデバイスは、第1のトラックに延び、第4のトラック上の第2の入力に結合される M_y 層上の第3のインターコネクトを含む。一態様において、 y は x よりも大きい

40

50

。さらに、MOS デバイスは、第 1 のトラックに延び、第 5 のトラック上の第 2 の出力に結合される M_y 層上の第 4 のインターコネクトを含む。

【0073】

【0078】 MOS IC デバイスのスタンダードセルは、金属 x (M_x) 層のインターコネクトまで設計され得、ここで、 $x \geq 3$ 。小型 MOS IC デバイスの寄生抵抗を低減する 1 つの方法は、金属 5 (M_5) 層インターコネクトまたは金属 6 (M_6) 層インターコネクトのような、上位金属層までスタンダードセルを設計し得る。上位金属層インターコネクトでスタンダードセルを設計することで、下位金属層インターコネクトに上位金属層インターコネクトを接続するさらなるビアも含まれ得る。更なる金属層インターコネクトおよびビアは、 M_x 層インターコネクトまで設計されただけのスタンダードセルと比較して、スタンダードセルの全体的な寄生抵抗を低減することが可能なさらなる並列電流経路を提供し得る。

10

【0074】

【0079】 さらに、従来のスタンダードセルアーキテクチャを使用して、異なる信号を搬送する 2 つの異なる金属層インターコネクト (例えば、上位の M_9 層および下位の M_7 層) 上の 2 つのインターコネクトが MOS IC デバイスにおける同じトラックを占有し、同じトラック上の入力および出力を有する 2 つの異なるスタンダードセルに接続されるとき、下位の金属層上のインターコネクトがトラックの周りをルーティングされる必要があり得る。下位の金属層上のインターコネクトが上位の金属層上のインターコネクトの入力 / 出力スタックに陥る可能性があるため、トラックの周りのインターコネクトをルーティングすることが必要となり得る。図 1 に関して先に説明されたように、ルーティング迂回は、下位の金属層上のインターコネクトに信号遅延を引き起こす可能性があり、下位の金属層上のインターコネクトの度重なる信号遅延は、MOS IC デバイスのためのデータパス速度の減少を引き起こす可能性がある。

20

【0075】

【0080】 本開示は、2 ビットバッファスタンダードセルの両端上の下位の金属層インターコネクト信号線 (208a、208b、308a、308b、408a、408b) のための入力 / 出力ピンを備えた 2 ビットバッファを提供することによって、課題に対する解決策を提供する。さらに、上位の金属層インターコネクト信号線 (210a、210b、310a、310b、410a、410b) の入力 / 出力ピンは、下位の金属層インターコネクト信号線 (208a、208b、308a、308b、408a、408b) の入力 / 出力ピンの間に位置する。図 2 ~ 4 に示されるような第 1 の入力 (204a、304a、404a)、第 2 の入力 (204b、304b、404b)、第 1 の出力 (206a、306a、406a)、および第 2 の出力 (206b、306b、406b) により、MOS IC デバイス (200、300、400) への上位の金属層インターコネクト信号線 (210a、210b、310a、310b、410a、410b) の接続は、第 1 のトラック上の MOS IC デバイス (200、300、400) への下位の金属層インターコネクト信号線 (208a、208b、308a、308b、408a、408b) の接続をブロックしない。従って、図 2 ~ 4 に例示される MOS IC デバイス (200、300、400) において、下位の金属層インターコネクト信号線 (208a、208b、308a、308b、408a、408b) のルーティング迂回が回避され、データパス速度が改善され得る。

30

40

【0076】

【0081】 開プロセスにおけるステップの特定の順序または階層は、例示的なアプローチの例示であることが理解される。設計の選択に基づいて、プロセスにおけるステップの特定の順序または階層は、再構成され得ることが理解される。さらに、いくつかのステップは、組み合わせられ得るか、または省略され得る。添付の方法の請求項は、様々なステップの要素をサンプルの順序で提示したものであり、提示された特定の順序または階層に限定されるようには意図されない。

【0077】

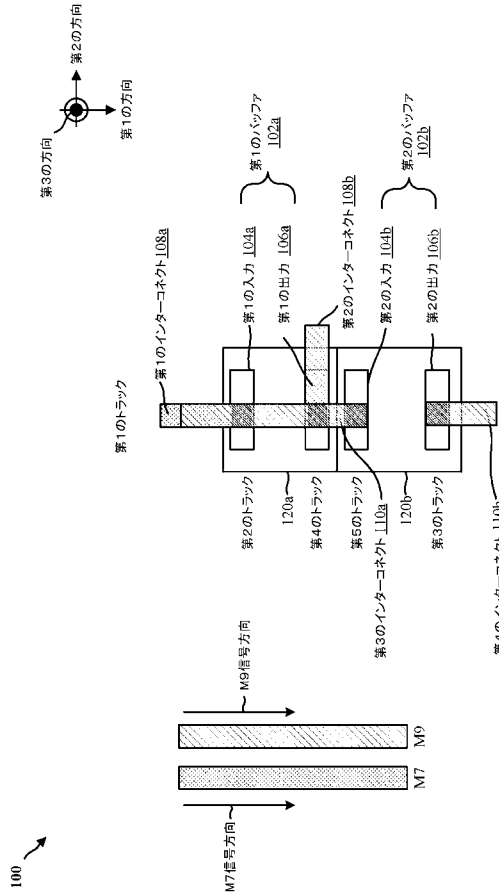
50

[0082] 先の説明は、いかなる当業者であっても、本明細書で説明された様々な態様を実現することを可能にするように提供される。これらの態様への様々な修正は、当業者にとって容易に明らかとなり、本明細書で定義された一般的な原理は、他の態様に適用され得る。従って、特許請求の範囲は、本明細書に示される態様に限定されるようには意図されず、特許請求の範囲の文言と一致する全範囲が与えられるものとし、ここで、単数形の要素への参照は、別途明記されていない限り、「1つ、および1つのみ」を意味するようには意図されず、「1つまたは複数」を意味するようには意図される。「例示的(exemplary)」という用語は、本明細書で「例、事例、または例示を提供する」という意味で使用される。「例示的」として本明細書で説明された任意の態様は、必ずしも他の態様よりも好ましいまたは有利であるようには解釈されるべきでない。別段に明記されていない限り、「いくつかの(some)」という用語は、1つまたは複数を目指す。「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、A、B、および/またはCの任意の組み合わせを含み、複数のA、複数のB、または複数のCを含み得る。特に、「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、Aのみ、Bのみ、Cのみ、AとB、AとC、BとC、またはAとBとCであることができ、ここで、任意のこのような組み合わせは、A、B、またはCの1つまたは複数のメンバーを含むことができる。当業者に知られている、あるいは後に知られることになる本開示全体にわたって説明された様々な態様の要素に対する全ての構造的および機能的な同等物は、参照によって本明細書に明確に組み込まれ、特許請求の範囲に包含されるように意図される。さらに、本明細書で開示されるものはいずれも、そのような開示が特許請求の範囲において明記されているかどうかにかかわらず、公衆に放棄されるようには意図されない。いずれの請求項の要素も、その要素が「～のための手段(means for)」という表現を使用して明確に記載されていない限り、ミーンズプラスファンクションとして解釈されるべきではない。

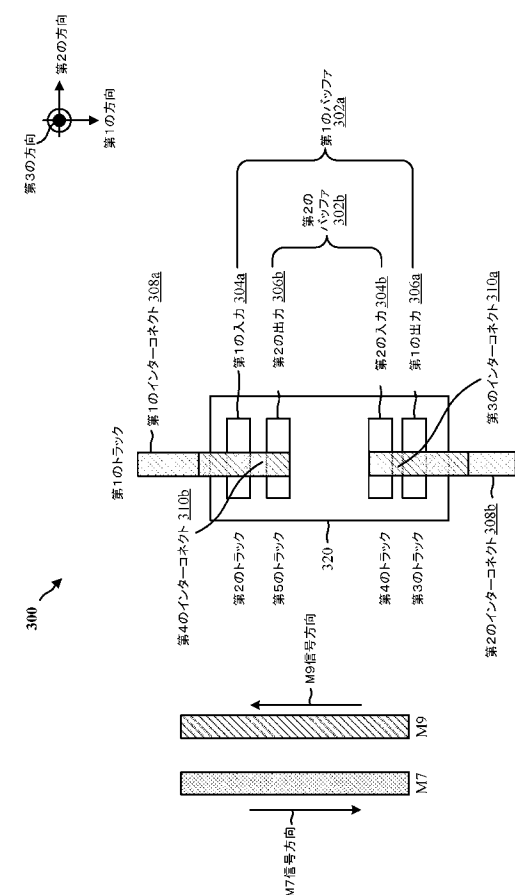
10

20

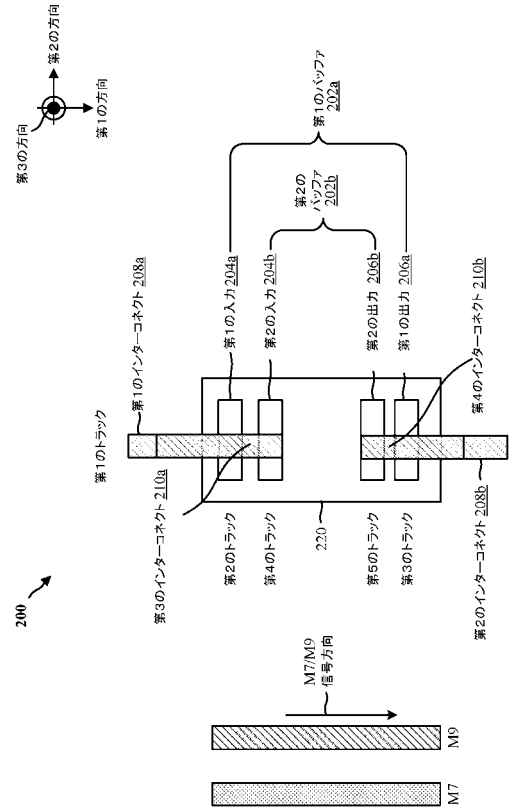
【図 1】



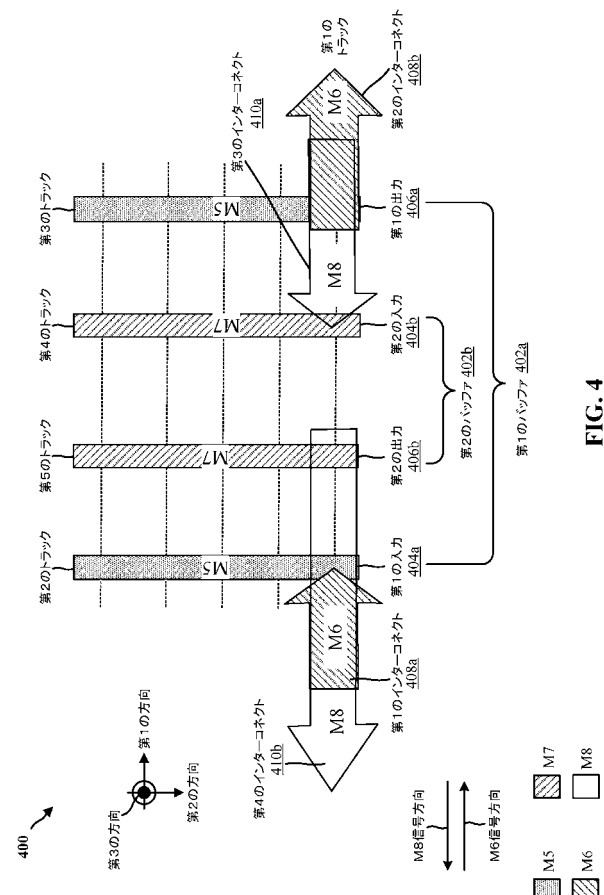
【図 3】



【図 2】



【図 4】



【図 5】

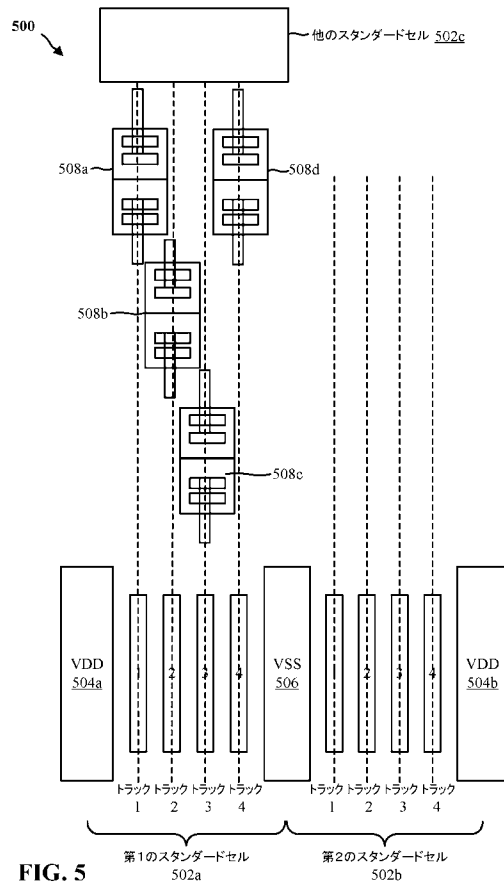


FIG. 5

【図 6】

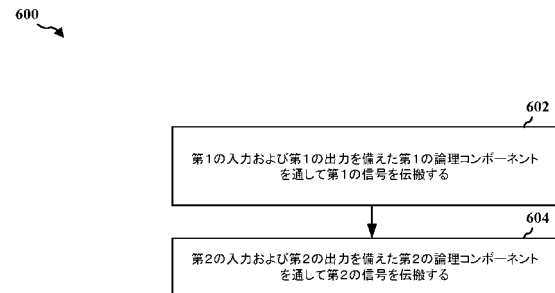


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2017/029700

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L23/528 H03K19/177
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2006/113567 A1 (OHMORI MUTSUHIRO [JP] ET AL) 1 June 2006 (2006-06-01) abstract; claims; figures 5,6 paragraphs [0006], [0069] - [0080] -----	1-30
Y	US 2007/132062 A1 (BANERJEE SUMAN K [US] ET AL) 14 June 2007 (2007-06-14) abstract; claims; figures 1-3 paragraphs [0014], [0026] -----	1-30
Y	US 2013/126978 A1 (BECKER SCOTT T [US] ET AL) 23 May 2013 (2013-05-23) abstract; claims; figures 8,11,17,23,24,26,27 paragraphs [0134], [0158], [0195], [0208], [0214], [0245], [0253] ----- -/-	5-7, 18-20,30

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

10 July 2017

Date of mailing of the international search report

18/07/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, Christoph

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2017/029700

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8 645 892 B1 (GUPTA VISHAL [IN] ET AL) 4 February 2014 (2014-02-04) abstract; claim 1; figures 2-4 -----	1-30
A	JP 2009 272340 A (AIL YG) 19 November 2009 (2009-11-19) abstract; claims; figures -----	1-30
A	WO 2016/069205 A1 (QUALCOMM INC [US]) 6 May 2016 (2016-05-06) abstract; claims; figures -----	1-30
A	WO 2015/138754 A1 (QUALCOMM INC [US]) 17 September 2015 (2015-09-17) abstract; claims; figures -----	1-30

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2017/029700

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006113567 A1	01-06-2006	JP 2006114668 A KR 20060054018 A US 2006113567 A1	27-04-2006 22-05-2006 01-06-2006
US 2007132062 A1	14-06-2007	US 2007132062 A1 US 2010065968 A1	14-06-2007 18-03-2010
US 2013126978 A1	23-05-2013	US 2013126978 A1 US 2013207199 A1	23-05-2013 15-08-2013
US 8645892 B1	04-02-2014	CN 103915407 A JP 2014132659 A US 8645892 B1	09-07-2014 17-07-2014 04-02-2014
JP 2009272340 A	19-11-2009	NONE	
WO 2016069205 A1	06-05-2016	CA 2962779 A1 KR 20170053732 A US 2016126180 A1 US 2017053866 A1 WO 2016069205 A1	06-05-2016 16-05-2017 05-05-2016 23-02-2017 06-05-2016
WO 2015138754 A1	17-09-2015	US 2015262936 A1 WO 2015138754 A1	17-09-2015 17-09-2015

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 クマー、ドラブ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 ナラヤナン、ベンカタスブラマニアン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 タッラ、バラ・クリシュナ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 ラソウリ、セイド・ハディ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 ガタル、ラディカ・ピナヤック

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 パトゥリ、シバクマー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

Fターム(参考) 5F064 AA04 CC09 DD14 EE09 EE16 EE23 EE26 EE27 EE42 EE47

EE52