



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0111637
(43) 공개일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)
H01L 31/10 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2011-0030239
(22) 출원일자 2011년04월01일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
여윤중
서울특별시 강남구 남부순환로395길 10, 1동 120
9호 (대치동, 선경아파트)
진흥기
경기도 수원시 영통구 권광로260번길 36, 현대홈
타운 106동 2001호 (매탄동)
(74) 대리인
팬코리아특허법인

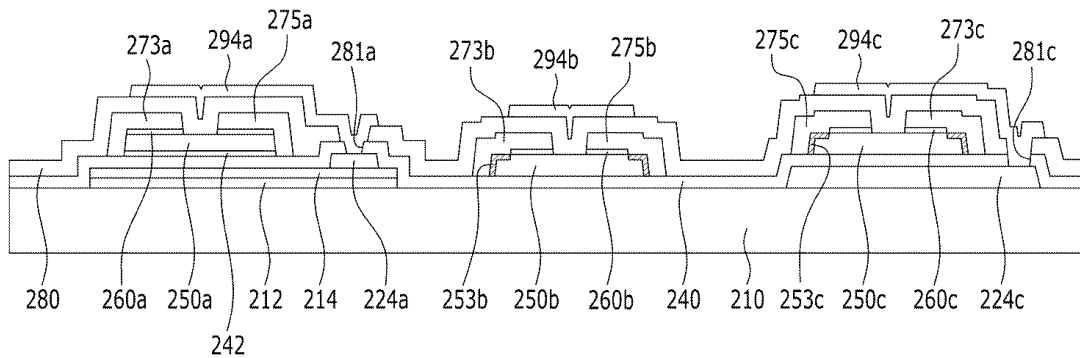
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **광 감지 센서**

(57) 요약

본 발명은 반도체층의 손상을 방지하고, 소스 및 드레인 전극의 단선 및 단락 불량을 방지할 수 있는 광 감지 센서 및 광 감지 센서의 제조 방법에 관한 것으로, 본 발명에 의한 광 감지 센서는 기판; 상기 기판 위에 형성되는 제1 반도체층을 포함하는 적외선 감지 박막 트랜지스터; 상기 기판 위에 형성되는 제2 반도체층을 포함하는 가시광선 감지 박막 트랜지스터; 상기 기판 위에 형성되는 제3 반도체층을 포함하는 스위칭 박막 트랜지스터; 및, 상기 제1 반도체층, 상기 제2 반도체층, 및 상기 제3 반도체층 중 어느 하나 이상의 단부에서 상기 단부의 윗면 및 측면을 감싸는 반도체 보호막을 포함한다.

대표도



(72) 발명자

조병훈

서울특별시 강남구 선릉로126길 22, 롯데캐슬프레미어 103동 903호 (삼성동)

정기훈

충청남도 천안시 서북구 쌍용17길 52, 현대4차아파트 403동 1602호 (쌍용동)

방정석

경기 구리시 토평동 영풍아파트 105동 104호

김용권

충청남도 천안시 서북구 시청로 73, 동일2차아파트 203동 801호 (불당동)

김성렬

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트라팰리스아파트 302동 3002호

김대철

경기 화성시 능동 1115 자연&경남

한근욱

경기도 성남시 분당구 판교원로82번길 30, 1312동 2401호 (운중동, 산운마을)

특허청구의 범위

청구항 1

기관;

상기 기관 위에 형성되는 제1 반도체층을 포함하는 적외선 감지 박막 트랜지스터;

상기 기관 위에 형성되는 제2 반도체층을 포함하는 가시광선 감지 박막 트랜지스터;

상기 기관 위에 형성되는 제3 반도체층을 포함하는 스위칭 박막 트랜지스터; 및,

상기 제1 반도체층, 상기 제2 반도체층, 및 상기 제3 반도체층 중 어느 하나 이상의 단부에서 상기 단부의 윗면 및 측면을 감싸는 반도체 보호막을 포함하는,

광 감지 센서.

청구항 2

제1 항에 있어서,

상기 반도체 보호막은,

상기 제2 반도체층 및 상기 제3 반도체층의 단부의 윗면 및 측면을 감싸는,

광 감지 센서.

청구항 3

제2 항에 있어서,

상기 반도체 보호막은 실리콘 산화물을 포함하는,

광 감지 센서.

청구항 4

제3 항에 있어서,

상기 제2 반도체층 및 상기 제3 반도체층은 비정질 실리콘을 포함하는,

광 감지 센서.

청구항 5

제4 항에 있어서,

상기 반도체 보호막은,

상기 제2 반도체층 및 상기 제3 반도체층에 플라즈마 산화 처리를 하여 형성하는,

광 감지 센서.

청구항 6

제5 항에 있어서,

상기 제1 반도체층은 비정질 실리콘 게르마늄을 포함하고,
광 감지 센서.

청구항 7

제2 항에 있어서,
상기 제1 반도체층 아래에 형성되는 제3 절연막을 더 포함하는,
광 감지 센서.

청구항 8

제7 항에 있어서,
상기 제3 절연막은 실리콘 질화물을 포함하는,
광 감지 센서.

청구항 9

제2 항에 있어서,
상기 적외선 감지 박막 트랜지스터는,
상기 기판 위에 적층되어 형성되는 제1 절연막 및 차광 부재;
상기 차광 부재 위에 형성되는 제1 하부 게이트 전극;
상기 차광 부재 및 제1 하부 게이트 전극 위에 형성되는 제2 절연막;
상기 제1 반도체층 위에 형성되는 제1 저항성 접촉층;
상기 제1 저항성 접촉층 위에 형성되는 제1 소스 전극 및 제1 드레인 전극;
상기 제1 소스 전극 및 상기 제1 드레인 전극 위에 형성되는 제4 절연막;
상기 제1 하부 게이트 전극을 노출시키도록 상기 제2 절연막 및 상기 제4 절연막에 형성되는 제1 접촉 구멍;
및,
상기 제4 절연막 위에 형성되어 상기 제1 접촉 구멍을 통해 상기 제1 하부 게이트 전극과 연결되는 제1 상부 게이트 전극을 더 포함하고,
상기 제1 반도체층은 상기 제2 절연막 위에 형성되는,
광 감지 센서.

청구항 10

제2 항에 있어서,
상기 가시광선 감지 박막 트랜지스터는,
상기 제2 반도체층 위에 형성되는 제2 저항성 접촉층;
상기 제2 저항성 접촉층 위에 형성되는 제2 소스 전극 및 제2 드레인 전극;
상기 제2 소스 전극 및 상기 제2 드레인 전극 위에 형성되는 제4 절연막; 및,

상기 제4 절연막 위에 형성되는 제2 게이트 전극을 더 포함하는,
광 감지 센서.

청구항 11

제1 항에 있어서,
상기 반도체 보호막은,
상기 제1 반도체층의 단부의 윗면 및 측면을 감싸는,
광 감지 센서.

청구항 12

제11 항에 있어서,
상기 반도체 보호막은 실리콘 게르마늄 산화물을 포함하는,
광 감지 센서.

청구항 13

제12 항에 있어서,
상기 제1 반도체층은 비정질 실리콘 게르마늄을 포함하는,
광 감지 센서.

청구항 14

제13 항에 있어서,
반도체 보호막은,
상기 제1 반도체층에 플라즈마 산화 처리를 하여 형성하는,
광 감지 센서.

청구항 15

제14 항에 있어서,
상기 제2 반도체층 및 상기 제3 반도체층은 비정질 실리콘 게르마늄을 포함하는,
광 감지 센서.

청구항 16

제11 항에 있어서,
상기 제2 반도체층 및 상기 제3 반도체층 아래에 형성되는 제3 절연막을 더 포함하는,

광 감지 센서.

청구항 17

제16 항에 있어서,
상기 제3 절연막은 실리콘 질화물을 포함하는,
광 감지 센서.

청구항 18

제11 항에 있어서,
상기 적외선 감지 박막 트랜지스터는,
상기 기판 위에 적층되어 형성되는 제1 절연막 및 차광 부재;
상기 차광 부재 위에 형성되는 제1 하부 게이트 전극;
상기 차광 부재 및 제1 하부 게이트 전극 위에 형성되는 제2 절연막;
상기 제1 반도체층 위에 형성되는 제1 저항성 접촉층;
상기 제1 저항성 접촉층 위에 형성되는 제1 소스 전극 및 제1 드레인 전극;
상기 제1 소스 전극 및 상기 제1 드레인 전극 위에 형성되는 제4 절연막;
상기 제1 하부 게이트 전극을 노출시키도록 상기 제2 절연막 및 상기 제4 절연막에 형성되는 제1 접촉 구멍;
및,
상기 제4 절연막 위에 형성되어 상기 제1 접촉 구멍을 통해 상기 제1 하부 게이트 전극과 연결되는 제1 상부 게이트 전극을 더 포함하고,
상기 제1 반도체층은 상기 제2 절연막 위에 형성되는,
광 감지 센서.

청구항 19

제11 항에 있어서,
상기 가시광선 감지 박막 트랜지스터는,
상기 제2 반도체층 위에 형성되는 제2 저항성 접촉층;
상기 제2 저항성 접촉층 위에 형성되는 제2 소스 전극 및 제2 드레인 전극;
상기 제2 소스 전극 및 상기 제2 드레인 전극 위에 형성되는 제4 절연막; 및,
상기 제4 절연막 위에 형성되는 제2 게이트 전극을 더 포함하는,
광 감지 센서.

명세서

기술분야

본 발명은 광 감지 센서 및 광 감지 센서의 제조 방법에 관한 것으로, 보다 상세하게는 반도체층의 손상을 방지하고, 소스 및 드레인 전극의 단선 및 단락 불량을 방지할 수 있는 광 감지 센서 및 광 감지 센서의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 액정 표시 장치(LCD : Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져 전극에 신호를 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- [0003] 근래에는 터치 감지 기능 또는 이미지 감지 기능을 추가로 갖는 액정 표시 장치에 대한 연구가 이루어지고 있다. 이러한 터치 감지 기능과 이미지 감지 기능을 구현하기 위해서는 적외선 감지 박막 트랜지스터, 가시광선 감지 박막 트랜지스터, 및 스위칭 박막 트랜지스터를 포함하는 광 감지 센서를 액정 표시 장치에 추가하는 것이 요구된다.
- [0004] 이러한 적외선 감지 박막 트랜지스터는 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터는 서로 다른 특성을 가지고, 이에 따라 반도체층을 서로 다른 물질로 형성한다. 따라서, 적외선 감지 박막 트랜지스터의 반도체층을 형성하기 위해 1회의 건식 식각 공정이 이루어지고, 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층을 형성하기 위해 1회의 건식 식각 공정이 이루어지게 된다. 즉, 2회의 건식 식각 공정을 진행하여 반도체층을 형성하게 된다.
- [0005] 이때, 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층을 먼저 형성하게 되면, 후속 공정으로 적외선 감지 박막 트랜지스터의 반도체층을 형성하는 공정에서 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층이 손상을 입게 되는 문제점이 있다.
- [0006] 반대로, 적외선 감지 박막 트랜지스터의 반도체층을 먼저 형성하게 되면, 후속 공정으로 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층을 형성하는 공정에서 적외선 감지 박막 트랜지스터의 반도체층이 손상을 입게 되는 문제점이 있다.
- [0007] 후속 공정으로 반도체층을 형성할 때 반도체층의 하부에 절연막을 형성할 수 있으며, 이러한 절연막이 도 1 및 도 2에 도시된 바와 같이 먼저 형성된 반도체층의 위에 잔류하게 되어 단차가 커져 그 상부에 형성되는 소스 및 드레인 전극의 단선 또는 단락 불량에 발생할 수 있다는 문제점이 있다.
- [0008] 또한, 먼저 형성된 반도체층의 위에는 식각 정지층을 형성할 수 있으며, 식각 정지층은 도 3 및 도 4에 도시된 바와 같이 반도체층 식각시 사용하는 염소계 가스(Cl₂)에 의해 부식이 일어날 수 있다. 이에 따라 도 5에 도시된 바와 같이 식각 정지층 아래에 위치한 반도체층에 악영향을 미치고, 그 상부에 형성되는 소스 전극 및 드레인 전극의 단선 또는 단락 불량이 발생할 수 있다는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 적외선 감지 박막 트랜지스터와 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층을 서로 다른 재질로 형성하여 2차례의 식각 공정을 진행하는 과정에서 반도체층의 손상이 발생하는 것을 방지하고, 소스 전극 및 드레인 전극의 단선 및 단락 불량을 방지할 수 있는 광 감지 센서 및 광 감지 센서의 제조 방법을 제조하는데 그 목적이 있다.
- [0010] 또한, 복수의 층을 CVD 공정으로 형성하는 중간 과정에서 진공 상태 외부로 노출됨으로써 계면 산화가 발생하여 센서의 특성이 저하되는 것을 방지할 수 있는 광 감지 센서 및 광 감지 센서의 제조 방법을 제조하는데 그 목적이 있다.
- [0011] 또한, 식각 정지층이 부식되어 반도체층에 영향을 미치는 것을 방지할 수 있는 광 감지 센서 및 광 감지 센서의 제조 방법을 제조하는데 그 목적이 있다.

과제의 해결 수단

- [0012] 상기와 같은 목적에 따른 본 발명에 의한 광 감지 센서는 기판; 상기 기판 위에 형성되는 제1 반도체층을 포함하는 적외선 감지 박막 트랜지스터; 상기 기판 위에 형성되는 제2 반도체층을 포함하는 가시광선 감지 박막 트랜지스터; 상기 기판 위에 형성되는 제3 반도체층을 포함하는 스위칭 박막 트랜지스터; 및, 상기 제1 반도체층, 상기 제2 반도체층, 및 상기 제3 반도체층 중 어느 하나 이상의 단부에서 상기 단부의 윗면 및 측면을 감싸는 반도체 보호막을 포함한다.

- [0013] 상기 반도체 보호막은 상기 제2 반도체층 및 상기 제3 반도체층의 단부의 윗면 및 측면을 감쌀 수 있다.
- [0014] 상기 반도체 보호막은 실리콘 산화물을 포함할 수 있다.
- [0015] 상기 제2 반도체층 및 상기 제3 반도체층은 비정질 실리콘을 포함할 수 있다.
- [0016] 상기 반도체 보호막은 상기 제2 반도체층 및 상기 제3 반도체층에 플라즈마 산화 처리를 하여 형성할 수 있다.
- [0017] 상기 제1 반도체층은 비정질 실리콘 게르마늄을 포함할 수 있다.
- [0018] 상기 제1 반도체층 아래에 형성되는 제3 절연막을 더 포함할 수 있다.
- [0019] 상기 제3 절연막은 실리콘 질화물을 포함할 수 있다.
- [0020] 상기 적외선 감지 박막 트랜지스터는 상기 기판 위에 적층되어 형성되는 제1 절연막 및 차광 부재; 상기 차광 부재 위에 형성되는 제1 하부 게이트 전극; 상기 차광 부재 및 제1 하부 게이트 전극 위에 형성되는 제2 절연막; 상기 제1 반도체층 위에 형성되는 제1 저항성 접촉층; 상기 제1 저항성 접촉층 위에 형성되는 제1 소스 전극 및 제1 드레인 전극; 상기 제1 소스 전극 및 상기 제1 드레인 전극 위에 형성되는 제4 절연막; 상기 제1 하부 게이트 전극을 노출시키도록 상기 제2 절연막 및 상기 제4 절연막에 형성되는 제1 접촉 구멍; 및, 상기 제4 절연막 위에 형성되어 상기 제1 접촉 구멍을 통해 상기 제1 하부 게이트 전극과 연결되는 제1 상부 게이트 전극을 더 포함하고, 상기 제1 반도체층은 상기 제2 절연막 위에 형성될 수 있다.
- [0021] 상기 가시광선 감지 박막 트랜지스터는 상기 제2 반도체층 위에 형성되는 제2 저항성 접촉층; 상기 제2 저항성 접촉층 위에 형성되는 제2 소스 전극 및 제2 드레인 전극; 상기 제2 소스 전극 및 상기 제2 드레인 전극 위에 형성되는 제4 절연막; 및, 상기 제4 절연막 위에 형성되는 제2 게이트 전극을 더 포함할 수 있다.
- [0022] 상기 반도체 보호막은 상기 제1 반도체층의 단부의 윗면 및 측면을 감쌀 수 있다.
- [0023] 상기 반도체 보호막은 실리콘 게르마늄 산화물을 포함할 수 있다.
- [0024] 상기 제1 반도체층은 비정질 실리콘 게르마늄을 포함할 수 있다.
- [0025] 반도체 보호막은 상기 제1 반도체층에 플라즈마 산화 처리를 하여 형성할 수 있다.
- [0026] 상기 제2 반도체층 및 상기 제3 반도체층은 비정질 실리콘 게르마늄을 포함할 수 있다.
- [0027] 상기 제2 반도체층 및 상기 제3 반도체층 아래에 형성되는 제3 절연막을 더 포함할 수 있다.
- [0028] 상기 제3 절연막은 실리콘 질화물을 포함할 수 있다.
- [0029] 상기 적외선 감지 박막 트랜지스터는 상기 기판 위에 적층되어 형성되는 제1 절연막 및 차광 부재; 상기 차광 부재 위에 형성되는 제1 하부 게이트 전극; 상기 차광 부재 및 제1 하부 게이트 전극 위에 형성되는 제2 절연막; 상기 제1 반도체층 위에 형성되는 제1 저항성 접촉층; 상기 제1 저항성 접촉층 위에 형성되는 제1 소스 전극 및 제1 드레인 전극; 상기 제1 소스 전극 및 상기 제1 드레인 전극 위에 형성되는 제4 절연막; 상기 제1 하부 게이트 전극을 노출시키도록 상기 제2 절연막 및 상기 제4 절연막에 형성되는 제1 접촉 구멍; 및, 상기 제4 절연막 위에 형성되어 상기 제1 접촉 구멍을 통해 상기 제1 하부 게이트 전극과 연결되는 제1 상부 게이트 전극을 더 포함하고, 상기 제1 반도체층은 상기 제2 절연막 위에 형성될 수 있다.
- [0030] 상기 가시광선 감지 박막 트랜지스터는 상기 제2 반도체층 위에 형성되는 제2 저항성 접촉층; 상기 제2 저항성 접촉층 위에 형성되는 제2 소스 전극 및 제2 드레인 전극; 상기 제2 소스 전극 및 상기 제2 드레인 전극 위에 형성되는 제4 절연막; 및, 상기 제4 절연막 위에 형성되는 제2 게이트 전극을 더 포함할 수 있다.

발명의 효과

- [0031] 상기한 바와 같은 본 발명에 의한 광 감지 센서 및 광 감지 센서의 제조 방법은 다음과 같은 효과가 있다.
- [0032] 본 발명에 의한 광 감지 센서 및 광 감지 센서의 제조 방법은 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층을 적외선 감지 박막 트랜지스터의 반도체층보다 먼저 제조할 때, 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층의 단부의 윗면 및 측면을 감싸는 반도체 보호막을 형성함으로써, 반도체층의 측면의 손상을 방지할 수 있고, 이로 인해 소스 및 드레인 전극의 단선 및 단락 불량을 방지할 수 있는 효과가 있다.

- [0033] 또한, 본 발명에 의한 광 감지 센서 및 광 감지 센서의 제조 방법은 적외선 감지 박막 트랜지스터의 반도체층을 가시광선 감지 박막 트랜지스터 및 스위칭 박막 트랜지스터의 반도체층보다 먼저 제조할 때, 적외선 감지 박막 트랜지스터의 반도체층의 단부의 윗면 및 측면을 감싸는 반도체 보호막을 형성함으로써, 반도체층의 측면의 손상을 방지할 수 있고, 이로 인해 소스 및 드레인 전극의 단선 및 단락 불량을 방지할 수 있는 효과가 있다.
- [0034] 또한, 본 발명에 의한 광 감지 센서 및 광 감지 센서의 제조 방법은 반도체층 아래에 제3 절연막을 형성함으로써, 복수의 층을 CVD 공정으로 형성하는 중간 과정에서 진공 상태 외부로 노출됨으로써 계면 산화가 발생하여 센서의 특성이 저하되는 것을 방지할 수 있는 효과가 있다.
- [0035] 또한, 본 발명에 의한 광 감지 센서 및 광 감지 센서의 제조 방법은 식각 정지층 형성 후 후처리를 함으로써 식각 정지층이 부식되어 반도체층에 영향을 미치는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [0036] 도 1 내지 도 5는 종래 기술에 의한 광 감지 센서의 제조 공정에서 발생하는 문제점을 나타낸 도면이다.
 도 6은 본 발명에 의한 광 감지 센서를 나타낸 평면도이다.
 도 7은 도 6의 VII-VII' 선을 따라 나타낸 본 발명의 제1 실시예에 의한 광 감지 센서를 나타낸 단면도이다.
 도 8은 도 6의 VII-VII' 선을 따라 나타낸 본 발명의 제2 실시예에 의한 광 감지 센서를 나타낸 단면도이다.
 도 9a 내지 도 9i는 본 발명의 제1 실시예에 의한 광 감지 센서의 제조 방법을 나타낸 공정 단면도이다.
 도 10a 내지 도 10i는 본 발명의 제2 실시예에 의한 광 감지 센서의 제조 방법을 나타낸 공정 단면도이다.
 도 11 및 도 12는 본 발명에 의해 제조된 광 감지 센서의 반도체층을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하에서 첨부된 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0038] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0039] 먼저, 첨부된 도면을 참조하여 본 발명의 제1 실시예에 따른 광 감지 센서에 대해 설명하면 다음과 같다.
- [0040] 도 6은 본 발명에 의한 광 감지 센서를 나타낸 평면도이고, 도 7은 도 6의 VII-VII' 선을 따라 나타낸 본 발명의 제1 실시예에 의한 광 감지 센서를 나타낸 단면도이다.
- [0041] 본 발명의 제1 실시예에 따른 광 감지 센서는 투명한 유리 또는 플라스틱 재질의 기판(210), 기판(210) 위에 서로 교차하여 형성되는 복수의 게이트선(221)과 데이터선(271), 게이트선(221) 및 데이터선(271)과 연결되는 스위칭 박막 트랜지스터(SW), 스위칭 박막 트랜지스터(SW)와 연결되는 적외선 감지 박막 트랜지스터(IR) 및 가시광선 감지 박막 트랜지스터(VIS)를 포함한다.
- [0042] 게이트선(221)과 데이터선(271)은 복수의 화소를 정의하고, 하나의 화소 내에는 하나의 스위칭 박막 트랜지스터(SW)와 하나의 적외선 감지 박막 트랜지스터(IR)가 서로 연결되어 형성될 수 있고, 인접한 다른 화소 내에는 하나의 스위칭 박막 트랜지스터(SW)와 하나의 가시광선 감지 박막 트랜지스터(VIS)가 서로 연결되어 형성될 수 있다.
- [0043] 적외선 감지 박막 트랜지스터(IR)는 기판(210) 위에 형성되는 제1 반도체층(250a), 제1 반도체층(250a) 위에 형성되는 제1 저항성 접촉층(260a), 제1 저항성 접촉층(260a) 위에 형성되는 제1 소스 전극(273a) 및 제1 드레인 전극(275a), 제1 소스 전극(273a) 및 제1 드레인 전극(275a) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제1 상부 게이트 전극(294a)을 포함한다.

- [0044] 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe)으로 형성될 수 있다. 비정질 실리콘 게르마늄(a-SiGe)은 적외선 영역에서 양자 효율이 높은 물질이다. 이때, 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe) 대신 다른 물질로 형성될 수도 있으며, 적외선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0045] 제1 소스 전극(273a)과 제1 드레인 전극(275a)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제1 저항성 접촉층(260a)는 제1 반도체층(250a) 위에 채널 부분을 제외하고 형성된다.
- [0046] 또한, 적외선 감지 박막 트랜지스터(IR)는 기판(210) 위에 적층되어 형성되고 제1 반도체층(250a) 아래에 위치하는 제1 절연막(212) 및 차광 부재(214), 차광 부재(214) 위에 형성되는 제1 하부 게이트 전극(224a), 차광 부재(214) 및 제1 하부 게이트 전극(224a) 위에 형성되는 제2 절연막(240), 제2 절연막(240) 위에 형성되는 제3 절연막(242)을 더 포함할 수 있다.
- [0047] 제1 절연막(212)은 실리콘 질화물(SiNx)로 형성될 수 있으며, 기판(210)과 차광 부재(214) 사이의 접착력을 향상시키기 위한 층이다.
- [0048] 차광 부재(214)는 제1 반도체층(250a)에 가시광선이 입사하는 것을 방지하기 위한 층이다. 제1 반도체층(250a)은 적외선 영역에서 양자 효율이 높지만, 가시광선 영역에서도 양자 효율이 높아 가시광선에도 영향을 받게 되므로, 제1 반도체층(250a)으로 가시광선이 입사하는 것을 방지할 필요가 있다. 차광 부재(214)는 비정질 게르마늄(a-Ge)로 이루어질 수 있다. 비정질 게르마늄(a-Ge)은 적외선 영역은 잘 통과시키는 반면에, 가시광 영역은 거의 통과시키지 않는다. 차광 부재(214)는 비정질 게르마늄(a-Ge) 대신 비정질 게르마늄의 화합물로 형성될 수도 있으며, 적외선 영역은 잘 통과시키고 가시광선 영역은 잘 통과시키지 않는 물질이라면 어느 것이라도 가능하다.
- [0049] 제1 하부 게이트 전극(224a)은 차광 부재(214)의 일부 영역 위에 형성된다. 제2 절연막(240) 및 제4 절연막(280)에는 제1 하부 게이트 전극(224a)을 노출시키도록 제1 접촉 구멍(281a)이 형성된다. 제1 접촉 구멍(281a)을 통해 제1 상부 게이트 전극(294a)은 제1 하부 게이트 전극(224a)과 연결된다. 따라서, 제1 하부 게이트 전극(224a)은 제1 상부 게이트 전극(294a)에 인가되는 전압과 동일한 전압을 인가 받게 되므로, 차광 부재(214)가 플로팅(floating) 상태로 되는 것을 방지할 수 있다.
- [0050] 제3 절연막(242)은 실리콘 질화물(SiNx)로 형성될 수 있으며, 제2 절연막(240)과 제1 반도체층(250a) 사이에 형성되어 계면 특성을 향상시키는 역할을 한다.
- [0051] 가시광선 감지 박막 트랜지스터(VIS)는 기판(210) 위에 형성되는 제2 반도체층(250b), 제2 반도체층(250b)의 단부의 윗면 및 측면을 감싸는 제2 반도체 보호막(253b), 제2 반도체층(250b) 위에 형성되는 제2 저항성 접촉층(260b), 제2 저항성 접촉층(260b) 위에 형성되는 제2 소스 전극(273b) 및 제2 드레인 전극(275b), 제2 소스 전극(273b) 및 제2 드레인 전극(275b) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제2 게이트 전극(294b)을 포함한다.
- [0052] 제2 반도체층(250b)은 비정질 실리콘(a-Si)으로 형성될 수 있다. 비정질 실리콘(a-Si)은 가시광선 영역에서 양자 효율(quantum efficiency)이 높은 물질로써, 적외선 영역의 빛이 함께 입사되더라도 가시광선 영역의 감도가 높은 장점이 있다. 이때, 제2 반도체층(250b)은 비정질 실리콘(a-Si) 대신 다른 물질로 형성될 수도 있으며, 가시광선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0053] 제2 반도체 보호막(243b)은 실리콘 산화물(SiOx)로 형성될 수 있다. 제2 반도체 보호막(243b)은 제2 반도체층(250b)에 플라즈마 산화(Plasma Oxidation) 처리를 하여 형성할 수 있다. 실리콘 산화물로 이루어진 제2 반도체 보호막(243b)에 의해 제2 반도체층(250b)의 측면 손상을 방지할 수 있다.
- [0054] 제2 소스 전극(273b)과 제2 드레인 전극(275b)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제2 저항성 접촉층(260b)는 제2 반도체층(250b) 위에 채널 부분과 제2 반도체 보호막(243b)이 형성된 부분을 제외하고 형성된다. 즉, 제2 반도체 보호막(243b)과 제2 저항성 접촉층(260b)의 경계선이 일치하게 된다.
- [0055] 스위칭 박막 트랜지스터(SW)는 기판(210) 위에 형성되는 제3 반도체층(250c), 제3 반도체층(250c)의 단부의 윗면 및 측면을 감싸는 제3 반도체 보호막(253c), 제3 반도체층(250c) 위에 형성되는 제3 저항성 접촉층(260c), 제3 저항성 접촉층(260c) 위에 형성되는 제3 소스 전극(273c) 및 제3 드레인 전극(275c), 제3 소스 전극(273c) 및 제3 드레인 전극(275c) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제3 상부 게이트 전극(294c)를 포함한다.

- [0056] 제3 반도체층(250c)은 비정질 실리콘(a-Si)으로 형성될 수 있다.
- [0057] 제3 반도체 보호막(253c)은 실리콘 산화물(SiO_x)로 형성될 수 있다. 제3 반도체 보호막(253c)은 제3 반도체 보호막(253c)에 플라즈마 산화(Plasma Oxidation) 처리를 하여 형성할 수 있다. 실리콘 산화물로 이루어진 제3 반도체 보호막(243c)에 의해 제3 반도체층(250c)의 측면 손상을 방지할 수 있다.
- [0058] 제3 소스 전극(273c)과 제3 드레인 전극(275c)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제3 저항성 접촉층(260c)는 제3 반도체층(250c) 위에 채널 부분과 제3 반도체 보호막(243c)이 형성된 부분을 제외하고 형성된다. 즉, 제3 반도체 보호막(243c)과 제3 저항성 접촉층(260c)의 경계선이 일치하게 된다.
- [0059] 제3 소스 전극(273c)은 데이터선(271)과 연결되어 데이터선(271)으로부터 데이터 전압을 인가받는다.
- [0060] 스위칭 박막 트랜지스터(SW)가 적외선 감지 박막 트랜지스터(IR)와 연결되는 화소 내에서는 제3 드레인 전극(275c)이 제1 소스 전극(273a)과 연결된다. 스위칭 박막 트랜지스터(SW)가 가시광선 감지 박막 트랜지스터(VIS)와 연결되는 화소 내에서는 제3 드레인 전극(275c)이 제2 소스 전극(273b)와 연결된다.
- [0061] 스위칭 박막 트랜지스터(SW)는 기판(210) 위에 형성되고 제3 반도체층 아래에 위치하는 제3 하부 게이트 전극(224c), 제3 하부 게이트 전극(224c) 위에 형성되는 제2 절연막(240), 제2 절연막(240)을 더 포함할 수 있다.
- [0062] 제2 절연막(240) 및 제4 절연막(280)에는 제3 하부 게이트 전극(224c)을 노출시키도록 제3 접촉 구멍(281c)이 형성된다. 제3 접촉 구멍(281c)을 통해 제3 상부 게이트 전극(294c)은 제3 하부 게이트 전극(224c)과 연결된다.
- [0063] 이어, 첨부된 도면을 참조하여 본 발명의 제2 실시예에 따른 광 감지 센서에 대해 설명하면 다음과 같다.
- [0064] 도 6은 본 발명에 의한 광 감지 센서를 나타낸 평면도이고, 도 8은 도 6의 VII-VII' 선을 따라 나타낸 본 발명의 제2 실시예에 의한 광 감지 센서를 나타낸 단면도이다.
- [0065] 본 발명의 제2 실시예에 따른 광 감지 센서는 투명한 유리 또는 플라스틱 재료의 기판(210), 기판(210) 위에 서로 교차하여 형성되는 복수의 게이트선(221)과 데이터선(271), 게이트선(221) 및 데이터선(271)과 연결되는 스위칭 박막 트랜지스터(SW), 스위칭 박막 트랜지스터(SW)와 연결되는 적외선 감지 박막 트랜지스터(IR) 및 가시광선 감지 박막 트랜지스터(VIS)를 포함한다.
- [0066] 게이트선(221)과 데이터선(271)은 복수의 화소를 정의하고, 하나의 화소 내에는 하나의 스위칭 박막 트랜지스터(SW)와 하나의 적외선 감지 박막 트랜지스터(IR)가 서로 연결되어 형성될 수 있고, 인접한 다른 화소 내에는 하나의 스위칭 박막 트랜지스터(SW)와 하나의 가시광선 감지 박막 트랜지스터(VIS)가 서로 연결되어 형성될 수 있다.
- [0067] 적외선 감지 박막 트랜지스터(IR)는 기판(210) 위에 형성되는 제1 반도체층(250a), 제1 반도체층(250a)의 단부의 윗면 및 측면을 감싸는 제1 반도체 보호막(253a), 제1 반도체층(250a) 위에 형성되는 제1 저항성 접촉층(260a), 제1 저항성 접촉층(260a) 위에 형성되는 제1 소스 전극(273a) 및 제1 드레인 전극(275a), 제1 소스 전극(273a) 및 제1 드레인 전극(275a) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제1 상부 게이트 전극(294a)을 포함한다.
- [0068] 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe)으로 형성될 수 있다. 비정질 실리콘 게르마늄(a-SiGe)은 적외선 영역에서 양자 효율이 높은 물질이다. 이때, 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe) 대신 다른 물질로 형성될 수도 있으며, 적외선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0069] 제1 반도체 보호막(253a)은 실리콘 게르마늄 산화물(SiGeO_x)로 형성될 수 있다. 제1 반도체 보호막(253a)은 제1 반도체층(250a)에 플라즈마 산화(Plasma Oxidation) 처리를 하여 형성할 수 있다. 실리콘 산화물은 절연막으로 사용되는 물질로써, 제2 반도체 보호막(243b)의 측면 손상을 방지할 수 있다.
- [0070] 제1 소스 전극(273a)과 제1 드레인 전극(275a)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제1 저항성 접촉층(260a)는 제1 반도체층(250a) 위에 채널 부분과 제1 반도체 보호막(253a)이 형성된 부분을 제외하고 형성된다. 즉, 제1 반도체 보호막(253a)과 제1 저항성 접촉층(260a)의 경계선이 일치하게 된다.
- [0071] 또한, 적외선 감지 박막 트랜지스터(IR)는 기판(210) 위에 적층되어 형성되고 제1 반도체층(250a) 아래에 위치

하는 제1 절연막(212) 및 차광 부재(214), 차광 부재(214) 위에 형성되는 제1 하부 게이트 전극(224a), 차광 부재(214) 및 제1 하부 게이트 전극(224a) 위에 형성되는 제2 절연막(240)을 더 포함할 수 있다.

- [0072] 제1 절연막(212)은 실리콘 질화물(SiNx)로 형성될 수 있으며, 기판(210)과 차광 부재(214) 사이의 접촉력을 향상시키기 위한 층이다.
- [0073] 차광 부재(214)는 제1 반도체층(250a)에 가시광선이 입사하는 것을 방지하기 위한 층이다. 제1 반도체층(250a)은 적외선 영역에서 양자 효율이 높지만, 가시광선 영역에서도 양자 효율이 높아 가시광선에도 영향을 받게 되므로, 제1 반도체층(250a)으로 가시광선이 입사하는 것을 방지할 필요가 있다. 차광 부재(214)는 비정질 게르마늄(a-Ge)로 이루어질 수 있다. 비정질 게르마늄(a-Ge)은 적외선 영역은 잘 통과시키는 반면에, 가시광 영역은 거의 통과시키지 않는다. 차광 부재(214)는 비정질 게르마늄(a-Ge) 대신 비정질 게르마늄의 화합물로 형성될 수도 있으며, 적외선 영역은 잘 통과시키고 가시광선 영역은 잘 통과시키지 않는 물질이라면 어느 것이라도 가능하다.
- [0074] 제1 하부 게이트 전극(224a)은 차광 부재(214)의 일부 영역의 위에 형성된다. 제2 절연막(240) 및 제4 절연막(280)에는 제1 하부 게이트 전극(224a)을 노출시키도록 제1 접촉 구멍(281a)이 형성된다. 제1 접촉 구멍(281a)을 통해 제1 상부 게이트 전극(294a)은 제1 하부 게이트 전극(224a)과 연결된다. 따라서, 제1 하부 게이트 전극(224a)은 제1 상부 게이트 전극(294a)에 인가되는 전압과 동일한 전압을 인가 받게 되므로, 차광 부재(214)가 플로팅(floating) 상태로 되는 것을 방지할 수 있다.
- [0075] 가시광선 감지 박막 트랜지스터(VIS)는 기판(210) 위에 형성되는 제2 반도체층(250b), 제2 반도체층(250b) 위에 형성되는 제2 저항성 접촉층(260b), 제2 저항성 접촉층(260b) 위에 형성되는 제2 소스 전극(273b) 및 제2 드레인 전극(275b), 제2 소스 전극(273b) 및 제2 드레인 전극(275b) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제2 게이트 전극(294b)을 포함한다.
- [0076] 제2 반도체층(250b)은 비정질 실리콘(a-Si)으로 형성될 수 있다. 비정질 실리콘(a-Si)은 가시광선 영역에서 양자 효율(quantum efficiency)이 높은 물질로써, 적외선 영역의 빛이 함께 입사되더라도 가시광선 영역의 감도가 높은 장점이 있다. 이때, 제2 반도체층(250b)은 비정질 실리콘(a-Si) 대신 다른 물질로 형성될 수도 있으며, 가시광선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0077] 제2 소스 전극(273b)과 제2 드레인 전극(275b)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제2 저항성 접촉층(260b)은 제2 반도체층(250b) 위에 채널 부분을 제외하고 형성된다.
- [0078] 스위칭 박막 트랜지스터(SW)는 기판(210) 위에 형성되는 제3 반도체층(250c), 제3 반도체층(250c) 위에 형성되는 제3 저항성 접촉층(260c), 제3 저항성 접촉층(260c) 위에 형성되는 제3 소스 전극(273c) 및 제3 드레인 전극(275c), 제3 소스 전극(273c) 및 제3 드레인 전극(275c) 위에 형성되는 제4 절연막(280), 제4 절연막(280) 위에 형성되는 제3 상부 게이트 전극(294c)를 포함한다.
- [0079] 제3 반도체층(250c)은 비정질 실리콘(a-Si)으로 형성될 수 있다.
- [0080] 제3 소스 전극(273c)과 제3 드레인 전극(275c)은 서로 이격되어 형성됨으로써 채널을 형성한다. 제3 저항성 접촉층(260c)은 제3 반도체층(250c) 위에 채널 부분을 제외하고 형성된다.
- [0081] 제3 소스 전극(273c)은 데이터선(271)과 연결되어 데이터선(271)으로부터 데이터 전압을 인가받는다.
- [0082] 스위칭 박막 트랜지스터(SW)가 적외선 감지 박막 트랜지스터(IR)와 연결되는 화소 내에서는 제3 드레인 전극(275c)이 제1 소스 전극(273a)과 연결된다. 스위칭 박막 트랜지스터(SW)가 가시광선 감지 박막 트랜지스터(VIS)와 연결되는 화소 내에서는 제3 드레인 전극(275c)이 제2 소스 전극(273b)와 연결된다.
- [0083] 스위칭 박막 트랜지스터(SW)는 기판(210) 위에 형성되고 제3 반도체층 아래에 위치하는 제3 하부 게이트 전극(224c), 제3 하부 게이트 전극(224c) 위에 형성되는 제2 절연막(240), 제2 절연막(240)을 더 포함할 수 있다.
- [0084] 제2 절연막(240) 및 제4 절연막(280)에는 제3 하부 게이트 전극(224c)을 노출시키도록 제3 접촉 구멍(281c)이 형성된다. 제3 접촉 구멍(281c)을 통해 제3 상부 게이트 전극(294c)은 제3 하부 게이트 전극(224c)과 연결된다.
- [0085] 다음으로, 첨부된 도면을 참조하여 본 발명의 제1 실시예에 따른 광 감지 센서의 제조 방법에 대해 설명하면 다

음과 같다.

- [0086] 도 9a 내지 도 9i는 본 발명의 제1 실시예에 의한 광 감지 센서의 제조 방법을 나타낸 공정 단면도이다.
- [0087] 먼저, 도 9a에 도시된 바와 같이 투명한 유리 또는 플라스틱 따위로 만들어진 기판(210) 위에 제1 절연막(212) 및 차광 부재(214)를 적층하여 형성한다. 제1 절연막(212) 및 차광 부재(214)는 동일한 마스크로 패터닝된다.
- [0088] 제1 절연막(212)은 실리콘 질화물(SiNx)로 형성할 수 있으며, 기판(210)과 차광 부재(214) 사이의 접착력을 향상시키기 위한 층이다.
- [0089] 차광 부재(214)는 가시광선의 입사를 방지할 수 있는 물질로 이루어진다. 예를 들면, 차광 부재(214)는 비정질 게르마늄(a-Ge)로 이루어질 수 있다. 비정질 게르마늄(a-Ge)은 적외선 영역은 잘 통과시키는 반면에, 가시광 영역은 거의 통과시키지 않는다. 차광 부재(214)는 비정질 게르마늄(a-Ge) 대신 비정질 게르마늄의 화합물로 형성될 수도 있으며, 적외선 영역은 잘 통과시키고 가시광선 영역은 잘 통과시키지 않는 물질이라면 어느 것이라도 가능하다.
- [0090] 도 9b에 도시된 바와 같이, 차광 부재(214)의 일부 영역 위에 제1 하부 게이트 전극(224a)을 형성하고, 기판(210) 위에 제3 하부 게이트 전극(224c)을 형성한다. 제1 하부 게이트 전극(224a)과 제3 하부 게이트 전극(224c)은 동일한 전도성 물질로 형성될 수 있고, 동일한 마스크로 패터닝된다.
- [0091] 이어, 차광 부재(214), 제1 하부 게이트 전극(224a), 제3 하부 게이트 전극(224c)을 포함한 기판(210) 전면에서 제1 절연막(212)을 형성한다.
- [0092] 도 9c에 도시된 바와 같이, 기판(210) 위에 제2 반도체층(250b) 및 제2 저항성 접촉층(260b)을, 제3 하부 게이트 전극(224c) 위에 제3 반도체층(250c) 및 제3 저항성 접촉층(260c)을 적층하여 형성한다. 제2 저항성 접촉층(260b) 및 제3 저항성 접촉층(260c) 위에는 식각 정지층(263)을 연속하여 적층하고, 식각 정지층(263) 위에 포토 레지스트(265)를 도포한다. 마스크(도시하지 않음)를 이용하여 포토 레지스트(265)를 패터닝 하고, 패터닝 된 포토 레지스트(265)의 하부에 있는 제2 반도체층(250b), 제3 반도체층(250c), 제2 저항성 접촉층(260b), 제3 저항성 접촉층(260c), 및 식각 정지층(263)을 패터닝하여 형성한다.
- [0093] 제2 반도체층(250b) 및 제3 반도체층(250c)은 동일한 물질로 형성할 수 있고, 예를 들면 비정질 실리콘(a-Si)으로 형성할 수 있다. 비정질 실리콘(a-Si)은 가시광선 영역에서 양자 효율(quantum efficiency)이 높은 물질로써, 적외선 영역의 빛이 함께 입사되더라도 가시광선 영역의 감도가 높은 장점이 있다. 이때, 제2 반도체층(250b) 및 제3 반도체층(250c)은 비정질 실리콘(a-Si) 대신 다른 물질로 형성될 수도 있으며, 가시광선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0094] 제2 저항성 접촉층(260b) 및 제3 저항성 접촉층(260c)은 동일한 물질로 형성할 수 있다.
- [0095] 식각 정지층(263)은 몰리브덴/알루미늄/몰리브덴 (Mo/Al/Mo)의 3개의 층을 적층하여 형성할 수 있다.
- [0096] 식각 정지층(263)은 반도체층의 식각에 사용되는 염소계 가스(Cl₂)에 의해 부식이 일어날 수 있으며, 이로 인해 식각 정지층(263)의 하부에 위치한 제2 저항성 접촉층(260b), 제3 저항성 접촉층(260c), 제2 반도체층(250b) 및 제3 반도체층(250c)에 악영향을 미칠 수 있다. 따라서, 식각 정지층(263)의 부식을 방지하기 위해 후처리를 하는 단계를 더 포함할 수 있다.
- [0097] 또한, 제2 저항성 접촉층(260b) 및 제3 저항성 접촉층(260c)이 외부로 노출된 부분을 제거하는 단계를 더 포함할 수 있다.
- [0098] 도 9d에 도시된 바와 같이, 제2 반도체층(250b) 및 제3 반도체층(250c)이 외부로 노출된 부분에 플라즈마 산화처리를 하여 제2 반도체층(250b)의 단부의 윗면 및 측면을 감싸는 제2 반도체 보호막(253b)을 형성하고, 제3 반도체층(250c)의 단부의 윗면 및 측면을 감싸는 제3 반도체 보호막(253c)을 형성한다.
- [0099] 진공 챔버 내에서 기판(210) 전체에 산소 플라즈마를 가하면 제2 반도체층(250b) 및 제3 반도체층(250c)이 외부로 노출된 부분에 산화가 일어나게 된다. 따라서, 제2 반도체층(250b) 및 제3 반도체층(250c)의 단부의 윗면 및 측면에 위치한 비정질 실리콘(a-Si)이 실리콘 산화물(SiO_x)로 변하여 제2 반도체 보호막(253b) 및 제3 반도체 보호막(253c)이 형성된다.
- [0100] 제2 반도체층(250b) 및 제3 반도체층(250c)을 동일한 물질로 형성하였으므로, 제2 반도체 보호막(253b) 및 제3 반도체 보호막(253c) 또한 동일한 물질로 형성된다.

- [0101] 도 9e에 도시된 바와 같이, 차광 부재(214) 위에 제3 절연막(242), 제1 반도체층(250a), 제1 저항성 접촉층(260a)을 적층하여 형성하고, 포토 레지스트(265)를 제거한다.
- [0102] 제3 절연막(242)은 실리콘 질화물(SiNx)로 형성할 수 있다. 앞서 제2 반도체층(250b)과 제3 반도체층(250c)의 식각이 진공 챔버 내에서 이루어지고, 이후 제1 반도체층(250a)의 식각이 진공 챔버 내에서 이루어지며, 그 사이 공정에서 기관(210)이 진공 챔버 외부로 나오게 될 때 계면에서 산화가 발생하여 센서의 특성을 저하시키는 문제점이 있다. 이를 방지하기 위해 제3 절연막(242)을 형성하는 것으로써, 제2 절연막(240)과 제1 반도체층(250a) 사이에 형성되어 계면 특성을 향상시키는 역할을 한다.
- [0103] 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe)으로 형성될 수 있다. 비정질 실리콘 게르마늄(a-SiGe)은 적외선 영역에서 양자 효율이 높은 물질이다. 이때, 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe) 대신 다른 물질로 형성될 수도 있으며, 적외선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0104] 제1 반도체층(250a)을 패터닝하여 형성하기 위해서 건식 식각 공정을 거치게 되는데, 이미 형성되어 있는 제2 반도체층(250b) 및 제3 반도체층(250b)의 위에는 식각 정지층(263)이 형성되어 있고, 제2 반도체층(250b) 및 제3 반도체층(250b)의 단부의 윗면 및 측면에는 제2 반도체 보호막(253b) 및 제3 반도체 보호막(253c)이 형성되어 있다. 따라서, 식각 정지층(263) 및 제1 반도체 보호막(253a)에 의해 제1 반도체층(250a)이 보호되므로, 제1 반도체층(250a)을 형성하는 과정에서 제2 반도체층(250b) 및 제3 반도체층(250b)은 영향을 받지 않는다.
- [0105] 도 9f에 도시된 바와 같이, 식각 정지층(263)을 제거한다. 식각 정지층(263)은 제1 반도체층(250a)을 형성하는 과정에서 제2 반도체층(250b) 및 제3 반도체층(250c)이 함께 식각되는 것을 방지하기 위해 임시로 형성된 층으로써, 제1 반도체층(250a)을 형성한 후에 제거한다.
- [0106] 도 9g에 도시된 바와 같이, 제1 저항성 접촉층(260a) 위에 제1 소스 전극(273a) 및 제1 드레인 전극(275a)을, 제2 저항성 접촉층(260b) 위에 제2 소스 전극(273b) 및 제2 드레인 전극(275b)을, 제3 저항성 접촉층(260c) 위에 제3 소스 전극(273c) 및 제3 드레인 전극(275c)을 형성한다.
- [0107] 제1 소스 전극(273a)과 제1 드레인 전극(275a), 제2 소스 전극(273b)과 제2 드레인 전극(275b), 제3 소스 전극(273c)과 제3 드레인 전극(275c)은 각각 서로 이격되도록 하여 채널을 형성한다. 이때, 채널 부분에 대응하여 형성되어 있는 제1 저항성 접촉층(260a), 제2 저항성 접촉층(260b), 제3 저항성 접촉층(260c)을 제거한다.
- [0108] 도 9h에 도시된 바와 같이, 제1 소스 전극(273a), 제1 드레인 전극(275a), 제2 소스 전극(273b), 제2 드레인 전극(275b), 제3 소스 전극(273c), 및 제3 드레인 전극(275c)을 포함한 기관(210) 전면에서 제4 절연막(280)을 형성한다.
- [0109] 이어, 제1 하부 게이트 전극(224a)을 노출시키도록 제2 절연막(240) 및 제4 절연막(280)에 제1 접촉 구멍(281a)을 형성하고, 제3 하부 게이트 전극(224c)을 노출시키도록 제3 접촉 구멍(281c)을 형성한다.
- [0110] 도 9i에 도시된 바와 같이, 제4 절연막(280) 위에 제1 소스 전극(273a) 및 제1 드레인 전극(275a)에 대응하여 제1 상부 게이트 전극(294a)을, 제2 소스 전극(273b) 및 제2 드레인 전극(275b)에 대응하여 제2 게이트 전극(294b)을, 제3 소스 전극(273c) 및 제3 드레인 전극(275c)에 대응하여 제3 상부 게이트 전극(294c)을 형성한다.
- [0111] 제1 상부 게이트 전극(294a)은 제1 접촉 구멍(281a)을 통해 제1 하부 게이트 전극(224a)과 연결하고, 제3 상부 게이트 전극(294c)은 제3 접촉 구멍(281c)을 통해 제3 하부 게이트 전극(224c)과 연결한다.
- [0112] 이어, 첨부된 도면을 참조하여 본 발명의 제2 실시예에 따른 광 감지 센서의 제조 방법에 대해 설명하면 다음과 같다.
- [0113] 도 10a 내지 도 10i는 본 발명의 제2 실시예에 의한 광 감지 센서의 제조 방법을 나타낸 공정 단면도이다.
- [0114] 먼저, 도 10a에 도시된 바와 같이 투명한 유리 또는 플라스틱 따위로 만들어진 기관(210) 위에 제1 절연막(212) 및 차광 부재(214)를 적층하여 형성한다. 제1 절연막(212) 및 차광 부재(214)는 동일한 마스크로 패터닝된다.
- [0115] 제1 절연막(212)은 실리콘 질화물(SiNx)로 형성할 수 있으며, 기관(210)과 차광 부재(214) 사이의 접착력을 향상시키기 위한 층이다.
- [0116] 차광 부재(214)는 가시광선의 입사를 방지할 수 있는 물질로 이루어진다. 예를 들면, 차광 부재(214)는 비정질

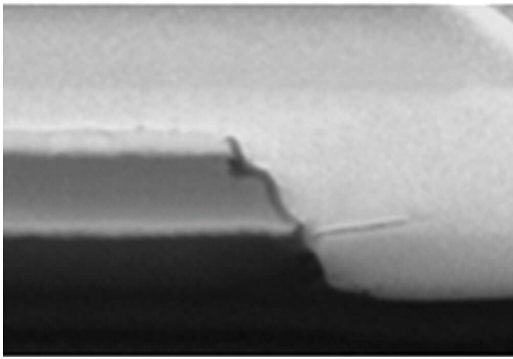
게르마늄(a-Ge)로 이루어질 수 있다. 비정질 게르마늄(a-Ge)은 적외선 영역은 잘 통과시키는 반면에, 가시광 영역은 거의 통과시키지 않는다. 차광 부재(214)는 비정질 게르마늄(a-Ge) 대신 비정질 게르마늄의 화합물로 형성될 수도 있으며, 적외선 영역은 잘 통과시키고 가시광선 영역은 잘 통과시키지 않는 물질이라면 어느 것이 라도 가능하다.

- [0117] 도 10b에 도시된 바와 같이, 차광 부재(214)의 일부 영역 위에 제1 하부 게이트 전극(224a)을 형성하고, 기판(210) 위에 제3 하부 게이트 전극(224c)을 형성한다. 제1 하부 게이트 전극(224a)과 제3 하부 게이트 전극(224c)은 동일한 전도성 물질로 형성될 수 있고, 동일한 마스크로 패터닝된다.
- [0118] 이어, 차광 부재(214), 제1 하부 게이트 전극(224a), 제3 하부 게이트 전극(224c)을 포함한 기판(210) 전면에 제1 절연막(212)을 형성한다.
- [0119] 도 10c에 도시된 바와 같이, 기판(210) 위에 제1 반도체층(250a), 제1 저항성 접촉층(260a), 및 식각 정지층(263)을 연속으로 적층하고, 식각 정지층(263) 위에 포토 레지스트(265)를 도포한다. 마스크(도시하지 않음)를 이용하여 포토 레지스트(265)를 패터닝하고, 패터닝된 포토 레지스트(265)의 하부에 있는 제1 반도체층(250a), 제1 저항성 접촉층(260a), 및 식각 정지층(263)을 패터닝하여 형성한다.
- [0120] 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe)으로 형성될 수 있다. 비정질 실리콘 게르마늄(a-SiGe)은 적외선 영역에서 양자 효율이 높은 물질이다. 이때, 제1 반도체층(250a)은 비정질 실리콘 게르마늄(a-SiGe) 대신 다른 물질로 형성될 수도 있으며, 적외선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0121] 식각 정지층(263)은 몰리브덴/알루미늄/몰리브덴 (Mo/Al/Mo)의 3개의 층을 적층하여 형성할 수 있다.
- [0122] 식각 정지층(263)은 반도체층의 식각에 사용되는 염소계 가스(Cl₂)에 의해 부식이 일어날 수 있으며, 이로 인해 식각 정지층(263)의 하부에 위치한 제2 저항성 접촉층(260b), 제3 저항성 접촉층(260c), 제2 반도체층(250b) 및 제3 반도체층(250c)에 악영향을 미칠 수 있다. 따라서, 식각 정지층(263)의 부식을 방지하기 위해 후처리를 하는 단계를 더 포함할 수 있다.
- [0123] 또한, 제1 저항성 접촉층(260a)이 외부로 노출된 부분을 제거하는 단계를 더 포함할 수 있다.
- [0124] 도 10d에 도시된 바와 같이, 제1 반도체층(250a)이 외부로 노출된 부분에 플라즈마 산화 처리를 하여 제1 반도체층(250a)의 단부의 윗면 및 측면을 감싸는 제1 반도체 보호막(253a)을 형성한다.
- [0125] 진공 챔버 내에서 기판(210) 전체에 산소 플라즈마를 가하면 제1 반도체층(250a)이 외부로 노출된 부분에 산화가 일어나게 된다. 따라서, 제1 반도체층(250a)의 단부의 윗면 및 측면에 위치한 비정질 실리콘(a-Si)이 실리콘 산화물(SiO_x)로 변하여 제1 반도체 보호막(253a)이 형성된다.
- [0126] 도 10e에 도시된 바와 같이, 기판(210) 위에 제3 절연막(242)을 형성하고, 제3 절연막 위에는 제2 반도체층(250b) 및 제3 반도체층(250c)을, 제2 반도체층(250a) 및 제3 반도체층(250c) 위에 각각 제2 저항성 접촉층(260b) 및 제3 저항성 접촉층(260c)을 적층하여 형성한다.
- [0127] 이어, 식각 정지층(263) 위에 형성되어 있는 포토 레지스트(265)를 제거한다.
- [0128] 제3 절연막(242)은 실리콘 질화물(SiN_x)로 형성할 수 있다. 앞서 제1 반도체층(250a)의 식각이 진공 챔버 내에서 이루어지고, 이후 제2 반도체층(250b) 및 제3 반도체층(250c)의 식각이 진공 챔버 내에서 이루어지며, 그 사이 공정에서 기판(210)이 진공 챔버 외부로 나오게 될 때 계면에서 산화가 발생하여 센서의 특성을 저하시키는 문제점이 있다. 이를 방지하기 위해 제3 절연막(242)을 형성하는 것으로써, 제2 절연막(240)과 제2 및 제3 반도체층(250b, 250c) 사이에 형성되어 계면 특성을 향상시키는 역할을 한다.
- [0129] 제2 반도체층(250b) 및 제3 반도체층(250c)은 동일한 물질로 형성할 수 있고, 예를 들면 비정질 실리콘(a-Si)으로 형성할 수 있다. 비정질 실리콘(a-Si)은 가시광선 영역에서 양자 효율(quantum efficiency)이 높은 물질로써, 적외선 영역의 빛이 함께 입사되더라도 가시광선 영역의 감도가 높은 장점이 있다. 이때, 제2 반도체층(250b) 및 제3 반도체층(250c)은 비정질 실리콘(a-Si) 대신 다른 물질로 형성될 수도 있으며, 가시광선 영역에서 양자 효율이 높은 물질이라면 어느 것이라도 가능하다.
- [0130] 제2 반도체층(250b) 및 제3 반도체층(250c)을 패터닝하여 형성하기 위해서 건식 식각 공정을 거치게 되는데, 이미 형성되어 있는 제1 반도체층(250a)의 위에는 식각 정지층(263)이 형성되어 있고, 제1 반도체층(250a)의 단부의 윗면 및 측면에는 제1 반도체 보호막(253a)이 형성되어 있다. 따라서, 식각 정지층(263) 및 제1 반도체 보

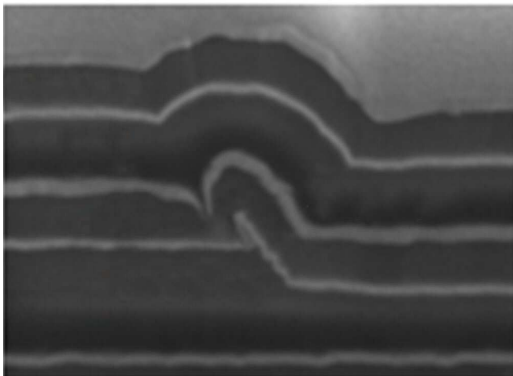
- | | |
|---------------------|------------------|
| 260c : 제3 저항성 접촉층 | 273a : 제1 소스 전극 |
| 273b : 제2 소스 전극 | 273c : 제3 소스 전극 |
| 275a : 제1 드레인 전극 | 275b : 제2 드레인 전극 |
| 275c : 제3 드레인 전극 | 280 : 제4 절연막 |
| 281a : 제1 접촉 구멍 | 281c : 제3 접촉 구멍 |
| 294a : 제1 상부 게이트 전극 | 294b : 제2 게이트 전극 |
| 294c : 제3 상부 게이트 전극 | |

도면

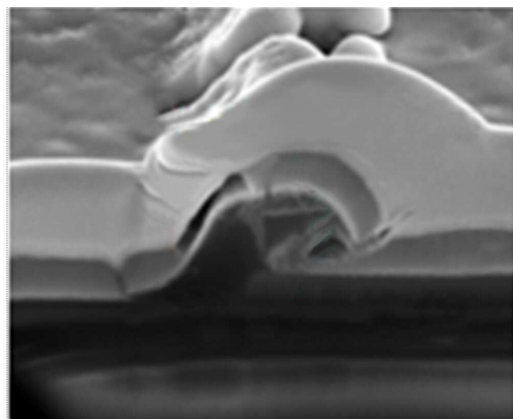
도면1



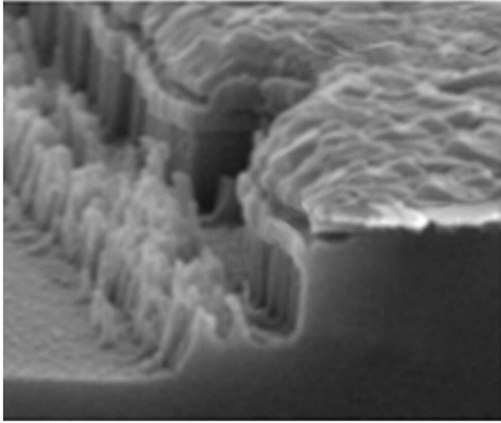
도면2



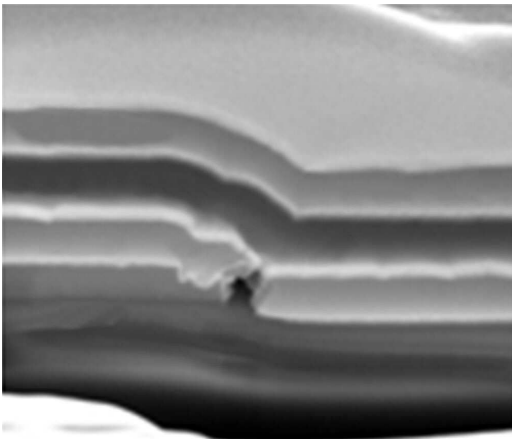
도면3



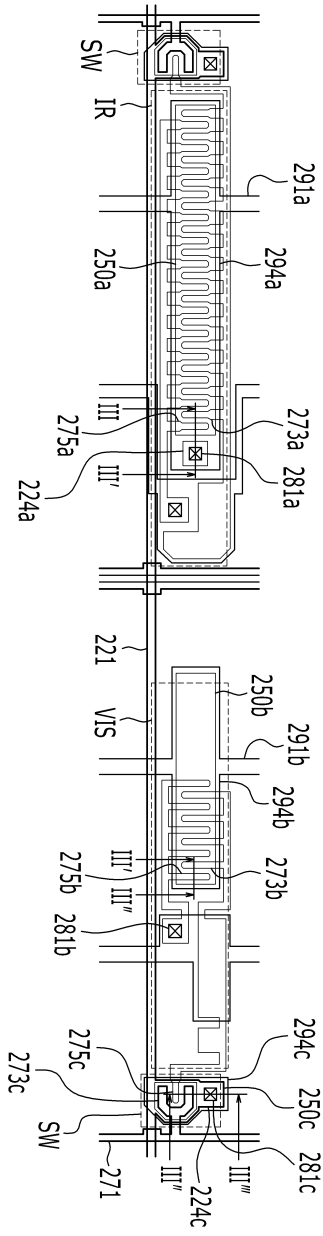
도면4



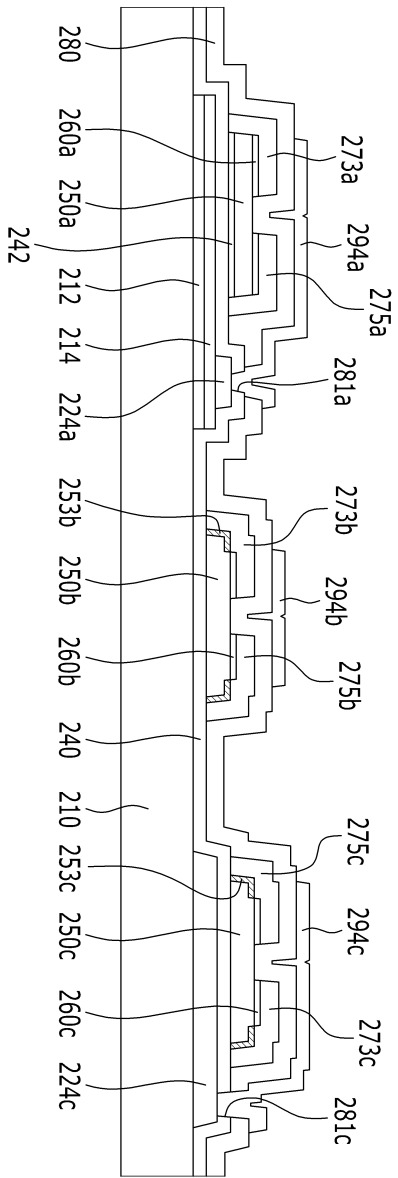
도면5



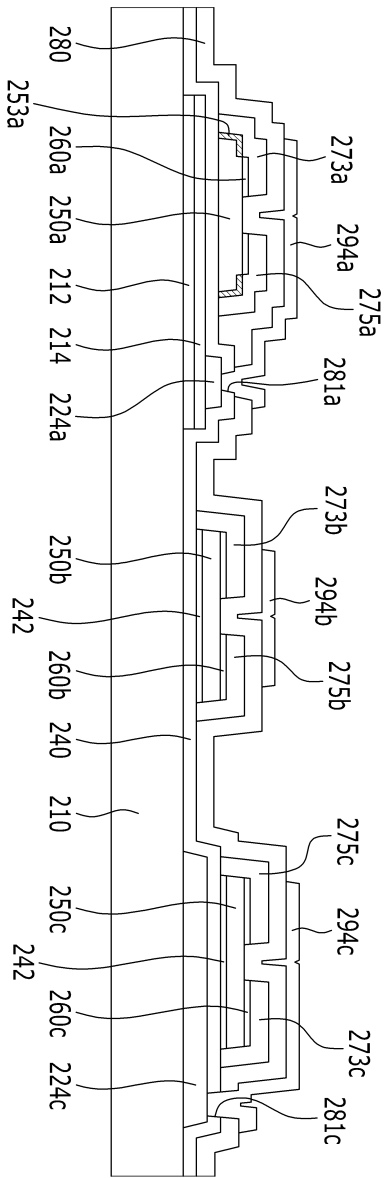
도면6



도면7



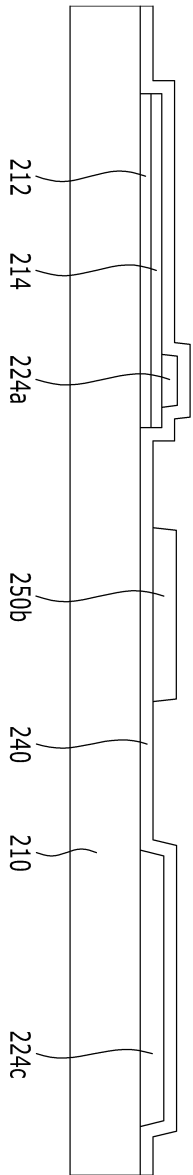
도면8



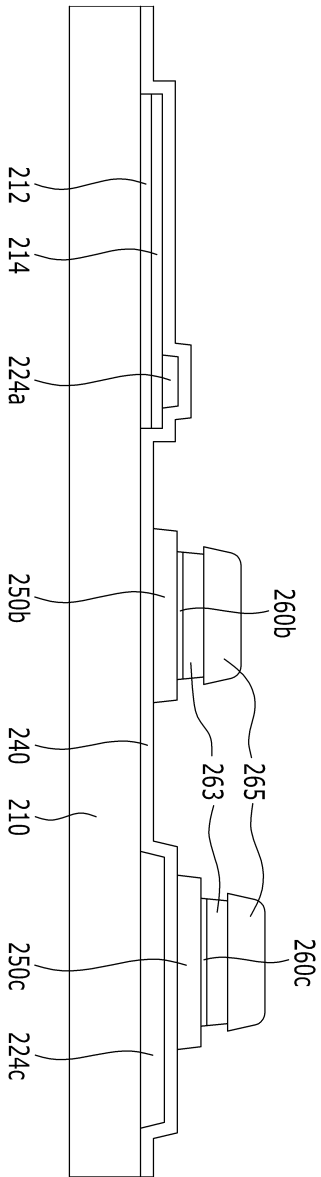
도면9a



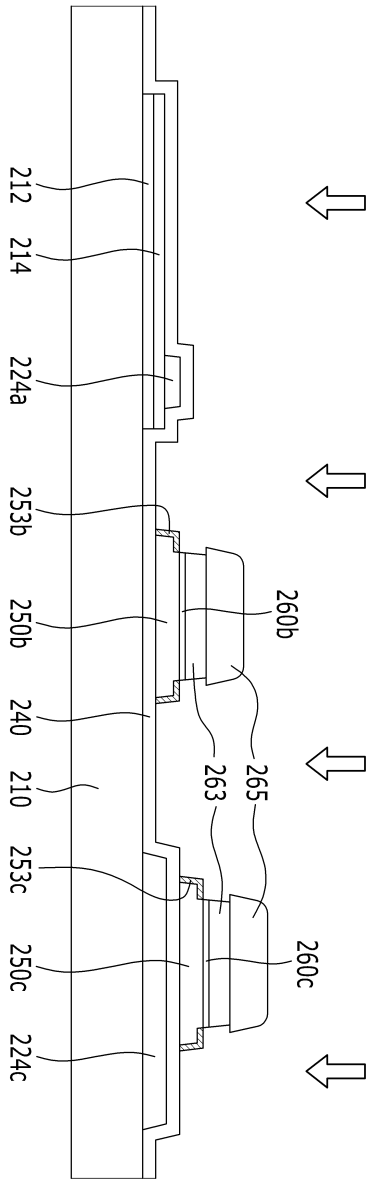
도면9b



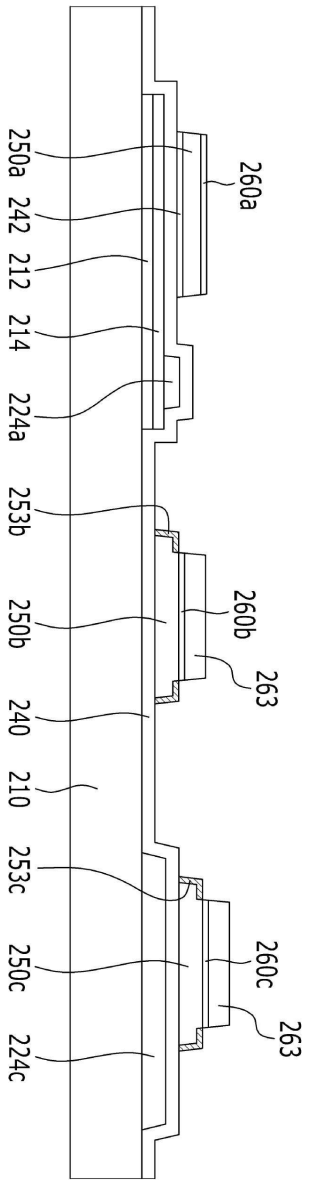
도면9c



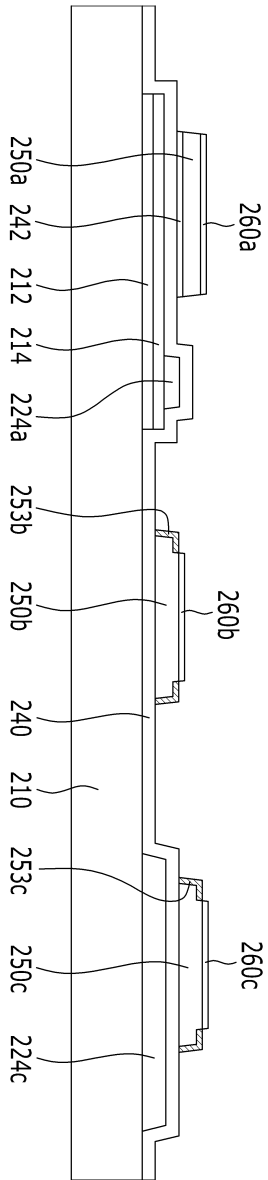
도면9d



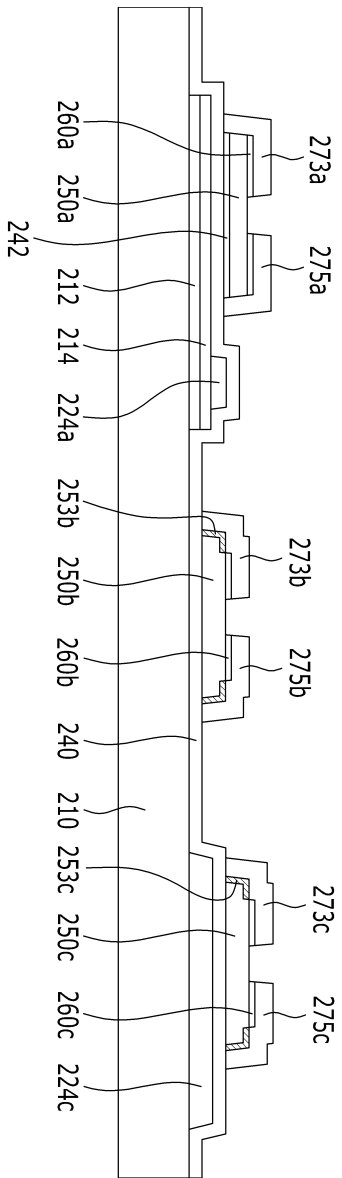
도면9e



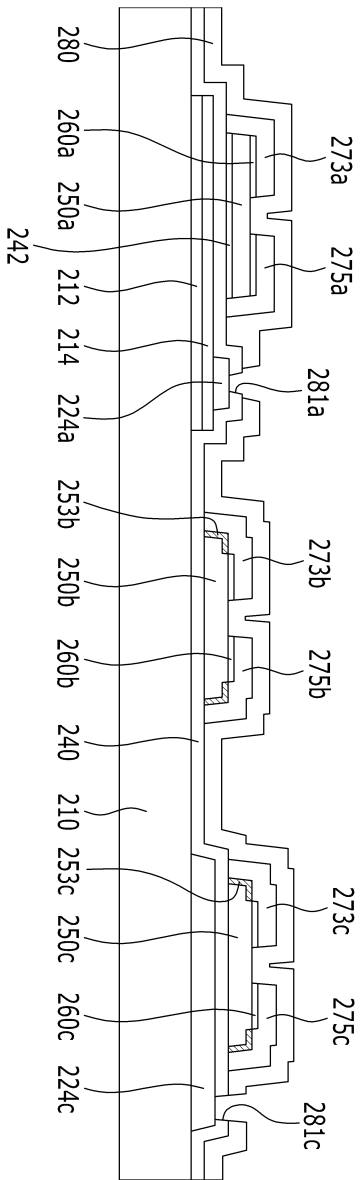
도면9f



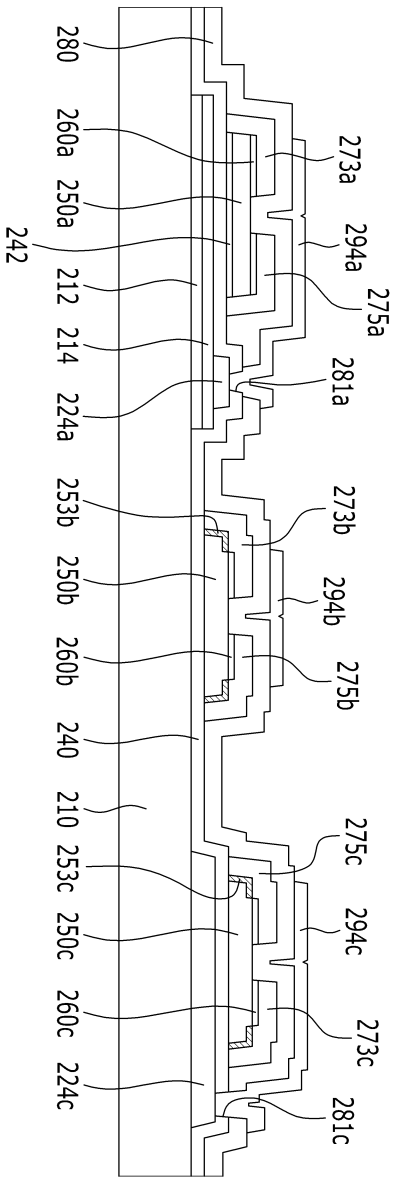
도면9g



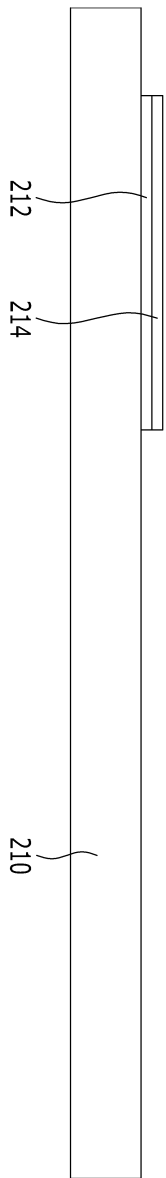
도면9h



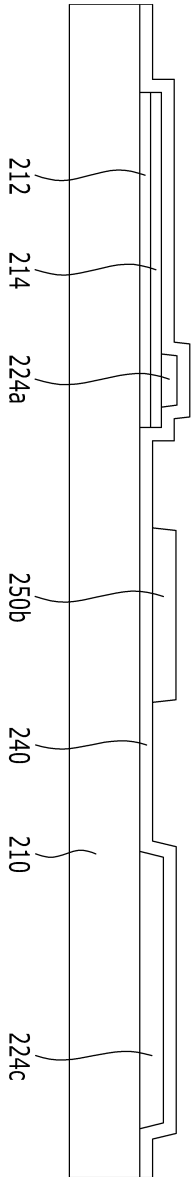
도면9i



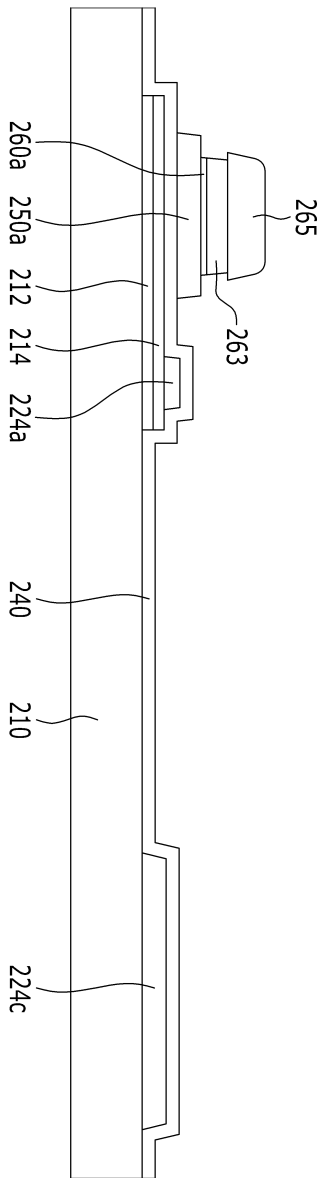
도면10a



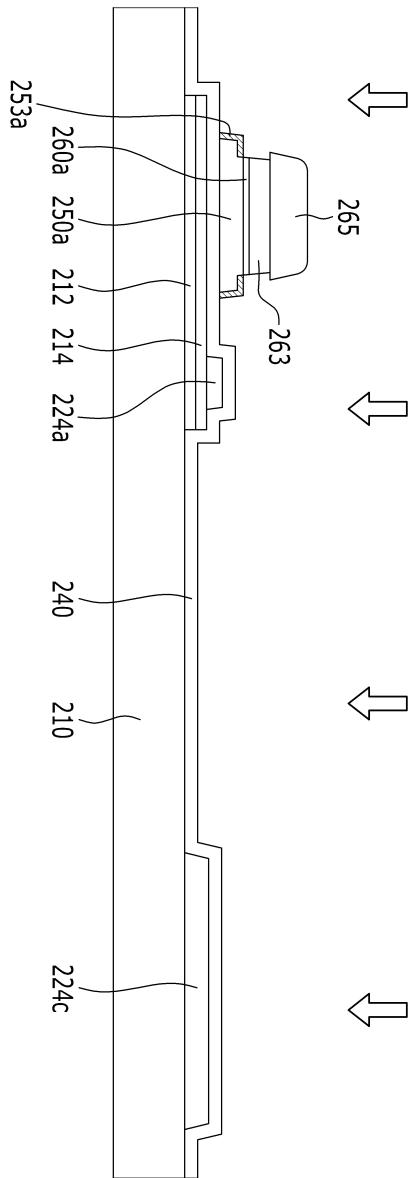
도면10b



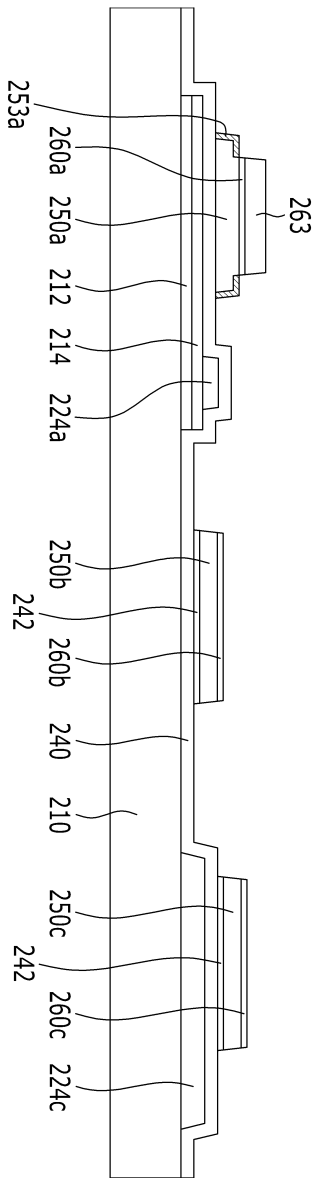
도면10c



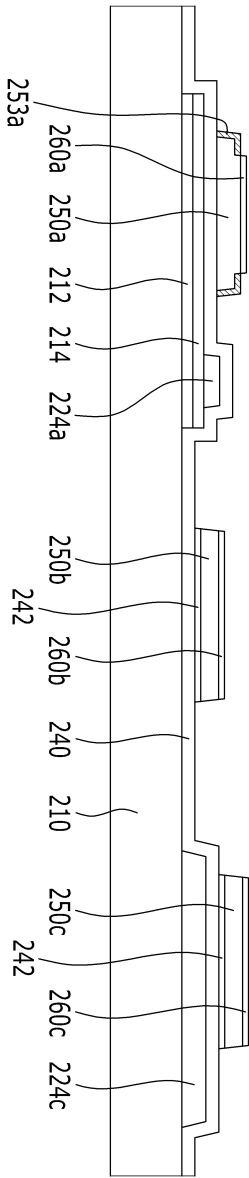
도면10d



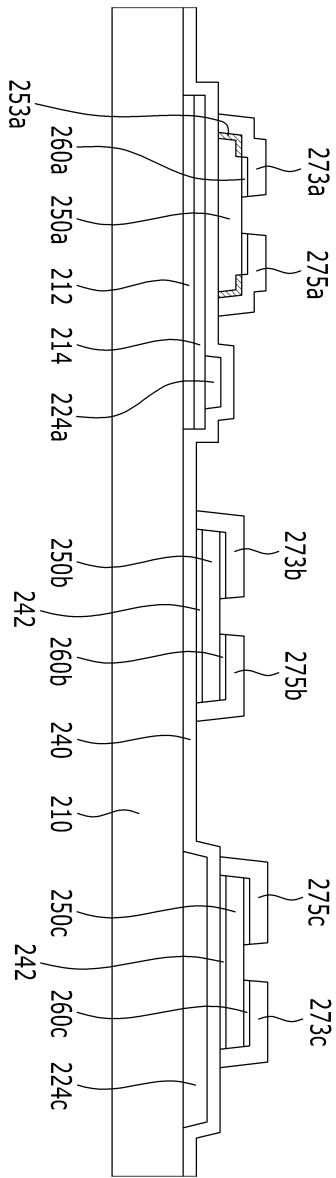
도면10e



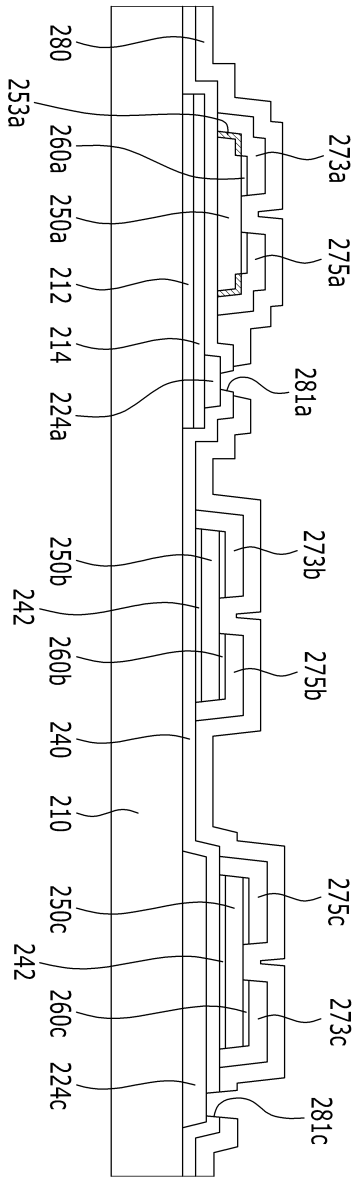
도면10f



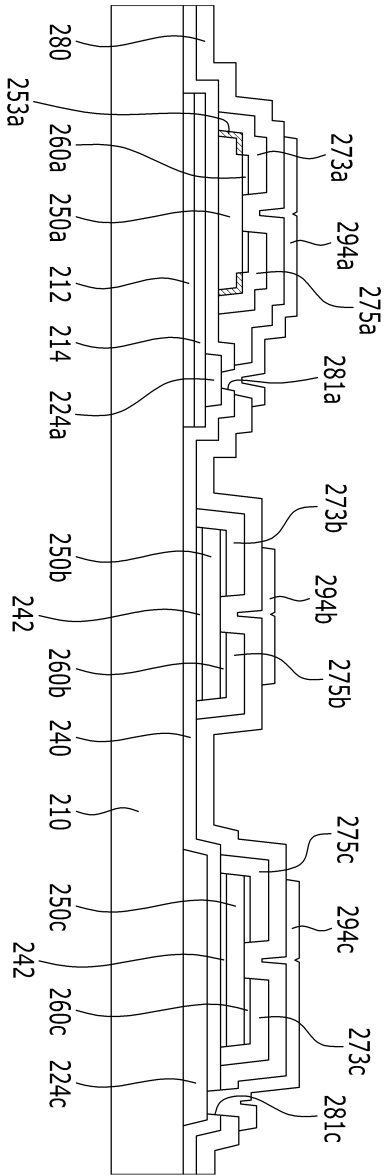
도면10g



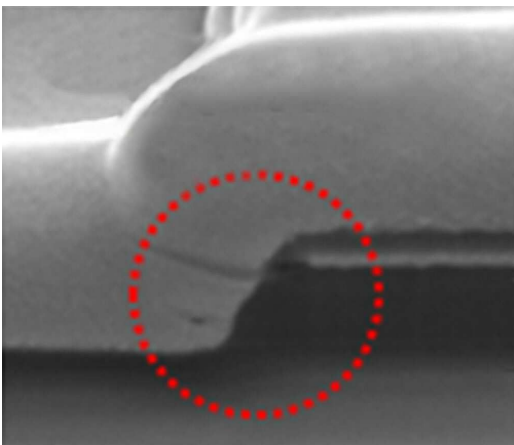
도면10h



도면10i



도면11



도면12

