

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/76

(11) 공개번호 특1996-0043097  
(43) 공개일자 1996년 12월 23일

|           |                                                                                                                                                            |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (21) 출원번호 | 특1995-0012621                                                                                                                                              |
| (22) 출원일자 | 1995년 05월 19일                                                                                                                                              |
| (71) 출원인  | 삼성전자 주식회사 김광호                                                                                                                                              |
| (72) 발명자  | 경기도 수원시 팔달구 매탄동 416번지 (우 : 441-742)<br>박영소<br>경기도 성남시 분당구 정자동 한솔청구아파트 102-1104<br>노병혁<br>경기도 수원시 권선구 호매실동 439-9 신라궁전 B302<br>이원우<br>경기도 수원시 팔달구 원천동 72-111 |
| (74) 대리인  | 이영필, 오규환, 노민식                                                                                                                                              |

**심사청구 : 있음**

## (54) 반도체 장치의 소자 분리 방법

### 요약

트렌치 소자 분리 방법에 있어서, 반도체 기판을 평탄화하는 방법에 관하여 개시한다. 본 발명은 반도체 기판 상에 활성 영역을 둘레를 감싸면서 좁은 폭을 가지는 해자를 갖도록 제1물질층을 식각하여 제1물질층 패턴을 형성하고, 상기 제1물질층 패턴을 마스크로 상기 반도체 기판을 식각하여 트렌치를 형성한다. 이어서, 상기 제1물질층보다 화학기계적 폴리싱이 선택적으로 더 빠르게 되는 제2물질층으로 상기 트렌치 내부를 채우고, 화학 기계적 폴리싱 방법 또는 에치-백 방법으로 상기 제1물질층 패턴 위의 상기 제2물질층을 제거하는 소자 분리 방법을 제공한다. 본 발명에 의하면, 상기 트렌치의 폭이 셀 영역 또는 주변회로 영역에서 비슷한 크기를 가지고 있어, 화학 기계적 폴리싱 또는 에치-백 방법에 의해서 평탄한 표면을 얻을 수 있다.

### 대표도

### 도2

### 명세서

[발명의 명칭]

반도체 장치의 소자 분리 방법

[도면의 간단한 설명]

제2A도는 본 발명에 의해 실리콘 기판(1) 상에 소자 분리를 위하여 트렌치(7,8a)를 형성하는 단계를 나타내는 투시도이다, 제2B도 및 제2C도는 본 발명에 의한 트렌치 소자 분리 방법을 순서대로 보여주는 단면도들이다. 제3A도 및 제3B도는 각각 본 발명의 방법을 적용하여 주변 회로 영역에서 게이트 배선 아래에 소자 분리 영역을 형성하는 것을 보여주는 평면도 및 단면도이다, 제4A도 내지 제4E도는 본 발명의 소자 분리 방법을 적용하여 반도체 장치를 제조하는 방법을 보여주는 단면도들이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

### (57) 청구의 범위

#### 청구항 1

활성 영역을 가지는 반도체 기판의 전면에서 제1물질층을 증착하는 단계; 상기 반도체 기판 상에 활성 영역의 둘레를 감싸는 좁은 폭의 해자를 갖도록 상기 제1물질층을 식각하여 제1물질층 패턴을 형성하는 단계; 상기 제1물질층, 패턴을 마스크로 상기 반도체 기판을 식각하여 트렌치를 형성하는 단계; 제2물질층으로 상기 트렌치 내부를 채우는 단계; 및 상기 제1물질층 패턴 위의 상기 제2물질층을 제거하여 반도체 기판의 전면을 평탄화 하는 단계들을 포함하는 것을 특징으로 하는 소자 분리 방법.

## 청구항 2

제1항에 있어서, 상기 제2물질층의 제거는 화학 기계적 폴리싱 방법 또는 에치-백(etch-back) 방법으로 실시하는 것을 특징으로 하는 소자 분리 방법.

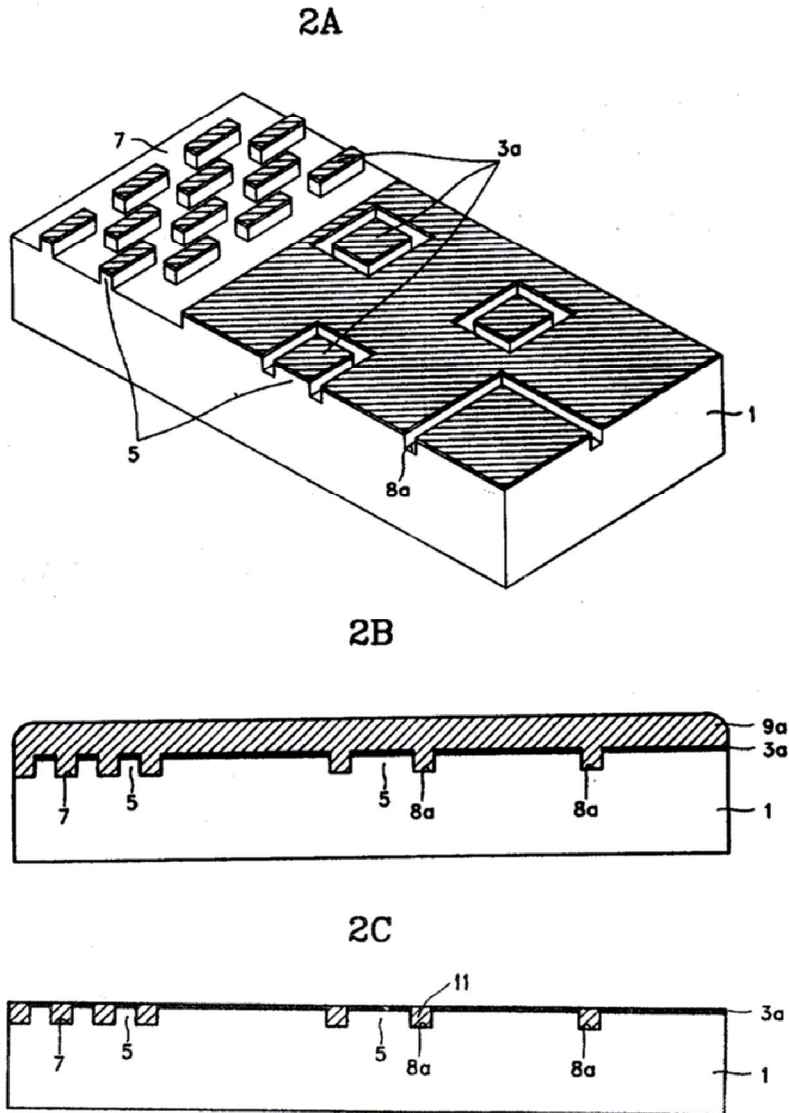
## 청구항 3

제1항에 있어서, 상기 트렌치를 형성하는 단계 후에, 상기 반도체 기판과 동일한 도전형의 불순물을 상기 트렌치 내에 이온 주입하는 단계를 더 구비하는 것을 특징으로 하는 소자 분리 방법.

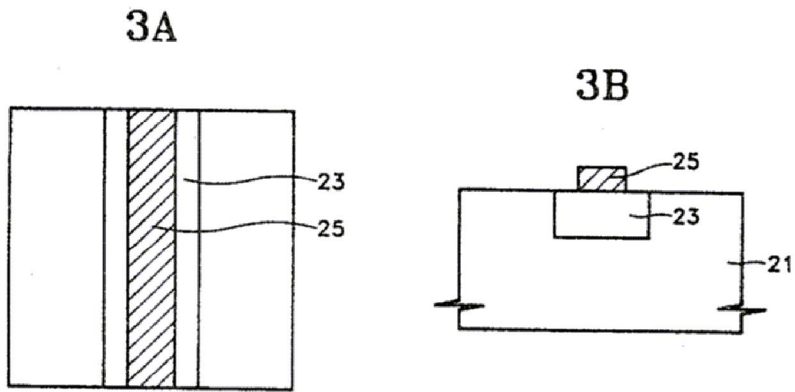
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## 도면

도면2



도면3



도면4

