



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

238 597

K AUTORSKÉMU OSVĚDČENÍ

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 17 05 84

(21) PV 3677-84

(51) Int. Cl.¹

G 06 F 1/04

(40) Zveřejněno 16 04 85

(45) Vydáno 01 12 87

(75)

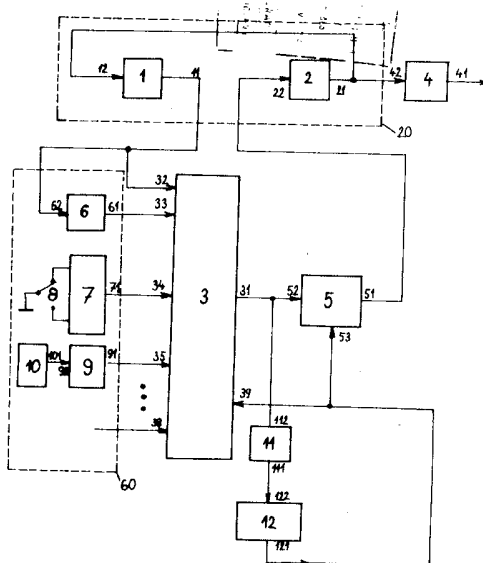
Autor vynálezu

MIRTES OLDŘICH ing., PRAHA

(54)

Zapojení hodinových obvodů s řízenou bodou taktu

Zapojení hodinových obvodů s řízenou dobou taktu se dvěma monostabilními obvody tvořícími hodinový oscilátor. Výstup druhého monostabilního obvodu je spojen se vstupem prvního monostabilního obvodu, jehož výstup je připojen k prvnímu vstupu prvního přepínače, jehož výstup je spojen se vstupem druhého monostabilního obvodu. Další vstupy prvního přepínače jsou spojeny s výstupy synchronizačních obvodů. Zapojení hodinových obvodů s řízenou dobou taktu je určeno pro specializované procesory a jiná programem řízená zařízení.



Vynález se týká zapojení hodinových obvodů s řízenou dobou taktu určených pro specializované procesory a jiná programem řízená zařízení.

Dosud známá zapojení hodinových obvodů mají pevnou dobu taktu, nebo několik dob taktu pevně stanovených a obvykle stabilizovaných pomocí krystalového oscilátoru. Při provádění instrukcí nebo příkazů, zadávaných programem, se pracuje buď s pevným instrukčním cyklem, nebo se program volí podle druhu instrukce jedna z několika délek cyklu. Nevýhodou tohoto řešení je nutnost používat při provádění akcí závislých na vnějších signálech buď programovaných smyček, nebo vnějších zásahů do probíhajících programů, což bývá buď časově nebo materiálově náročné a při časově napjatých akcích může vést k neúnosnému zpoždění reakce na řídicí povely.

Tyto nedostatky známých zapojení hodinových obvodů programem řízených zařízení jsou odstraněny řešením zapojení hodinových obvodů s řízenou dobou taktu podle vynálezu, jehož podstata spočívá v tom, že výstup prvního monostabilního obvodu je připojen k prvnímu vstupu prvního přepínače. Výstup prvního přepínače je spojen se vstupem druhého monostabilního obvodu.

Další vstupy prvního přepínače jsou spojeny s výstupy synchronizačních obvodů.

Druhý vstup prvního přepínače je spojen s výstupem třetího monostabilního obvodu. Vstup třetího monostabilního obvodu je spojen s výstupem prvního monostabilního obvodu.

Třetí vstup prvního přepínače je přes tvarovací obvod spojen s druhým přepínačem.

Čtvrtý vstup prvního přepínače je přes číslicově časový převodník spojen s výstupem zdroje číslicových signálů.

Mezi výstup prvního přepínače a vstup druhého monostabilního obvodu je zapojen logický obvod.

Výstup prvního přepínače je spojen s adresovým vstupem adresových obvodů řídicí paměti.

Řídicí vstup prvního přepínače a řídicí vstup logického obvodu jsou spojeny pomocí řídicího vedení s výstupem řídicí paměti.

Předností uvedeného zapojení hodinových obvodů s řízenou dobou taktu, vyplývající z použití obvodů umožňujících na základě volitelného vnějšího signálu řídit dobu taktu oscilátoru, z něhož se odvozují potřebné hodinové signály, je možnost řídit trvání nebo průběhy různých řídicích akcí bezprostředně z řízených procesů. To jednak přispívá podstatnou měrou k pohodotnosti řídicí aktivity a ke zkrácení reakce systému, jehož jsou hodinové obvody součástí, na vnější děje a jednak může přispět i k snížení spotřeby materiálu nutného k zpracování vnějších signálů.

Příklad blokového schéma zapojení hodinových obvodů v provedení, které objasňuje variabilitu volitelných funkcí /obr.1/ sestává z prvního a druhého monostabilního obvodu 1 a 2, které tvoří hodinový oscilátor 20, přičemž výstup 21 druhého monostabilního obvodu 2 je spojen jednak se vstupem 12 prvního monostabilního obvodu 1 a jednak se vstupem 42 upravovacích obvodů 4. Výstup 11 prvního monostabilního obvodu 1 je připojen k prvnímu vstupu 32 prvního přepínače 3, jehož výstup 31 je přes logický obvod 5 spojen se vstupem 22 druhého monostabilního obvodu 2. Další vstupy 33, 34, 35, 36, 37, 38 prvního přepínače 3 jsou spojeny s výstupy synchronizačních obvodů 60, druhý vstup 33 je spojen s výstupem 61 třetího monostabilního obvodu 6, jehož vstup 62 je spojen s výstupem 11 prvního monostabilního obvodu 1.

Třetí vstup 34 prvního přepínače 3 je spojen s výstupem 71 tvarovacího obvodu 7, jehož vstup je spojen s druhým přepínačem 8. Čtvrtý vstup 35 prvního přepínače 3 je spojen s výstupem 91 číslicově-časového převodníku 9, jehož vstup 92 je spojen s výstupem 101 zdroje 10 číslicových signálů. Výstup 31 prvního přepínače 3 je dále spojen s adresovým vstupem 110 adresových obvodů 11 řídicí paměti 12, jejíž výstup 121 je spojen pomocí řídicího vedení jednak s řídicím vstupem 39 prvního přepínače 3 a jednak s řídicím vstupem 53 logického obvodu 5.

Na obr. ² jsou znázorněny časové průběhy napěťových signálů ve vyznačených bodech obvodu.

Pro interval T_A jsou znázorněny průběhy napěťového signálu na výstupu 11 prvního monostabilního obvodu 1 a na výstupu 21 druhého monostabilního obvodu 2, tj. na výstupu hodinového oscilátoru 20.

Pro interval T_B jsou znázorněny průběhy napětí na výstupu 11 prvního monostabilního obvodu 1, na výstupu 61 třetího monostabilního obvodu 6 a na výstupu 21 druhého monostabilního obvodu 2.

V intervalu T_C jsou znázorněny průběhy napěťových signálů na výstupu 11 prvního monostabilního obvodu 1, na výstupu 71 tvarovacího obvodu 7 a na výstupu 21 druhého monostabilního obvodu 2.

Funkce zapojení hodinových obvodů je následující:

Napěťový signál z výstupu 21 řízeného hodinového oscilátoru 20 je transformován v upravovacích obvodech 4 na soustavu hodinových impulsů na jejich výstupu 41. Synchronizační obvody 60 obsahují prostředky pro vytváření nebo tvarování vystupních signálů na vstupech 33 až 38 prvního přepínače 3. Těmito signály je řízena délka taktu. Logický obvod 5, který může být případně vypuštěn a nahrazen přímým propojením výstupu 31 prvního přepínače 3 se vstupem 22 druhého monostabilního obvodu 2, umožňuje zavést na vstup 22 druhého monostabilního obvodu 2 podle volby skutečné nebo řídicím signálem na řídicím vstupem 53 logického obvodu 5 buď signál z výstupu prvního přepínače 3, nebo inverzi tohoto signálu, tj. realizovat např. logickou operaci

$$51 = 52 \cdot 53 + \overline{52} \cdot \overline{53}$$

Jsou-li první přepínač 3 a logický obvod 5 nastaveny pomocí řídicích signálů na řídicích vstupech 53 a 39 do stavu, ve kterém se

na vstup druhého monostabilního obvodu 2 přivede signál z výstupu 11 prvního monostabilního obvodu 1, je druhý monostabilní obvod 2 /obr.2/ odstartován zápornou změnou signálu z výstupu 11 prvního monostabilního obvodu 1, přičemž první monostabilní obvod 1 je vždy odstartován zápornou změnou signálu na výstupu 21 druhého monostabilního obvodu 2 /situace v intervalu T_A /. Za těchto okolností má napěťový signál z výstupu 21 řízeného hodinového oscilátoru 20 pevný kmitočet, jehož perioda je dána dobami výkyvu /taktů/ T_1 a T_2 obou monostabilních obvodů 1 a 2.

V intervalu T_B jsou první přepínač 3 a logický obvod 5 ve stavu, kdy se na vstup 22 druhého monostabilního obvodu 2 dostává napěťový signál z výstupu 61 třetího monostabilního obvodu 6 spouštěného zápornou změnou signálu z výstupu 11 prvního monostabilního obvodu 1. Za těchto okolností se prodlužuje doba výkyvu T_1 prvního monostabilního obvodu 1 o dobu výkyvu T_6 třetího monostabilního obvodu 6. Perioda hodinového kmitočtu je dána součtem pevně dané doby taktu T_2 a řízené doby taktu, složené v tomto případě z doby taktu T_1 prvního monostabilního obvodu 1 a doby taktu T_6 třetího monostabilního obvodu 6.

V intervalu T_C je ve funkci třetí vstup 34 prvního přepínače 3. Druhý monostabilní obvod 2 je odstartován zápornou změnou napěťového signálu z výstupu 71 tvarovacího obvodu 7 vyvolanou přepnutím druhého přepínače 8. V tomto případě se doba prvního taktu výstupního signálu řízeného hodinového oscilátoru 20 prodlužuje o interval T_7 .

Číslicově časový převodník 9 řízený číslicovým vstupem 92 může pracovat jako třetí monostabilní obvod 6, ale doba jeho výkyvu je úměrná hodnotě zadaného číslicového vstupu. Napěťový signál na vstupu 38 prvního přepínače 3 může být přiveden z procesu řízeného programovým zařízením, jehož jsou hodinové obvody s řízenou dobou taktu součástí a umožnit po přepnutí prvního přepínače 3 do polohy příslušné vstupu 38 a logického obvodu 5 do stavu zajišťujícího invertování napěťového signálu na jeho vstupu 52 prodloužení doby T_1 prvního taktu hodinového kmitočtu do okamžiku kladné změny signálu na vstupu 38 prvního přepínače 3.

Pro využití součástí hodinových obvodů k řízení průběhu programů je v zapojení napěťový signál z výstupu 31 prvního přepínače 3 přiveden na vstup 112 adresových obvodů 11 řídicí pamě-

ti 12, která je na svém výstupu 121 zdrojem signálů řídicího vedení, použitého i k řízení prvního přepínače 3 na jeho řídicím vstupu 39 a logického obvodu 5 na jeho řídicím vstupu 53. Adresové obvody 11 jsou připojeny svým adresovým výstupem 111 k adresovému vstupu 122 řídicí paměti 12.

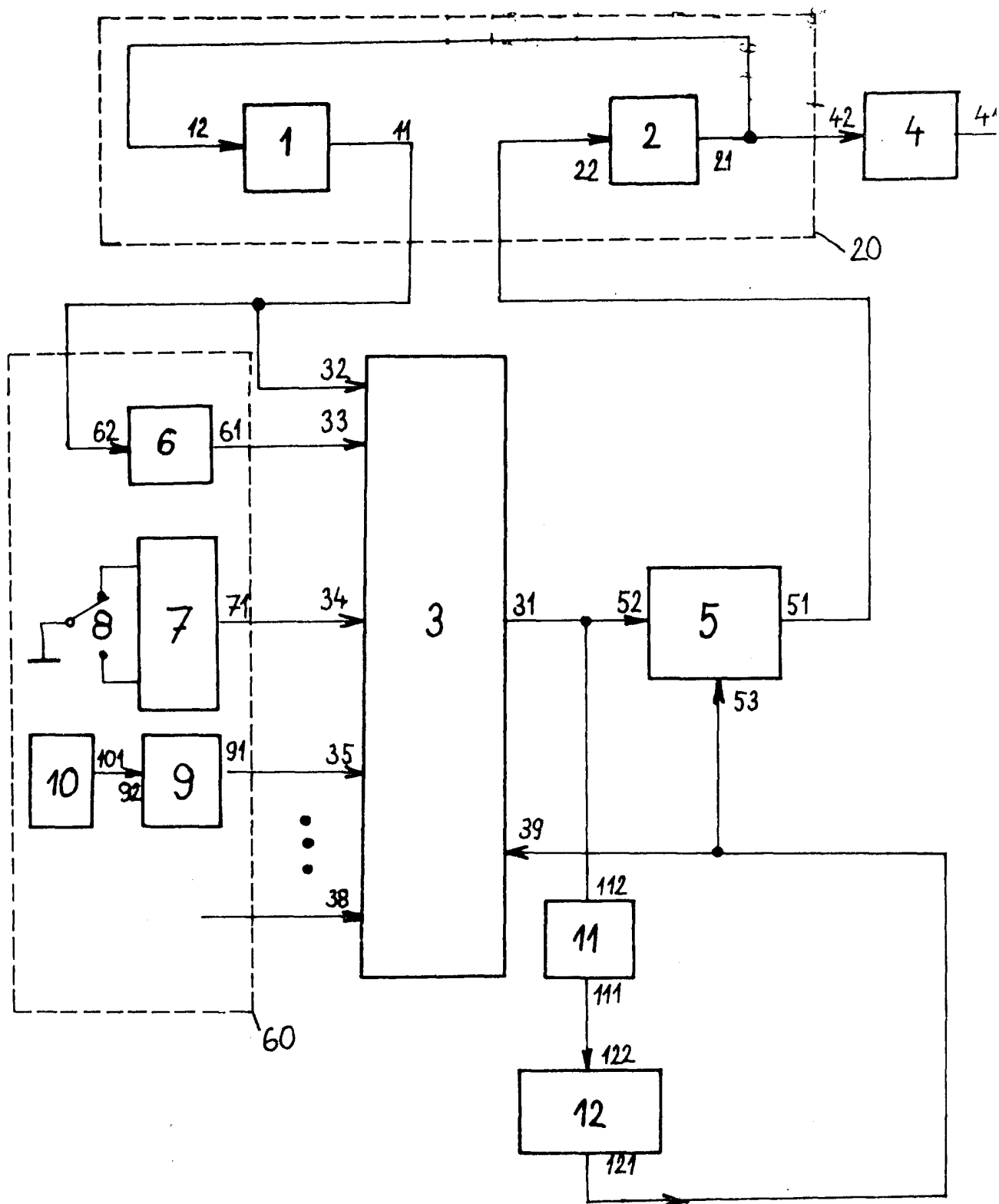
P ř e d m ě t v y n á l e z u

238 597

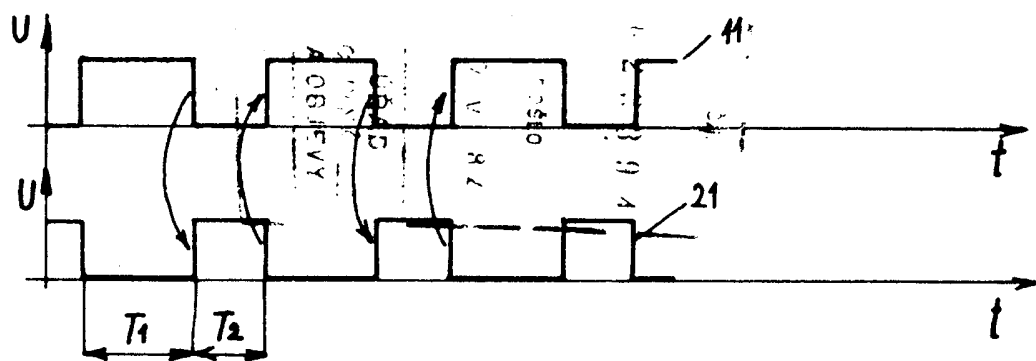
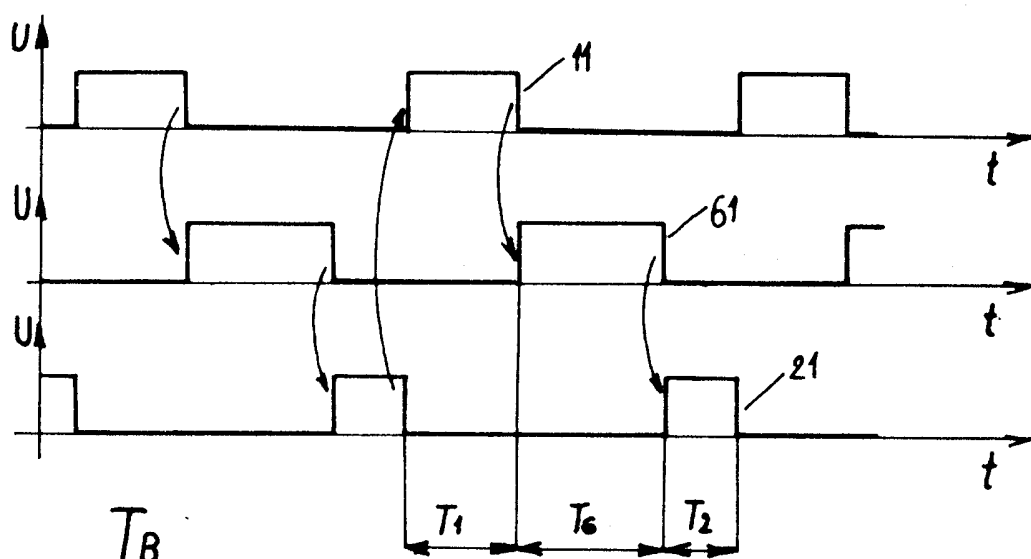
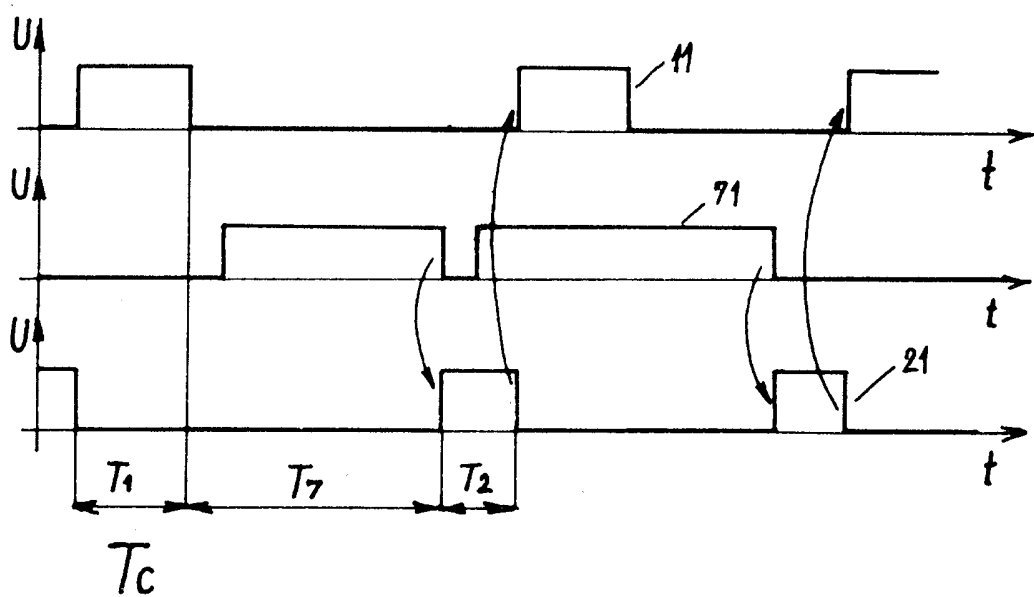
1. Zapojení hodinových obvodů s řízenou dobou taktu se dvěma monostabilními obvody, tvořícími hodinový oscilátor, přičemž výstup druhého monostabilního obvodu je spojen se vstupem prvního monostabilního obvodu,
v y z n a ě n é t í m , že výstup /11/ prvního monostabilního obvodu /1/ je připojen k prvnímu vstupu /32/ prvního přepínače /3/, jehož výstup /31/ je spojen se vstupem /22/ druhého monostabilního obvodu /2/, přičemž další vstupy /33, 34, 35, 36, 37, 38/ prvního přepínače /3/ jsou spojeny s výstupy synchronizačních obvodů /60/.
2. Zapojení hodinových obvodů podle bodu 1.,
v y z n a ě n é t í m , že druhý vstup /33/ prvního přepínače /3/ je spojen s výstupem /61/ třetího monostabilního obvodu, jehož vstup /62/ je spojen s výstupem prvního monostabilního obvodu /1/.
3. Zapojení hodinových obvodů podle bodu 1. a 2.,
v y z n a ě n é t í m , že třetí vstup /34/ prvního přepínače /3/ je přes tvarovací obvod /7/ spojen s druhým přepínačem /8/.
4. Zapojení hodinových obvodů podle bodu 1., 2. a 3.,
v y z n a ě n é t í m , že čtvrtý vstup /35/ prvního přepínače /3/ je přes číslicově časový převodník /9/ spojen s výstupem /101/ zdroje /10/ číslicových signálů.
5. Zapojení hodinových obvodů podle bodů 1. až 4.,
v y z n a ě n é t í m , že mezi výstup /31/ prvního přepínače /3/ a vstup /22/ druhého monostabilního obvodu /2/ je zapojen logický obvod /5/.
6. Zapojení hodinových obvodů podle bodů 1. až 5.,
v y z n a ě n é t í m , že výstup /31/ prvního přepínače /3/ je spojen s adresovým vstupem /112/ adresových obvodů /11/ řídicí paměti /12/.

7. Zapojení hodinových obvodů podle bodů 1. až 6.,
v y z n a č e n é t í m , že řídicí vstup /39/ prvního
přepínače /3/ a řídicí vstup /53/ logického obvodu /5/ jsou
spojeny pomocí řídicího vedení s výstupem /121/ řídicí
paměti /12/.

2 výkresy



Obr. 1


 T_A

 T_B

 T_C