

公告本

申請日期	91 年 1 月 29 日
案 號	91101484
類 別	H03K 17/687

A4
C4

(以上各欄由本局填註)

565999

發明專利說明書

一、發明 名稱	中 文	高頻金屬氧化物半導體場效電晶體 (MOSFET) 開關
	英 文	High frequency MOSFET switch
二、發明 創作人	姓 名	(1) 崔諾·古德爾 Goodell, Trenor F.
	國 籍	(1) 美國
三、申請人	住、居所	(1) 美國緬因州皮克斯島中央路二十七號 27 Central Avenue, Peaks Island, Maine 04108, U.S.A.
	代 表 人 姓 名	(1) 史蒂芬·史考特 Schott, Stephen

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2001 年 2 月 9 日 09/780,199 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (1)

發明之背景

1 . 發明之領域

本發明係關於電子開關。本發明尤指半導體開關，包括以一個或多個金屬氧化物半導體場效電晶體 (metal-oxide-semiconductorfieldeffecttransistor，簡稱 M O S F E T) 所形成者。本發明尤指能在相對高頻，包括約為一千兆赫之頻率切換之半導體開關。

1 . 先前技藝之說明

在半導體技術之發展業已能生產低成本，高度可靠之開關，其有效為機械繼電器之實施。其在實施為單刀單擲型繼電器時，經發現具有特定用途，但不限制於此。由於可利用之高切換速度，以及其能傳送相對高電流而不故障，半導體開關越來越多使用作為供先前機械繼電器之替代品。此等開關常稱作傳送閘或通過電晶體，因為其採用電晶體——通常為金屬氧化物半導體 (metal-oxide-semiconductor，簡稱 M O S) 電晶體——之特徵，而允許或是防止信號之通過。

開關廣為使用在很多領域，係人們所熟知者。其使用在所有各種大型及小型消費性產品，包括，但不限制於汽車及家用電子產品。其可為並予以使用作為類比路由器，閘，及繼電器。其也予以使用作為數位多工器，路由器，及閘。

在圖 1 中示一種通用 P - 型金屬氧化物半導體 (P-

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

typemetal-oxide-semiconductor, 簡稱 P M O S) 電晶體開關。開關基本上為 P M O S 電晶體 M 1 , 有一源極連接至節點 A , 及一汲極連接至節點 B , 供在節點 A 與 B 之間調節信號傳輸之目的。開關 M 1 之控制閘, 藉由自外部控制電路連接至致能信號輸入節點 E N 予以致能。E N 常藉由一反相器鏈, 包括一對或多對反相器, 諸如反相器 I V 1 及 I V 2 , 連接至 M 1 之閘。反相器 I V 1 及 I V 2 藉一標示為 V c c 之高電位電源軌條, 及一標示為 G N D 之低電位電源軌條予以供電。開關電晶體之基本部份連接至高電位電源軌條。在操作時, 一加在 E N 之邏輯低傳播通過反相器鏈, 以接通 M 1 , 從而允許一信號在節點 A 與 B 之間通過, 不論是自 A 至 B 或自 B 至 A 。一在 E N 之邏輯高使 M 1 斷開, 從而阻斷節點 A 與 B 間之信號傳播。

為供促進討論本發明之例示目的, 圖示線路電阻 R 1 及 R 2 , 並示寄生電容 C 1 , C 2 , 及 C 3 。電阻 R 1 及 R 2 表示與連接至電晶體開關電路之電路關連之阻抗。該阻抗可為若干預期值; 例如, 在某些應用, 電阻 R 1 及 R 2 通常約為 5 0 歐姆。然而, 重要的是, 請察知本發明不制於與外部電路關連之任何特定負載阻抗。

繼續關於圖 1 之討論, 電容 C 1 表示與電晶體結構之閘-源介面關連之阻抗, 電容 C 2 表示與電晶體結構之汲極-閘介面關連之阻抗, 及電容 C 3 表示與電晶體結構之閘-基本部份介面(一般為一閘氧化物層)關連之阻抗。請予察知, 可採用一種 N - 型金屬氧化物半導體電晶體,

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

以進行一與藉 P M O S 電晶體 M 1 所提供者互補之相同切換功能，而在反相器鏈及電晶體之基本部份至 G N D 之連接有適當修改，代替 V c c，並考慮到精於 N M O S (N 型金屬氧化物半導體) 及 P M O S 電晶體之技藝者所瞭解之某些差異。

金屬氧化物半導體電晶體為合乎希望，因為其操作消耗很少功率。當製造技術進步時，此等結構可有效操作之電源電位及切換速度有所改進。不過，以圖 1 中所示方式構形之大多數矽金屬氧化物半導體電晶體開關，經確定在此等信號超過約為 4 0 0 M H z 之傳輸頻率時，在 A 與 B 之間傳播信號便有顯著困難。減少 M 1 之大小，似乎可藉以改進此特徵；然而，有一不希望有之折衷涉及在電晶體之接通電阻之增加。除了保持電晶體在電阻低之總體利益外，在評量結構之傳送功能時，淨結果在頻率性能可能很少或無增益。

圖 1 中所示開關電晶體之阻抗之分析，導致瞭解與該裝置關連之傳播頻率限制。特別是，當傳輸信號傳播頻率超過 3 0 0 M H z，例如，與僅只藉電阻 R 1 及 R 2，及閘連接電容 C 1，C 2，及 C 3 所標示系統之特徵關連之阻抗，開始支配轉移功能。因此，在此種頻率及較高，在連接至 V c c 之電晶體之基本部份與 G N D (通過致能 M 1 之反相器 I V 2) 之間建立一分流或短路。在此等頻率支配阻抗，導致所將通過信號之不可接受之衰減。如較早所提及，這無法藉減少 M 1 之閘大小予以解決，因為這

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

不合宜抬高接通電阻。

供大多數計算應用，金屬氧化物半導體電晶體開關之頻率限制為很少關係。然而，當增加操作帶寬能力之驅策增加時，諸如在視頻傳輸領域，例如，金屬氧化物半導體電晶體開關便較大需要可通過相對較高頻傳輸，而有最少損失。因此，所需要者為一種半導體電路，其作用如一供數位及類比操作之開關。也需要者為一種半導體開關電路，其在一陣列之預期電源電位可操作如一傳送閘或通過閘。而且，所需要者為一M O S F E T - 基開關電路，能傳播相對高頻信號，而有最少衰減。另外所需要者為一種在與電晶體電路關連之接通電阻傳播高頻傳輸，而有最少效應之開關電路

發明之概述

本發明之一項目的，為提供一種半導體電路，其作用如一供數位及類比操作之開關。本發明一項之目的，也為提供一種半導體開關，其為一可供寬廣範圍之電源電位操作之傳送閘或通過閘。本發明之另一目的，為提供一種能傳播相對高頻信號，而有最少衰減之M O S F E T - 基開關電路。本發明之另一目的，為提供此種傳播高頻傳輸，而對與M O S F E T - 基通過閘結構關連之接通電阻有最少效應之開關電路。

此等及其他諸多目的，係在本發明藉增加與用以建立通過閘之現有M O S F E T 結構關連之分流路徑之阻抗所

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

達成。特別是，將一阻抗元件，諸如一電阻性裝置，一電容性裝置，或其一種組合，連接在通過閘電晶體之閘與一電源軌條之間。阻抗元件用以使通過閘電晶體之閘與確定閘電位之電源軌條解除連接。另外，可將此種阻抗元件連接在通過閘電晶體之基本部份與電源軌條之間，再次將基本部份連接至此電源軌條，以使通過閘電晶體之該部份與該特定電源軌條解除連接。供一 P M O S 電晶體，基本部份通常直接連接至高電位軌條，及供所有 N M O S 電晶體，基本部份通常連接至低電位軌條。採用作為通過閘電晶體之習知金屬氧化物半導體電晶體結構業經確定，一大於系統之阻抗之阻抗，較佳為至少雙倍可傳播通過本發明之電路之實際未衰減信號頻率。當然，所採用之特定阻抗，除別項因素外，可選擇為通過閘之特定特徵，所考慮之操作頻率，及在電路之預期負載之函數。另外，請予察知，任何非零阻抗補充，均將會改進開關之響應性能。

本發明之阻抗元件與通過閘電晶體之寄生電容路徑串聯連接，以便增加此等路徑之總阻抗。因此，電容路徑所建立之先前分流，實際被取消，特別是在考慮傳播較高頻之狀況下。在所有其他方面，本發明之通過閘電晶體電路允許信號傳輸如預期供習知互補金屬氧化物半導體 (complementary MOS, 簡稱 C M O S) 開關裝置。

本發明適合使用在對高頻率切換有興趣之一系列廣泛的應用。在最基本層次上，通過閘電路完成個別信號自一位置傳播至另一位置。聯接在一起，他們能夠操作以傳播

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

大量信號集，以便建立產生增加複雜性之結果的資料傳輸系統。在一基本層次上，通過閘電路可以被用來形成匯流排及底板，他們是被設計來在諸分開裝置中致能信號之傳播的互連裝置。局部或內部匯流排提供信號路徑，供在分開裝置，諸如微處理器內之傳播。微處理器系統中所包含之局部匯流排的類型包括 I S A 、 E I S A 、 MicroChannel 、 V L - 匯流排及 P C I 匯流排。連接周邊系統，諸如印表機、鍵盤、等等之匯流排的例子包括 NuBus 、 TURBOchannel 、 VMEbus 、 MULTIBUS 及 S T D 匯流排。每一個此種類型之信號傳輸系統能夠操作僅如被用來建立此系統之組件一樣地有效。在任何此種匯流排，以及被用來使印刷電路板互相連接之底板結構中，可採用諸如本發明之改良的通過閘電路，以增加傳播速率。對於視頻及圖形信號傳輸來說，特別是包括用於扁平螢幕面板，介面，諸如低電壓微分發訊 (Low Voltage Differential Signaling, 簡稱 L V D S) 、 傳輸最小化微分發訊 (Transmission Minimized Differential Signaling, 簡稱 T M D S) 、 非同步傳送模式 (Asynchronous Transfer Mode, 簡稱 A T M) 、 及數位視訊介面 (Digital Visual Interface, 簡稱 D V I) ， 被設計來致能此等傳輸。本發明建立為此等介面標準所需要之類型的傳輸頻寬。增加之傳播速率對密集資料封包之快速傳送來說特別重要。被用來將資料封包自一位置傳送至另一位置之改進路由器、愈來愈依賴開關電路，以提高透過區域及廣域網路的資料傳送。對於藉電線、光學及無

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

線連接所傳遞之高品質視頻，圖形、資料、及語音傳輸，情形尤其是如此。路由器被用來控制在諸裝置當中信號通信量之流動，並係依各種信號傳輸協定之辨識而定。此等協定包括（但不限於）IP、IPX、AppleTalk、DECnet。改進之切換電路，諸如本發明之電路，協助並增強此等信號路由器之操作。當然，本發明適合使用在任何電腦系統，諸如個人電腦、個人數位裝置、電信裝置、及需要快速高品質信號傳播的其他電子系統。檢視本發明之下列較佳實施例之詳細說明，附圖，及後附申請專利範圍，將會明白本發明之此等及其他諸多優點。

附圖之簡要說明

圖1為一有一單一加強模式NMOS電晶體作為傳送裝置之先前技藝傳送閘之簡化略圖。

圖2為本發明之高頻開關電路之簡化示意方塊圖，示一PMOS通過閘電晶體連接至一對阻抗元件，其均為可連接至一擴充電路。

圖3為本發明之高頻開關電路之簡化示意方塊圖，示一NMOS通過閘電晶體連接至一對阻抗元件，其均為可連接至一擴充電路。

圖4為圖2之高頻開關電路第一實施例之簡化電路圖，示阻抗元件如具有控制分流之電阻性元件。

圖5為圖2之高頻開關電路第二實施例之簡化電路圖，示阻抗元件如具有控制分流之二極管接線金屬氧化物半

五、發明說明(8)

導體結構。

圖 6 為伯德曲線圖，示本發明之高頻開關電路之頻率響應，與圖 1 之先前技藝傳送電路之頻率響應之比較。

圖 7 為形成一電腦系統的一部份之本發明開關電路的簡化方塊圖，其包括作為一部份匯流排及作為一部份底板。

圖 8 為形成一路由器的一部份之本發明開關電路的簡化方塊圖。

圖 9 為形成一平板螢幕顯示器系統的一部份之本發明開關電路的簡化方塊圖。

主要元件對照表

1 0	高頻開關電路
1 0 '	電路
1 0 "	電路
2 0	反相器級
3 0	第一阻抗元件
4 0	第二阻抗元件
1 0 0	高頻開關電路
1 0 1	第一記憶體元件
1 0 2	第二記憶體元件
1 0 3	內部匯流排
1 0 4	第一輸入／輸出

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

- | | |
|-------|---------|
| 1 0 5 | 第二輸入／輸出 |
| 1 0 6 | 鍵盤 |
| 1 0 7 | 顯示器 |
| 1 0 8 | 線路 |
| 1 0 9 | 線路 |
| 1 1 0 | 線路 |
| 1 1 1 | 線路 |
| 1 1 2 | 線路 |
| 1 2 0 | 反相器級 |
| 1 3 0 | 第一阻抗元件 |
| 1 4 0 | 第二阻抗元件 |
| 2 1 0 | 網路系統 |
| 2 2 0 | 網路系統 |
| 2 3 0 | 網路系統 |
| 2 4 0 | 網路系統 |
| 2 5 0 | 網路系統 |
| 3 0 0 | 平板顯示器系統 |
| 3 0 1 | 平板顯示器 |
| 3 0 2 | 板介面 |
| 3 0 3 | 影像定標器 |
| 3 0 4 | 畫格速率轉換器 |
| 3 0 5 | 數位介面裝置 |
| 3 0 6 | 類比介面裝置 |
| 3 0 7 | 視頻解碼器 |

五、發明說明 (10)

A	節點
B	節點
C 1	寄生電容
C 2	寄生電容
C 3	寄生電容
E N	致能信號輸入節點
G N D	低電位電源軌條
I V 1	反相器
I V 2	反相器
M 1	P M O S 電晶體
M 2	N M O S 電晶體
M 3	P M O S 電晶體
M 4	P M O S 電晶體
M 5	N M O S 電晶體
M 6	P M O S 電晶體
R 1	電阻
R 2	電阻
R 3	電阻器
R 4	電阻器
V c c	高電位電源軌條

發明之較佳實施例之詳細說明

圖 2 中示本發明之一高頻開關電路 1 0 。電路 1 0 包括一反相器級 2 0 ，較佳為以反相器 I V 1 及 I V 2 ，以

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

及 P M O S 通過閘電晶體 M 1 所形成，很像圖 1 中所示之先前技藝開關。當然，反相器級 2 0 可以許多對反相器，或若干替代性形式之啟動信號傳播機構形成。電路 1 0 也包括一第一阻抗元件 3 0 及一第二阻抗元件 4 0，其中元件 3 0 予以連接在反相器級 2 0 之輸出與 M 1 之閘之間，及元件 4 0 予以連接在 M 1 之基本部份與高電位電源軌條 V c c 之間。一藉輸出致能節點 E N 來自一控制電路（未示）之致能信號，較佳為連接至反相器級 2 0 之輸入，以藉其閘實際界定電晶體 M 1 之操作控制。反相器 I V 1 及 I V 2 一般藉高電位軌條 V c c 及低電位軌條 G N D 予以供電。請予察知，第一阻抗元件 3 0 如果其作用使該閘與電源軌條解除連接，則可以一種替代性方式連接至 M 1 之閘。關於第二阻抗元件 4 0 之連接可說是相同。

電晶體 M 1 為節點 A 與 B 之間信號傳送之主要調節器。依信號在連接至此二節點之外部電路通過之方向而定，節點 A 或節點 B 均可為一輸入節點或一輸出節點。元件 3 0 及 4 0 予以設計為分別在 M 1 之閘與級 2 0 之輸出以及 M 1 之基本部份與 V c c 之間提供串聯阻抗。結果為一先前以電晶體 M 1 之寄生電容為其特徵，其否則將會在 3 5 0 M H z 或更高之相對高頻支配之相對高阻抗路徑。

圖 3 中示一供一 N M O S 通過閘電晶體 M 2 之同等高頻開關電路 1 0 0。電路 1 0 0 包括一較佳為以反相器 I V 1 及 N M O S 通過閘電晶體 M 2 所形成之反相器級 1 2 0。當然，反相器級 1 2 0 可以奇數之許多反相器，

五、發明說明 (12)

或若干替代性形式之致能信號傳播機構形成。另外，電路 1 0 0 包括一第一阻抗元件 1 3 0 及一第二阻抗元件 1 4 0，其中元件 1 3 0 予以連接在反相器級 1 2 0 之輸出與 M 2 之閘之間，以及元件 1 4 0 予以連接在 M 1 之基本部份與 G N D 之間。一藉輸出致能節點 E N 來自一控制電路（未示）之致能信號，較佳為連接至反相器級 1 2 0 之輸入，以藉其閘實際界定電晶體 M 2 之操作控制。

V c c 與 G N D 一般對反相器 I V 1 供電。電晶體 M 1 為節點 A 與 B 之間信號傳送之主要調節器。依信號在連接至此二節點之外部電路通過之方向而定，節點 A 或節點 B 均可為一輸入節點或一輸出節點。元件 1 3 0 及 1 4 0 予以設計為分別在 M 2 之閘與級 1 2 0 之輸出以及 M 2 之基本部份與 V c c 之間提供串聯阻抗。結果為一先前以電晶體 M 2 之寄生電容為其特徵，其否則將會在 3 5 0 M H z 或更高之相對高頻支配之相對高阻抗路徑。

圖 4 例示圖 2 中所示 P M O S 基高頻開關電路之一種較佳實施例。電路 1 0' 包括反相器級 2 0，第一阻抗元件 3 0，第二阻抗元件 4 0，及通過閘電晶體 M 1。阻抗元件 3 0 包括電阻器 R 3，有一高電位節點連接至 I V 2 之輸出，及一低電位節點連接至 M 1 之閘。元件 3 0 另包括 P M O S 分流控制電晶體 M 3，其閘連接至反相器

I V 1 之輸出，其源極連接至 V c c，及其汲極也連接至 M 1 之閘。阻抗元件 4 0 包括電阻器 R 4，有一高電位節點連接至 V c c 及一低電位節點連接至 M 1 之基本部份。

五、發明說明 (13)

元件 40 另包括 P M O S 分流控制電晶體 M 4，其閘連接至反相器 I V 1 之輸出，其源連接至 V c c，及其汲極連接至 M 1 之基本部份。電阻器 R 3 及 R 4 較佳為各有一約一千歐姆之電阻。

在操作時，圖 4 之電路 10' 在閘及 M 1 之基本部份提供先前不存在之相對高阻抗路徑。所例示之組態，較之於藉圖 1 之先前技藝電路所建立者，完成電路 10' 在頻率響應之顯著變化。特別是，在邏輯 L O 加至 E N 時，

I V 1 之輸出便將邏輯 H I G H 加至閘電晶體之 M 3 及 M 4，從而使此等電晶體斷開，並使信號路徑固定至閘及 M 1 之基本部份。在 E N 之 L O W，導致閘及 M 1 之基本部份分別通過電阻器 R 3 及 R 4 連接至 G N D，因而通過閘電晶體接通。R 3 及 R 4 之電阻較佳予以建立為保證在閘及基本部份之電位差異足夠保持 M 1 接通，以允許信號在節點 A 與 B 之間傳播，而不在電晶體 M 1 至 G N D 也產生一分流寄生阻抗路徑，其為供越過 R 3 或 R 4 之電位降之參考。

完成圖 4 之電路 10' 之操作說明，在邏輯 H I G H 加至 E N 時，I V 1 之輸出將邏輯 L O W 加至電晶體 M 3 及 M 4 之閘，從而接通此等電晶體，並將信號路徑固定至閘及 M 1 之基本部份至 V c c 之電位。在 E N 之 H I G H，導致閘及 M 1 之基本部份分別通過電晶體 M 3 及 M 4 連接至 V c c，因而通過閘電晶體斷開。利用電晶體 M 3 及 M 4 接通，電晶體 M 1 將會保持斷開，因為其為具有較低

五、發明說明(14)

阻抗之路徑。

圖 2 中所示本發明高頻開關電路之第二較佳實施例，在圖 5 中示為電路 10''。電路 10'' 包括如先前所示之反相器級 20，第一阻抗元件 30，第二阻抗元件 40，及通過閘電晶體 M1。阻抗元件 30 包括 P M O S 分流控制電晶體 M3，以先前關於圖 4 之電路 10' 所說明之方式予以連接，以及電晶體 M5。N M O S 電晶體 M5 包括一閘連接至反相器 I V 1 之輸出，一源極連接至 M1 之閘，以及一汲極及一基本部份連接至 G N D。阻抗元件 40 包括以先前關於圖 4 之電路 10' 所說明之方式予以連接之 P M O S 分流控制電晶體 M4，以及電晶體 M6。

P M O S 電晶體 M6 包括一閘連接至反相器 I V 2 之輸出，一汲極連接至 M1 之基本部份，以及一源極及基本部份連接至 V c c。

在操作時，圖 5 之電路 10'' 在閘及 M1 之基本部份提供先前不存在之相對高阻抗路徑。所例示之組態，較之於藉圖 1 之先前技藝電路所建立者，完成電路 10' 在頻率響應之顯著變化。特別是，在邏輯 L O W 加至 E N 時，I V 1 之輸出便將邏輯 H I G H 加至電晶體 M3，M4 及 M5 之閘，從而使電晶體 M3 及 M4 斷開，並將 M5 接通。在 E N 之 L O W，導致 M1 之閘通過電晶體 M5 連接至 G N D。另外，在反相器 I V 2 之輸出之 L O W，將電晶體 M6 接通，因而 M1 之基本部份連接至 V c c，保證通過閘電晶體 M1 接通。與電晶體 M5 及 M6 關連之電容提

五、發明說明 (15)

供足夠阻抗，以保證在閘及基本部份之電位差異為足夠保持 M 1 接通，以允許信號在節點 A 與 B 之間傳播，而不也產生一分流寄生阻抗路徑。

完成圖 5 之電路 1 0 ”之操作說明，在邏輯高加至 E N 時，I V 1 之輸出將邏輯低加至電晶體 M 3，M 4，及 M 5 之閘，從而接通電晶體 M 3 及 M 4，並使電晶體 M 5 斷開。在 E N 之 H I G H 導致 M 1 之閘通過電晶體 M 3 連接至 V c c，因而通過閘電晶體斷開。另外，在反相器 I V 2 之輸出之 H I G H 使電晶體 M 6 斷開，因而將 M 1 之基本部份連接至 V c c，保證通過閘電晶體 M 1 斷開。利用電晶體 M 3 及 M 4 接通，電晶體 M 1 將會保持斷開，因為其為具有較低阻抗之路徑。

關於圖 6 中所示之波形，可清楚看出與引用圖 2 之阻抗元件 3 0 及 4 0 關連之優點。圖 6 為一伯德圖，示在傳播通過一通過閘電路之信號電位相對於頻率變化之對數下降。波形 2 0 0 表示與圖 1 之先前技藝開關電路關連之頻率響應，而波形 3 0 0 表示與圖 5 之高頻開關電路 1 0 ”關連之頻率響應。該圖示 - 3 d B 下降電平。此下降電平為用以說明一系統之可使用通帶之常用性能因數。供波形 2 0 0 所表示之先前技藝電路，關連之 - 3 d B 頻率約為 3 5 0 M H z。供本發明之開關電路 1 0 ”，- 3 d B 頻率為略多於約 9 0 0 M H z，改進約略多於 2 . 5 倍。其可看出，可採用本發明之開關電路作為習知通過閘裝置，有一通過頻率帶寬實際大於先前金屬氧化物半導體基通過

五、發明說明(16)

閘裝置所可利用者。其允許電晶體 M 1 之閘及基本部份電位隨在 A 或 B 之輸入信號變化，而非經由低阻抗路徑連接至 V c c 或 G N D 。請予瞭解，開關電路 1 0 可適合使用在頻率超過 9 0 0 M H z ，包括相當高於 1 G H z ，並不意為限於在圖 6 中所呈現之代表性實例結果。

如先前所提及，可在各種系統採用本發明之開關電路 1 0 ，因為在很多應用，包括（但不限於）內部及外部資料傳輸，以及視頻信號傳輸，其為一供信號傳播之有效機構。如在圖 7 中所例舉，一電腦系統 1 0 0 包括中央處理單元 1 3 0 、一第一記憶體元件 1 0 1 、一第二記憶體元件 1 0 2 、一內部匯流排 1 0 3 、一第一輸入／輸出埠 1 0 4 、及一第二輸入／輸出埠 1 0 5 、與外部裝置（諸如一鍵盤 1 0 6 及一顯示器 1 0 7 ）之介面。所辨識之諸裝置可各包括一匯流排開關電路 1 0 ，用於藉由以線路 1 0 8 - 1 1 2 做為例子所例舉之各信號傳輸線路，其用來將用於信號傳輸之諸裝置鏈結在一起。請予瞭解，此等線路可以表示電線、光纜、及無線連接。方塊 1 2 0 為供此種信號傳輸所採用之本發明的一個或多個開關電路 1 0 之簡化圖示。

圖 8 提供一信號路由器 2 0 0 之簡化圖示，其被設計來分析並在表示任一個別電腦系統或電腦系統之網路之許多網路系統 2 1 0 - 2 5 0 當中導引信號通信量。在信號傳輸發生時之速率，及該信號之品質係依所採用之切換電路而定。路由器 2 0 0 可使用本發明之開關電路 1 0 ，用

五、發明說明 (17)

於連接路由器 2 0 0 至網路系統 2 1 0 - 2 5 0 之介面系統的每一個信號線路。方塊 2 6 0 為用於此種信號傳輸所採用之本發明的一個或多個開關電路 1 0 之簡化圖示。其可被路由器 2 0 0 所使用，以及被任何網路系統 2 1 0 - 2 5 0 的一個或多個所使用。

圖 9 提供一平板顯示器系統 3 0 0 之簡化圖示，其包括一平板顯示器 3 0 1、一可採用 L V D S 技術之面板介面 3 0 2，例如一影像定標器 3 0 3、一畫格速率轉換器 3 0 4、一可採用 T M D S 技術之數位介面裝置 3 0 5，例如一類比介面裝置 3 0 6、及一視頻解碼器 3 0 7。全部均可連接至一電腦系統 3 1 0，供資料交換及處理。本發明之開關電路 1 0 特別適合高率數位信號傳輸之傳輸，諸如視頻信號傳輸。其可在平板顯示器系統 3 0 0 之任何一個或多個組件及在電腦系統 3 1 0 採用。方塊 3 2 0 為供此種信號傳輸所採用之本發明的一個或多個開關電路 1 0 之簡化圖示。

雖然本發明業經特別參照特定實施例予以說明，但請予瞭解，所有修改，變型，及同等者，均視為在下列後附申請專利範圍之範圍以內。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

高頻金屬氧化物半導體場效電晶體
(M O S F E T) 開關

一種高頻開關電路，有一金屬氧化物半導體通過閘或傳送電晶體。本發明之開關電路包括一第一阻抗元件連接至傳送電晶體之閘，並且較佳為，一替代性第二阻抗元件連接至傳送電晶體之基本部份。一或二阻抗元件實際取消與傳送電晶體關連之低寄生分流電容，其控制在高頻操作下之信號衰減。阻抗元件與該寄生電容串聯連接，以實際增加該路徑之阻抗，從而實際增加可通過帶寬。阻抗元件可僅只為一電阻器。此開關電路適合使用於一系列的應用，包括在電腦系統、路由器、及平板螢幕顯示器的信號傳播。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：

HIGH FREQUENCY MOSFET SWITCH

A high-frequency switch circuit having an MOS pass gate or transfer transistor. The switch circuit of the invention includes a first impedance element coupled to the gate of the transfer transistor and, preferably, an alternative second impedance element coupled to the bulk of the transfer transistor. One or both of the impedance elements substantially negates the low-parasitic shunt capacitance associated with the transfer transistor that controls signal attenuation under high frequency operation. The impedance element is coupled in series with that parasitic capacitance to increase substantially the impedance of that pathway, thereby increasing substantially the passable bandwidth. The impedance element may simply be a resistor. The switch circuit is suitable for use in an array of applications, including signal propagation in computing systems, routers, and flat panel screen displays.

訂

線

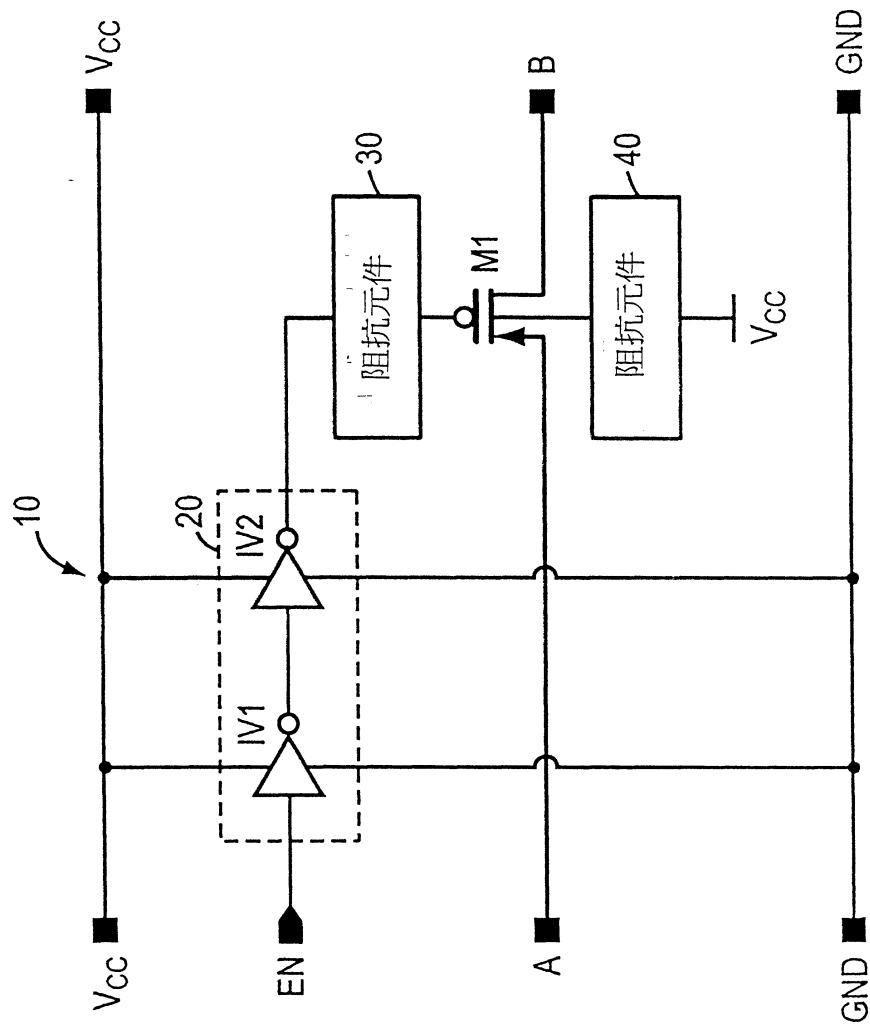


圖 2



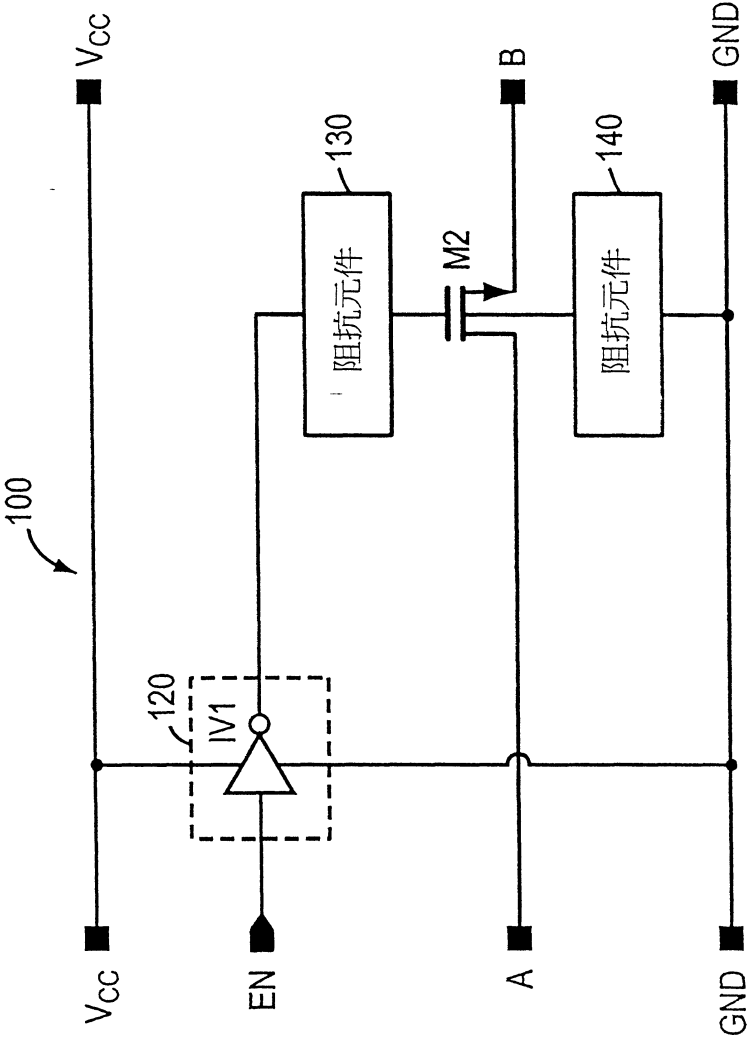


圖 3



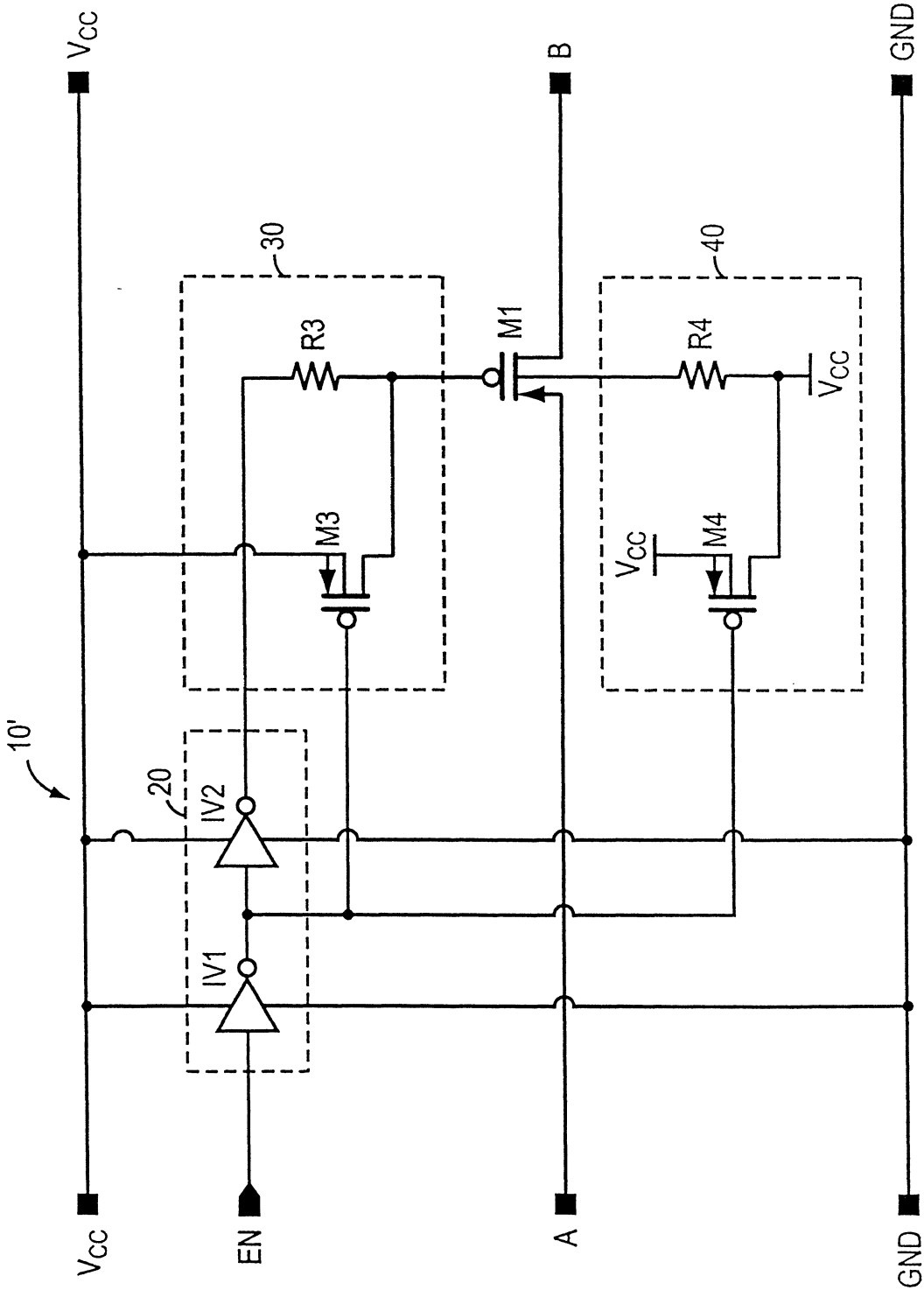


圖 4



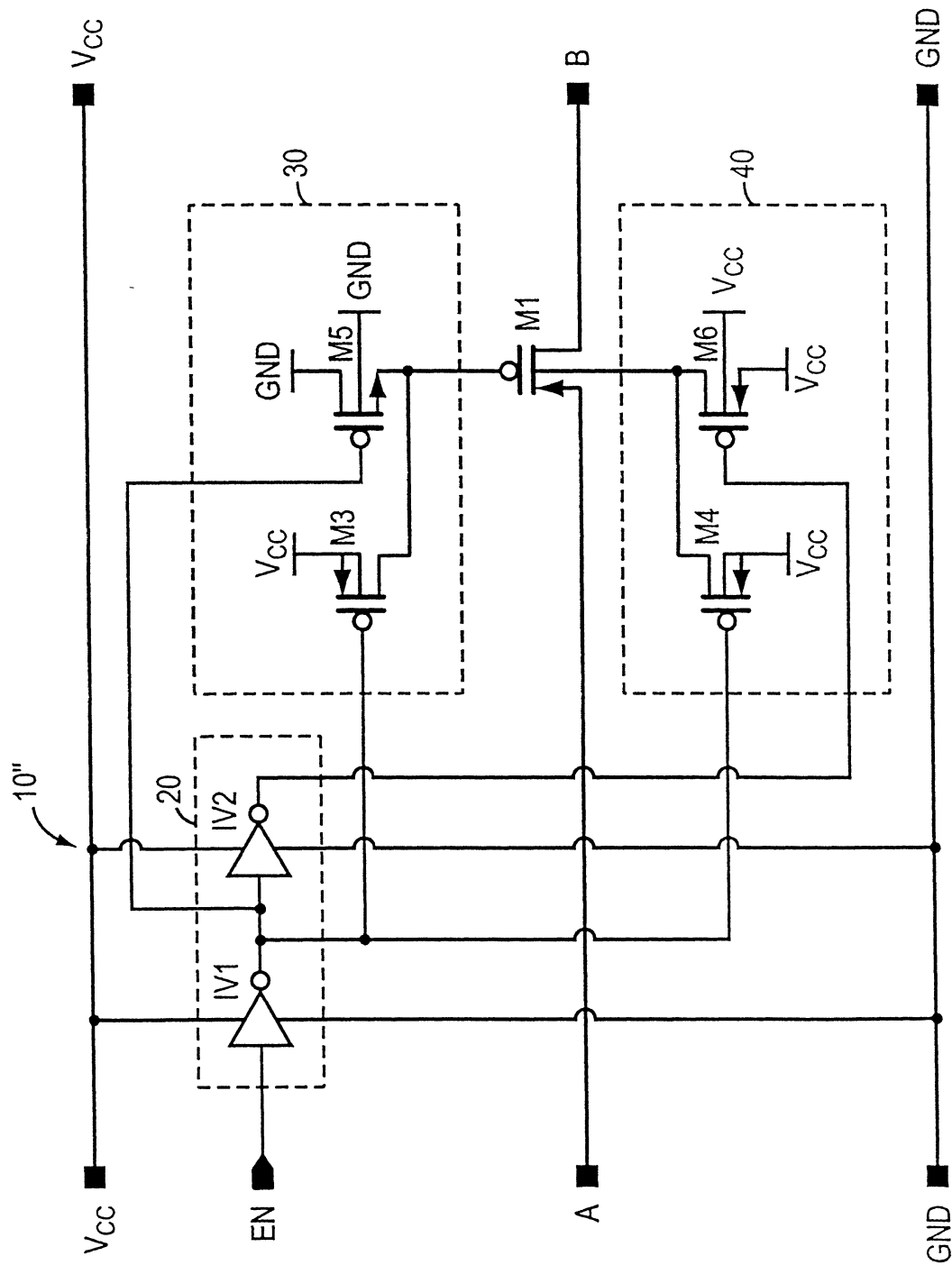


圖 5

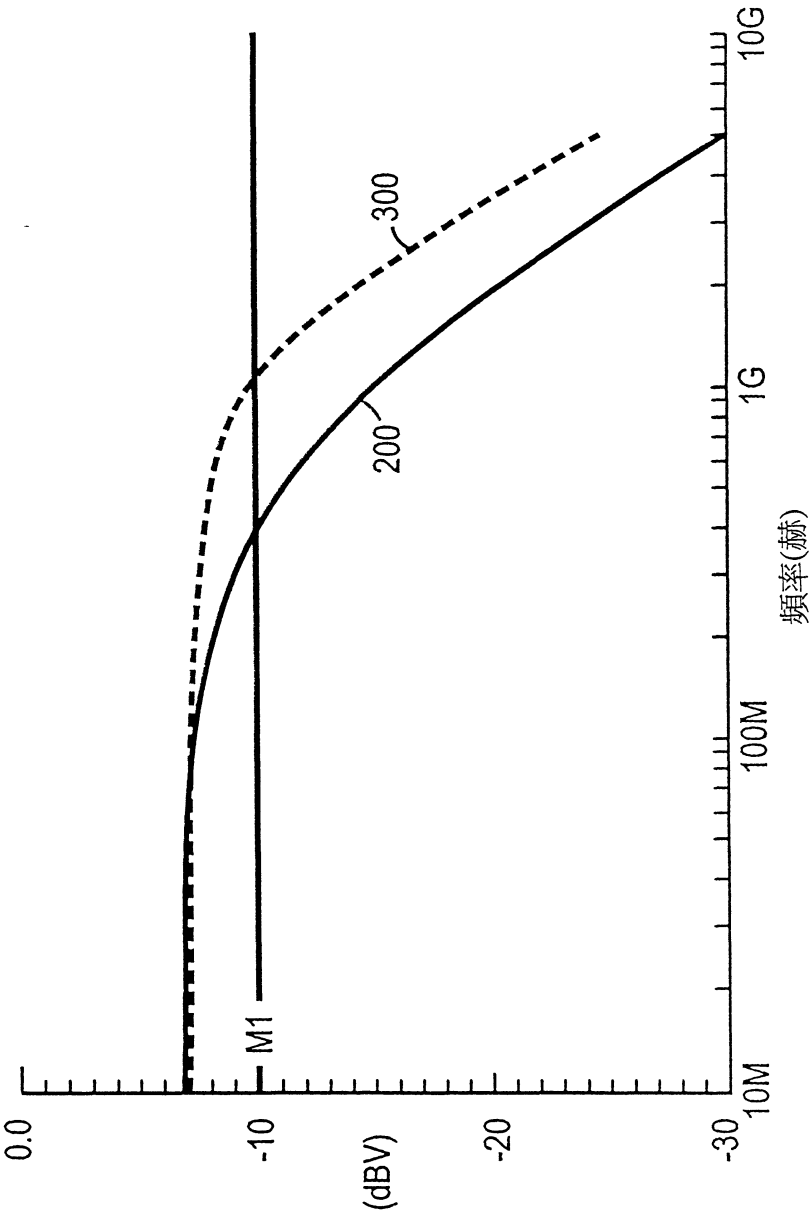


圖 6



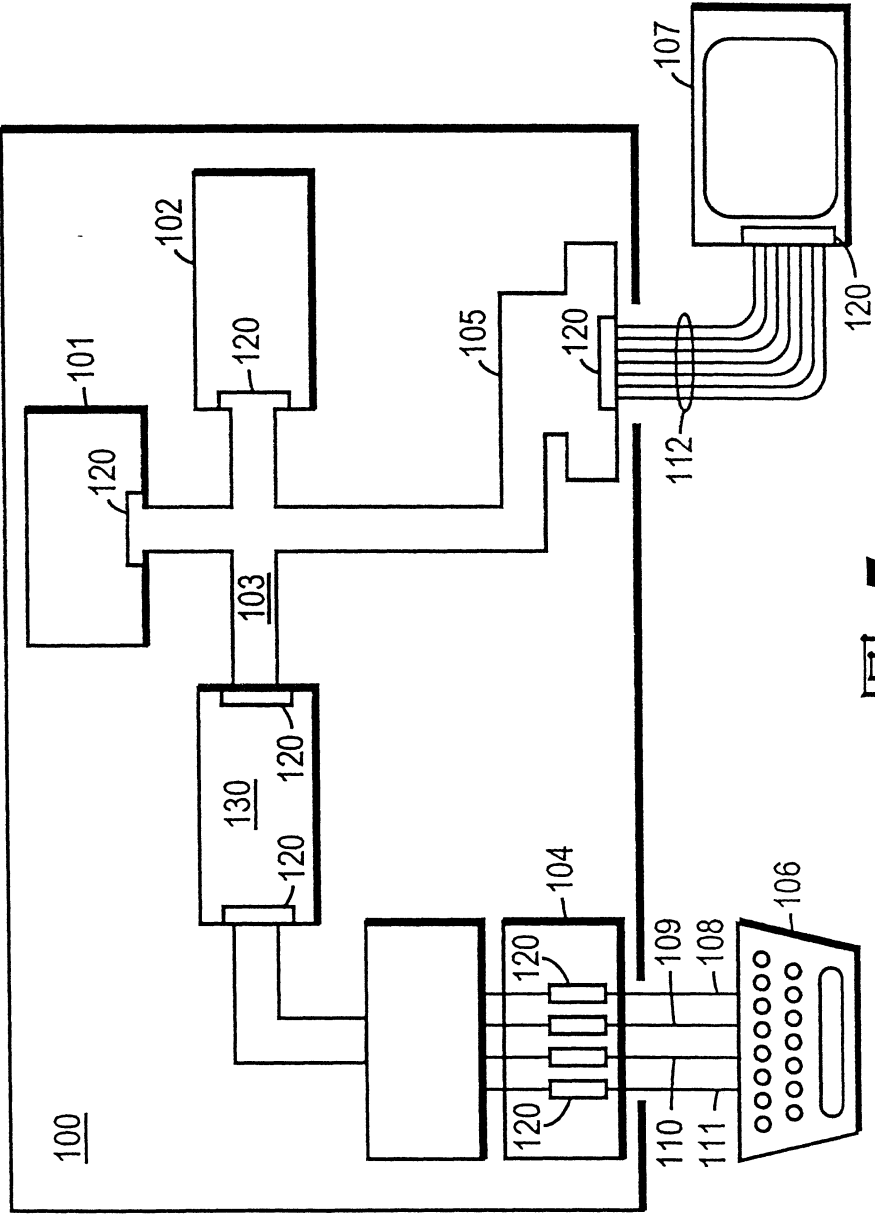


圖 7



+

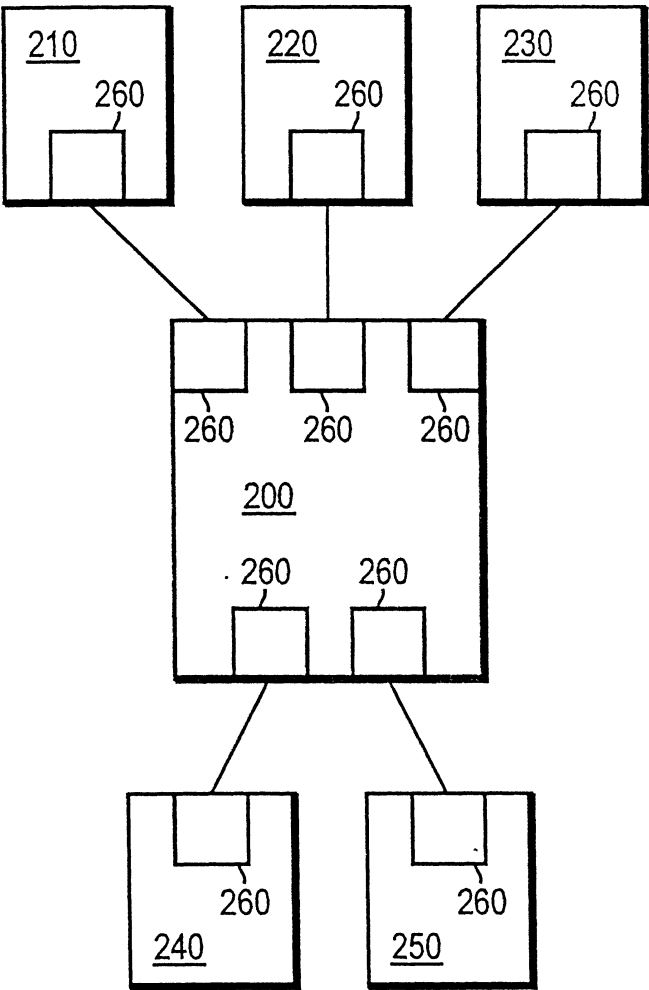


圖 8

+

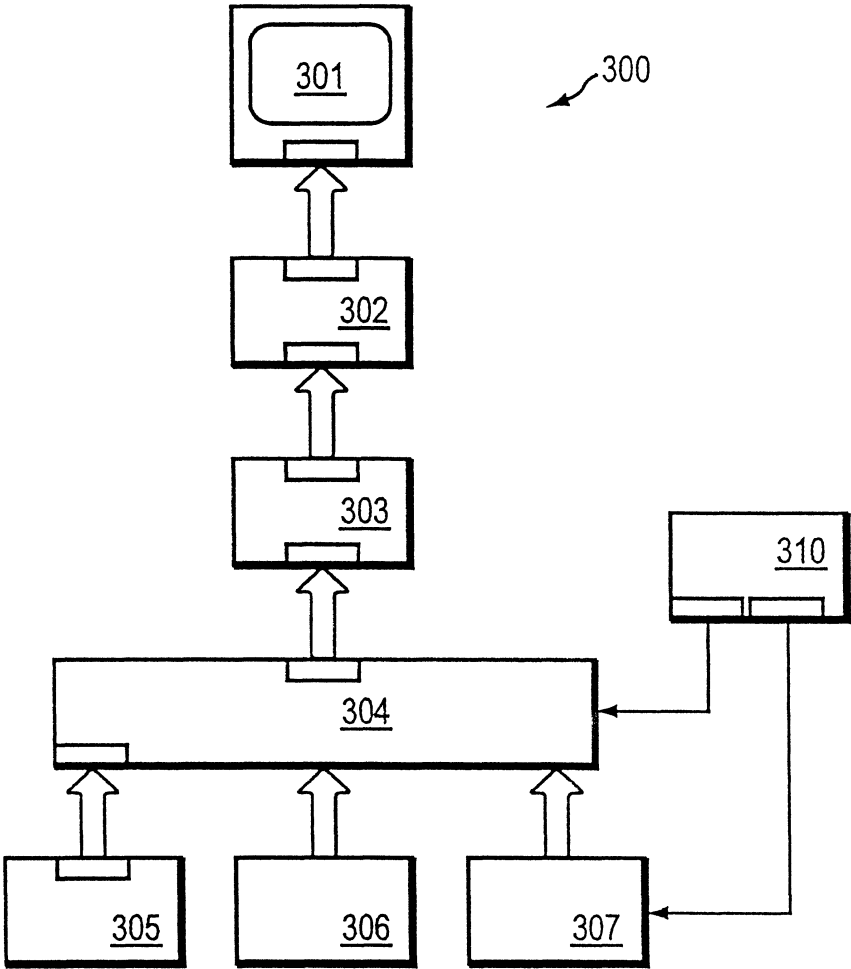


圖 9



六、申請專利範圍

附件 2a:

第 91101484 號專利申請案 (修正後無劃線)

中文申請專利範圍替換本

民國 92 年 3 月 3 日修正

1. 一種高頻開關電路，用以允許或防止一電信號在一第一節點與一第二節點之間傳送，其中在開關電路允許轉移時，電信號自第一節點傳送至第二節點或自第二節點轉移至第一節點，並且其中在開關電路防止傳送時不傳送電信號，其中高頻開關電路由一高電位電源軌條及一低電位電源軌條供電，該開關電路包含：

一致能信號節點，供接收一開關電路起動信號，開關電路起動信號界定一 M O S 傳送電晶體之 O N 狀況及 O F F 狀況，

M O S 傳送電晶體，有一源極連接至第一節點，及一汲極連接至第二節點，

一第一阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一閘之間，其中第一阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第一阻抗元件予以構造為實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，以及

一第二阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一基本部份之間，其中第二阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

低阻抗及第二狀態為一高阻抗，其中該第二阻抗元件予以構造為實際取消與該MOS傳送電晶體關連之低寄生分流電容。

2．如申請專利範圍第1項之開關電路，其中該MOS傳送電晶體為一NMOS電晶體，及該第二阻抗元件予以連接在該MOS傳送電晶體之基本部份與低電位電源軌條之間。

3．如申請專利範圍第1項之開關電路，其中該MOS傳送電晶體為一PMOS電晶體，及該第二阻抗元件予以連接在該MOS傳送電晶體之基本部份與高電位電源軌條之間。

4．如申請專利範圍第1項之開關電路，另包含一以一個或多個反相器連接在該致能信號節點與該第一及第二阻抗元件之間所形成之反相器級。

5．如申請專利範圍第4項之開關電路，其中該第一及第二阻抗元件包括一有一高電位節點連接至該反相器級之輸出及一低電位節點連接至該PMOS傳送電晶體之閘該之電阻器。

6．如申請專利範圍第5項之開關電路，其中該阻抗元件之電阻器具有一千歐姆或更大之電阻。

7．如申請專利範圍第5項之開關電路，其中該反相器級包括一與一第二反相器串聯連接之第一反相器，各有一輸入及一輸出，其中該致能信號節點連接至該第一反相器之輸入，及該第二反相器之輸出連接至該電阻器之高電

六、申請專利範圍

位節點，該阻抗元件另包含一阻抗 P M O S 電晶體，有一閘連接至該第一反相器之輸出，一源極連接至高電位電源軌條，及一汲極連接至該 P M O S 傳送電晶體之閘。

8．如申請專利範圍第 5 項之開關電路，其中第二阻抗元件包括一第二電阻器，有一高電位節點連接至高電位電源軌條，及一低電位節點連接至該 P M O S 傳送電晶體之基本部份。

9．如申請專利範圍第 8 項之開關電路，其中該第二阻抗元件之第二電阻器具有一千歐姆或更大之電阻。

10．如申請專利範圍第 8 項之開關電路，其中該反相器級包括一與一第二反相器串聯連接之第一反相器，各有一輸入及一輸出，其中該致能信號節點連接至該第一反相器之輸入，及該第二反相器之輸出連接至該阻抗元件之電阻器之高電位節點，該第二阻抗元件另包含一 P M O S 電晶體，有一閘連接至該第一反相器之輸出，一源極連接至高電位電源軌條，及一汲極連接至該 P M O S 傳送電晶體之基本部份。

11．如申請專利範圍第 4 項之開關電路，其中該第一阻抗元件包括一阻抗 N M O S 電晶體，有一閘連接至該反相器級之輸出，一汲極連接至該 P M O S 傳送電晶體之閘，以及一源極及一基本部份連接至低電位電源軌條。

12．如申請專利範圍第 11 項之開關電路，其中該反相器級包括一與一第二反相器串聯連接之第一反相器，各有一輸入及一輸出，其中該致能信號節點連接至該第一

六、申請專利範圍

反相器之輸入，及該第一反相器之輸出連接至該阻抗 N M O S 電晶體之閘，該阻抗元件另包含一阻抗 P M O S 電晶體，有一閘耦合至該第一反相器之輸出，一源極連接至高電位電源軌條，及一汲極連接至該 P M O S 傳送電晶體之閘。

1 3 . 如申請專利範圍第 4 項之開關電路，其中該第二阻抗元件包括一阻抗 P M O S 電晶體，有一閘連接至該反相器級之輸出，一源極及一基本部份連接至高電位電源軌條，以及一汲極連接至該 P M O S 傳送電晶體之基本部份。

1 4 . 如申請專利範圍第 1 3 項之開關電路，其中該反相器級包括一與一第二反相器串聯連接之第一反相器，各有一輸入及一輸出，其中該致能信號節點連接至該第一反相器之輸入，及該第二反相器之輸出連接至該第二阻抗元件之阻抗 P M O S 電晶體之閘，該第二阻抗元件另包含一第二阻抗 P M O S 電晶體，有一閘連接至該第一反相器之輸出，一源極連接至高電位電源軌條，及一汲極連接至該 P M O S 傳送電晶體之基本部份。

1 5 . 一種高頻開關電路，用於允許或防止一電信號在一第一節點與一第二節點之間傳送，其中在開關電路界定一 O N 狀況時，電信號自第一節點傳送至第二節點或自第二節點傳送至第一節點，並且其中在開關電路界定一 O F F 狀況時不傳送電信號，其中高頻開關電路由一高電位電源軌條及一低電位電源軌條供電，該開關電路包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 M O S 傳送電晶體，有一源極連接至第一節點，及一汲極連接至第二節點，

一 第一阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一閘之間，其中第一阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第一阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該閘與任一電源軌條解除連接，以及

一 第二阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一基本部份之間，其中第二阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第二阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該基本部份與任一電源軌條解除連接。

16 . 一種電腦系統，包括開關電路，以允許或防止一電信號在一第一節點與一第二節點之間傳送，其中電信號自第一節點傳送至第二節點或自第二節點傳送至第一節點，藉以界定一 O N 狀況，及在不傳送時界定一 O F F 狀況，其中開關電路可由一高電位電源軌條及一低電位電源軌條供電，該電腦系統包含：

一 M O S 傳送電晶體，有一源極連接至第一節點，及一汲極連接至第二節點，

一 第一阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一閘之間，其中第一阻抗元件，響應

六、申請專利範圍

O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第一阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該閘與任一電源軌條解除連接，以及

一第二阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一基本部份之間，其中第二阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第二阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該基本部份與任一電源軌條解除連接。

1 7 . 如申請專利範圍第 1 6 項之電腦系統，另包含一第二阻抗元件連接在該 M O S 傳送電晶體之一基本部份與電源軌條之一之間。

1 8 . 如申請專利範圍第 1 6 項之電腦系統，其中 M O S 傳送電晶體為一 N M O S 電晶體，及該第二阻抗元件連接在該 M O S 轉移電晶體之基本部份與低電位電源軌條之間。

1 9 . 如申請專利範圍第 1 6 項之電腦系統，其中 M O S 傳送電晶體為一 P M O S 電晶體，及該第二阻抗元件連接在該 M O S 轉移電晶體之基本部份與高電位電源軌條之間。

2 0 . 一種路由器，包括開關電路，以允許或防止一電信號在一第一節點與一第二節點之間傳送，其中電信號自第一節點傳送至第二節點或自第二節點傳送至第一節點

六、申請專利範圍

，藉以界定一 O N 狀況，及在不傳送時界定一 O F F 狀況，其中開關電路可由一高電位電源軌條及一低電位電源軌條供電，該路由器包含：

一 M O S 傳送電晶體，有一源極連接至第一節點，及一汲極連接至第二節點，

一第一阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一閘之間，其中第一阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第一阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該閘與任一電源軌條解除連接，以及

一第二阻抗元件，連接在高及低電位電源軌條與該 M O S 傳送電晶體之一基本部份之間，其中第二阻抗元件，響應 O N 及 O F F 狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第二阻抗元件用以實際取消與該 M O S 傳送電晶體關連之低寄生分流電容，藉以使該基本部份與任一電源軌條解除連接。

2 1 . 如申請專利範圍第 2 0 項之路由器，另包含一第二阻抗元件連接在該 M O S 傳送電晶體之一基本部份與電源軌條之一之間。

2 2 . 如申請專利範圍第 2 0 項之路由器，其中 M O S 傳送電晶體為一 N M O S 電晶體，及該第二阻抗元件連接在該 M O S 傳送電晶體之基本部份與低電位電源軌條之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

23. 如申請專利範圍第20項之路由器，其中MOS傳送電晶體為一PMOS電晶體，及該第二阻抗元件連接在該MOS傳送電晶體之基本部份與高電位電源軌條之間。

24. 一種平板螢幕系統，包括開關電路，以允許或防止一電信號在一第一節點與一第二節點之間傳送，其中電信號自第一節點傳送至第二節點或自第二節點傳送至第一節點，藉以界定一ON狀況，及在不傳送時界定一OFF狀況，其中開關電路可由一高電位電源軌條及一低電位電源軌條供電，該平板螢幕系統包含：

一MOS傳送電晶體，有一源極連接至第一節點，及一汲極連接至第二節點，

一第一阻抗元件，連接在高及低電位電源軌條與該MOS傳送電晶體之一閘之間，其中第一阻抗元件，響應ON及OFF狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第一阻抗元件用以實際取消與該MOS傳送電晶體關連之低寄生分流電容，藉以使該閘與任一電源軌條解除連接，以及

一第二阻抗元件，連接在高及低電位電源軌條與該MOS傳送電晶體之一基本部份之間，其中第二阻抗元件，響應ON及OFF狀況，界定二狀態，其中一狀態為一低阻抗及第二狀態為一高阻抗，其中該第二阻抗元件用以實際取消與該MOS傳送電晶體關連之低寄生分流電容，藉以使該基本部份與任一電源軌條解除連接。

六、申請專利範圍

25. 如申請專利範圍第24項之平板螢幕系統，另包含一第二阻抗元件連接在該MOS傳送電晶體之一基本部份與電源軌條之一之間。

26. 如申請專利範圍第24項之平板螢幕系統，其中MOS傳送電晶體為一NMOS電晶體，及該第二阻抗元件連接在該MOS轉移電晶體之基本部份與低電位電源軌條之間。

27. 如申請專利範圍第24項之平板螢幕系統，其中MOS傳送電晶體為一PMOS電晶體，及該第二阻抗元件連接在該MOS轉移電晶體之基本部份與高電位電源軌條之間。

28. 一種允許或防止一電信號在一第一信號傳輸節點與一第二信號傳輸節點之間傳送之方法，其中在允許時，電信號自第一節點傳送至第二節點或自第二節點傳送至第一節點，該方法包含下列步驟：

將一MOS傳送電晶體連接在第一節點與第二節點之間，該MOS傳送電晶體有一閘及一基本部份，以及

確定一第一阻抗路徑，構形為實際取消與該MOS傳送電晶體關連之低寄生分流電容，並將該第一阻抗路徑連接至該MOS傳送電晶體之閘，以及

確定一第二阻抗路徑，構形為實際取消與該MOS傳送電晶體關連之低寄生分流電容，並將該第二阻抗路徑連接至該MOS傳送電晶體之基本部份。

29. 如申請專利範圍第28項之方法，另包含確定

六、申請專利範圍

一 第二阻抗路徑，及將該第二阻抗路徑連接至該MOS傳送電晶體之基本部份之步驟。

30．如申請專利範圍第28項之方法，其中該MOS傳送電晶體為一NMOS，及該第二阻抗連接在該MOS傳送電晶體之基本部份與一低電位電源軌條之間。

31．如申請專利範圍第28項之方法，其中該MOS傳送電晶體為一PMOS，及該第二阻抗連接在該MOS傳送電晶體之基本部份與一高電位電源軌條之間。

32．如申請專利範圍第28項之方法，其中在致能時，該第一阻抗路徑及該第二阻抗路徑確定阻抗足以使該MOS傳送電晶體保持接通，而在該MOS傳送電晶體與一電源軌條之間不產生分流寄生阻抗路徑。