Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 961151

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 09.02.81 (21) 3247290/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.09.82. Бюллетень № 35

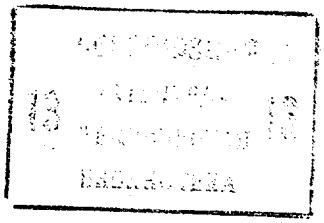
Дата опубликования описания 23.09.82

(51) М. Кл.[3] H 03 K 23/00

(53) УДК 621.374.32(088.8)

(72) Автор изобретения В. Е. Крехов

(71) Заявитель —



(54) НЕДВОИЧНЫЙ СИНХРОННЫЙ СЧЕТЧИК

1

Изобретение относится к цифровой технике и может найти применение в устройствах обработки дискретной информации.

Известно устройство, содержащее шину потенциала логической единицы, входную шину и два разряда [1].

Недостатком данного устройства является возможность при воздействии помехи попасть в избыточное состояние.

Известно также устройство, содержащее два разряда, например, на IK-триггерах, шину потенциала логической единицы и входную шину, которая соединена с тактовыми входами разрядов, прямой и инверсный выходы первого разряда соединены соответственно со входами I и K второго разряда, прямой выход которого соединен с входом K первого разряда, вход установки в ноль и вход I которого соединены с инверсным выходом второго разряда[2].

2

Однако известное устройство не имеет устойчивых неиспользуемых состояний, и его недостатком является относительное малое быстродействие, поскольку первый разряд изменяет свое состояние из "1" в "0", только после изменения состояния второго разряда из нулевого в единичное.

Целью изобретения является повышение быстродействия.

Для достижения поставленной цели в недвоичный синхронный счетчик, содержащий два разряда, шину потенциала логической единицы и входную шину, которая соединена с тактовыми входами разрядов, прямой выход первого и инверсный выход второго разрядов соединены соответственно с входом I второго и с входом установки в "0" первого разряда, входы I и K первого разряда и вход K второго разряда соединены с шиной потенциала логической единицы.

На чертеже приведена схема недвоичного синхронного счетчика.

Счетчик содержит разряды 1 и 2, входную шину 3 и шину 4 потенциала логической единицы.

Входная шина 3 соединена с тактовыми входами разрядов 1 и 2, прямой выход разряда 1 и инверсный выход разряда 2 соединены соответственно с входом I разряда 2 и с входом установки в "0" разряда 1, входы I и K которого соединены с входом K разряда 2 и соединены с шиной 4 потенциала логической единицы.

Устройство работает следующим образом.

Пусть в исходном состоянии разряды 1 и 2 находятся в состоянии "00". После прихода первого импульса по шине 3 изменится состояние только разряда 1, который примет единичное состояние, т. е. общее состояние устройства будет "10", поскольку на инверсном выходе разряда 2 присутствует в исходном состоянии единичный потенциал и разряд 1 не блокируется к входу установки в "0". После наступления второго импульса по шине 3 разряд 1 установится в "0" (поскольку он работает в счетном режиме и в данном такте не блокируется к входу установки в "0"), а разряд 2, работающий в режиме задержки входной информации на один такт, установится в "1", и нулевой потенциал с его инверсного выхода заблокирует к входу установки в "0" работу разряда 1 на следующем такте. После поступления третьего импульса изменяется состояние только разряда 2, и общее состояние устройства становится "00".

В предлагаемом устройстве информация на выходе разря ов изменяется синхронно с фронтом тактового импульса, поэтому быстродействие выше, чем в известном устройстве.

Поскольку разряд 1 работает в счетном режиме, а разряд 2 - в режиме сдвига, то в общем случае может быть построен счетчик с коэффициентом пересчета $2^m + 1$, где m - разрядность двоичного счетчика. Причем в этом случае на информационный вход регистра сдвига необходимо подавать сигнал перекоса или сигнал с дешифратора всех единиц двоичного счетчика, вход установки в "0" которого соединен с инверсным выходом разряда 2.

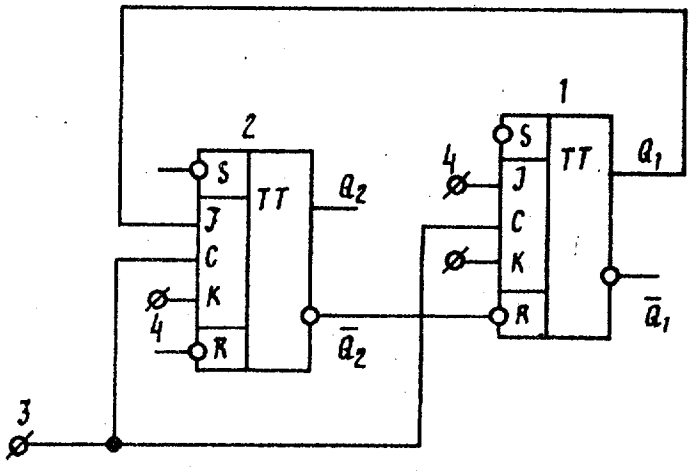
Формула изобретения

Недвоичный синхронный счетчик, содержащий два разряда, шину потенциала логической единицы и входную шину, которая соединена с тактовыми входами разрядов, прямой выход первого и инверсный выход второго разрядов соединены соответственно с входом I второго разряда и с входом установки в "0" первого разряда, отличающийся тем, что, с целью повышения быстродействия, входы I и K первого разряда и вход K второго разряда соединены с шиной потенциала логической единицы.

Источники информации, принятые во внимание при экспертизе

1. Шац С. Я. Проэктирование радиоэлектронных устройств на интегральных микросхемах. М., "Советское радио" 1976, с. 235, рис. 5.43.

2. Авторское свидетельство СССР № 552702, кл. H 03 K 23/00, 1976 (прототип).



ВНИИПИ Заказ 7319/76
Тираж 959 Подписное
Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4