(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3862031号

(P3862031)

(45)発行日　平成18年12月27日(2006.12.27)　(24)登録日　平成18年10月6日(2006.10.6)

(51)Int.Cl.		F I		
G06F 15/78	(2006.01)	G06F	15/78	510D
G06F 12/06	(2006.01)	G06F	15/78	510F
G06F 13/36	(2006.01)	G06F	12/06	515M
		G06F	12/06	515J
		G06F	13/36	310E

請求項の数 6　(全 32 頁)

(21)出願番号　特願平7-260873
(22)出願日　平成7年9月13日(1995.9.13)
(65)公開番号　特開平8-320823
(43)公開日　平成8年12月3日(1996.12.3)
審査請求日　平成14年8月16日(2002.8.16)
(31)優先権主張番号　特願平7-85931
(32)優先日　平成7年3月20日(1995.3.20)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　390023928
日立エンジニアリング株式会社
茨城県日立市幸町３丁目２番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　松井　重純
東京都小平市上水本町５丁目２０番１号
株式会社　日立製作所　半導体事業部内
(72)発明者　川崎　郁也
東京都小平市上水本町５丁目２０番１号
株式会社　日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】マイクロプロセッサ

(57)【特許請求の範囲】

【請求項１】

半導体基板上のマイクロプロセッサであって、中央処理装置と、第１端子と、第２端子と、アドレス制御回路と、データ入出力回路と、制御信号生成回路と、制御レジスタとを有し、

前記中央処理装置は前記マイクロプロセッサの外部アドレス空間内のアドレスにアクセスするためのアドレス信号を供給し、

前記制御レジスタは、前記中央処理装置によってＰＣＭＣＩＡカードと接続されているときのアクセスタイミングを決定するための情報を格納し、

前記情報は、前記アドレス信号に対する出力タイミングを規定する定数を含み、

前記アドレス制御回路は前記第１端子に接続され、前記中央処理装置からマイクロプロセッサの外部へアドレス信号を出力し、

前記データ入出力回路は前記第２端子と接続し、

前記制御信号生成回路はアドレス信号に反応し、前記マイクロプロセッサの外部へ出力するための制御信号を生成し、

前記制御信号生成回路はＰＣＭＣＩＡカード用の第１アドレス空間内のアドレスを示すアドレス信号を検出した時、制御信号としてカードイネーブル信号を生成し、

前記制御信号生成回路は半導体メモリ用の第２アドレス空間内のアドレスを示すアドレス信号を検出した時、半導体メモリに対し制御信号としてチップセレクト信号を生成し、

前記制御信号生成回路は、前記アドレス信号の出力に反応し、リードまたはライトのス

トローブ制御信号を生成し、前記制御レジスタの情報出力タイミングを規定する定数に従い、前記ＰＣＭＣＩＡカードに対する前記ストローブ制御信号の出力タイミングを調整して出力し、

前記マイクロプロセッサは、前記ＰＣＭＣＩＡカードが挿入されていることを示す検出信号が入力され、

前記制御信号生成回路は、前記検出信号が前記ＰＣＭＣＩＡカードの挿入を示している場合、前記カードイネーブル信号及び前記ストローブ制御信号を出力することを特徴とするマイクロプロセッサ。

【請求項２】

請求項１において、

前記マイクロプロセッサの外部アドレス空間は第１及び第２アドレス空間を含む複数のアドレス空間に分割され、

前記制御信号生成回路は前記第１アドレス空間をＰＣＭＣＩＡカードに割り当て、第２アドレス空間を半導体メモリに割り当てることを決めるためのデータを格納するレジスタを含むことを特徴とするマイクロプロセッサ。

【請求項３】

請求項１において、

前記アドレス制御回路は前記外部アドレス空間内の一連のアドレスが連続的にアクセスされるバーストモード時、自動的にアドレス信号を更新するためのアドレス生成回路を含むことを特徴とするマイクロプロセッサ。

【請求項４】

請求項１において、

さらにメモリ管理ユニットを含み、

前記メモリ管理ユニットは前記中央処理装置から生成される論理アドレス信号としてのアドレス信号を物理アドレスへと変換し、

前記アドレス制御回路はアドレス信号として物理アドレスを受け取り、前記第１端子へアドレス信号を供給することを特徴とするマイクロプロセッサ。

【請求項５】

請求項１において、

前記マイクロプロセッサに接続されるＰＣＭＣＩＡカードはメモリカード及びＩＯカードの何れか一方または両方を接続可能とされ、

前記制御信号生成回路は、接続されるＰＣＭＣＩＡカードの数に応じて前記カードイネーブル信号を出力することを特徴とするマイクロプロセッサ。

【請求項６】

請求項１において、

更に、バス制御レジスタを有し、

前記バス制御レジスタは、前記ＰＣＭＣＩＡカード用の第１アドレス空間に対するバス幅および前記半導体メモリ用の第２アドレス空間に対するバス幅を決定できる情報を格納していることを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明はマイクロプロセッサに関し、例えば、その外部バスインターフェイスに利用して特に有効な技術に関するものである。

【０００２】

【従来の技術】

シンクロナスＤＲＡＭ（ダイナミック型ランダムアクセスメモリ）等の各種半導体メモリを直結しうる外部バスを具備するマイクロプロセッサ（マイクロコントローラ）が、例えば、日経マグロウヒル社発行の１９９４年２月１４日付『日経エレクトロニクス』第７９頁ないし第９１頁に記載されている。

【０００３】
一方、メモリカード及びＩ／Ｏカード等のＰＣカードがあり、マイクロプロセッサ等にＰＣカードを結合するためのインターフェイス条件が日本電子工業振興協会（ＪＥＩＤＡ）及びＰＣＭＣＩＡ（Ｐｅｒｓｏｎａｌ　ＣｏｍｐｕｔｅｒＭｅｍｏｒｙ　Ｃａｒｄ　Ｉｎｔｅｒｎａｔｉｏｎａｌ　ＡｓｓｏｃＩａｔｉｏｎ）により標準化されている。ＰＣカードインターフェイスには、ガイドラインＶｅｒ．４．１の『６．電気・インターフェイス仕様』で規定される６８ピンのＩＣメモリカードインターフェイス及びＩ／Ｏカードインターフェイスが含まれる。また、このようなＰＣカードインターフェイスに対処するため、８２３６５ＳＬ等の専用ＩＣ（集積回路）チップが用意されている。
【０００４】
【発明が解決しようとする課題】
従来のマイクロプロセッサ等において、ＰＣカードを結合するためのバスは、半導体メモリ等を結合するためのバスとは別個に設けられるとともに、ＰＣカードは上記専用ＩＣチップを介してバスに結合され、そのインターフェイス制御はこれらの専用ＩＣチップによって行われる。このため、パーソナルコンピュータや携帯情報端末等にＰＣカードインターフェイスを組み込もうとした場合、バス構成が複雑となり設計工数が増大するとともに、マイクロプロセッサの外付け部品が増大する。この結果、パーソナルコンピュータ及び携帯情報端末等の開発期間が増大し、その低コスト化が阻害されるものとなる。
【０００５】
この発明の目的は、使い勝手を良くしたマイクロプロセッサを提供することにある。この発明の他の目的は、マイクロプロセッサを内蔵しかつＰＣカードインターフェイスを有するパーソナルコンピュータ等の設計工数を削減し外付け部品数を削減して、その低コスト化を図ることにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【０００６】
【課題を解決するための手段】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。　すなわち、パーソナルコンピュータ及び携帯情報端末等に内蔵されるマイクロプロセッサに、外部バスに結合されかつＲＯＭ，バーストＲＯＭ，ＳＲＡＭ，ＰＳＲＡＭ，ＤＲＡＭ及びシンクロナスＤＲＡＭ等の各種半導体メモリやメモリカード及びＩ／Ｏカード等のＰＣカードのインターフェイスを並行制御しうるバスステートコントローラを設ける。このバスステートコントローラＢＳＣには、シンクロナスＤＲＡＭ接続時におけるＰＣカードの起動信号（－ＯＥ、－ＷＥ）のセットアップ時間を制御するための制御レジスタ（ＰＣＲ）が設けられる。
【０００７】
また、外部バスのアドレス空間を所定数のエリアに分割し、各エリアに各種半導体メモリ又はＰＣカードを固定的に割り当てるとともに、Ｉ／Ｏカードが入出力装置として機能する場合の物理アドレスとメモリとして機能する場合の物理アドレスとを独立に割り当て、マイクロプロセッサに、その内部における論理アドレスを外部バスにおける物理アドレスに変換するためのメモリ管理ユニットを設ける。
【０００８】
【作用】
上記した手段によれば、以下の理由により、上記目的が達成される。その物理アドレスによる制約を受けることなくしかもインターフェイス制御のための外付け部品を削減しつつ、各種半導体メモリとメモリカード及びＩ／Ｏカード等のＰＣカードとを直接かつ同時にマイクロプロセッサの外部バスに結合することができる。この結果、マイクロプロセッサの使い勝手を改善できるとともに、マイクロプロセッサを内蔵しかつＰＣカードインターフェイスを有するパーソナルコンピュータ等の設計工数を削減し外付け部品数を削減して、その低コスト化を図ることができる。
【０００９】

また、バスステートコントローラＢＳＣには、シンクロナスＤＲＡＭ接続時におけるＰＣカードの起動信号（－ＯＥ、－ＷＥ）のセットアップ時間を制御するための制御レジスタ（ＰＣＲ）が設けられるので、ＰＣカードの起動信号としての出力イネーブル信号－ＯＥないしライトイネーブル信号－ＷＥのクロック信号ＣＫＩＯの立ち下がりあるいはアドレス信号に対するセットアップ時間などを制御することが出来る。その結果、ＰＣカードとシンクロナスＤＲＡＭとを本発明のマイクロプロセッサＭＰＵに同時に結合させても、本発明のマイクロプロセッサＭＰＵは、不都合なくＰＣカードとシンクロナスＤＲＡＭに対するアクセスを行うことが出来る。

【００１０】

【実施例】

図１には、この発明に係るマイクロプロセッサＭＰＵを含むパーソナルコンピュータの一実施例のシステム構成図が示されている。同図において、パーソナルコンピュータは、マイクロプロセッサＭＰＵを搭載したマザーボードＭＢＤをその基本構成要素とする。マザーボードＭＢＤには、特に制限されないが、ＰＣカードスロットＰＣＳＬ１及びＰＣＳＬ２を介して２種のＰＣカードつまりメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣがそれぞれ結合され、コネクタＬＣＤＣＯＮ及びＫＢＤＣＯＮを介してマンマシンインターフェイスとなる液晶ディスプレイＬＣＤ及びキーボードＫＢＤがそれぞれ結合される。

【００１１】

メモリカードＭＥＭＣは、ＳＲＡＭ（スタティック型ＲＡＭ），ＥＰＲＯＭ（電気的に情報の書き込み可能なリードオンリメモリ），ＥＥＰＲＯＭ（電気的に情報の消去・書き込み可能なリードオンリメモリ）あるいはフラッシュＥＥＰＲＯＭ等から構成され、データ記憶用のカードとされる。一方、Ｉ／ＯカードＩＯＣは、ファクシミリやデータ転送のためのモデム，ＬＡＮに利用される制御回路，グローバルポジショニングシステム（ＧＰＳ）に利用される制御回路あるいはスモールコンピュータシステムインターフェイスコントローラ等とされる。

【００１２】

マザーボードＭＢＤのマイクロプロセッサＭＰＵには、特に制限されないが、外部バスＥ－ＢＵＳを介して６種の半導体メモリつまりＲＯＭ，バーストＲＯＭ（ＢＲＯＭ），ＳＲＡＭ，ＰＳＲＡＭ（疑似ＳＲＡＭ），ＤＲＡＭ（ダイナミック型ＲＡＭ）及びシンクロナスＤＲＡＭ（ＳＤＲＡＭ）が結合される。この外部バスＥ－ＢＵＳには、さらにＰＣカードバッファＢＵＦ１及びＢＵＦ２ならびにディスプレイコントローラＬＣＤＣ及びキーボードコントローラＫＢＤＣが結合される。このうち、ＰＣカードバッファＢＵＦ１及びＢＵＦ２には、上記ＰＣカードスロットＰＣＳＬ１及びＰＣＳＬ２つまりメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣがそれぞれ結合され、ディスプレイコントローラＬＣＤＣ及びキーボードコントローラＫＢＤＣには、コネクタＬＣＤＣＯＮ及びＫＢＤＣＯＮつまり液晶ディスプレイＬＣＤ及びキーボードＫＢＤがそれぞれ結合される。マザーボードＭＢＤに搭載された各種半導体メモリ，ＰＣカードバッファ及びコントローラには、電源ユニットＰＯＷＵから所定の動作電源が供給される。

【００１３】

マイクロプロセッサＭＰＵは、ＲＯＭ又はバーストＲＯＭから読み出されるプログラムに従ってステップ動作し、所定の論理演算処理を実行するとともに、パーソナルコンピュータの各部を制御・統括する。また、ＰＣカードバッファＢＵＦ１及びＢＵＦ２は、ＰＣカードスロットＰＣＳＬ１又はＰＣＳＬ２に装着されたメモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣとの間のインターフェイス整合を行い、ディスプレイコントローラＬＣＤＣ及びキーボードコントローラＫＢＤＣは、コネクタＬＣＤＣＯＮ又はＫＢＤＣＯＮを介して結合された液晶ディスプレイＬＣＤ又はキーボードＫＢＤを制御する。

【００１４】

この実施例において、マイクロプロセッサＭＰＵは、後述するように、外部バスＥ－ＢＵＳに結合されたＲＯＭ，バーストＲＯＭ，ＳＲＡＭ，ＰＳＲＡＭ，ＤＲＡＭ及びシンクロナスＤＲＡＭ等の各種半導体メモリとメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣ等の

ＰＣカードとに対するインターフェイスを並行制御しうるバスステートコントローラＢＳＣを備える。また、外部バスＥ－ＢＵＳのアドレス空間は所定数のエリアに分割され、これらのエリアに半導体メモリ又はＰＣカードが固定的に割り当てられるとともに、Ｉ／ＯカードがＩ／Ｏカードとして機能する場合の物理アドレスが、メモリカードとして機能する場合の物理アドレスとは独立に割り当てられる。

【００１５】

このため、マイクロプロセッサＭＰＵは、さらにその内部における論理アドレスを外部バスにおける物理アドレスに変換するメモリ管理ユニットＭＭＵを備える。これらの結果、その物理アドレスによる制約を受けることなくしかもインターフェイス制御のための外付け部品を削減しつつ、各種半導体メモリとＰＣカードつまりメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣとを直接かつ同時に外部バスＥ－ＢＵＳに結合でき、これによってマイクロプロセッサＭＰＵの使い勝手を改善できるとともに、パーソナルコンピュータの設計工数を削減し外付け部品数を削減して、その低コスト化を図ることができるものである。

【００１６】

図２には、図１のパーソナルコンピュータの三つの実施例の外観構成図が示されている。まず、図２の（ａ）において、パーソナルコンピュータは、いわゆるノート型とされ、ＰＣカードスロットＭＳＬＯＴ（ＰＣＳＬ１，ＰＣＳＬ２）に装着されたメモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣからなるファイルＦｆｉｌｅを内蔵するとともに、入出力装置としてキーボードＫＢ（ＫＢＤ）及び液晶ディスプレイＤＰ（ＬＣＤ）を備える。このうち、液晶ディスプレイは内側に折り畳むことができ、これによって携帯に便利な形態とされる。

【００１７】

図２の（ｂ）において、パーソナルコンピュータは、いわゆるデスクトップ型とされ、フロッピーディスクドライブＦＤＤと、図示されないＰＣカードスロットに装置されたメモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣからなるファイルＦｆｉｌｅとを備える。また、入出力装置としてキーボードＫＢ及び液晶ディスプレイＤＰを備え、フロッピーディスクドライブＦＤＤには所定のフロッピーディスクＦＤが挿入される。これにより、パーソナルコンピュータは、フロッピーディスクＦＤによるソフトウェアとしての記憶領域と、ファイルＦｆｉｌｅによるハードウェアとしての記憶領域とを併せ持つものとなる。

【００１８】

図２の（ｃ）において、パーソナルコンピュータは、いわゆるペンポータブル型とされ、メモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣからなるファイルカードＦｆｉｌｅＣＡＲＤを装着しうる二つのＰＣカードスロットを備える。また、入出力装置として感圧シート付液晶ディスプレイＤＰ及び入力ペンＰＥＮを備え、手書き文字による入力を可能とする。

【００１９】

これらの実施例において、パーソナルコンピュータのマザーボードＭＢＤを構成するマイクロプロセッサＭＰＵは、前述のように、各種の半導体メモリとメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣからなるＰＣカードとを直接かつ同時に結合しうるインターフェイスを有する。この結果、マザーボードＭＢＤひいてはパーソナルコンピュータの構成が簡素化され、その小型化，軽量化，薄型化が図られて携帯に便利な形態を採りうるとともに、後述するバースト機能等により大容量の情報を高速に入出力することが可能となり、パーソナルコンピュータとしての処理能力が高めるられるものとなる。

【００２０】

図３には、図１のパーソナルコンピュータに含まれるマイクロプロセッサＭＰＵの一実施例のブロック図が示され、図４には、マイクロプロセッサＭＰＵの半導体基板（半導体チップ）上でのレイアウトの一実施例が示されている。すなわち、マイクロプロセッサＭＰＵは公知の半導体製造方法によって単結晶シリコンのような半導体基板に形成される。

【００２１】

図３において、マイクロプロセッサＭＰＵは、演算器ＡＬＵを含むストアドプログラム方

式の中央処理ユニットＣＰＵをその基本構成要素とする。この中央処理ユニットＣＰＵには、システムバスＳ－ＢＵＳ（第１内部バス）を介して乗算器ＭＵＬＴ，メモリ管理ユニットＭＭＵならびにキャッシュメモリＣＡＣＨＥが結合され、メモリ管理ユニットＭＭＵにはアドレス変換バッファＴＬＢが結合される。メモリ管理ユニットＭＭＵ及びキャッシュメモリＣＡＣＨＥは、さらにその他方においてキャッシュバスＣ－ＢＵＳ（第２内部バス）に結合され、このキャッシュバスＣ－ＢＵＳにはバスステートコントローラＢＳＣが結合される。

【００２２】

バスステートコントローラＢＳＣは、その他方において周辺バスＰ－ＢＵＳに結合されるとともに、図示されないバスインターフェイス部及びバスコネクタを介して外部バスＥ－ＢＵＳに結合される。このうち、周辺バスＰ－ＢＵＳ（第３内部バス）には、リフレッシュコントローラＲＥＦＣ，ダイレクトメモリアクセスコントローラＤＭＡＣ，タイマ回路ＴＩＭ，シリアルコミュニケーションインターフェイスＳＣＩ，ディジタル／アナログ変換回路Ｄ／Ａ及びアナログ／ディジタル変換回路Ａ／Ｄ等の周辺装置コントローラが結合され、外部バスＥ－ＢＵＳには、前記各種の半導体メモリやＰＣカードを結合するためのＰＣカードバッファＢＵＦ１及びＢＵＦ２ならびにディスプレイコントローラＬＣＤＣ及びキーボードコントローラＫＢＤＣが結合される。

【００２３】

バスステートコントローラＢＳＣ，リフレッシュコントローラＲＥＦＣ，ダイレクトメモリアクセスコントローラＤＭＡＣ，タイマ回路ＴＩＭ，シリアルコミュニケーションインターフェイスＳＣＩ，ディジタル／アナログ変換回路Ｄ／Ａ及びアナログ／ディジタル変換回路Ａ／Ｄは、さらに割り込みコントローラＩＮＴＣに結合され、この割り込みコントローラは割り込み要求信号ＩＲＱを介して中央処理ユニットＣＰＵに結合される。

【００２４】

同図には図示されないが、システムバスＳ－ＢＵＳ、キャッシュバスＣ－ＢＵＳおよび周辺バスＰ－ＢＵＳのそれぞれは、アドレス信号を伝送するための内部アドレスバス、データを伝送するための内部データバスおよび、制御信号を伝送するための内部制御バスをそれぞれ含むものとみなされる。一方、外部バスＥ－ＢＵＳは、アドレス信号を伝送するための外部アドレスバス、データを伝送するための外部データバスおよび、制御信号を伝送するための外部制御バスをそれぞれ含むものとみなされる。

【００２５】

上記中央処理ユニットＣＰＵは、クロックパルス発生回路ＣＰＧから供給される所定のシステムクロック信号に従って同期動作し、キャッシュメモリＣＡＣＨＥから読み出される制御プログラムに従って所定の演算処理を実行するとともに、マイクロプロセッサＭＰＵの各部を制御・統括する。このとき、演算器ＡＬＵは所定の算術論理演算を実行し、乗算器ＭＵＬＴはディジタル信号処理等に有効な乗算処理又は積和処理を実行する。

【００２６】

上記メモリ管理ユニットＭＭＵは、メモリアクセスに際してマイクロプロセッサＭＰＵの内部つまり中央処理ユニットＣＰＵ等から出力される論理アドレスを、アドレス変換バッファ（address translation look-aside buffer ）ＴＬＢを参照して物理アドレスに変換し、バスステートコントローラＢＳＣを介してマイクロプロセッサＭＰＵの外部つまり外部バスＥ－ＢＵＳに伝達する。キャッシュメモリＣＡＣＨＥは、高速アクセス可能な半導体メモリからなり、外部のＲＯＭ又はバーストＲＯＭ等に格納された制御プログラム又はデータ等を所定のブロック単位で読み出し保持して、中央処理ユニットＣＰＵの高速動作に寄与する。

【００２７】

一方、バスステートコントローラＢＳＣは、周辺バスＰ－ＢＵＳに結合される各周辺装置コントローラのバスアクセスを管理し、その動作を制御・統括するとともに、外部バスＥ－ＢＵＳに結合される各種の半導体メモリ及びＰＣカードならびに各種入出力コントローラの動作を制御・統括する。

【００２８】
この実施例において、外部バスＥ－ＢＵＳの物理アドレス空間は、特に制限されないが、８つのエリアに分割され、このうち７つのエリアは、所定の組み合わせをもって各種半導体メモリ及びＰＣカードに固定的に割り当てられる。また、バスステートコントローラＢＳＣは、外部バスＥ－ＢＵＳの各エリアに割り当てられた各種半導体メモリ及びＰＣカードに対する制御信号のタイミングをそれぞれ所定の条件でかつ並行して制御・管理する機能を有し、これらのタイミング条件を選択的に指定するための各種コントロールレジスタを備える。

【００２９】
この結果、外部バスＥ－ＢＵＳには、前記のように、ＲＯＭ，バーストＲＯＭ，ＳＲＡＭ，ＰＳＲＡＭ，ＤＲＡＭ及びシンクロナスＤＲＡＭ等を含む各種半導体メモリと、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣを含むＰＣカードとを直接かつ同時に結合しうるものとなる。外部バスＥ－ＢＵＳの信号構成ならびにバスステートコントローラＢＳＣの具体的構成については、後で詳細に説明する。

【００３０】
次に、周辺装置コントローラの一つであるリフレッシュコントローラＲＥＦＣは、外部バスＥ－ＢＵＳに結合されたＤＲＡＭ及びＳＤＲＡＭのリフレッシュ動作を制御し、ダイレクトメモリアクセスコントローラＤＭＡＣは、例えば外部バスＥ－ＢＵＳに結合されたＲＯＭ又はバーストＲＯＭとキャッシュメモリＣＡＣＨＥ等との間の高速データ転送をサポートする。

【００３１】
タイマ回路ＴＩＭは、中央処理ユニットＣＰＵに必要な時間管理をサポートとし、シリアルコミュニケーションインターフェイスＳＣＩは、外部の通信制御装置等との間のシリアルデータ転送をサポートする。一方、アナログ／ディジタル変換回路Ａ／Ｄは、外部のセンサ等から入力されるアナログ信号を所定のディジタル信号に変換し、ディジタル／アナログ変換回路Ｄ／Ａは、逆に中央処理ユニットＣＰＵから出力されるディジタル信号を所定のアナログ信号に変換して外部出力する。割り込みコントローラＩＮＴＣは、バスステートコントローラＢＳＣや各周辺装置コントローラの割り込み要求を所定の優先順位で択一的に受理し、割り込み要求信号ＩＲＱとして中央処理ユニットＣＰＵに伝達する。

【００３２】
この実施例において、マイクロプロセッサＭＰＵを構成する各部は、図４に例示されるように、所定のレイアウト条件をもって１個の半導体基板上に配置される。また、マイクロプロセッサＭＰＵの各部はいわゆるモジュール化され、ユーザ仕様に基づいて選択的に形成され、選択的に有効とされる。

【００３３】
図４において、バスコントローラは図３のバスステートコントローラＢＳＣに対応し、Ｔｉｍｅｒはタイマ回路ＴＩＭに対応する。また、クロックパルス発生回路ＣＰＧにより形成されるシステムクロックは、所定のクロックドライバＤｒｉｖｅｒを介してマイクロプロセッサＭＰＵの各部に分配・供給される。

【００３４】
図５には、図３のマイクロプロセッサＭＰＵの外部バスＥ－ＢＵＳにおける物理アドレスの割り当てを説明するための一実施例のアドレスマップが示され、図６には、そのエリア５及びエリア６における物理アドレスの割り当てを説明するための一実施例の部分的なアドレスマップが示されている。まず図５において、この実施例のマイクロプロセッサＭＰＵの外部バスＥ－ＢＵＳの物理アドレス空間は、特に制限されないが、８つのエリア０～エリア７に分割され、このうちのエリア０～６の７つが外部バスＥ－ＢＵＳに結合された各種半導体メモリ及びＰＣカードによって使用可能とされる。

【００３５】
このうち、エリア０は、ＳＲＡＭ及びＲＯＭを含む通常メモリかバーストＲＯＭに対して選択的に割り当てられ、エリア１及びエリア４は通常メモリに選択的に割り当てられる。

また、エリア２は、通常メモリ，ＳＤＲＡＭ又はＤＲＡＭに対して選択的に割り当てられ、エリア３は、通常メモリ，ＳＤＲＡＭ，ＤＲＡＭ又はＰＳＲＡＭに選択的に割り当てられる。一方、エリア５は、通常メモリ又はバーストＲＯＭかメモリカードＭＥＭＣに選択的に割り当てられ、エリア６は、通常メモリ又はバーストＲＯＭかメモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣに選択的に割り当てられる。なお、本明細書において、通常メモリとは、ＳＲＡＭやＲＯＭのように行及び列アドレスが同時に供給されてアクセスされるアドレスノンマルチプレクス型のメモリを意味し、ＤＲＡＭやＳＤＲＡＭのように行及び列アドレスが時分割的に供給されてアクセスされるアドレスマルチプレクス型のメモリとは区別される。

【００３６】

なお、エリア７は、マイクロプロセッサＭＰＵの内部装置のアドレス、たとえば、ＣＰＵの内部レジスタのアドレスや上記周辺装置コントローラ内のレジスタのアドレス、に割り当てられ、外部装置では使用できない。また、エリア０～エリア６にいずれの半導体メモリ又はＰＣカードが結合されるかは、後述するバスステートコントローラＢＳＣのバスコントロールレジスタＢＣＲ１によって選択的に指定される。

【００３７】

この実施例において、マイクロプロセッサＭＰＵのシステムバスＳ－ＢＵＳ、キャッシュバスＣ－ＢＵＳおよび周辺バスＰ－ＢＵＳの内部アドレスバスは、３２ビットのアドレス信号Ａ０～Ａ３１を転送可能な信号線を含み、マイクロプロセッサＭＰＵの内部における論理アドレスは、これらアドレス信号Ａ０～Ａ３１により択一的に指定されるいわゆる４ＧＢ（ギガバイト）のアドレス空間からなる。一方、マイクロプロセッサＭＰＵの外部つまり外部バスＥ－ＢＵＳにおける物理アドレスは、上位３ビットを除く２９ビットのアドレス信号Ａ０～Ａ２８により択一的に指定されるが、アドレス信号Ａ０～Ａ３１の上位３ビット、つまり、アドレス信号Ａ２６～Ａ２８は、エリア０ないしエリア６を択一的に指定するためのチップセレクト信号－ＣＳ０～－ＣＳ６を作成するために供され、下位２６ビットのアドレス信号Ａ０～Ａ２５は、各エリア内のアドレスを択一的に指定するために供される。すなわち、外部バスＥ－ＢＵＳにおける外部アドレスバスは、アドレス信号Ａ０～Ａ２５を転送可能な信号線を含む。

【００３８】

これにより、エリア０には、１６進数表示でＨ’０００００００ないしＨ’０３ＦＦＦＦＦＦの物理アドレスが割り当てられ、エリア１には、Ｈ’０４０００００ないし０７ＦＦＦＦＦＦの物理アドレスが割り当てられる。また、エリア２ないしエリア４には、Ｈ’０８０００００ないしＨ’０ＢＦＦＦＦＦＦ，Ｈ’０Ｃ０００００ないしＨ’０ＦＦＦＦＦＦＦならびにＨ’１０００００００ないしＨ’１３ＦＦＦＦＦＦの物理アドレスがそれぞれ割り当てられ、エリア５及びエリア６には、Ｈ’１４０００００ないしＨ’１７ＦＦＦＦＦＦＦならびにＨ’１８０００００ないしＨ’１ＢＦＦＦＦＦＦの物理アドレスがそれぞれ割り当てられる。この結果、各エリアは、いわゆる６４ＭＢ（メガバイト）の物理アドレス空間を持つものとなる。なお、エリア０～エリア６の物理アドレスにそれぞれＨ’２０００００００×ｎ（ｎ＝１～６）を加えた物理アドレスは、各エリアのシャドウ空間とされ、この乗数ｎは、論理アドレスの上位３ビットつまりアドレス信号Ａ２９～Ａ３１により選択的に指定される。

【００３９】

メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣに割り当てられるエリア５及びエリア６の物理アドレスは、図６に示されるように、さらにそれぞれ二つに分割される。このうち、エリア５では、アドレスＨ’１４０００００００～Ｈ’１５ＦＦＦＦＦＦからなる下位の領域が、メモリカードＭＥＭＣのためのコモンメモリ又はアトリビュートメモリ領域として割り当てられ、アドレスＨ’１６０００００００～Ｈ’１７ＦＦＦＦＦＦからなる上位の領域は、使用禁止領域とされる。また、エリア６では、アドレスＨ’１８０００００００～Ｈ’１９ＦＦＦＦＦＦからなる下位の領域が、メモリカードＭＥＭＣあるいはＩ／ＯカードＩＯＣがメモリとして機能する場合のコモンメモリ又はアトリビュートメモリ領域として

割り当てられ、アドレスＨ’１Ａ０００００００～Ｈ’１ＢＦＦＦＦＦＦからなる上位の領域は、Ｉ／ＯカードＩＯＣが入出力装置として機能する場合のＩ／Ｏ領域とされる。この結果、エリア５及びエリア６におけるコモンメモリ又はアトリビュートメモリ領域は、いわゆる３２ＭＢのアドレス空間となる。

【００４０】

特に制限されないが、エリア６の二分された領域つまりＩ／ＯカードＩＯＣがメモリ又は入出力装置のいずれで機能するかは、アドレス信号Ａ２５によって選択的に指定され、３２ＭＢのアドレス空間は、残り２５ビットのアドレス信号Ａ０～Ａ２４により択一的に指定される。周知のように、ＰＣＭＣＩＡ規格では、ＰＣカードとして最大６４ＭＢのアドレス空間を持つことが許されるが、この場合、後述するように、さらに最上位ビットのアドレス信号Ａ２５がマイクロプロセッサＭＰＵの出力ポートを介して別経路で出力される。このように、エリア６の物理アドレス空間を二分しアドレスＡ２５により選択的に指定できるようにすることで、エリア６に結合されたＩ／ＯカードＩＯＣのメモリ又は入出力装置としての機能をソフトウェアによりダイナミックに切り替えることが可能となり、マイクロプロセッサＭＰＵの利便性が高められる結果となる。

【００４１】

上記のようにマイクロプロセッサＭＰＵの物理アドレス空間が８つのエリアに分割され、このうちの７つがマイクロプロセッサＭＰＵの外部バスＥ－ＢＵＳに結合される各種半導体メモリ又はＰＣカードに固定的に割り当てられる。このことは、ユーザから見た場合、ソフトウェアにおける論理アドレスの配分に制約を与える原因となるように見える。しかし、この実施例では、前述のように、マイクロプロセッサＭＰＵにメモリ管理ユニットＭＭＵが設けられ、その内部における論理アドレスと外部バスＥ－ＢＵＳにおける物理アドレスとの対応は、アドレス変換バッファＴＬＢの書き換え、すなわち、外部バスＥ－ＢＵＳに結合される外部メモリ、たとえば、ＤＲＡＭなどに記憶されるアドレス変換テーブルのアドレス変換対の内容の書換によって容易に変更可能とされる。このため、ユーザは外部バスＥ－ＢＵＳの物理アドレスによる制約から解放され、自由な論理アドレス空間を有するソフトウェアを構築しうるものとなる。

【００４２】

図７及び図８には、図３のマイクロプロセッサＭＰＵの外部バスＥ－ＢＵＳの接続形態を説明するための一実施例の接続図が示されている。また、図９には、図７及び図８の外部バスＥ－ＢＵＳとＰＣカードが結合される場合の一実施例のインターフェイス構成図が示され、図１０及び図１１には、図７及び図８の外部バスＥ－ＢＵＳの一実施例の信号構成図が示されている。なお、図７及び図８では、エリア０～エリア４に結合可能な半導体メモリを適当に割り当てているが、実際にはエリアによって結合可能な組み合わせが制限されるケースもある。図１０及び図１１は、図７ないし図９の説明の過程で適宜参照されたい。

【００４３】

図７において、外部バスＥ－ＢＵＳは、マイクロプロセッサＭＰＵから見てアドレス出力バスとなる２６ビットの外部アドレスバスＥＢＡ０～ＥＢＡ２５と、入出力バスとなる３２ビットの外部データバスＥＢＤ０～ＥＢＤ３１とを備える。このうち、アドレスバスＥＢＡ０～ＥＢＡ２５を介して伝達されるアドレス信号Ａ０～Ａ２５は、各種半導体メモリ及びＰＣカードが結合されるすべてのエリアに共通に供給されるが、外部データバスＥＢＤ０～ＥＢＤ３１は、外部バスＥ－ＢＵＳに結合される半導体メモリ及びＰＣカードのバスサイズに応じて選択的な接続形態を採る。なお、ＤＲＡＭ及びＳＤＲＡＭにおいては、行及び列アドレスが時分割的にアドレスバス上の同一ラインに供給されるため、ＤＲＡＭ及びＳＤＲＡＭの各アドレス入力端子は、外部アドレスバスＥＢＡ０～ＥＢＡ２５のうちの所定数のラインに結合されることになる。

【００４４】

すなわち、この実施例のマイクロプロセッサＭＰＵでは、後述するバスステートコントローラＢＳＣのバスコントロールレジスタＢＣＲ２により、エリア０～エリア６のバスサイ

ズをエリアごとに指定することができる。このうち、エリア０では、バイト（８ビット），ワード（１６ビット），ロングワード（３２ビット）のバスサイズを任意に選択できるが、エリア１ないしエリア６では、各エリアがＳＲＡＭ，ＲＯＭ又はバーストＲＯＭに割り当てられる場合には、バイト，ワード又はロングワードを任意に選択できるが、ＳＤＲＡＭ，ＤＲＡＭ又はＰＳＲＡＭに割り当てられる場合には、メモリコントロールレジスタＭＣＲ１との組み合わせによってワード又はロングワードの選択に制限される。さらに、エリア２及びエリア３がＤＲＡＭに割り当てられる場合、そのバスサイズはワードのみに制限され、エリア５及びエリア６がＰＣカードに割り当てられる場合には、バイト又ワードのいずれかが選択される。

【００４５】

これにより、下位１６ビットのデータバスＥＢＤ０～ＥＢＤ１５は、エリア０～エリア６に割り当てられたすべての半導体メモリ及びＰＣカードに結合されるが、上位１６ビットのデータバスＥＢＤ１６～ＥＢＤ２３ならびにＥＢＤ２４～ＥＢＤ３１は、各エリアのバスサイズに応じてそれぞれ選択的に結合されるものとなる。なお、８ビットのデータバスＥＢＤ１６～ＥＢＤ２３は、後で例示するように、エリアのバスサイズが１６ビット以下であることを条件に、汎用のポートＰＯＲＴ０～ＰＯＲＴ７としても使用できる。ただし、この場合にはバスステートコントローラＢＳＣ２のポート機能イネーブルビットが論理“１”にセットされる。

【００４６】

外部バスＥ－ＢＵＳは、外部バスＥ－ＢＵＳ上のデータが有効であることを示すバススタート信号－ＢＳ（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の先頭に－を付加する。以下同様）を伝達するための制御信号線を外部制御バスＥＢＣとして備える。この信号－ＢＳは、バスステートコントローラＢＳＣによって各種半導体メモリ及びＰＣカードに必要な起動信号に変換される。このため、バススタート信号－ＢＳは、ディスプレイコントローラＬＣＤＣ及びキーボードコントローラＫＢＤＣ等のバス管理機能を持つＩ／Ｏコントローラには供給されるが、バス管理機能を持たない半導体メモリ及びＰＣカードには供給されない。

【００４７】

一方、外部バスＥ－ＢＵＳの外部制御バスＥＢＣは、エリア０ないしエリア６を択一的に指定するためのチップセレクト信号－ＣＳ０～－ＣＳ６を伝達するための制御信号線と、エリア０のバスサイズやエンディアンの指定に供されるモード信号ＭＤ３～ＭＤ５を伝達するための制御信号線を備える。このうち、チップセレクト信号－ＣＳ５及び－ＣＳ６は、エリア５及びエリア６のＰＣカードに対するカードイネーブル信号－ＣＥ１つまり－ＣＥ１Ａ及び－ＣＥ１Ｂとしてそれぞれ併用される。また、モード信号ＭＤ３及びＭＤ４は、これらのＰＣカードに対するカードイネーブル信号－ＣＥ２つまり－ＣＥ２Ａ及び－ＣＥ２Ｂとしてそれぞれ併用され、モード信号ＭＤ５は、エリア３に結合される２セット目のＤＲＡＭに対するロウアドレスストローブ信号－ＲＡＳ２として併用される。

【００４８】

外部バスＥ－ＢＵＳの外部制御バスＥＢＣは、さらに各種半導体メモリ及びＰＣカードに対する起動制御信号となるロウアドレスストローブ信号－ＲＡＳを伝達するための制御信号線と、カラムアドレスストローブ信号－ＣＡＳＬＬ，－ＣＡＳＬＨ，－ＣＡＳＨＬ及び－ＣＡＳＨＨのそれぞれを伝達するための制御信号線と、ライトイネーブル信号－ＷＥ０～－ＷＥ３ならびにリード・ライトステータス信号ＲＤ／－ＷＲ，リードコントロール信号－ＲＤ，Ｉ／Ｏクロック信号ＣＫＩＯ及びクロックイネーブル信号ＣＫＥのそれぞれを伝達するための制御信号線を備える。なお、Ｉ／Ｏクロック信号ＣＫＩＯは、マイクロプロセッサＭＰＵに入力されるシステムクロックあるいは、ＳＤＲＡＭ接続時に、上記ＳＤＲＡＭへ供給される動作クロック信号を示し、上記マイクロプロセッサＭＰＵは、Ｉ／ＯクロックＣＫＩＯに基づいて、各種出力信号のタイミング管理を行う。

【００４９】

このうち、ロウアドレスストローブ信号－ＲＡＳは、ＤＲＡＭ及びＳＤＲＡＭに対するロ

ウアドレスストローブ信号－ＲＡＳとして供給されるとともに、エリア３のＰＳＲＡＭに対するチップイネーブル信号－ＣＥとしても併用される。また、カラムアドレスストローブ信号－ＣＡＳＬＬ，－ＣＡＳＬＨ，－ＣＡＳＨＬ及び－ＣＡＳＨＨは、３２ビットバスサイズのＤＲＡＭに対して、データバスＤ０～Ｄ７，Ｄ８～Ｄ１５，Ｄ１６～Ｄ２３ならびにＤ２４～Ｄ３１に対応したカラムアドレスストローブ信号として供給されるが、このうち、カラムアドレスストローブ信号－ＣＡＳＬＬは、ＳＤＲＡＭに対するカラムアドレスストローブ信号－ＣＡＳあるいはＰＳＲＡＭに対する出力イネーブル信号－ＯＥとして併用され、カラムアドレスストローブ信号－ＣＡＳＨＬ及び－ＣＡＳＨＨは、２セット目のＤＲＡＭに対するバイト対応のカラムアドレスストローブ信号－ＣＡＳ２Ｌ及び－ＣＡＳ２Ｈとしてそれぞれ併用される。

【００５０】

ライトイネーブル信号－ＷＥ０～－ＷＥ３は、３２ビットバスサイズのＳＲＡＭ及びＰＳＲＡＭあるいはＳＤＲＡＭに対して、データバスＥＢＤ０～ＥＢＤ７，ＥＢＤ８～ＥＢＤ１５，ＥＢＤ１６～ＥＢＤ２３ならびにＥＢＤ２４～ＥＢＤ３１にそれぞれ対応したライトイネーブル信号あるいはデータコントロール信号ＤＱＭＬＬ，ＤＱＭＬＵ，ＤＱＭＵＬ及びＤＱＭＵＵとして供給されるが、このうち、ライトイネーブル信号－ＷＥ２は、エリア６のＩ／ＯカードＩＯＣに対するＩ／Ｏリードコントロール信号－ＩＣＩＯＲＤとして併用され、ライトイネーブル信号－ＷＥ３は、Ｉ／Ｏライトコントロール信号－ＩＣＩＯＷＲとして併用される。

【００５１】

リード・ライトステータス信号ＲＤ／－ＷＲは、ＤＲＡＭ及びＳＤＲＡＭに対するライトイネーブル信号－ＷＥとして供給されるとともに、図示されないＩ／Ｏコントローラに対するリード・ライト信号Ｒ／－Ｗとして併用される。また、リードコントロール信号－ＲＤは、ＲＯＭ及びＳＲＡＭならびにメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣに対する出力イネーブル信号－ＯＥとして供給され、Ｉ／Ｏクロック信号ＣＫＩＯとクロックイネーブル信号ＣＫＥは、ＳＤＲＡＭに対して供給される。

【００５２】

この実施例において、外部バスＥ－ＢＵＳは、ＰＣカード専用の外部入力バスとしてライトプロテクト信号ＷＰを伝達するための制御信号線を備え、バスコントロール用の信号としてウェイトコントロール信号－ＷＡＩＴ，バスリクエスト信号－ＢＲＥＱ及びバスアクノリジ信号ＢＡＣＫのそれぞれを伝達するための制御信号線を備える。このうち、ライトプロテクト信号ＷＰは、書き込み禁止を必要とするメモリカードＭＥＭＣから選択的に入力されるとともに、Ｉ／ＯカードＩＯＣのバスサイズが１６ビットであることをマイクロプロセッサＭＰＵに知らせるための１６ビットＩ／Ｏポート信号－ＩＯＩＳ１６としても併用される。

【００５３】

ウェイトコントロール信号－ＷＡＩＴは、マイクロプロセッサＭＰＵのサイクル待ち合わせを必要とするＰＣカード及びＩ／Ｏコントローラ等から必要に応じて選択的に入力される。さらに、バスリクエスト信号－ＢＲＥＱは、外部バスＥ－ＢＵＳを専有したいバスマスタから必要に応じて選択的に入力され、バスアクノリジ信号ＢＡＣＫは、これらのバスマスタに対するバス使用許可信号としてマイクロプロセッサＭＰＵから出力される。マイクロプロセッサＭＰＵから出力されライトイネーブル信号－ＷＥ１は、ライトイネーブル信号－ＷＥ／－ＰＧＭとしてＰＣカードに伝達される。なお、図８に示される各種半導体メモリ及びＰＣカードは、バスマスタとしての機能を有しない。

【００５４】

外部バスＥ－ＢＵＳには含まれないが、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣは、ＰＣカードスロットＰＣＳＬ１及びＰＣＳＬ２にＰＣカードが装着されたことを示すカード検出信号－ＣＤ１及び－ＣＤ２のそれぞれを伝達するための制御信号線と、リセット信号ＲＥＳＥＴを伝達するための制御信号線とに結合される。これらの制御信号は、マザーボードＭＢＤに設けられたボードコントローラＢＣで検知され、ボード制御に供される

。マザーボードＭＢＤは、さらに動作電源となる電源電圧ＶＣＣ及び接地電位ＧＮＤを入力するための端子を備え、この電源電圧及び接地電位を各種半導体メモリ，ＰＣカード，Ｉ／Ｏコントローラならびにマイクロプロセッサ ＭＰＵに１対の電源供給線を介して分配する。

【００５５】

メモリカードＭＥＭＣ又はＩ／ＯカードＩＯＣ等のＰＣカードは、前述のように、ＰＣカードバッファＢＵＦ１又はＢＵＦ２を介して外部バスＥ－ＢＵＳに結合され、アドレス信号Ａ２５は、エリア６のＩ／ＯカードＩＯＣがメモリ又は入出力装置のいずれで機能するかを識別するために供される。したがって、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣが６４ＭＢのアドレス領域を有する場合には、図９に示されるように、マイクロプロセッサＭＰＵのポートＰＯＲＴを介して、最上位のアドレス選択に供されるアドレス信号Ａ２５が改めて出力される。このポートＰＯＲＴには、リセット信号ＲＥＳＥＴとアトリビュートメモリ空間選択信号－ＲＥＧが含まれる。

【００５６】

マザーボードＭＢＤは、割り込みレベルＩＲＬ０～ＩＲＬ３を設定するためのエンコーダＥＮＣＯＤＲとを備える。これらの信号が、ＰＣＭＣＩＡ標準に準拠したものであることは言うまでもない。図９に示されるように、ＰＣカードバッファＢＵＦ１又はＢＵＦ２は、外部データバスＥＢＤ０～ＥＢＤ７に設けられる双方向バッファＢ１と、外部データバスＥＢＤ８～ＥＢＤ１５に設けられる双方向バッファＢ２とを含む。上記双方向バッファＢ１およびＢ２は、リード・ライトステータス信号ＲＤ／－ＷＲによってデータの伝送方向（ＤＩＲ）がそれぞれ制御され、カードイネーブル信号－ＣＥ１Ｂ及び－ＣＥ２Ｂによってそのゲートティング動作（Ｇ）がそれぞれ制御される。

【００５７】

図１２には、図３のマイクロプロセッサＭＰＵに含まれるバスステートコントローラＢＳＣの一実施例のブロック図が示されている。同図において、バスステートコントローラＢＳＣは、マイクロプロセッサＭＰＵのキャッシュバスＣ－ＢＵＳに結合されるキャッシュバスインターフェイス部ＣＢＩＦと、バスステートコントローラＢＳＣ内のモジュールバスＭ－ＢＵＳを介してキャッシュバスインターフェイス部ＣＢＩＦに結合されるアドレスレジスタＡＤＲ，データレジスタＤＴＲ，ウェイトコントロールレジスタＷＣＲ１及びＷＣＲ２，バスコントロールレジスタＢＣＲ１及びＢＣＲ２，メモリコントロールレジスタＭＣＲ，ＤＲＡＭコントロールレジスタＤＣＲ，ＰＣＭＣＩＡコントロールレジスタＰＣＲ，リフレッシュカウントレジスタＲＦＣＲ，リフレッシュタイマカウントレジスタＲＴＣＮＴ，リフレッシュタイムコンスタントレジスタＲＴＣＯＲ及びリフレッシュタイマコントロールステータスレジスタＲＴＣＳＲとを備える。

【００５８】

これらのレジスタの内容は、マイクロプロセッサＭＰＵの中央処理ユニットＣＰＵつまりはそのソフトウェアによって任意に書き換えることができる。すなわち、中央処理ユニットＣＰＵは、キャッシュバスＣ－ＢＵＳ、キャッシュバスインターフェイス部ＣＢＩＦ及びモジュールバスＭ－ＢＵＳを介して、各レジスタ（ＡＤＲ，ＤＴＲ，ＷＣＲ１，ＷＣＲ２，ＢＣＲ１，ＢＣＲ２，ＭＣＲ，ＤＣＲ，ＰＣＭＣＩＡ，ＰＣＲ，ＲＦＣＲ，ＲＴＣＮＴ，ＲＴＣＯＲおよびＲＴＣＳＲ）の内容の書き込み、あるいは変更を実施できる。

【００５９】

上記バスステートコントローラＢＳＣには、動作タイミングを決定するための動作クロックとして、図４に記載されるクロックパルスジェネレータＣＰＧから発生される動作クロックＣＫがクロックドライバＤｒｉｖｅｒから供給される。このクロック信号ＣＫは、中央処理装置ＣＰＵの動作クロックと同一の周波数を有するクロックとされるとともに、上記マイクロプロプロセッサＭＰＵの外部へシステムクロックとしてシステムクロック入出力端子ＣＫＩＯから出力される。後述されるように、上記システムクロック入出力端子ＣＫＩＯから出力されるシステムクロックは、シンクロナスＤＲＡＭの動作クロックとして利用される。

【００６０】
アドレスレジスタＡＤＲは、アドレス制御部ＡＤＣに結合される。また、データレジスタＤＴＲの出力端子は、マルチプレクサＭＰＸの一方の入力端子に結合され、このマルチプレクサＭＰＸの他方の入力端子は、ポートＰＯＲＴ０～ＰＯＲＴ７に結合される。一方、ウェイトコントロールレジスタＷＣＲ１及びＷＣＲ２は、ウェイト制御部ＷＡＴＥＣに結合され、バスコントロールレジスタＢＣＲ１は、エリア制御部ＡＲＥＡＣに結合される。
【００６１】
バスコントロールレジスタＢＣＲ２ならびにメモリコントロールレジスタＭＣＲ，ＤＲＡＭコントロールレジスタＤＣＲ及びＰＣＭＣＩＡコントロールレジスタＰＣＲは、メモリタイミング制御部ＭＴＣに結合され、リフレッシュカウントレジスタＲＦＣＲ，リフレッシュタイマカウントレジスタＲＴＣＮＴ，リフレッシュタイムコンスタントレジスタＲＴＣＯＲならびにリフレッシュタイマコントロールステータスレジスタＲＴＣＳＲは、リフレッシュ制御部ＲＦＣに結合される。
【００６２】
アドレス制御部ＡＤＣの出力端子は、外部バスＥ－ＢＵＳのアドレスバスＥＢＡ０～ＥＢＡ２５にそれぞれ結合され、マルチプレクサＭＰＸの出力端子はデータバスＥＢＤ０～ＥＢＤ３１にそれぞれ結合される。また、ウェイト制御部ＷＡＴＥＣの出力信号はウェイトコントロール信号－ＷＡＩＴとなり、エリア制御部ＡＲＥＡＣの出力信号はチップセレクト信号－ＣＳ０～－ＣＳ６ならびにカードイネーブル信号－ＣＥ２Ａ及び－ＣＥ２Ｂとなる。
【００６３】
メモリタイミング制御部ＭＴＣの出力信号は、バススタート信号－ＢＳ，ロウアドレスストローブ信号－ＲＡＳ／チップイネーブル信号－ＣＥ，カラムアドレスストローブ信号－ＣＡＳ／－ＣＡＳｘｘ（ここで、例えば四つのカラムアドレスストローブ信号－ＣＡＳＬＬ，－ＣＡＳＬＨ，－ＣＡＳＨＬ及び－ＣＡＳＨＨを総称して－ＣＡＳｘｘのようにｘｘを付して表す。以下同様），ライトイネーブル信号－ＷＥｘ／データコントロール信号ＤＱＭｘｘ，Ｉ／Ｏリードコントロール信号－ＩＣＩＯＲＤ／Ｉ／Ｏライトコントロール信号－ＩＣＩＯＷＲ，リード・ライトステータス信号ＲＤ／－ＷＲ，リードコントロール信号－ＲＤ，ライトプロテクト信号ＷＰ／１６ビットＩ／Ｏポート信号－ＩＯＩＳ１６ならびにクロックイネーブル信号ＣＫＥとなる。
【００６４】
アドレス制御部ＡＤＣは、キャッシュバスＣ－ＢＵＳのアドレスバスを介して伝達されるアドレス信号Ａ０～Ａ２５を外部バスＥ－ＢＵＳのアドレスバスＥＢＡ０～ＥＢＡ２５に伝達するとともに、一連のアドレスを連続アクセスするためのバーストモードにおいてアドレス信号の所定ビットを自律的に更新するアドレス生成機能を有する。
【００６５】
マルチプレクサＭＰＸは、キャッシュバスＣ－ＢＵＳ及び外部バスＥ－ＢＵＳのデータバスＥＢＤ０～ＥＢＤ３１を結合するとともに、データバスの所定ビットつまりデータバスＥＢＤ１６～ＥＢＤ２３がポートＰＯＲＴ０～ＰＯＲＴ７として使用される場合の切り替え制御を行う。このように、バスステートコントローラＢＳＣにアドレス制御部ＡＤＣを設け、バーストモードのためのアドレス生成機能を持たせることで、マイクロプロセッサの外付け部品を増やすことなく、バーストモードを有する半導体メモリ及びＰＣカードの接続を可能とし、その連続アクセスを高速化することができるものとなる。
【００６６】
ウェイト制御部ＷＡＴＥＣは、外部バスＥ－ＢＵＳのウェイト信号－ＷＡＩＴを介して行われるＰＣカード又はＩ／Ｏコントローラからのサイクル待ち合わせ要求をマイクロプロセッサＭＰＵに伝達する。また、ウェイトコントロールレジスタＷＣＲ１及びＷＣＲ２に書き込まれた各定数をもとに、リードアクセスからライトアクセスに切り替わった場合のアイドルサイクルの挿入や、各エリアに対するウェイトステート挿入を選択的に実行する。

【００６７】
エリア制御部ＡＲＥＡＣは、バスステートコントロールレジスタラＢＳＣ１に書き込まれたエリア０～エリア６の割り当て等に関する属性とキャッシュバスＣ－ＢＵＳのアドレスバスＡ２６～Ａ２８を介して供給されるエリア選択信号とをもとに、チップセレクト－ＣＳ０～－ＣＳ６ならびにカードイネーブル信号－ＣＥ２Ａ及び－ＣＥ２Ｂを選択的に形成する。
【００６８】
メモリタイミング制御部ＭＴＣは、バスコントロールレジスタＢＣＲ２に書き込まれたエリア０～エリア６のバスサイズ等に関する属性やメモリコントロールレジスタＭＣＲ，ＤＲＡＭコントロールレジスタＤＣＲ及びＰＣＭＣＩＡコントロールレジスタＰＣＲに書き込まれた定数とをもとに、各種半導体メモリ及びＰＣカードの動作制御に必要となる起動制御信号等を所定のタイミング条件で選択的に形成する。さらに、リフレッシュ制御部ＲＦＣは、リフレッシュカウンタのオーバーフロー割り込み機能を利用して、ＤＲＡＭ及びＳＤＲＡＭ等のリフレッシュ動作を制御する。
【００６９】
図１３には、図１２のバスステートコントローラＢＳＣの一実施例の状態遷移図が示されている。また、図１４には、図１２のバスステートコントローラＢＳＣの一実施例のステート構成図が示され、図１５には、その状態遷移に関する一実施例の遷移条件図が示されている。さらに、図１６ないし図１８には、図３のマイクロプロセッサＭＰＵのウェイトを伴わないメモリカードＭＥＭＣアクセス時，ウェイトを伴うメモリカードＭＥＭＣアクセス時ならびにバーストモードを用いたメモリカードＭＥＭＣアクセス時の一実施例の信号波形図がそれぞれ示され、図１９及び図２０には、図３のマイクロプロセッサＭＰＵのウェイトを伴わないＩ／ＯカードＩＯＣアクセス時ならびにウェイトを伴うＩ／ＯカードＩＯＣアクセス時の一実施例の信号波形図がそれぞれ示されている。
【００７０】
以下、図１３に沿ってバスステートコントローラＢＳＣの状態遷移に関する具体的な説明を進めるが、図１４ないし図２０はこれらの説明の過程で随時参照されたい。なお、図１３ないし図１５に示されるステートは、ＳＲＡＭ，バーストＲＯＭ及びＰＣカードの制御に関する部分的なものであり、バスステートコントローラＢＳＣは、他の半導体メモリ等の制御に関する他の多数のステートを有する。
【００７１】
図１６ないし図２０には、参考のため、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣに供給されないＩ／Ｏクロック信号ＣＫＩＯ，バススタート信号－ＢＳ及びリード・ライトステータス信号ＲＤ／－ＷＲが併せて示されている。なお、システムクロックあるいは中央処理装置の動作クロックとされるＩ／Ｏクロック信号ＣＫＩＯは、図１６ないし図２０に示される各種のタイミング信号を作成するための基準クロック信号としての意味を有する。
【００７２】
図１３において、この実施例のバスステートコントローラＢＳＣは、いわゆるステートマシンとされ、ＳＲＡＭ及びバーストＲＯＭならびにメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣの制御に関する１０個のステートＳＴ１～ＳＴ１０を有する。このうち、ステートＳＴ１は、図１４に示されるように、ＩＤＬＥステートであって、マイクロプロセッサＭＰＵの待機状態に対応する。
【００７３】
ステートＳＴ２～ＳＴ４は、ＰＣＭＣＩＡ　ＴＥＤ１ないしＰＣＭＣＩＡ　ＴＥＤ３ステートであり、ＰＣＭＣＩＡつまりメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣの起動制御信号となるライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのアドレス信号Ａ０～Ａ２５に対するセットアップ時間を１サイクル分だけ遅延させるためのものである。
【００７４】

ステートＳＴ５，ＳＴ６及びＳＴ７は、それぞれアクセス開始サイクルに対応するＮＯＲＭ　Ｔ１ステート，ウェイトサイクルに対応するＮＯＲＭ　ＴＷステートならびにアクセス終結サイクルに対応するＮＯＲＭ　Ｔ２ステートであって、ステートＳＴ８～ＳＴ１０は、ライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのアドレス信号Ａ０～Ａ２５に対するホールド時間を１サイクル分だけ遅延させるためのＰＣＭＣＩＡ　ＴＥＨ１ステート，ＰＣＭＣＩＡ　ＴＥＨ２ならびにＰＣＭＣＩＡ　ＴＥＨ３ステートである。なお、ステートＳＴ１～ＳＴ１０は、図１４の右端欄に示される形で、図１６ないし図２０の各サイクルと対応する。

【００７５】

バスステートコントローラＢＳＣがステートＳＴ１のＩＤＬＥつまり待機状態にあるとき、外部バスＥ－ＢＵＳが空き状態でメモリつまり外部バスＥ－ＢＵＳに対するアクセス要求が発生しかつＰＣＭＣＩＡコントロールレジスタＰＣＲのセットアップ遅延に関する定数ＴＥＤが１～３である遷移条件(1) が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ２に遷移し、ライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのセットアップ時間の遅延サイクルに入る。このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１７及び図２０に例示されるように、まずＴｐｃｍ０サイクル又はＴｐｃｉ０サイクルによりバススタート信号－ＢＳつまりはライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥ（リードコントロール信号－ＲＤ）のセットアップ時間がＩ／Ｏクロック信号ＣＫＩＯの１サイクル分だけ遅延される。

【００７６】

ステートＳＴ２によるセットアップ時間の１サイクル遅延が終了しかつＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤが２又は３である遷移条件(4) が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ３に遷移し、再びライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのセットアップ時間の遅延サイクルに入る。

【００７７】

このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１７及び図２０に例示されるように、Ｔｐｃｍ０ｗサイクル又はＴｐｃｉ０ｗサイクルによりバススタート信号－ＢＳつまりはライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのセットアップ時間がさらにＩ／Ｏクロック信号ＣＫＩＯの１サイクル分だけ遅延される。さらに、ステートＳＴ３によるセットアップ時間の１サイクル遅延が終了しかつＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤが２である遷移条件(3) が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ５に遷移し、アクセス開始サイクルに入る。

【００７８】

このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１７及び図２０に例示されるように、Ｔｐｃｍ１サイクル又はＴｐｃｉ１サイクルによりバススタート信号－ＢＳつまりは出力イネーブル信号－ＯＥ（Ｉ／ＯリードコントロールＩＯＲＤ信号－ＩＣ）又はライトイネーブル信号－ＷＥ１（Ｉ／ＯライトコントロールＩＯＷＲ信号－ＩＣ）がロウレベルの有効レベルとされ、アドレス信号Ａ０～Ａ２５により指定されたアドレスに対する実質的なデータの読み出し又は書き込みが実行される。

【００７９】

ステートＳＴ２においてセットアップ時間の１サイクル遅延が終了しかつＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤが１である遷移条件(2) が成立すると、バスステートコントローラＢＳＣは、そのままステートＳＴ５に遷移し、アクセス開始サイクルに入る。また、ステートＳＴ３においてセットアップ時間の１サイクル遅延が終了しかつＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤが３である遷移条件(5) が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ４に遷移し、ライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのセットアップ時間をさらに１サイクル分だけ遅延させる。そして、ステートＳＴ４におけるセットアップ時間の１サイクル遅延の終了つまり遷移条件(6) を受けてステートＳＴ５に遷移する。

【００８０】

一方、ステートＳＴ１の待機状態において、外部バスＥ－ＢＵＳが空き状態でメモリアクセス要求が発生しかつＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤが０である遷移条件(7) が成立すると、バスステートコントローラＢＳＣは、直接ステートＳＴ５に遷移し、アクセス開始サイクルに入る。このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１６及び図１９に例示されるように、ライトイネーブル信号－ＷＥ１及び出力イネーブル信号－ＯＥのセットアップ遅延のためのサイクルを挟むことなくＴｐｃｍ１サイクル又はＴｐｃｉ１サイクルが実行され、データの読み出し又は書き込みが行われる。

【００８１】

次に、ステートＳＴ５によるアクセス開始サイクルが終了し、ウェイトコントロールレジスタＷＣＲ２の定数ＷＡＩＴが例えば１である遷移条件(9) が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ６に遷移し、ウェイトサイクルに入る。このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１７及び図２０に例示されるように、二つのＴｐｃｍ１ｗ又はＴｐｃｉ１ｗによる１回分のウェイトステートが挿入され、出力イネーブル信号－ＯＥ（Ｉ／Ｏリードコントロール信号－ＩＣＩＯＲＤ）又はライトイネーブル信号－ＷＥ１（Ｉ／Ｏライトコントロール信号－ＩＣＩＯＷＲ）のハイレベルへの立ち上がりつまりデータの読み出し又は書き込み動作の終了が遅らされる。この間、ウェイトコントロール信号－ＷＡＩＴは、Ｉ／Ｏクロック信号ＣＫＩＯの次の立ち上がりエッジを包含する所定のタイミングでロウレベルとされ、その次の立ち上がりエッジを包含する所定のタイミングでハイレベルに戻される。

【００８２】

ステートＳＴ６によるウェイトサイクルが終了し遷移条件(12)が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ７に遷移し、アクセス終結サイクルに入る。このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１６ないし図２０に例示されるように、Ｔｐｃｍ２サイクル又はＴｐｃｉ２サイクルによって出力イネーブル信号－ＯＥ（Ｉ／Ｏリードコントロール信号－ＩＣＩＯＲＤ）又はライトイネーブル信号－ＷＥ１（Ｉ／Ｏライトコントロール信号－ＩＣＩＯＷＲ）がハイレベルの無効レベルに戻され、指定されたアドレスに対するデータの読み出し又は書き込み動作が終結する。なお、ステートＳＴ６において、ウェイトコントロールレジスタＷＣＲ２の定数ＷＡＩＴが２以上とされ引き続きウェイトが必要な遷移条件(10)が成立すると、バスステートコントローラＢＳＣは再度ステートＳＴ６によるウェイトサイクルを挿入する。

【００８３】

ステートＳＴ７によるアクセス終結サイクルが終了すると、バスステートコントローラＢＳＣは、バーストモード又は全サイクルの終結状態とＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤ及びＴＥＨつまりセットアップ時間及びホールド時間の遅延条件とに応じて選択的にステートＳＴ１，ＳＴ２，ＳＴ５又はＳＴ６に遷移する。すなわち、バスステートコントローラＢＳＣは、ステートＳＴ７のアクセス終結サイクル時にバーストモードが未終了である遷移条件(12)が成立した場合、ステートＳＴ６に戻り、バーストモードが終了するまでこれを繰り返す。このとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１８に例示されるように、バススタート信号－ＢＳ及び出力イネーブル信号－ＯＥ等がバースト回数だけ断続して形成されるとともに、バスステートコントローラＢＳＣのアドレス制御部ＡＤＣにより下位４ビットのアドレス信号Ａ０～Ａ３が順次生成され、一連のアドレスに対する連続アクセスが行われる。

【００８４】

一方、ステートＳＴ７のアクセス終結サイクル時、例えばバスサイズが小さいためにバイト又はワード単位の分割アクセスが行われその全サイクルが未終了であって、かつセットアップ時間及びホールド時間の遅延が必要ない遷移条件(13)が成立した場合、バスステートコントローラＢＳＣは、ステートＳＴ５に戻り、アクセスを繰り返す。このとき、セットアップ時間の遅延が必要な遷移条件(14)が成立すると、バスステートコントローラＢＳＣは、ステートＳＴ２に遷移し、またホールド時間の遅延が必要な遷移条件(16)ないし(1

8)が成立すると、その遅延サイクル数に応じてステートＳＴ８，ＳＴ９又はＳＴ１０に遷移する。

【００８５】

エリア５及びエリア６におけるメモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣのバーストモードは、キャッシュファイルの際の１６バイトのアクセスをバーストＲＯＭのページモードと同様な形で実現するためのものである。このとき、バーストモードのデータ転送回数は、バスコントロールレジスタＢＣＲ１により設定可能とされ、４回，８回又は１６回連続アクセスを任意に選択できる。バーストモードによる読み出し時の先頭アクセスサイクルでは、読み出し要求発生の原因となったデータのアクセスが行われ、残りのサイクルでは、当該データを含む１６バイトバウンダリのデータがラップアラウンドでアクセスされる。バーストモードによる書き込み時は、１６バイトバウンダリのデータに対応して先頭から順次書き込みが行われる。先頭アクセス時及び２回目以降のアクセス時のウェイトステートの挿入回数は、前述のように、ウェイトコントロールレジスタＷＣＲ２の定数ＷＡＩＴによって選択的に設定可能とされる。

【００８６】

ステートＳＴ７のアクセス終結サイクル時に全サイクルの終了が確認されかつホールド時間の遅延が必要ない遷移条件(15)が成立した場合、バスステートコントローラＢＳＣは、ステートＳＴ１に戻る。また、このとき、ＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＨが１以上とされホールド時間の遅延が必要な遷移条件(16)ないし(18)が成立した場合、バスステートコントローラＢＳＣはその遅延サイクル数つまりＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＨの値に応じて選択的にステートＳＴ８，ＳＴ９又はＳＴ１０に遷移する。

【００８７】

バスステートコントローラＢＳＣが遷移条件(16)の成立を受けてステートＳＴ８の遅延サイクルに遷移したとき、メモリカードＭＥＭＣ及びＩ／ＯカードＩＯＣでは、図１７及び図２０に例示されるように、Ｔｐｃｍ２ｗサイクル又はＴｐｃｉ２ｗサイクルが挿入され、出力イネーブル信号－ＯＥ（Ｉ／Ｏリードコントロール信号－ＩＣＩＯＲＤ）又はライトイネーブル信号－ＷＥ１（Ｉ／Ｏライトコントロール信号－ＩＣＩＯＷＲ）の立ち上がりからアドレス信号Ａ０～Ａ２５の次の遷移までのホールド時間が１サイクル分だけ遅延される。また、バスステートコントローラＢＳＣが遷移条件(17)の成立を受けてステートＳＴ９の遅延サイクルに遷移すると、Ｔｐｃｍ２ｗサイクル又はＴｐｃｉ２ｗサイクルが２回挿入されてそのホールド時間が２サイクル分遅延され、バスステートコントローラＢＳＣが遷移条件(18)の成立を受けてステートＳＴ９の遅延サイクルに遷移した場合には、Ｔｐｃｍ２ｗサイクル又はＴｐｃｉ２ｗサイクルが３回挿入されてそのホールド時間が３サイクル分遅延される。

【００８８】

ステートＳＴ８では、その遅延サイクル終了に際してステートＳＴ７と同様な終結条件の選択が行われ、バスステートコントローラＢＳＣは、全サイクルの終結状態とＰＣＭＣＩＡコントロールレジスタＰＣＲの定数ＴＥＤつまりセットアップ時間の遅延条件とに応じて選択的にステートＳＴ１，ＳＴ２又はＳＴ５に遷移する。すなわち、バスステートコントローラＢＳＣは、ステートＳＴ８の遅延サイクル終了時に全サイクルが未終了でありかつセットアップ時間の遅延が必要ない遷移条件(22)の成立を受けてステートＳＴ５に、またセットアップ時間の遅延が必要な遷移条件(21)の成立を受けてステートＳＴ２にそれぞれ戻り、アクセスを繰り返す。そして、ステートＳＴ８で全サイクルの終了が確認され遷移条件(23)が成立すると、ステートＳＴ１に戻って待機状態となる。

【００８９】

このように、各種半導体メモリやＰＣカードに対応しうる複雑な機能を有するバスステートコントローラＢＳＣをステートマシンとし、その遷移条件を各コントロールレジスタの定数書き換えにより選択的に設定できるようにすることで、外部バスＥ－ＢＵＳのエリア０ないしエリア６におけるインターフェイス条件を各エリアに結合された半導体メモリ又

はＰＣカードのそれに効率良く適合させることができるとともに、バスステートコントローラＢＳＣ自体の論理構成を簡素化し、そのシステム柔軟性を高めることができるものとなる。

【００９０】

図２１は、シンクロナスＤＲＡＭとＰＣカード（ＭＥＭＣ／（ＩＯＣ））とを本発明のマイクロプロセッサＭＰＵに接続した場合の接続例を示している。ＰＣカード（ＭＥＭＣ／（ＩＯＣ））とマイクロプロセッサＭＰＵとの接続に関しては、図９において詳細に説明されているので、図２１には、その１部分についてのみ図示される。また、ＰＣカード（ＭＥＭＣ／（ＩＯＣ））とマイクロプロセッサＭＰＵとの接続に関しての説明は、図９において詳細に説明されているので、この図では行われない。

【００９１】

図２１に示されるように、ＳＤＲＡＭ１およびＳＤＲＡＭ２のそれぞれは、２５６Ｋ×１６ビットのメモリ構成にされる。ＳＤＲＡＭ１は、マイクロプロセッサＭＰＵから出力されるアドレス信号Ａ１１－Ａ２を受けるように結合されたアドレス端子Ａ９－Ａ０と、マイクロプロセッサＭＰＵのシステムクロック入出力端子ＣＫＩＯに結合されたクロック端子ＣＫＬと、マイクロプロセッサＭＰＵのクロックイネーブル信号端子ＣＫＥに結合されたクロックイネーブル信号端子ＣＫＥと、マイクロプロセッサＭＰＵのチップセレクト信号端子－ＣＳ３に結合されたチップセレクト信号端子－ＣＳと、マイクロプロセッサＭＰＵのロウアドレスストローブ信号端子－ＲＡＳ／－ＣＥに結合されたロウアドレスストローブ信号端子－ＲＡＳと、マイクロプロセッサＭＰＵのカラムアドレスストローブ信号端子－ＣＡＳ／－ＯＥに結合されたカラムアドレスストローブ信号端子－ＣＡＳと、マイクロプロセッサＭＰＵのリード・ライトステータス信号端子ＲＤ／－ＷＲに結合されたライトイネーブル信号端子－ＷＥと、マイクロプロセッサＭＰＵのデータ入出力端子Ｄ３１－Ｄ１６にそれぞれ結合されたデータ入出力端子Ｉ／Ｏ１５－Ｉ／Ｏ０、マイクロプロセッサＭＰＵのデータコントロール信号端子ＤＱＭＵＵ及びＤＱＭＵＬにそれぞれ結合されたデータコントロール信号端子ＤＱＭＵ及びＤＱＭＬをと有する。

【００９２】

ＳＤＲＡＭ２は、マイクロプロセッサＭＰＵから出力されるアドレス信号Ａ１１－Ａ２を受けるように結合されたアドレス端子Ａ９－Ａ０と、マイクロプロセッサＭＰＵのシステムクロック入出力端子ＣＫＩＯに結合されたクロック端子ＣＫＬと、マイクロプロセッサＭＰＵのクロックイネーブル信号端子ＣＫＥに結合されたクロックイネーブル信号端子ＣＫＥと、マイクロプロセッサＭＰＵのチップセレクト信号端子－ＣＳ３に結合されたチップセレクト信号端子－ＣＳと、マイクロプロセッサＭＰＵのロウアドレスストローブ信号端子－ＲＡＳ／－ＣＥに結合されたロウアドレスストローブ信号端子－ＲＡＳと、マイクロプロセッサＭＰＵのカラムアドレスストローブ信号端子－ＣＡＳ／－ＯＥに結合されたカラムアドレスストローブ信号端子－ＣＡＳと、マイクロプロセッサＭＰＵのリード・ライトステータス信号端子ＲＤ／－ＷＲに結合されたライトイネーブル信号端子－ＷＥと、マイクロプロセッサＭＰＵのデータ入出力端子Ｄ１５－Ｄ０にそれぞれ結合されたデータ入出力端子Ｉ／Ｏ１５－Ｉ／Ｏ０、マイクロプロセッサＭＰＵのデータコントロール信号端子ＤＱＭＬＵ及びＤＱＭＬＬにそれぞれ結合されたデータコントロール信号端子ＤＱＭＵ及びＤＱＭＬをと有する。

【００９３】

図２１に示されるように、マイクロプロセッサＭＰＵと高速なアドレスアクセス時間を有するシンクロナスＤＲＡＭ（ＳＤＲＡＭ１，ＳＤＲＡＭ２）とを結合することによって、３２ビット幅のメモリとして上記シンクロナスＤＲＡＭ（ＳＤＲＡＭ１，ＳＤＲＡＭ２）を利用することが出来る。マイクロプロセッサＭＰＵのシステムクロック入出力端子ＣＫＩＯから出力されるシステムクロック信号は、中央処理装置ＣＰＵの動作クロックと同一の周波数を有するクロック信号であり、かつ、バスステートコントローラＢＳＣにも供給される。

【００９４】

図２２は、図２１に示される上記シンクロナスＤＲＡＭ（ＳＤＲＡＭ１，ＳＤＲＡＭ２）のバーストリード動作を説明するためのバスサイクル波形図を示している。なお、同図では省略されているが、クロックイネーブル信号ＣＫＥはハイレベルにされている。クロックイネーブル信号ＣＫＥは、上記シンクロナスＤＲＡＭにリフレッシュ動作させるとき、選択的に、ロウレベルにされる。バススタート信号－ＢＳは、バスサイクルをモニタするためのストローブ信号であり、上記シンクロナスＤＲＡＭには接続されない。

【００９５】

最初のサイクルＴｒでは、上記シンクロナスＤＲＡＭが割り当てられた空間に対応した信号－ＣＳ３がロウレベルにされ、ロウアドレスストローブ信号－ＲＡＳがロウレベルにされて、上記シンクロナスＤＲＡＭにロウアドレスが取り込まれる。次のサイクルＴｃでは、カラムアドレスストローブ信号－ＣＡＳがロウレベルにされて、上記シンクロナスＤＲＡＭにカラムアドレスが取り込まれる。このように中央処理装置ＣＰＵ側からのクロック信号ＣＫＩＯの立ち上がりエッジに同期して出力される信号－ＣＳ２、－ＲＡＳや－ＣＡＳ及びアドレス信号に対して、上記シンクロナスＤＲＡＭにおいてクロック信号ＣＫＩＯの立ち上がりエッジに同期して上記各信号が取り込まれる。すなわち、上記シンクロナスＤＲＡＭの読み出し動作ないし図示されない各種動作は、クロック信号ＣＫＩＯに基づき制御される。

【００９６】

３番目のサイクルＴd1では、－ＣＡＳがハイレベルにリセットされる。そして、３番目以降Ｔｄ １～Ｔｄ ４の４サイクルにわたって上記シンクロナスＤＲＡＭからデータＤ３１～Ｄ０が、１Ｄ－４Ｄとして示すように、連続して読み出される。このようなバーストリードによって、４バイト×４サイクル＝１６バイトのデータを読み出すことができる。上記のようなタイミングでの制御信号の発生は、前記バスステートコントローラＢＣＳにより形成される。

【００９７】

図２３には、上記シンクロナスＤＲＡＭ（以下、単にＳＤＲＡＭという）の一実施例のブロック図が示されている。同図に示されたＳＤＲＡＭは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような１つの半導体基板上に形成される。

【００９８】

この実施例のＳＤＲＡＭは、メモリバンクＡ（ＢＡＮＫＡ）を構成するメモリアレイ２００Ａと、メモリバンク（ＢＡＮＫＢ）を構成するメモリアレイ２００Ｂを備える。それぞれのメモリアレイ２００Ａと２００Ｂは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【００９９】

上記メモリアレイ２００Ａの図示しないワード線はロウデコーダ２０１Ａによるロウアドレス信号のデコード結果に従って１本が選択レベルに駆動される。メモリアレイ２００Ａの図示しない相補データ線はセンスアンプ及びカラム選択回路２０２Ａに結合される。センスアンプ及びカラム選択回路２０２Ａにおけるセンスアンプは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線２０４に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ２０３Ａによるカラムアドレス信号のデコード結果に従って選択動作される。

【０１００】

メモリアレイ２００Ｂ側にも同様にロウデコーダ２０１Ｂ，センスアンプ及びカラム選択回路２０２Ｂ，カラムデコーダ２０３Ｂが設けられる。上記相補共通データ線２０４は入力バッファ２１０の出力端子及び出力バッファ２１１の入力端子に接続される。入力バッファ２１０の入力端子及び出力バッファ２１１の出力端子は１６ビットのデータ入出力端

子Ｉ／Ｏ０～Ｉ／Ｏ１５に接続される。

【０１０１】

アドレス入力端子Ａ０～Ａ９から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ２０５とロウアドレスバッファ２０６にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ２０６はリフレッシュ動作モードにおいてはリフレッシュカウンタ２０８から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ２０５の出力はカラムアドレスカウンタ２０７のプリセットデータとして供給され、カラムアドレスカウンタ２０７はコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ２０３Ａ，２０３Ｂに向けて出力する。

【０１０２】

コントローラ２１２は、特に制限されないが、クロック信号ＣＫＩＯが入力される入力端子ＣＬＫと、クロックイネーブル信号ＣＫＥが入力される入力端子と、チップセレクト信号－ＣＳが入力される入力端子と、カラムアドレスストローブ信号－ＣＡＳが入力される入力端子、ロウアドレスストローブ信号－ＲＡＳが入力される入力端子と、及びライトイネーブル信号－ＷＥが入力される入力端子と、データコントロール信号ＤＱＭＵ，ＤＱＭＬが入力される入力端子とに結合される。コントローラ２１２は、上記各入力端子から供給される外部制御信号とアドレス入力端子Ａ０～Ａ９からの制御データとが供給され、これらの信号のレベルの変化やタイミングなどに基づいてＳＤＲＡＭの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック（図示せず）とモードレジスタ３０を備える。

【０１０３】

クロック信号ＣＫＩＯはＳＤＲＡＭのマクタクロックとされ、その他の外部入力信号は当該クロック信号ＣＫＩＯの立ち上がりエッジに同期して有意とされる。チップセレクト信号－ＣＳはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号－ＣＳがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、メモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。－ＲＡＳ，－ＣＡＳ，－ＷＥの各信号は通常のＤＲＡＭにおける対応信号とは機能が相違され、コマンドサイクルを定義するときに有意の信号とされる。

【０１０４】

上記ロウアドレス信号は、クロック信号ＣＫＩＯの立ち上がりエッジに同期するロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるＡ０～Ａ８のレベルによって定義される。Ａ９からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、Ａ９の入力がロウレベルの時はメモリバンクＢＡＮＫＡが選択され、ハイレベルの時はメモリバンクＢＡＮＫＢが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ２１０及び出力バッファ２１１への接続などの処理によって行うことができる。

【０１０５】

プリチャージコマンドサイクルにおけるＡ８の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、Ａ９で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。上記カラムアドレス信号は、クロック信号ＣＫＩＯの立ち上がりエッジに同期するリード又はライトコマンド（カラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるＡ０～Ａ７のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【０１０６】
このように、シンクロナスＤＲＡＭの動作は、クロック信号ＣＫＩＯに基づいて制御されている。一方、ＰＣカードとしてのメモリカードＭＥＭＣないしＩ／ＯカードＩＯＣの動作制御も、バスステートコントローラＢＳＣの動作説明から理解されるように、クロック信号ＣＫＩＯに基づいて制御されている。したがって、シンクロナスＤＲＡＭを高速に動作させながら、ＰＣカード（メモリカードＭＥＭＣ、Ｉ／ＯカードＩＯＣ）の動作制御させる場合、ＰＣカードの起動信号としての出力イネーブル信号－ＯＥないしライトイネーブル信号－ＷＥのクロック信号ＣＫＩＯの立ち下がりあるいはアドレス信号に対するセットアップ時間などが、ＰＣカードの規格を満足できない場合が発生する。
【０１０７】
そのため、バスステートコントローラＢＳＣの動作説明ないし図１７及び図２０から理解されるように、バスステートコントローラＢＳＣにＰＣＭＣＩＡコントロールレジスタＰＣＲが設けられ、ＰＣＭＣＩＡコントロールレジスタＰＣＲのセットアップ遅延の関する定数ＴＥＤないしホールド遅延に関する定数ＴＥＨに基づいて、ＰＣカードの起動信号としての出力イネーブル信号－ＯＥないしライトイネーブル信号－ＷＥのクロック信号ＣＫＩＯの立ち下がりあるいはアドレス信号に対するセットアップ時間やホールド時間などが制御される。
【０１０８】
このように、ＰＣカードの起動信号としての出力イネーブル信号－ＯＥないしライトイネーブル信号－ＷＥのクロック信号ＣＫＩＯの立ち下がりあるいはアドレス信号に対するセットアップ時間などを制御することが出来るので、ＰＣカードとシンクロナスＤＲＡＭとを本発明のマイクロプロセッサＭＰＵに同時に結合させても、本発明のマイクロプロセッサＭＰＵは、不都合なくＰＣカードとシンクロナスＤＲＡＭに対するアクセスを行うことが出来る。
【０１０９】
以上の実施例により得られる作用効果は、下記の通りである。すなわち、
（１）パーソナルコンピュータ等に内蔵されるマイクロプロセッサに、外部バスに結合されかつＲＯＭ，バーストＲＯＭ，ＳＲＡＭ，ＰＳＲＡＭ，ＤＲＡＭ及びシンクロナスＤＲＡＭ等の各種半導体メモリやメモリカード及びＩ／Ｏカード等のＰＣカードのインターフェイスを並行制御しうるバスステートコントローラを設けることで、インターフェイス制御のための外付け部品を削減しつつ、各種の半導体メモリ及びＰＣカードを直接かつ同時にマイクロプロセッサの外部バスに結合することができるという効果が得られる。
【０１１０】
（２）上記（１）項において、外部バスのアドレス空間を所定数のエリアに分割し、これらのエリアに各種半導体メモリ又はＰＣカードを固定的に割り当てるとともに、マイクロプロセッサにその内部における論理アドレスを外部バスにおける物理アドレスに変換するメモリ管理ユニットを設けることで、外部バスＥ－ＢＵＳの物理アドレスによる制約からユーザを解放し、自由な論理アドレス空間を有するソフトウェアを構築できるという効果が得られる。
【０１１１】
（３）上記（１）項及び（２）項において、Ｉ／Ｏカードの物理アドレス空間をさらに二分し、Ｉ／Ｏカードがメモリとして機能する場合の物理アドレスと入出力装置として機能する場合の物理アドレスとを独立に割り当てるとともに、これらのアドレス空間をアドレス信号の所定ビットにより選択的に指定できるようにすることで、Ｉ／Ｏカードのメモリ又は入出力装置としての機能をソフトウェアによりダイナミックに切り替えることができるという効果が得られる。
【０１１２】
（４）上記（１）項ないし（３）項において、バスステートコントローラをステートマシンとし、各エリアに割り当てられた半導体メモリ又はＰＣカードの種類及びその動作条件等をソフトウェアによって容易に設定しうるコントロールレジスタを設けることで、各エ

リアにおけるインターフェイス条件を対応する半導体メモリ又はＰＣカードのインターフェイス条件に効率良く適合させることができるとともに、バスステートコントローラ自体の論理構成を簡素化し、そのシステムの柔軟性を高めることができる

【０１１３】

（５）上記（１）項ないし（４）項において、バスステートコントローラに、バーストモードのためのアドレス生成機能を持たせることで、マイクロプロセッサの外付け部品を増やすことなく、バーストモードを有する半導体メモリ及びＰＣカードを結合し、そのアクセスを高速化できるという効果が得られる。

【０１１４】

（６）上記（１）項ないし（５）項により、マイクロプロセッサの使い勝手を改善できるとともに、マイクロプロセッサを内蔵しかつＰＣカードインターフェイスを有するパーソナルコンピュータ等の設計工数を削減し外付け部品数を削減して、その低コスト化を図ることができるという効果が得られる。

【０１１５】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１において、マイクロプロセッサＭＰＵつまりマザーボードＭＢＤの外部バスＥ－ＢＵＳに結合される半導体メモリ及びＰＣカードの種類及び数ならびにその組み合わせは、種々の実施形態を採りうる。また、パーソナルコンピュータは、各種の入出力装置を備えることができるし、そのブロック構成や接続形態も任意である。図２において、パーソナルコンピュータの外観構成は、これらの実施例による制約を受けない。図３において、マイクロプロセッサＭＰＵは任意のブロック構成を採りうるし、そのバス形態も任意である。図４において、示されるマイクロプロセッサＭＰＵの基板配置は本の一例であって、本発明に制約を与えない。

【０１１６】

図５及び図６において、外部バスＥ－ＢＵＳの物理アドレス空間は、任意数のエリアに分割できるし、その各種半導体メモリ及びＰＣカードに対する割り当ても任意に設定できる。図７ないし図１１において、外部バスＥ－ＢＵＳの信号構成や各信号の有効レベル及び機能ならびに各種半導体メモリ及びＰＣカードとの組み合わせ等は、これらの実施例による制約を受けない。

【０１１７】

図１２において、バスステートコントローラＢＳＣのブロック構成は、設けられるレジスタの種類及び組み合わせを含めて任意である。図１３ないし図１５において、バスステートコントローラＢＳＣのステートマシンとしての論理構成ならびに各ステートの機能及び遷移条件等は、種々の実施形態を採りうる。図１６ないし図２０において、各アクセスモードにおけるアドレス信号及び起動制御信号等の論理レベル及び時間関係等は、この実施例により制約されない。

【０１１８】

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるパーソナルコンピュータを構成するマイクロプロセッサに適用した場合について説明したが、それに限定されるものではなく、例えば、各種の携帯情報端末及びコンピュータを構成する同様なマイクロプロセッサにも適用できる。この発明は、少なくとも外部バスを有するマイクロプロセッサならびにこのようなマイクロプロセッサを含む装置又はシステムに広く適用できる。

【０１１９】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、パーソナルコンピュータ及び携帯情報端末等に内蔵されるマイクロプロセッサに、その外部バスに結合されかつＲＯＭ，バーストＲＯＭ，ＳＲＡＭ，ＰＳＲＡＭ，ＤＲＡＭ及びシンクロナスＤＲＡＭ等の各種半導体メモリやメモリカ

ード及びＩ／Ｏカード等のＰＣカードのインターフェイスを並行制御しうるバスステートコントローラを設けることで、インターフェイス制御のための外付け部品を削減しつつ、各種半導体メモリ及びＰＣカードとを直接かつ同時にマイクロプロセッサに結合できる。

【０１２０】

マイクロプロセッサの外部バスのアドレス空間を所定数のエリアに分割し、各エリアに各種半導体メモリ又はＰＣカードを固定的に割り当てるとともに、マイクロプロセッサにその内部における論理アドレスを外部バスにおける物理アドレスに変換するメモリ管理ユニットを設けることで、マイクロプロセッサの外部バスの物理アドレスによる制約からユーザを解放し、自由な論理アドレス空間を有するソフトウェアを構築することができる。

【０１２１】

Ｉ／Ｏカードの物理アドレス空間をさらに二分割し、Ｉ／Ｏカードがメモリとして機能する場合の物理アドレスと入出力装置として機能する場合のそれとを独立に割り当てるとともに、これらのアドレス空間をアドレス信号の所定ビットにより選択できるようにすることで、Ｉ／Ｏカードのメモリ又は入出力装置としての機能をソフトウェアによりダイナミックに切り替えることができる。

【０１２２】

バスステートコントローラをステートマシンとし、各エリアに割り当てられた半導体メモリ又はＰＣカードの種類及びその動作条件等をソフトウェアにより容易に設定しうるコントロールレジスタを設けることで、各エリアにおけるインターフェイス条件を対応する半導体メモリ又はＰＣカードのインターフェイス条件に効率良く適合させることができるとともに、バスステートコントローラ自体の論理構成を簡素化し、そのシステムの柔軟性を高めることができる。

【０１２３】

バスステートコントローラに、一連のアドレスを連続アクセスするバーストモードのためのアドレス生成機能を持たせることで、マイクロプロセッサの外付け部品を増やすことなく、バーストモードを有する半導体メモリ及びＰＣカードをマイクロプロセッサに結合し、そのアクセスを高速化できる。

【０１２４】

以上の結果、マイクロプロセッサの使い勝手を改善できるとともに、マイクロプロセッサを内蔵しかつＰＣカードインターフェイスを有するパーソナルコンピュータ等の設計工数を削減し、その外付け部品数を削減して、パーソナルコンピュータ等の低コスト化を図ることができる。

【図面の簡単な説明】

【図１】この発明に係るマイクロプロセッサを含むパーソナルコンピュータの一実施例を示すシステム構成図である。

【図２】図１のパーソナルコンピュータの一実施例を示す外観構成図である。

【図３】図１のパーソナルコンピュータに含まれるマイクロプロセッサの一実施例を示すブロック図である。

【図４】図３のマイクロプロセッサの一実施例を示す基板配置図である。

【図５】図３のマイクロプロセッサの外部バスのアドレス空間を説明するための一実施例を示すアドレスマップ図である。

【図６】図３のマイクロプロセッサの外部バスのエリア５及びエリア６におけるアドレス空間を説明するための一実施例を示すアドレスマップ図である。

【図７】図３のマイクロプロセッサの外部バスの接続形態を説明するための一実施例を示す部分的な接続図である。

【図８】図３のマイクロプロセッサの外部バスの接続形態を説明するための一実施例を示す他の部分的な接続図である。

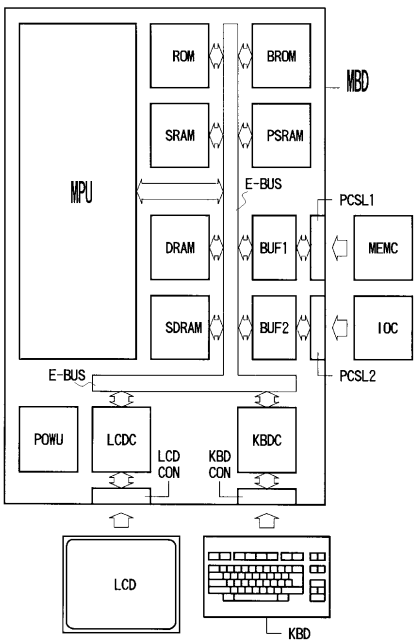
【図９】図７及び図８の外部バスにＰＣカードが結合される場合の一実施例を示す部分的なインターフェイス構成図である。

【図１０】図７及び図８の外部バスの一実施例を示す部分的な信号構成図である。

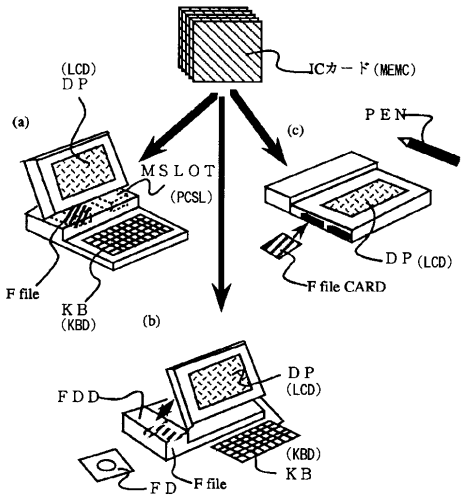
【図１１】図７及び図８の外部バスの一実施例を示す他の部分的な信号構成図である。
【図１２】図３のマイクロプロセッサに含まれるバスステートコントローラの一実施例を示すブロック図である。
【図１３】図１２のバスステートコントローラの一実施例を示す状態遷移図である。
【図１４】図１３のバスステートコントローラの一実施例を示すステート構成図である。
【図１５】図１３のバスステートコントローラの状態遷移を説明するための一実施例を示す遷移条件図である。
【図１６】図３のマイクロプロセッサのウェイトを伴わないメモリカードアクセス時の一実施例を示す信号波形図である。
【図１７】図３のマイクロプロセッサのウェイトを伴うメモリカードアクセス時の一実施例を示す信号波形図である。
【図１８】図３のマイクロプロセッサのバーストモードを用いたメモリカードアクセス時の一実施例を示す信号波形図である。
【図１９】図３のマイクロプロセッサのウェイトを伴わないＩ／Ｏカードアクセス時の一実施例を示す信号波形図である。
【図２０】図３のマイクロプロセッサのウェイトを伴うＩ／Ｏカードアクセス時の一実施例を示す信号波形図である。
【図２１】図３のマイクロプロセッサにＰＣカードとシンクロナスＤＲＡＭとが結合される場合の一実施例を部分的に示すインターフェイス構成図である。
【図２２】シンクロナスＤＲＡＭアクセス時の一実施例を示す信号波形図である。
【図２３】シンクロナスＤＲＡＭの一実施例を示すブロック図である。
【符号の説明】
ＭＢＤ…マザーボード、ＰＯＷＵ…電源ユニット、ＭＰＵ…マイクロプロセッサ、Ｅ－ＢＵＳ…外部バス、ＲＯＭ…リードオンリメモリ、ＢＲＯＭ…バーストＲＯＭ、ＳＲＡＭ…スタティック型ＲＡＭ、ＰＳＲＡＭ…疑似ＳＲＡＭ、ＤＲＡＭ…ダイナミック型ＲＡＭ、ＳＤＲＡＭ…シンクロナスＤＲＡＭ、ＢＵＦ１～ＢＵＦ２…ＰＣカードバッファ、ＰＣＳＬ１～ＰＣＳＬ２…ＰＣカードスロット、ＭＥＭＣ…メモリカード、ＩＯＣ…Ｉ／Ｏカード、ＬＣＤＣ…ディスプレイコントローラ、ＬＣＤＣＯＮ…ディスプレイ用コネクタ、ＬＣＤ（ＤＰ）…液晶ディスプレイ、ＫＢＤＣ…キーボードコントローラ、ＫＢＤＣＯＮ…キーボード用コネクタ、ＫＢＤ（ＫＢ）…キーボード、
ＭＳＬＯＴ…ＰＣカードスロット、Ｆｆｉｌｅ…ファイル、ＦＤＤ…フロッピーディスクドライブ、ＰＥＮ…入力ペン。
ＣＰＵ…中央処理ユニット、ＡＬＵ…演算器、ＭＵＬＴ…乗算器、ＭＭＵ…メモリ管理ユニット、ＴＬＢ…アドレス変換テーブル、ＣＡＣＨＥ（Ｃａｃｈｅ）…キャッシュメモリ、ＢＳＣ…バスステートコントローラ、ＲＥＦＣ…リフレッシュコントローラ、ＤＭＡＣ…ダイレクトメモリアクセスコントローラ、ＴＩＭ（Ｔｉｍｅｒ）…タイマ回路、ＳＣＩ…シリアルコミュニケーションインターフェイス、Ｄ／Ａ（Ｄ／Ａｃｏｎｖｅｒｔｅｒ）ディジタル／アナログ変換回路、Ａ／Ｄ（Ａ／Ｄｃｏｎｖｅｒｔｅｒ）…アナログ／ディジタル変換回路、ＩＮＴＣ…割り込みコントローラ、ＣＰＧ…クロック発生回路、Ｓ－ＢＵＳ…システムバス、Ｃ－ＢＵＳ…キャッシュバス、Ｐ－ＢＵＳ…周辺バス、
ＥＮＣＯＤＲ…エンコーダ、ＯＧ…オアゲート、ＰＯＲＴ…ポート、
ＣＢＩＦ…キャッシュバスインターフェイス部、Ｍ－ＢＵＳ…ＢＳＣモジュールバス、ＡＤＲ…アドレスレジスタ、ＡＤＣ…アドレス制御部、ＤＴＲ…データレジスタ、ＭＰＸ…マルチプレクサ、ＷＣＲ１～ＷＣＲ２…ウェイトコントロールレジスタ、ＷＡＴＥＣ…ウェイト制御部、ＢＣＲ１～ＢＣＲ２…バスコントロールレジスタ、ＡＲＥＡＣ…エリア制御部、ＭＣＲ…メモリコントロールレジスタ、ＤＣＲ…ＤＲＡＭコントロールレジスタ、ＰＣＲ…ＰＣＭＣＩＡコントロールレジスタ、ＭＴＣ…メモリタイミング制御部、ＲＦＣＲ…リフレッシュカウントレジスタ、ＲＴＣＮＴ…リフレッシュタイマカウントレジスタ、ＲＴＣＯＲ…リフレッシュタイムコンスタントレジスタ、ＲＴＣＳＲ…リフレッシュタイマコントロールステータスレジスタ、ＲＦＣ…リフレッシュ制御部、ＳＴ１～ＳＴ１０

…ステート、
２２…ＳＤＲＡＭ、３０…モードレジスタ、２００Ａ，２００Ｂ…メモリアレイ、２０１Ａ，２０１Ｂ…ロウデコーダ、２０２Ａ，２０２Ｂ…センスアンプ及びカラム選択回路、２０３Ａ，２０３Ｂ…カラムデコーダ、２０５…カラムアドレスバッファ、２０６…ロウアドレスバッファ、２０７…カラムアドレスカウンタ、２０８…リフレッシュカウンタ、２１０…入力バッファ、２１１…出力バッファ、２１２…コントローラ。

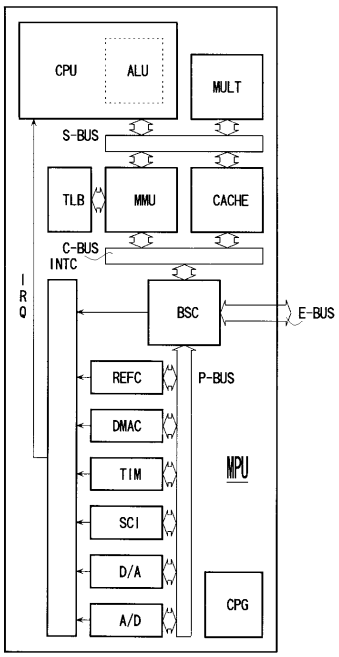
【図１】
図1 パーソナルコンピュータのシステム構成



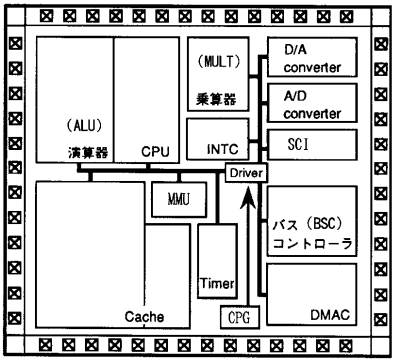
【図２】
図2



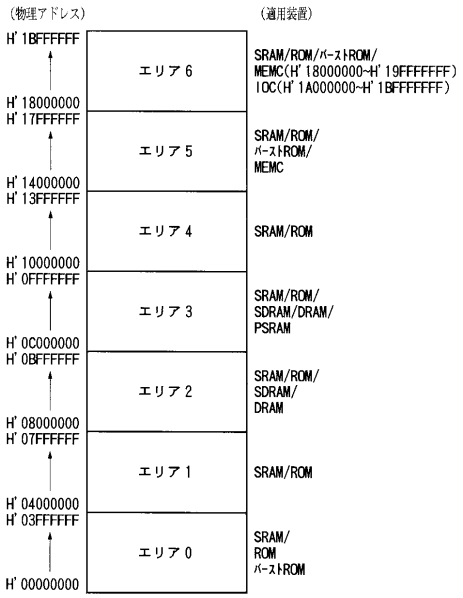
【図３】
図3 マイクロプロセッサのブロック構成



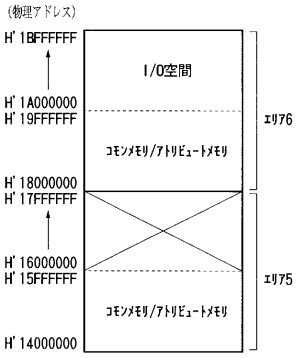
【図４】
図4



【図５】
図5 外部バスのアドレスマップ

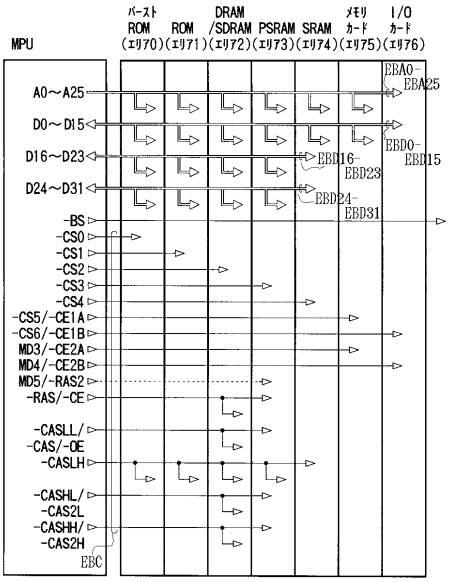


【図６】
図6 エリア５及びエリア６のアドレスマップ



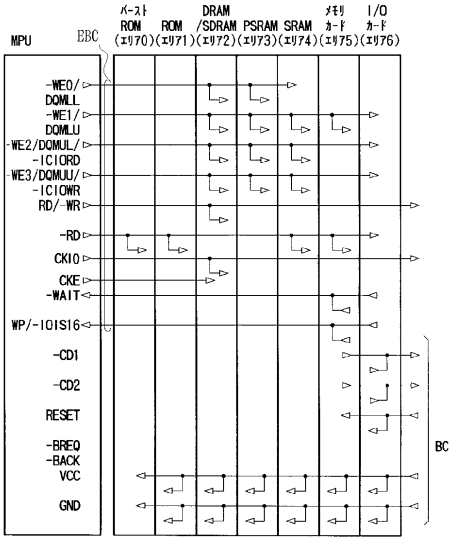
【図７】

図7 外部バスの接続形態（1／2）



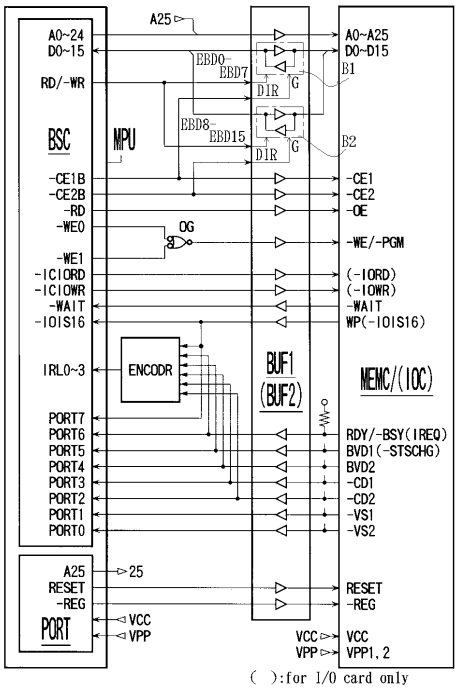
【図８】

図8 外部バスの接続形態（2／2）



【図９】

図9 ＰＣカード接続時のインターフェイス



【図１０】

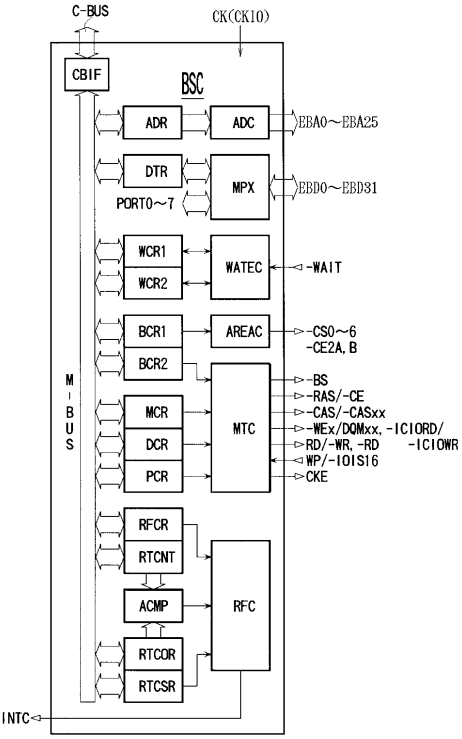
図10 外部バスの信号構成（1／2）

信号名称	入出力	機能			備考
		半導体メモリ	メモリカード	I/Oカード	
A0～25	出力	アドレス出力	アドレス出力	アドレス出力	
D0～15	入出力	データ入出力	データ入出力	データ入出力	
D16～23/PORT0～7		データ入出力 ポート入力/出力	—	—	バス幅32ビット時 バス幅16ビット時
D24～31		データ入出力	—	—	
-BS	出力	バスサイクル開始	バスサイクル開始	バスサイクル開始	バースト時はサイクル毎にアサート
-CS0～4	出力	チップセレクト	—	—	
-CS5/-CE1A		チップセレクト	カードセレクト1	—	エリア5はメモリカードのみ
-CS6/-CE1B		チップセレクト	カードセレクト1	カードセレクト1	
MD3/-CE2A	出力	バス幅設定	カードセレクト2	—	バス幅設定はエリア0用 -CE2Aはエリア5用 -CE2Bはエリア6用
MD4/-CE2B			カードセレクト2	カードセレクト2	
MD5/-RAS2		エンディアン設定 -RAS2	—	—	リセット時のエンディアン設定 -RAS2は2セット目のDRAM
-RAS/-CE	出力	-RAS -CE	—	—	DRAM/SRAM用 PSRAM用
-CASLL/-CAS/-OE	出力	-CASLL -CAS -OE	—	—	DRAM用D0～7に対応 SDRAM用 PSRAM用
-CASLH		-CASLH	—	—	DRAM用D8～15に対応
-CASHL/-CAS2L		-CASHL -CAS2L	—	—	DRAM用D16～23に対応 2DRAM用D0～7に対応
-CASHH/-CAS2H		-CASHH -CAS2H	—	—	DRAM用D24～31に対応 2DRAM用D8～15に対応

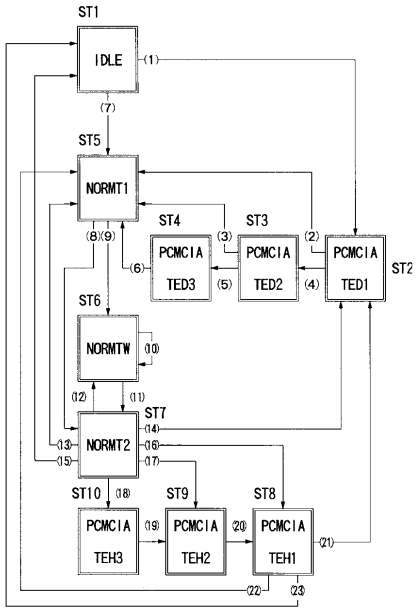
【図１１】
図11 外部バスの信号構成（2／2）

信号名称	入出力	機能			備考
		半導体メモリ	メモリカード	I/Oカード	
-WE0/ DQMLL	出力	DQMLL -WE0	—	—	SDRAM用D0～7に対応 他メモリ用 〃
-WE1/ DQMLU		DQMLU -WE1	—	—	SDRAM用D8～15に対応 他メモリ用 〃
-WE2/ DQMUL/ -ICIORD		DQMUL -WE2 —	—	— -ICIORD	SDRAM用D16～23に対応 他メモリ用 〃 エリア6用IOリードコントロール
-WE3/ DQMUU/ -ICIOWR		DQMUU -WE3 —	—	— -ICIOWR	SDRAM用D24～31に対応 他メモリ用 〃 エリア6用IOライトコントロール
RD/-WR	出力	-WE	-WE/-PGM	-WE/-PGM	半導体はDRAM, SDRAM
-RD		-OE	-OE	-OE	半導体はSRAM
CKE	出力	CKE	—	—	SDRAM用クロックイネーブル
-WAIT	入力	—	-WAIT	-WAIT	エリア5, 6用ウェイト要求
WP/ -IOIS16	入力	—	WP —	— -IOIS16	エリア5, 6用ライトプロテクト エリア6用バス幅16ビット指定
-CD1, -CD2	入力	—	—	—	カード差し込み検出
RESET	-	—	RESET	RESET	エリア5, 6用リセット指示
-BREQ	入力	—	—	—	I/Oコントローラ用
-BACK	出力	—	—	—	I/Oコントローラ用
VCC	-	VCC	VCC	VCC	電源電圧
GND	-	GND	GND	GND	接地電位

【図１２】
図12 バスステートコントローラのブロック構成



【図１３】
図13 バスステートコントローラの状態遷移（部分）



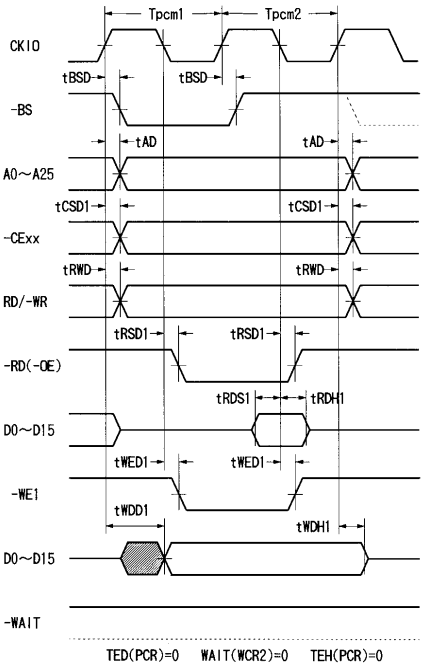
【図１４】
図14 バスステートコントローラのステート（部分）

番号	ステート名称	バスステートコントローラの状態	対応サイクル
ST1	IDLE	待機状態	
ST2	PCMCIA TED1	PCMCIA-WE/-OEセットアップ時間1サイクル遅延	Tpcm0, Tpci0
ST3	PCMCIA TED2	PCMCIA-WE/-OEセットアップ時間1サイクル遅延	Tpcm0w, Tpci0w
ST4	PCMCIA TED3	PCMCIA-WE/-OEセットアップ時間1サイクル遅延	Tpcm0w, Tpci0w
ST5	NORM T1	アクセス開始サイクル	Tpcm1, Tpci1
ST6	NORM TW	ウェイトサイクル	Tpcm1w, Tpci1w
ST7	NORM T2	アクセス終結サイクル	Tpcm2, Tpci2
ST8	PCMCIA TEH1	PCMCIA-WE/-OEホールド時間1サイクル遅延	Tpcm2w, Tpci2w
ST9	PCMCIA TEH2	PCMCIA-WE/-OEホールド時間1サイクル遅延	Tpcm2w, Tpci2w
ST10	PCMCIA TEH3	PCMCIA-WE/-OEホールド時間1サイクル遅延	Tpcm2w, Tpci2w

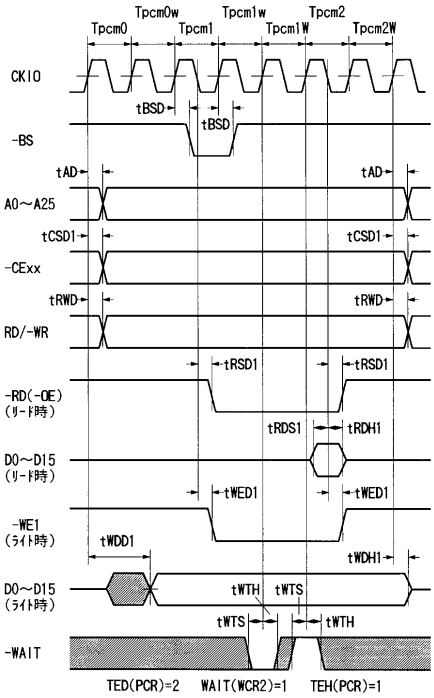
【図１５】
図15 バスステートコントローラの状態遷移の条件（部分）

番号	状態遷移の条件
(1)	外部バス空き状態でメモリアクセス要求発生（セットアップ遅延あり：PCRのTED=1～3）
(2)～(3)	ステートST2又はST3によるセットアップ遅延終了（PCRのTED=1又は2）
(4)～(5)	ステートST2又はST3によるセットアップ遅延終了（PCRのTED=2又は3）
(6)	ステートST4によるセットアップ遅延終了（PCRのTED=3）
(7)	外部バス空き状態でメモリアクセス要求発生（セットアップ遅延なし：PCRのTED=0）
(8)	アクセス開始サイクル終了（ウェイトなし：WCR2のWAIT=0）
(9)	アクセス開始サイクル終了（ウェイトあり：WCR2のWAIT=1～7）
10	ウェイトサイクル末終了
11	ウェイトサイクル終了
12	アクセス終結サイクル終了（バースト末終了）
13	アクセス終結サイクル終了（ホールド遅延なし・セットアップ遅延なし・全サイクル末終了）
14	アクセス終結サイクル終了（ホールド遅延なし・セットアップ遅延あり・全サイクル末終了）
15	アクセス終結サイクル終了（ホールド遅延なし・全サイクル終了）
16～18	アクセス終結サイクル終了（ホールド遅延あり・PCRのTEH=1～3）
19	ステートST10によるホールド遅延終了（PCRのTEH=3）
20	ステートST9によるホールド遅延終了（PCRのTEH=2又は3）
21	ステートST8によるホールド遅延終了（セットアップ遅延あり・全サイクル末終了）
22	ステートST8によるホールド遅延終了（セットアップ遅延なし・全サイクル末終了）
23	ステートST8によるホールド遅延終了（全サイクル終了）

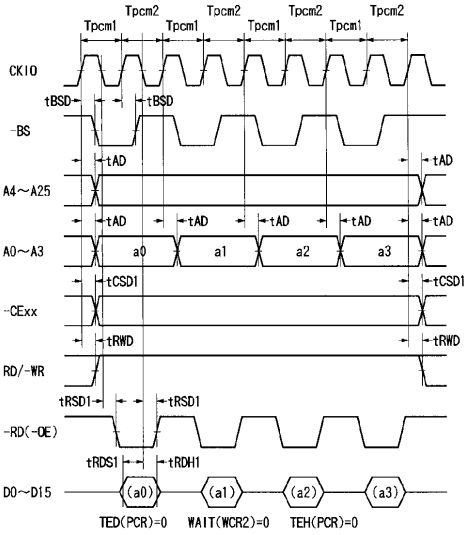
【図１６】
図16 メモリカードアクセス時の信号波形（ウェイトなし）



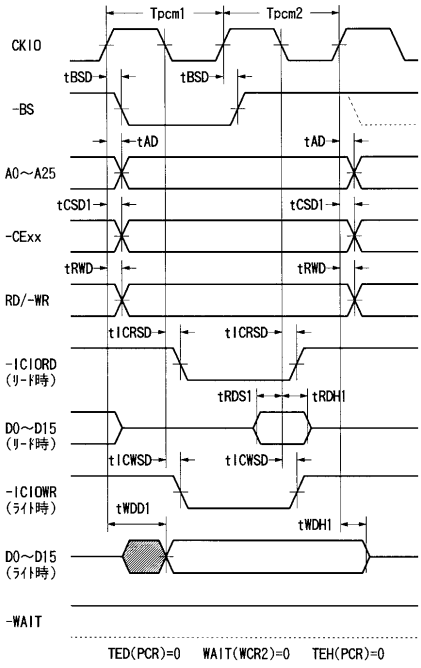
【図１７】
図17 メモリカードアクセス時の信号波形（ウェイトあり）



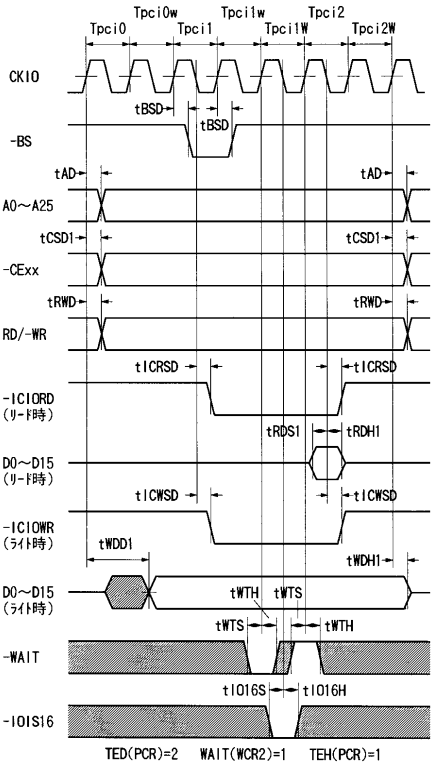
【図１８】
図18 メモリカードアクセス時の信号波形（バーストモード）



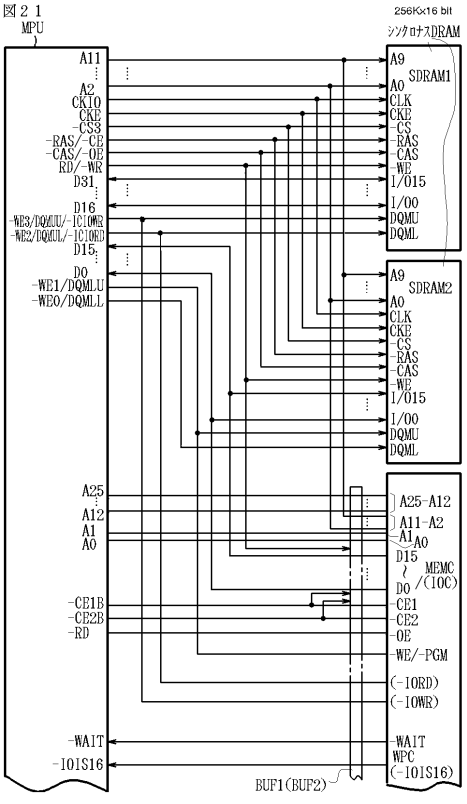
【図１９】
図19 I/Oカードアクセス時の信号波形（ウェイトなし）



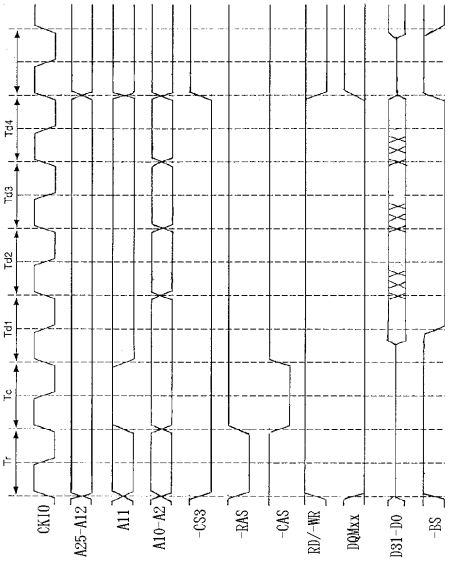
【図２０】
図20 I/Oカードアクセス時の信号波形（ウェイトあり）



【図２１】
図２１

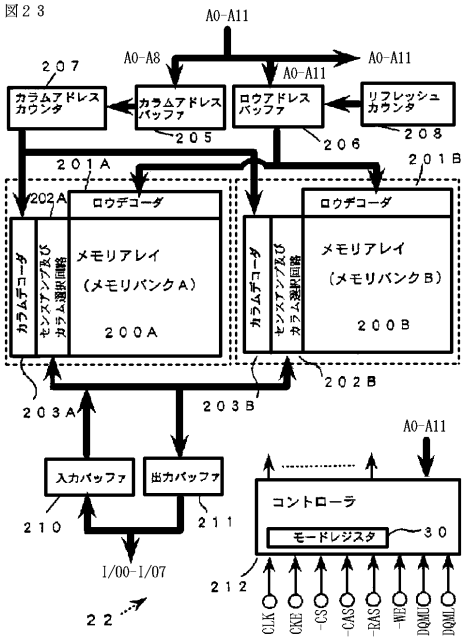


【図２２】
図２２



【図２３】

図２３


A0-A11
A0-A8
A0-A11
A0-A11
207
カラムアドレスカウンタ
カラムアドレスバッファ
205
ロウアドレスバッファ
206
リフレッシュカウンタ
208
201A
201B
202A
ロウデコーダ
ロウデコーダ
カラムデコーダ
センスアンプ及びカラム選択回路
メモリアレイ（メモリバンクA）
200A
カラムデコーダ
センスアンプ及びカラム選択回路
メモリアレイ（メモリバンクB）
200B
202B
203A
203B
A0-A11
入力バッファ
出力バッファ
210
211
コントローラ
モードレジスタ
30
I/00-I/07
22
212
CLK
CKE
-CS
-CAS
-RAS
-WE
DQMU
DQML

フロントページの続き

(72)発明者　成田　進
東京都小平市上水本町５丁目２０番１号　株式会社　日立製作所　半導体事業部内
(72)発明者　根本　正人
茨城県日立市幸町３丁目２番１号　日立エンジニアリング株式会社内

審査官　滝谷　亮一

(56)参考文献　特開平０６－１５００２３（ＪＰ，Ａ）
特開平０４－０８０８１１（ＪＰ，Ａ）
特開平０４－１９２０４７（ＪＰ，Ａ）
特開昭６４－０６２７４１（ＪＰ，Ａ）
特開平０３－２７６３８２（ＪＰ，Ａ）
特開平０４－３４６１５３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F 15/78
G06F 12/06