

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5335273号
(P5335273)

(45) 発行日 平成25年11月6日 (2013. 11. 6)

(24) 登録日 平成25年8月9日 (2013. 8. 9)

(51) Int. Cl.	F I
G09G 5/00 (2006.01)	G09G 5/00 550R
G09G 5/391 (2006.01)	G09G 5/00 550P
H04N 5/04 (2006.01)	G09G 5/00 520V
	H04N 5/04 Z

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2008-107725 (P2008-107725)	(73) 特許権者	000001007
(22) 出願日	平成20年4月17日 (2008. 4. 17)		キヤノン株式会社
(65) 公開番号	特開2009-258416 (P2009-258416A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年11月5日 (2009. 11. 5)	(74) 代理人	100085006
審査請求日	平成23年4月6日 (2011. 4. 6)		弁理士 世良 和信
		(74) 代理人	100100549
			弁理士 川口 嘉之
		(74) 代理人	100106622
			弁理士 和久田 純一
		(74) 代理人	100131532
			弁理士 坂井 浩一郎
		(74) 代理人	100125357
			弁理士 中村 剛
		(74) 代理人	100131392
			弁理士 丹羽 武司

最終頁に続く

(54) 【発明の名称】 メモリ制御装置及びメモリの制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の領域を有するメモリと、

第1の同期信号に同期して前記メモリの各領域に画像データを順次書き込み、前記第1の同期信号とは非同期に生成される第2の同期信号に同期して画像データを前記メモリのいずれかの領域から読み出すメモリ制御部と、

前記第1の同期信号を基準にして参照タイミングを決定するタイミング決定部と、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後に基づいて、前記メモリ制御部により画像データを読み出す領域を決定する領域決定部であって、前記参照タイミングよりも後に前記第2の同期信号が検出された場合は画像データを書き込み中の領域と同じ領域から画像データが読み出され、前記参照タイミングよりも前に前記第2の同期信号が検出された場合は画像データを書き込み中の領域の前に画像データの書き込みが行われた領域から画像データが読み出されるように、読み出す領域を決定する領域決定部と、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な近さに基づいて、前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後の入れ替わりが発生すると予測される期間である交替期間を検出する交替期間検出部と、

を備え、

前記タイミング決定部は、前記参照タイミングに比べて前記第2の同期信号が検出され

10

20

るタイミングが時間的に先行していた場合に、前記交替期間内の前記参照タイミングを早め、前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に後れていた場合に、前記交替期間内の前記参照タイミングを遅らせる
ことを特徴とするメモリ制御装置。

【請求項2】

前記第2の同期信号の周期と前記第1の同期信号の周期のうちいずれの周期のほうが速いかを検出する速度差検出部をさらに備え、

前記第2の同期信号の周期よりも前記第1の同期信号の周期のほう10が速い場合に、前記タイミング決定部は、前記交替期間内の参照タイミングを前記交替期間外の参照タイミングである第2のタイミングよりも早い第1のタイミングに設定し、

前記第1の同期信号の周期よりも前記第2の同期信号の周期のほう10が速い場合に、前記タイミング決定部は、前記交替期間内の参照タイミングを前記第2のタイミングよりも遅い第3のタイミングに設定する

ことを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】

前記速度差検出部は、

前記交替期間の前において前記第2の同期信号が検出されるタイミングと前記第2のタイミングのうちいずれが時間的に先行しているかを調べ、

前記第2のタイミングよりも前記第2の同期信号が検出されるタイミングが時間的に先行していた場合に前記第1の同期信号の周期のほう20が速いと判定し、

前記第2の同期信号が検出されるタイミングよりも前記第2のタイミングが先行していた場合に前記第2の同期信号の周期のほう20が速いと判定する

ことを特徴とする請求項2に記載のメモリ制御装置。

【請求項4】

前記第2のタイミングよりも前に第1のウィンドウを設定し、前記第2のタイミングよりも後に第2のウィンドウを設定するウィンドウ設定部をさらに備え、

前記速度差検出部は、前記第1のウィンドウで前記第2の同期信号を検出した場合に前記第1の同期信号の周期のほう30が速いと判定し、前記第2のウィンドウで前記第2の同期信号を検出した場合に前記第2の同期信号の周期のほう30が速いと判定する

ことを特徴とする請求項3に記載のメモリ制御装置。

【請求項5】

複数の領域を有するメモリの制御方法であって、

第1の同期信号に同期して前記メモリの各領域に画像データを順次書き込む書き込み工程と、

前記第1の同期信号とは非同期に生成される第2の同期信号に同期して画像データを前記メモリのいずれかの領域から読み出す読み出し工程と、を有し、

前記読み出し工程では、前記第1の同期信号を基準にして決定される参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後に基づいて、前記参照タイミングよりも後に前記第2の同期信号が検出された場合は画像データを書き込み中の領域と同じ領域から画像データが読み出され、前記参照タイミングよりも前に前記第2の同期信号が検出された場合は画像データを書き込み中の領域の前に画像データの書き込みが行われた領域から画像データが読み出されるように、読み出す領域が決定され、
40

前記制御方法がさらに、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な近さに基づいて、前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後の入れ替わりが発生すると予測される期間である交替期間を検出する工程と、

前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に先行していた場合に、前記交替期間内の前記参照タイミングを早め、前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に後れていた場合に、前記交替期間内の前記参照タイミングを遅らせるタイミング決定工程と、を有する
50

ことを特徴とするメモリの制御方法。

【請求項 6】

前記第 2 の同期信号の周期と前記第 1 の同期信号の周期のうちいずれの周期のほうが速いかを検出する速度差検出工程をさらに有し、

前記タイミング決定工程では、

前記第 2 の同期信号の周期よりも前記第 1 の同期信号の周期のほうが速い場合に、前記交替期間内の参照タイミングを前記交替期間外の参照タイミングである第 2 のタイミングよりも早い第 1 のタイミングに設定し、

前記第 1 の同期信号の周期よりも前記第 2 の同期信号の周期のほうが速い場合に、前記交替期間内の参照タイミングを前記第 2 のタイミングよりも遅い第 3 のタイミングに設定する

10

ことを特徴とする請求項 5 に記載のメモリの制御方法。

【請求項 7】

前記速度差検出工程では、

前記交替期間の前において前記第 2 の同期信号が検出されるタイミングと前記第 2 のタイミングのうちいずれが時間的に先行しているかを調べ、

前記第 2 のタイミングよりも前記第 2 の同期信号が検出されるタイミングが時間的に先行していた場合に前記第 1 の同期信号の周期のほうが速いと判定し、

前記第 2 の同期信号が検出されるタイミングよりも前記第 2 のタイミングが先行していた場合に前記第 2 の同期信号の周期のほうが速いと判定する

20

ことを特徴とする請求項 6 に記載のメモリの制御方法。

【請求項 8】

前記速度差検出工程では、

前記第 2 のタイミングよりも前に第 1 のウィンドウを設定するとともに、前記第 2 のタイミングよりも後に第 2 のウィンドウを設定し、

前記第 1 のウィンドウで前記第 2 の同期信号を検出した場合に前記第 1 の同期信号の周期のほうが速いと判定し、前記第 2 のウィンドウで前記第 2 の同期信号を検出した場合に前記第 2 の同期信号の周期のほうが速いと判定する

ことを特徴とする請求項 7 に記載のメモリの制御方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、メモリ制御装置に関するものである。

【背景技術】

【0002】

特許文献 1 には、書き込みフレームの開始時の読み出しアドレス値に書き込みの 1 フレームの間に進む読み出しアドレス量を加算し、加算された値と書き込みの 1 フレームのアドレス量とを比較して追い越しの有無を判定することが記載されている。また、特許文献 1 には、読み出しアドレスと書き込みアドレスの差分と所定の許容値とから記憶装置のアドレス追い越し判定を行い、記憶装置の書き込み実行、または、停止を行うことが記載されている。

40

【0003】

特許文献 2 には、書き込みアドレスのリセット時刻と読み出しアドレスのリセット時刻との時間差を検出し、検出された時間差に基づいて、次の書き込みフレームにおいてメモリの追い越しが発生するか否かを判定することが開示されている。また、特許文献 2 には、メモリの追い越しが発生する場合に以下のいずれかの処理を行うことが記載されている。(1) 次の書き込みフレームにおいてフレームメモリへの書き込みを中止する。(2) 次の読み出しフレームにおいて直前に読み出したメモリ領域と同じメモリ領域から 1 フレーム分のデータを読み出す。(3) 次の読み出しフレームにおいてデータを読み出すべき順序のメモリ領域より読み出し順序が 1 つ先のメモリ領域からデータを読み出す。

50

【0004】

ここで、入力される映像信号がインタレース形式の映像信号であった場合、1フィールド分の垂直同期期間が奇数フィールドと偶数フィールドとで異なる場合が発生する。一般的にインタレース形式の映像信号では、奇数フィールドか偶数フィールドかを判別可能にするために、垂直同期信号と水平同期信号の位相を奇数フィールドと偶数フィールドとで0.5ライン分ずらしている。例えば、有効走査ライン数が1080本である映像信号での垂直同期期間に含まれる全走査ライン数は1125本であり、このような映像信号のインタレース形式における1フィールド分の垂直同期期間は562.5本となる。即ち垂直同期信号と水平同期信号との位相関係は、一方のフィールドで揃っている場合、他方のフィールドでは0.5ライン分ずれている。これにより、垂直同期信号の変化点での水平同期信号との位相関係から、入力される映像信号が奇数フィールドの映像信号であるか偶数フィールドの映像信号であるかを判定することができる。

10

【0005】

フィールド判定後は、たとえば、垂直同期信号と水平同期信号との変化点を揃えて後段の処理回路に出力するような処理が行われる。この場合、一方のフィールドでは垂直同期期間が562本、他方のフィールドでは垂直同期期間が563本となる。つまり、奇数フィールドの垂直同期期間と偶数フィールドの垂直同期期間との間で1ライン分の差が発生する。このようなケースで特許文献1或いは特許文献2に示された追い越し回避処理を講じた場合、追い越しの有無の判定が安定せず、一時的に画像が繰り返して表示されるなど、動きが不自然となる画質劣化を生じることがある。

20

【0006】

特許文献3では、入力映像信号と表示側の垂直同期信号が近い場合に発生するジッター（時間的なゆれ）により、読み出しメモリ選択ビットの不安定な状態（チャタリング）が発生することが開示されている。また、チャタリングを回避するために、メモリ切り替え点を起点とした第1のパルスと第1のパルスの終了点を起点とする第2のパルスを生成し、読み出しメモリの切り替え点は何れのパルスで検出されたかにより読み出しメモリを決定することが開示されている。

【特許文献1】特開2001-13934号公報

【特許文献2】特開2001-83928号公報

【特許文献3】特開2004-177738号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

表示装置において、表示側の垂直同期信号が入力映像信号の垂直同期信号とは非同期に生成されることがある。このような場合、表示側（読み出し側）の垂直同期信号の周期を入力側（書き込み側）の周期に合わせようとしても、両者の周期を完全に一致させることは難しい。垂直同期信号の周期は1画素単位のクロックの積み重ねであるため、画素クロックの誤差の積み上げにより、入力側と表示側の垂直同期信号の周期に差分が生じるからである。したがって、入力側と表示側の垂直同期信号が非同期の関係にある場合は、入力側に対して出力側のほうが速い（周期が短い）ケース、あるいは、遅い（周期が長い）ケースの何れかが発生する。このような垂直同期信号の周期の差を「速度差」とよぶ。

40

【0008】

特許文献3に示された追い越し回避手法では、入力側と表示側の垂直同期信号に速度差があり、更に入力側の垂直同期信号がフィールド毎に周期が変動するような場合に、不適切な読み出しメモリが選択されるおそれがある。そのため、一時的に画像が繰り返して表示されるなど、動きが不自然となる画質劣化を十分に回避することができない。

【0009】

本発明は上記実情に鑑みてなされたものであって、その目的とするところは、メモリの追い越しを回避できるとともに、動きが不自然となる画質劣化を可及的に抑制できる技術を提供することにある。本発明の更なる目的は、読み出し側の同期信号が書き込み側の同

50

期信号とは非同期に生成される場合でも、メモリの追い越しを回避できるとともに、動きが不自然となる画質劣化を可及的に抑制できる技術を提供することにある。本発明の更なる目的は、書き込み側の同期信号の周期が画像データ（フィールドあるいはフレーム）毎に変動する場合でも、メモリの追い越しを回避できるとともに、動きが不自然となる画質劣化を可及的に抑制できる技術を提供することにある。

【課題を解決するための手段】

【0010】

上記目的を達成するために本発明は、以下の構成を採用する。

【0011】

本発明の第1態様は、複数の領域を有するメモリと、

第1の同期信号に同期して前記メモリの各領域に画像データを順次書き込み、前記第1の同期信号とは非同期に生成される第2の同期信号に同期して画像データを前記メモリのいずれかの領域から読み出すメモリ制御部と、

前記第1の同期信号を基準にして参照タイミングを決定するタイミング決定部と、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後に基づいて、前記メモリ制御部により画像データを読み出す領域を決定する領域決定部であって、前記参照タイミングよりも後に前記第2の同期信号が検出された場合は画像データを書き込み中の領域と同じ領域から画像データが読み出され、前記参照タイミングよりも前に前記第2の同期信号が検出された場合は画像データを書き込み中の領域の前に画像データの書き込みが行われた領域から画像データが読み出されるように、読み出す領域を決定する領域決定部と、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な近さに基づいて、前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後の入れ替わりが発生すると予測される期間である交替期間を検出する交替期間検出部と、
を備え、

前記タイミング決定部は、前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に先行していた場合に、前記交替期間内の前記参照タイミングを早め、前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に後れていた場合に、前記交替期間内の前記参照タイミングを遅らせるメモリ制御装置である。

【0012】

本発明の第2態様は、複数の領域を有するメモリの制御方法であって、

第1の同期信号に同期して前記メモリの各領域に画像データを順次書き込む書き込み工程と、

前記第1の同期信号とは非同期に生成される第2の同期信号に同期して画像データを前記メモリのいずれかの領域から読み出す読み出し工程と、を有し、

前記読み出し工程では、前記第1の同期信号を基準にして決定される参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後に基づいて、前記参照タイミングよりも後に前記第2の同期信号が検出された場合は画像データを書き込み中の領域と同じ領域から画像データが読み出され、前記参照タイミングよりも前に前記第2の同期信号が検出された場合は画像データを書き込み中の領域の前に画像データの書き込みが行われた領域から画像データが読み出されるように、読み出す領域が決定され、

前記制御方法がさらに、

前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な近さに基づいて、前記参照タイミングと前記第2の同期信号が検出されるタイミングとの時間的な先後の入れ替わりが発生すると予測される期間である交替期間を検出する工程と、

前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に先行していた場合に、前記交替期間内の前記参照タイミングを早め、前記参照タイミングに比べて前記第2の同期信号が検出されるタイミングが時間的に後れていた場合に、前記交

10

20

30

40

50

替期間内の前記参照タイミングを遅らせるタイミング決定工程と、を有するメモリの制御方法である。

【発明の効果】

【0013】

本発明によれば、メモリの追い越しを回避できるとともに、動きが不自然となる画質劣化を可及的に抑制することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について、図面を参照しながら説明を行う。

【0015】

本発明の実施形態に係るメモリ制御装置は、画像データを記憶するフレームメモリの書き込み及び読み出しを制御するための装置である。このメモリ制御装置は、たとえば、テレビジョン装置などの表示装置の駆動回路や、表示装置に映像信号を供給する映像処理装置（コンピュータ、ビデオレコーダなど）の映像処理回路における、フレームメモリの制御に適用することができる。

【0016】

本実施形態のメモリ制御装置は、複数の領域（たとえば図1のBA0～BA3）を有するメモリ（図1の1）を備える。各々の領域は、1画面分（1フィールド或いは1フレーム）の画像データを一時的に記憶するための領域である。

【0017】

メモリ制御装置は、メモリの書き込み及び読み出しの制御を担うメモリ制御部（図1の2）を備える。メモリ制御部は、第1の同期信号（図1のIVS信号）に同期してメモリの各領域に画像データを順次書き込む。一方、メモリ制御部は、第2の同期信号（図1のOVS信号）に同期して画像データをメモリから読み出す。

【0018】

ここで、第2の同期信号は、第1の同期信号とは非同期に生成される信号である。したがって前述のように第1の同期信号と第2の同期信号の周期は完全に一致しておらず、速度差がある。このとき、第1の同期信号のほうが多いケースと第2の同期信号のほうが多いケースの両方が発生し得、どちらのほうが多いのかを事前に決めることができないこともある。また、インタレース形式の映像信号を扱う場合のように、第1の同期信号の周期が画像データ毎（フィールド毎）に変動することもあり得る。

【0019】

メモリ制御装置は、メモリの読み出し位置が書き込み位置を追い越すのを未然に防ぐために、次のような構成を採用する。まず、タイミング決定部（図1の6、7）が、第1の同期信号（IVS信号）を基準にして参照タイミング（lat_IBA_sel信号）を決定する。参照タイミングは、第1の同期信号に同期して書き込みが開始された領域に対して、参照タイミングから読み出しを開始したときに、追い越しが発生しない範囲（図4のメモリ切り替え期間）内に設定される。そして、領域決定部（図1の4、5）が、参照タイミング（lat_IBA_sel信号）と第2の同期信号（OVS信号）の順序に基づいて、メモリ制御部により読み出す領域（OBA信号）を決定する。具体的には、第2の同期信号（OVS信号）が参照タイミング（lat_IBA_sel信号）より後の場合は、追い越しは発生しないため、書き込み中の領域から読み出しが行われる（図11のt3～t6、図13のt10～t11参照）。一方、第2の同期信号が参照タイミングより先の場合は、追い越しが発生する可能性があるため、書き込み中の領域の1つ前の領域から読み出しが行われる（図11のt1～t2、図13のt12～t16参照）。これにより追い越しの発生が回避される。

【0020】

このような追い越し回避手法では、参照タイミングと第2の同期信号の順序が入れ替わるときに、1画面分の画像データが読み飛ばされるか（図11のt2→t3参照）、同一の画像データが2回読み出される（図13のt11→t12参照）。これにより動画の動きが不自然になる可能性があるものの、追い越し回避のためには許容せざるを得ない。

【0021】

しかしながら、第1の同期信号と第2の同期信号が非同期の関係にあったり、第1の同期信号の周期が変動したりする場合は、図10や図12に示すような現象が生じるおそれがある。すなわち、参照タイミングと第2の同期信号の順序が入れ替わった直後に（図10の $t_2 \rightarrow t_3$ ）、順序が元に戻り（ $t_3 \rightarrow t_4$ ）、また入れ替わる（ $t_4 \rightarrow t_5$ ）というように、順序の入れ替わりが頻発するのである。このような現象が発生すると、画像データの読み飛ばしや繰り返しが不必要に生じるために、画質の劣化を招いてしまう。

【0022】

そこで、メモリ制御装置は、上記現象を抑制するために、次のような構成を採用する。まず、交替期間検出部（図1の9）が、参照タイミングと第2の同期信号の順序の入れ替わりが発生すると予測される期間である交替期間を検出する（図11のnear信号が"1"である期間が交替期間）。そして、タイミング決定部（図1の6、7）が、交替期間内の参照タイミング（lat_IBA_sel信号）を、順序の入れ替わりが発生しやすくなる方向に変更する。たとえば図11のように、交替期間において予定されている順序の入れ替わりが「先：第2の同期信号、後：参照タイミング→先：参照タイミング、後：第2の同期信号」である場合は、参照タイミングを早める（lat_IBA(2)からlat_IBA(1)に変更）。逆に図13のように、交替期間において予定されている順序の入れ替わりが「先：参照タイミング、後：第2の同期信号→先：第2の同期信号、後：参照タイミング」である場合は、参照タイミングを遅らせる（lat_IBA(2)からlat_IBA(3)に変更）。

【0023】

このように交替期間における参照タイミングを調整することによって、交替期間における参照タイミングと第2の同期信号の順序の入れ替わりが促進される一方で、一度入れ替わった順序が元に戻ることは抑制される。したがって、順序の入れ替わりが頻発する現象が好適に抑制され、画質の劣化を可及的に抑えることができる。

【0024】

ここで、第1の同期信号と第2の同期信号が非同期の関係にあると、参照タイミングが第2の同期信号を追い抜くケースと、第2の同期信号が参照タイミングを追い抜くケースのいずれが生じ得る。それゆえ、速度差検出部（図1の8）が、第2の同期信号の周期と第1の同期信号の周期のいずれが速いかを検出する。第1の同期信号の周期のほうが速い場合（ov_direction=1）、タイミング決定部は、交替期間内の参照タイミングを第1のタイミング（lat_IBA(1)信号）に設定する（図11参照）。第1のタイミングは、交替期間外の参照タイミングである第2のタイミング（lat_IBA(2)信号）よりも早いタイミングである。また、第2の同期信号の周期のほうが速い場合（ov_direction=0）、タイミング決定部は、交替期間内の参照タイミングを第2のタイミングよりも遅い第3のタイミング（lat_IBA(3)信号）に設定する（図13参照）。このような構成により、第1の同期信号と第2の同期信号のどちらが速いケースでも、画質の劣化を好適に抑制することができる。

【0025】

速度差検出部（図1の8）は、たとえば、交替期間の前における第2の同期信号と第2のタイミングの順序を調べることで、どちらの同期信号の周期が速いか判定することができる。第2の同期信号が先行していた場合には、第1の同期信号の周期のほうが速いとみなしてよい。交替期間の前で第2の同期信号が先行しているということは、第2の同期信号が第1の同期信号よりも徐々に遅れていき、交替期間の間に第2の同期信号と第2のタイミングの順序が入れ替わることを意味するからである。逆に、第2のタイミングが先行していた場合には、第2の同期信号の周期のほうが速いとみなすことができる。

【0026】

より具体的には、以下の構成が好ましい。ウィンドウ設定部（図1の6）が、第2のタイミング（lat_IBA(2)信号）よりも前に第1のウィンドウ（near_off(1)=1）を設定し、第2のタイミングよりも後に第2のウィンドウ（near_off(2)=1）を設定する（図5参照）。そして、速度差検出部が、第1のウィンドウ（near_off(1)=1）内で第2の同期信号

(OVS信号)を検出した場合に第1の同期信号の周期のほうが速い(ov_direction=1)と判定する(図6参照)。また、第2のウィンドウ(near_off(2)=1)内で第2の同期信号(OVS信号)を検出した場合に第2の同期信号の周期のほうが速い(ov_direction=0)と判定する。これにより、第1の同期信号と第2の同期信号のいずれの周期が速いかを、簡易な構成及び処理により判定することができる。

【0027】

＜メモリ制御装置の詳細構成＞

では、本発明の実施形態に係るメモリ制御装置の詳細な構成について説明する。

【0028】

図1は、メモリ制御装置の構成を示すブロック図である。1は、入力された一つの画面を形成するための画像情報を記憶できるメモリ部を複数有しているフレームメモリである。本例ではそれぞれのメモリ部をバンクエリア(Bank Area:以下、BAとする)と呼び、BA0からBA3までの4つのメモリ部を有しているものとする。ここで、メモリ部は4つに限定されるものではなく、2つ以上のメモリ部を有していれば、メモリ部を切り替えることによる追い越し回避制御は可能である。2は、フレームメモリ1の書き込み、或いは読み出し制御を行うメモリ制御部である。3は、入力された映像データを書き込むメモリ部を選択する入力メモリ選択信号生成部である。4は、入力メモリ選択信号生成部3にて生成された入力メモリ選択信号を、フレームメモリ1からの映像データ読み出しにおいて追い越しの発生しないタイミングで保持しておくための入力メモリ選択信号保持部である。5は、出力する映像データを読み出すメモリ部を選択する出力メモリ選択信号生成部である。6は、追い越しを検出するための信号を生成する検出タイミング信号生成部である。7は、入力メモリ選択信号保持部4へ入力メモリ選択信号生成部3にて生成された入力メモリ選択信号を保持するタイミング信号を生成して出力する出力メモリ選択部である。8は、入力垂直同期信号(第1の同期信号)と出力垂直同期信号(第2の同期信号)の速度差を検出する速度差検出部である。9は、フレームメモリ1からの映像データ読み出しにおいて追い越しの発生回避を検出する追い越し回避検出部である。10は、フレームメモリ1から読み出した映像データを出力するタイミングを生成する出力タイミング信号生成部である。

【0029】

図1の構成では、検出タイミング信号生成部6及び出力メモリ選択部7が、上述した「タイミング決定部」に対応する。また入力メモリ選択信号保持部4及び出力メモリ選択信号生成部5が、上述した「領域決定部」に対応する。また追い越し回避検出部9が、上述した「交替期間検出部」に対応する。また検出タイミング信号生成部6が、上述した「ウィンドウ設定部」に対応する。

【0030】

＜制御信号＞

メモリ制御装置が取り扱う制御信号について説明する。

【0031】

「IFLD」は、入力映像データが奇数フィールドの映像データか偶数フィールドの映像データかを示すフィールド信号である。「IVS」は、入力映像データの垂直同期信号(第1の同期信号)である。「IHS」は、入力映像データの水平同期信号である。「IACT」は、入力映像データの有効データ信号である。

【0032】

「OVS」は、出力映像データの垂直同期信号(第2の同期信号)である。「OHS」は、出力映像データの水平同期信号である。「OACT」は、出力映像データの有効データ信号である。

【0033】

「IBA」は、映像データを書き込むBAを指定する入力メモリ選択信号である。「OBA」は、映像データを読み出すBAを指定する出力メモリ選択信号である。

【0034】

「lat_IBA(1)」「lat_IBA(2)」「lat_IBA(3)」は、I V S 信号を基準に生成されるタイミング信号である。lat_IBA(2)信号がデフォルトのタイミング（第2のタイミング）である。lat_IBA(1)信号はlat_IBA(2)信号よりも早いタイミング（第1のタイミング）、lat_IBA(3)信号はlat_IBA(2)信号よりも遅いタイミング（第3のタイミング）である。「lat_IBA_sel」は、lat_IBA(1)～lat_IBA(3)の中から選択された信号であり、IBA信号を参照しその値をラッチするタイミングを規定するために用いられる。lat_IBA_sel信号が、上述した「参照タイミング」に対応する。「IBA_lat」は、lat_IBA_sel信号のタイミングでラッチされたIBA信号の値を示す信号である。すなわち、IBA_lat信号は、IBA信号と同じように値が変化する信号である。ただし、IBA_lat信号の値が変化するタイミングは、IBA信号に比べて、lat_IBA_sel信号で指定された分だけ遅れており、その遅れ量はlat_IBA(1)～lat_IBA(3)により変化する。

10

【0035】

「near_on」は、O V S 信号がlat_IBA(2)信号の近くにあるか否かを検出するために用いられるウィンドウである。「near_off(1)」は、O V S 信号がlat_IBA(1)信号の近くにあるか否かを検出するために用いられる第1のウィンドウである。「near_off(2)」は、O V S 信号がlat_IBA(3)信号の近くにあるか否かを検出するために用いられる第2のウィンドウである。

【0036】

「near」は、O V S 信号がlat_IBA(2)信号の近くにあるか否かを示す信号である。near_on信号のウィンドウ内でO V S 信号が検出されるとnear信号が1になり、near_off(1)信号又はnear_off(2)信号のウィンドウ内でO V S 信号が検出されるとnear信号は0になる。near信号が1である期間が、上述した「交替期間」に対応する。

20

【0037】

「ov_direction」は、I V S 信号の周期とO V S 信号の周期のいずれが速いか（短いか）を示す信号である。near_off(1)信号のウィンドウ内でO V S 信号が検出されるとov_direction信号は1になり、near_off(2)信号のウィンドウ内でO V S 信号が検出されるとov_direction信号は0になる。

【0038】

＜メモリ制御装置の動作＞

次に、以上に説明したメモリ制御装置の動作について詳細に説明を行う。

30

【0039】

メモリ制御部2は、I V S 信号、IHS信号、IACT信号、及びIBA信号に基づき、入力映像データをフレームメモリ1のIBA信号にて指定されたメモリ部へ順次書き込むための制御信号を生成してフレームメモリ1へ出力する。またメモリ制御部2は、O V S 信号、OHS信号、OACT信号、及びOBA信号に基づき、映像データをフレームメモリ1から順次読み出すための制御信号を生成してフレームメモリ1へ出力する。

【0040】

本実施形態では、入力映像データはインタレース形式の映像信号を想定している。メモリ制御部2は、IFLD信号を参照して、フレームメモリ1へ格納されたインタレース形式の映像信号に対し、飛び越されたラインの画素情報を補間してプログレッシブ形式の映像信号に変換する処理部（以下、I P変換処理部と呼ぶ）を有している。I P変換処理部は、一般的に知られているI P変換処理を用いることができる。公知のI P変換処理としては、画素毎に画素値のフレーム間差分情報を求め、更にフレーム間差分情報から画素毎の動きを判定し、動画であればフレーム内での補間処理を行い、静止画であればフレーム間での補間処理を行う動き適応方式がある。動き適応方式のI P変換処理では補間処理を行うのにフレーム遅延が発生してしまうため、ここでは単純にフレーム内での補間処理のみを行う方式を用いてもよい。

40

【0041】

フレームメモリ1は、メモリ制御部2から出力される制御信号に従い、入力映像データをフィールド単位でBA0からBA3までのメモリ部に巡回しながら格納する。またフレ

50

ームメモリ1は、メモリ部に格納された映像データを制御信号に従って読み出して出力する。フレームメモリ1からはプログレッシブ形式の映像データが出力される。

【0042】

入力メモリ選択信号生成部3は、入力されるIVS信号の変化に同期してIBA信号を更新する。入力メモリ選択信号生成部3は、例えばIVS信号が発行される毎にBA0からBA3までのメモリ部を指定する2ビットのカウンタ値を更新するような簡単なカウンタで構成され、カウンタ値をIBA信号として出力する。

【0043】

検出タイミング信号生成部6は、追い越し回避制御を行うためのタイミング信号を生成して出力する。図5は、検出タイミング信号生成部6にて生成されるタイミング信号の例を示したタイミングチャート図である。検出タイミング信号生成部6は、IVS信号の変化で初期値を設定し、IHS信号の変化でカウントダウンするカウンタを有している。タイミング信号はカウンタのカウント値に従って生成される。

【0044】

図5の例では、初期値が16進数で"10"であり、カウンタ値が"10"の時のIHS信号変化点でlat_signal信号が出力される。カウンタ値が"E"の時のIHS信号変化点でlat_IBA(1)信号が出力される。カウンタ値が"A"の時のIHS信号変化点でlat_IBA(2)信号が出力される。カウンタ値が"6"の時のIHS信号変化点でlat_IBA(3)信号が出力される。

【0045】

また、カウンタ値が"A"と"9"の時にnear_on信号が出力され、カウンタ値が"E"と"D"の時にnear_off(1)信号が出力され、カウンタ値が"6"と"5"の時にnear_off(2)信号が出力される。near_on信号とnear_off信号は、メモリの追い越しが発生しない期間内に生成される。

【0046】

図2A、図2B、図3、図4にて、near_on信号とnear_off信号を生成するタイミングについて説明を行う。図2Aは、入力される映像信号における垂直同期信号を示す図であり、図2Bは、出力タイミング信号生成部10にて生成される表示側の垂直同期信号を示す図である。

【0047】

図2Aにおいて、横軸は入力される映像信号における1垂直同期期間を示し、前後にブランキング期間IVB1とIVB2があり、ブランキング期間を除いた期間で有効データの転送が行われる。縦軸は、入力される有効データのライン番号を示す。本例では1080本の有効データが入力され、ブランキング期間を除いた期間で1080本の有効データが順次入力される様子を示す(実線にて示した直線)。本例では、入力される映像データはインタレース形式の映像信号を想定しているため、奇数ラインの映像データのみで構成される奇数フィールドと偶数ラインの映像データのみで構成される偶数フィールドとが交互に繰り返される。飛び越されたラインの映像データはメモリ制御部2が生成してフレームメモリ1へ書き込むものとする。

【0048】

図2Bに示すように、表示側の1垂直同期期間では、前後にブランキング期間OVB1とOVB2があり、ブランキング期間を除いた期間で有効データの読み出しが行われる(破線にて示した直線)。

【0049】

ここで、表示側の同期信号は、入力側の同期信号とは同期せずに生成されるため、図2Aで示した入力垂直同期期間と図2Bで示した出力垂直同期期間は同じにならない。また、ブランキング期間に関しても、表示側でのブランキング期間は表示デバイスの特性で任意に決められるため、入力側のブランキング期間(IVB1, IVB2)と表示側のブランキング期間(OVB1, OVB2)は同じにならない。このため、フレームメモリ1からの映像データ読み出しにおいて追い越しが発生し得る。

【0050】

図3は、図2Aで示した入力垂直同期期間と図2Bで示した出力垂直同期期間を重ねて表示したものである。実線で示した入力映像データをフレームメモリ1へ書き込むタイミングと、破線で示したフレームメモリ1から映像データを読み出すタイミングが交差するところ(tOVER)で追い越しが発生する。

【0051】

追い越しが発生するかどうかは入力垂直同期信号(IVS)と出力垂直同期信号(OVS)の発生タイミングから判断することができる。図4に示すように、IVS信号の発生する前後(ハッチングで示した期間)でOVS信号が発生した場合、図3で示したような交差点(tOVER)が現れ、追い越しが発生することとなる。逆にいえば、図4のハッチング期間の外でOVS信号が発生すれば追い越しは発生しない。よって、IVS信号とOVS信号のタイミングが徐々にずれていく場合には、OVS信号がハッチング期間に進入する前に(つまりOVS信号がメモリ切り替え期間内にある間に)読み出すメモリ部を切り替えることで、追い越しを回避することができる。図5で示したnear_on信号とnear_off信号は、図4のメモリ切り替え期間内に配置される。なお本実施形態においては、追い越しの発生しない期間を検出して読み出すメモリ部の切り替えを行うが、追い越しの発生する期間を検出して読み出すメモリ部の切り替えを行うとしても等価の処理となる。

10

【0052】

次に、図6は、速度差検出部8での処理の様子を示したタイミングチャート図である。速度差検出部8は、near_off信号とOVS信号とから、IVS信号に対するOVS信号の速度差を判断する。IVS信号の周期に対しOVS信号の周期が速い場合には、ov_direction信号を"0"として出力し、IVS信号の周期に対しOVS信号の周期が遅い場合には、ov_direction信号を"1"として出力する。速度差検出部8は、図6に示すように、near_off(1)信号が"1"である期間にOVS信号の立ち上がり変化が検出された場合にはov_direction信号を"1"とする。near_off(2)信号が"1"である期間にOVS信号の立ち上がり変化が検出された場合にはov_direction信号を"0"とする。

20

【0053】

IVS信号の周期に対しOVS信号の周期が遅い場合には、OVS信号はIVS信号から離れる方向へ移動し、near_off(1)信号のアサート期間を通過後にnear_off(2)信号のアサート期間を通過する。その間はov_direction信号が"1"として出力される。また、IVS信号の周期に対しOVS信号の周期が速い場合には、OVS信号はIVS信号に近づく方向へ移動し、near_off(2)信号のアサート期間を通過後にnear_off(1)信号のアサート期間を通過する。その間はov_direction信号が"0"として出力される。

30

【0054】

以上説明したように、near_on信号、near_off信号、及びOVS信号を利用することで簡単にIVS信号とOVS信号との速度差を判断することが可能である。

【0055】

図7は、追い越し回避検出部9での処理の様子を示したタイミングチャート図である。追い越し回避検出部9は、near_on信号とnear_off信号、及びOVS信号とから、OVS信号が読み出すメモリ部の切り替えタイミングの近辺にあるか否かを判断する。追い越し回避検出部9は、図7に示すように、near_on信号が"1"として出力されている期間にOVS信号の立ち上がり変化が検出された場合には、near信号を"1"とする。追い越し回避検出部9は、near_off(1)信号又はnear_off(2)信号が"1"として出力されている期間にOVS信号の立ち上がり変化が検出された場合には、near信号を"0"として出力する。

40

【0056】

図8は、出力メモリ選択部7での処理の様子を示したタイミングチャート図である。出力メモリ選択部7は、ov_direction信号とnear信号に基づき、lat_IBA(1)信号、lat_IBA(2)信号、lat_IBA(3)信号の何れかを選択してlat_IBA_sel信号として出力する。出力メモリ選択部7は、図8に示すように、まずlat_signal信号のタイミングにおいて、ov_direction信号の状態を保持したov_direction_lat信号と、near信号の状態を保持したnear_lat

50

信号とを生成する。次に、near_lat信号が"0"の場合にはlat_IBA(2)信号を選択してlat_IBA_sel信号として出力する。near_lat信号が"1"の場合には、ov_direction_lat信号の状態に応じてlat_IBA(1)信号とlat_IBA(3)信号の何れかが選択されてlat_IBA_sel信号として出力される。ov_direction_lat信号が"1"の場合には図8の(a)に示すようにlat_IBA(1)信号が選択され、ov_direction_lat信号が"0"の場合には図8の(b)に示すようにlat_IBA(3)信号が選択されて出力される。

【0057】

入力メモリ選択信号保持部4は、lat_IBA_sel信号の変化するタイミングにてIBA信号の状態を保持し、IBA_lat信号として出力する。出力メモリ選択信号生成部5は、OVS信号の変化するタイミングにてIBA_lat信号の状態を保持し、OBA信号として出力する。

10

【0058】

出力タイミング信号生成部10は、フレームメモリ1に記憶されている映像データを出力するタイミング信号として、垂直同期信号(OVS)、水平同期信号(OHS)、有効データ信号(OACT)を生成して出力する。

【0059】

以上に説明したメモリ制御装置の動作を、図9のタイミングチャート図に示す。図9の(a)は、OVS信号がnear_on信号のアサート期間から離れた位置で発生している様子を示す。(b)は、ov_direction信号が"1"の状態でもOVS信号がnear_on信号のアサート期間で発生している様子を示す。(c)は、ov_direction信号が"0"の状態でもOVS信号がnear_on信号のアサート期間で発生している様子を示す。OVS信号はIVS信号とは非同期に生成されるため、(a)～(c)のいずれの状態も発生し得る。

20

【0060】

IBA信号は、IVS信号の立ち上がり変化に同期して"0"から"3"までの値でカウンタアップ動作を繰り返す。

【0061】

図9の(a)では、near信号が"0"であるため、出力メモリ選択部7からはlat_IBA(2)信号のタイミングでlat_IBA_sel信号が出力される。入力メモリ選択信号保持部4ではその時のIBA信号の状態をIBA_lat信号として出力する。出力メモリ選択信号生成部5では、OVS信号の立ち上がり変化のタイミングでIBA_lat信号の状態をOBA信号として出力する。

30

【0062】

図9の(b)では、near信号が"1"で、且つov_direction信号が"1"であるため、出力メモリ選択部7からはlat_IBA(1)信号のタイミングでlat_IBA_sel信号が出力される。入力メモリ選択信号保持部4ではその時のIBA信号の状態をIBA_lat信号として出力する。出力メモリ選択信号生成部5では、OVS信号の立ち上がり変化のタイミングでIBA_lat信号の状態をOBA信号として出力する。

【0063】

図9の(c)では、near信号が"1"で、且つov_direction信号が"0"であるため、出力メモリ選択部7からはlat_IBA(3)信号のタイミングでlat_IBA_sel信号が出力される。入力メモリ選択信号保持部4ではその時のIBA信号の状態をIBA_lat信号として出力する。出力メモリ選択信号生成部5では、OVS信号の立ち上がり変化のタイミングでIBA_lat信号の状態をOBA信号として出力する。

40

【0064】

<追い越し回避の例>

以上に説明したメモリ制御装置の動作により、入力映像での垂直同期信号がフィールド毎に異なる周期で出力されるような映像信号においても安定した追い越し回避処理が行われる様子を、図10乃至図13にて説明を行う。

【0065】

図10及び図11は、IVS信号の周期に対しOVS信号の周期が遅いケースを示す。

50

図10は、比較例（IBA_lat信号の変化タイミングを固定にした例）を示し、図11は、本実施形態のメモリ制御装置の動作を示している。

【0066】

ここで、入力される映像信号はインタレース形式の映像信号であり、且つフィールド毎に異なる周期をもつ。即ち、偶数フィールドでのI V S信号の周期はtIVS1であり、奇数フィールドでのI V S信号の周期はtIVS2であり、tIVS1とtIVS2とは式1の関係にある。

$$tIVS1 < tIVS2 \quad \dots \quad \text{式1}$$

【0067】

O V S信号は一定の周期（tOVS1）で発生し、I V S信号とO V S信号とは式2乃至式4の関係にある。

$$(tIVS1 + tIVS2) < tOVS1 \times 2 \quad \dots \quad \text{式2}$$

$$tIVS1 < tOVS1 \quad \dots \quad \text{式3}$$

$$tIVS2 > tOVS1 \quad \dots \quad \text{式4}$$

【0068】

図10に示すように、I B A信号は、I V S信号の立ち上がり変化に同期して"0"から"3"までの値でカウントアップ動作を繰り返す。I B A信号は更に、I V S信号の立ち上がり変化から一定のタイミング（ここではlat_IBA(2)信号のタイミング）でその状態が保持され、IBA_lat信号が生成される。ここでI V S信号はフィールド毎に異なる周期で出力されるため、lat_IBA(2)信号のタイミングもI V S信号に同期して変化する。IBA_lat信号は、O V S信号の立ち上がり変化のタイミングでその状態が保持され、O B A信号として出力される。

【0069】

図10において、t1とt2で示したO V S信号の立ち上がり変化のタイミングでは、その時のIBA_lat信号の状態がO B A信号に出力され、O B A信号は"0"、"1"と変化する。このままO B A信号を"2"、"3"と変化させていくとフレームメモリ1から読み出した映像データにおいて追い越しが発生してしまう。しかし、t3のタイミングでは、lat_IBA(2)信号のタイミングで生成された"3"の値がO B A信号として出力されるため、B A 2のメモリ部に記憶された映像データを読み飛ばすことで追い越しの発生が回避される。

【0070】

ところが、I V S信号とO V S信号とは式2乃至式4の関係にあるため、t4のタイミングでは再び"3"の値がO B A信号として出力される。よって、フレームメモリ1からはB A 3のメモリ部に記憶された映像データが連続して読み出されることとなる。更にt5のタイミングでは"1"の値がO B A信号として出力されるため、B A 0のメモリ部に記憶された映像データを読み飛ばされてしまうこととなる。結果として、60Hzで変化する映像が30Hzで変化するような映像として一定期間表示されることとなり、動きが不自然な表示となってしまう。

【0071】

図11は、本実施形態のメモリ制御装置の動作を示すタイミングチャートである。t1のタイミングでは、near_off(1)信号が"1"として出力されている期間にO V S信号の立ち上がり変化が発生したため、ov_direction信号が"1"に変化する。t2のタイミングでは、near_on信号が"1"として出力されている期間にO V S信号の立ち上がり変化が発生したため、near信号が"1"に変化する。near信号が"1"に変化したことにより、次のI V S信号の周期からはov_direction信号が"1"であることから、lat_IBA_sel信号としてlat_IBA(1)信号が選択されて出力される。

【0072】

その後、t5のタイミングで、near_off(2)信号が"1"として出力されている期間にO V

10

20

30

40

50

S 信号の立ち上がり変化が発生したことにより、ov_direction信号とnear信号が"0"に変化する。次の I V S 信号の周期からは再びlat_IBA(2)信号がlat_IBA_sel信号として選択されて出力される。IBA_lat信号は、lat_IBA_sel信号が出力されるタイミングで I B A 信号の状態を保持して出力する。更にIBA_lat信号は、O V S 信号の立ち上がり変化のタイミングでその状態が保持され、O B A 信号として出力される。

【0073】

図11で示したように、本構成で説明した処理を行うことにより、t3のタイミングでB A 2のメモリ部に記憶された映像データを読み飛ばすことで追い越しの発生が回避される。そして、それ以降は再びB A 0からB A 3のメモリ部に記憶されている映像データを順次読み出すこととなり、図10で示したような、動画の品質低下を回避できる。

10

【0074】

図12及び図13は、I V S 信号の周期に対しO V S 信号の周期が速いケースを示す。図12は、比較例（IBA_lat信号の変化タイミングを固定にした例）を示し、図13は、本実施形態のメモリ制御装置の動作を示している。

【0075】

ここで、入力される映像信号は図10で示したものと同様にインタレース形式の映像信号であり、且つフィールド毎に異なる周期をもつ。

【0076】

O V S 信号は一定の周期（t0VS2）で発生し、図10で示した周期（t0VS1）よりも速い周期で発生する。即ち、t0VS1とt0VS2との関係は、式5の関係にあるものとする。

20

$$t0VS1 > t0VS2 \quad \dots \quad \text{式5}$$

【0077】

また、図12で示したI V S 信号とO V S 信号とは式6乃至式8の関係にあるものとする。

$$(tIVS1 + tIVS2) > t0VS2 \times 2 \quad \dots \quad \text{式6}$$

$$tIVS1 < t0VS2 \quad \dots \quad \text{式7}$$

$$tIVS2 > t0VS2 \quad \dots \quad \text{式8}$$

30

【0078】

図12に示すように、I B A 信号は、I V S 信号の立ち上がり変化に同期して"0"から"3"までの値でカウントアップ動作を繰り返す。I B A 信号は更に、I V S 信号の立ち上がり変化から一定のタイミング（ここではlat_IBA(2)信号のタイミング）でその状態が保持され、IBA_lat信号が生成される。IBA_lat信号は、O V S 信号の立ち上がり変化のタイミングでその状態が保持され、O B A 信号として出力される。

【0079】

図12において、t10とt11で示したO V S 信号の立ち上がり変化のタイミングでは、その時のIBA_lat信号の状態がO B A 信号に出力され、O B A 信号は"0"、"1"と変化する。このままO B A 信号を"2"、"3"と変化させていくとフレームメモリ1から読み出した映像データにおいて追い越しが発生してしまう。しかし、t12のタイミングでは、lat_IBA(2)信号のタイミングで生成された"1"の値がO B A 信号として出力されるため、B A 1のメモリ部に記憶された映像データを二度読みすることで追い越しの発生が回避される。

40

【0080】

ところが、I V S 信号とO V S 信号とは式6乃至式8の関係にあるため、t13のタイミングでは"3"の値がO B A 信号として出力される。これにより、フレームメモリ1からはB A 2のメモリ部に記憶された映像データが読み飛ばされる。更にt14のタイミングでは"3"の値がO B A 信号として出力されるため、再びB A 3のメモリ部に記憶された映像データが読み出されてしまうこととなる。結果として、60Hzで変化する映像が30Hzで変

50

化するような映像として一定期間表示されることとなり、動きが不自然な表示となってしまう。

【0081】

図13は、本実施形態のメモリ制御装置の動作を示すタイミングチャートである。t11のタイミングでは、near_off(2)信号が"1"として出力されている期間にOVS信号の立ち上がり変化が発生したため、ov_direction信号が"0"に変化する。t12のタイミングでは、near_on信号が"1"として出力されている期間にOVS信号の立ち上がり変化が発生したため、near信号が"1"に変化する。near信号が"1"に変化したことにより、次のIVS信号の周期からはov_direction信号が"0"であることから、lat_IBA_sel信号としてlat_IBA(3)信号が選択されて出力される。

10

【0082】

その後、t14のタイミングで、near_off(1)信号が"1"として出力されている期間にOVS信号の立ち上がり変化が発生したことにより、ov_direction信号とnear信号が"0"に変化する。次のIVS信号の周期からは再びlat_IBA(2)がlat_IBA_sel信号として選択されて出力される。IBA_lat信号は、lat_IBA_sel信号が出力されるタイミングでIBA信号の状態を保持して出力する。更にIBA_lat信号は、OVS信号の立ち上がり変化のタイミングでその状態が保持され、OBA信号として出力される。

【0083】

図13で示したように、本構成で説明した処理を行うことにより、t12のタイミングでBA1のメモリ部に記憶された映像データを二度読みすることで追い越しの発生が回避される。そして、それ以降は再びBA0からBA3のメモリ部に記憶されている映像データを順次読み出すこととなり、図12で示したような、動画の品質低下を回避できる。

20

【0084】

以上説明した構成によれば、入力映像信号と表示側の垂直同期信号が非同期関係にあり、更に、入力映像での垂直同期信号がフィールド毎に異なる周期で出力されるような映像信号においても安定した追い越し回避処理が行われる。また、一時的に画像が繰り返して表示されるなど、動きが不自然となる画質劣化を回避することが可能となる。

【0085】

更に本構成によれば、特許文献3で示されているような、入力映像信号と表示側の垂直同期信号が近い場合に発生するジッターによるチャタリングの発生も抑制できる。

30

【0086】

しかも、IVS信号とOVS信号の速度差を検出し、その検出結果に応じてIBA_lat信号の変化タイミングを調整するので、OVS信号のほうが速いケース、OVS信号のほうが遅いケースのどちらのケースにも自動的に対応可能である。

【図面の簡単な説明】

【0087】

【図1】図1は、本発明の実施形態に係るメモリ制御装置の構成例を示すブロック図である。

【図2】図2Aは、入力映像信号の垂直同期信号と有効ライン番号との関係を示す図であり、図2Bは、出力映像信号の垂直同期信号と有効ライン番号との関係を示す図である。

40

【図3】図3は、追い越しの発生する様子を示す図である。

【図4】図4は、読み出すメモリ部の切り替え期間を示すタイミングチャート図である。

【図5】図5は、検出タイミング信号生成部にてタイミング信号の生成される様子を示すタイミングチャート図である。

【図6】図6は、速度差検出部にてIVS信号とOVS信号の速度差が検出される様子を示すタイミングチャート図である。

【図7】図7は、追い越し回避検出部にて読み出すメモリ部の切り替え期間が検出される様子を示すタイミングチャート図である。

【図8】図8は、出力メモリ選択部にて読み出すメモリ部を切り替える様子を示すタイミングチャート図である。

50

【図 9】図 9 は、出力メモリ選択信号生成部にて読み出すメモリ部が決定される様子を示すタイミングチャート図である。

【図 10】図 10 は、比較例のメモリ制御装置にて、読み出すメモリ部が決定される様子を示すタイミングチャート図である。

【図 11】図 11 は、本発明の実施形態に係るメモリ制御装置にて、読み出すメモリ部が決定される様子を示すタイミングチャート図である。

【図 12】図 12 は、比較例のメモリ制御装置にて、読み出すメモリ部が決定される様子を示すタイミングチャート図である。

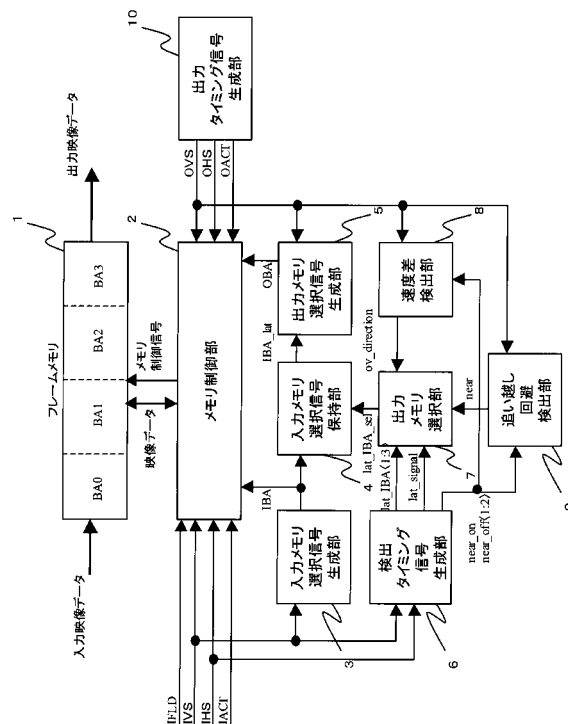
【図 13】図 13 は、本発明の実施形態に係るメモリ制御装置にて、読み出すメモリ部が決定される様子を示すタイミングチャート図である。

【符号の説明】

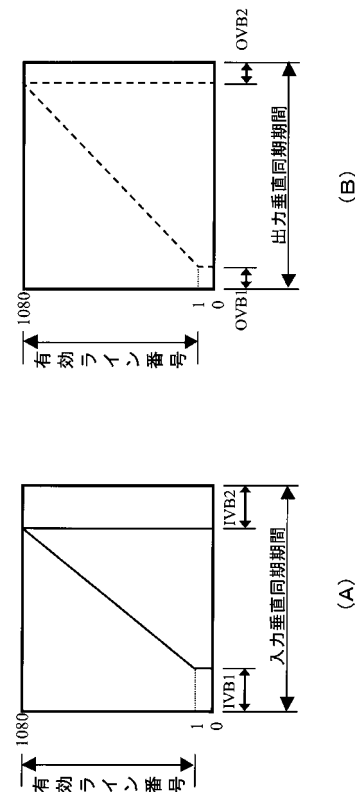
【0088】

- 1 フレームメモリ
- 2 メモリ制御部
- 3 入力メモリ選択信号生成部
- 4 入力メモリ選択信号保持部
- 5 出力メモリ選択信号生成部
- 6 検出タイミング信号生成部
- 7 出力メモリ選択部
- 8 速度差検出部
- 9 追い越し回避検出部
- 10 出力タイミング信号生成部

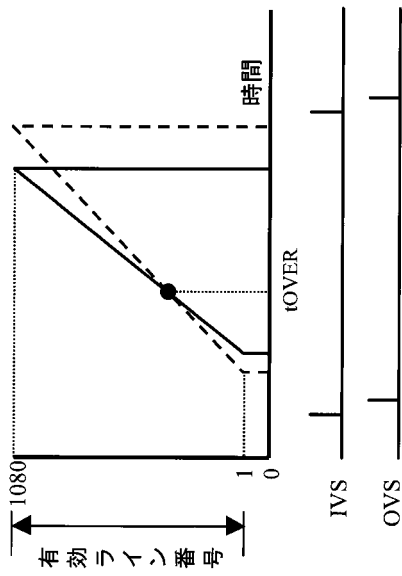
【図 1】



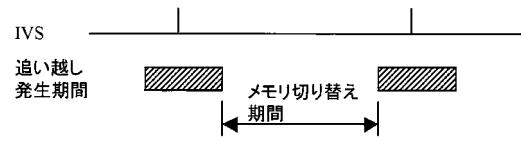
【図 2】



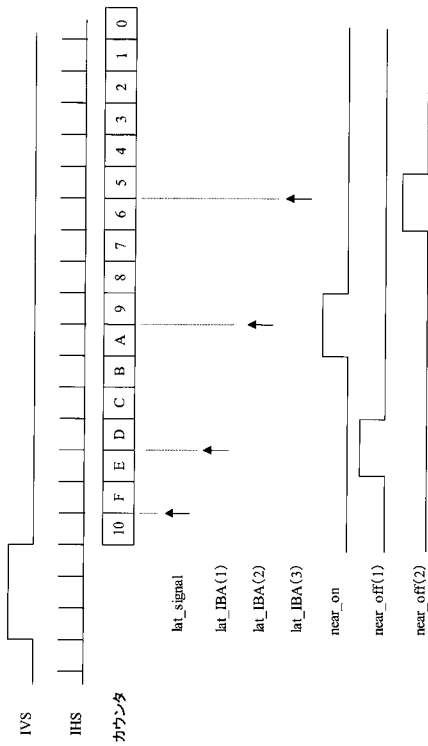
【図 3】



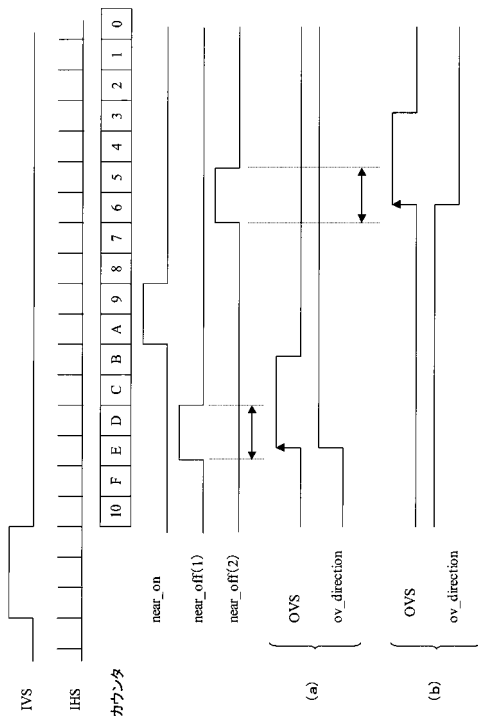
【図 4】



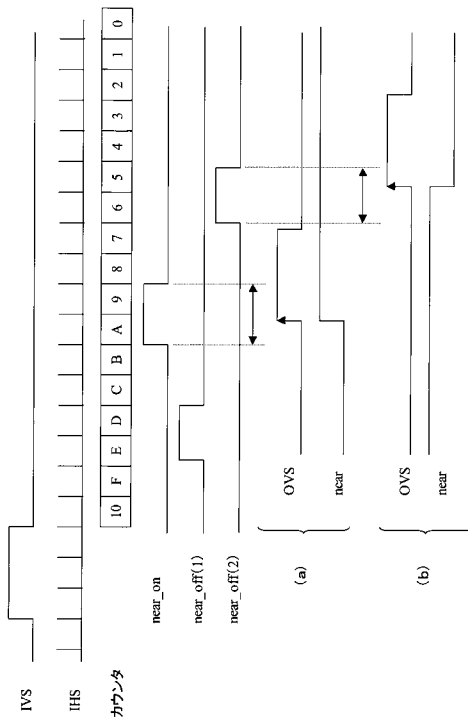
【図 5】



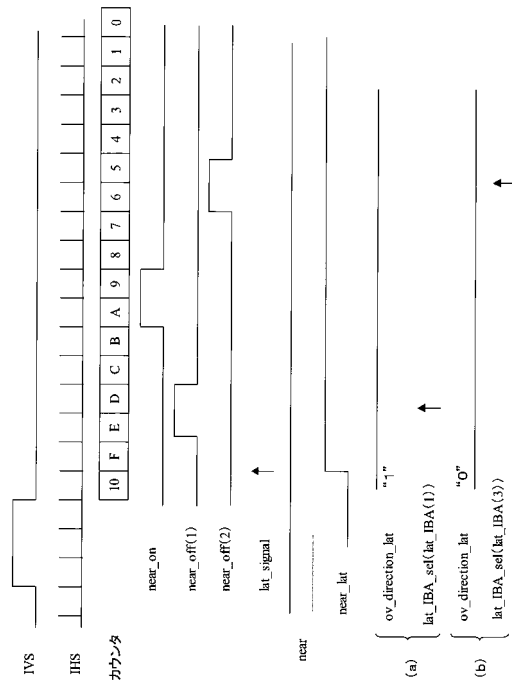
【図 6】



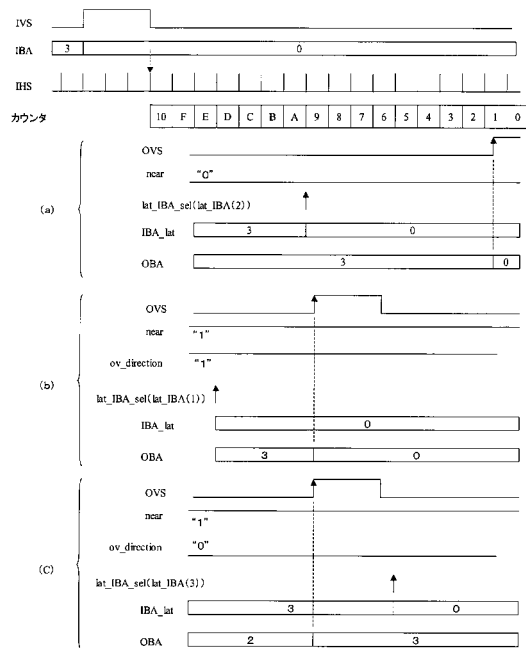
【図 7】



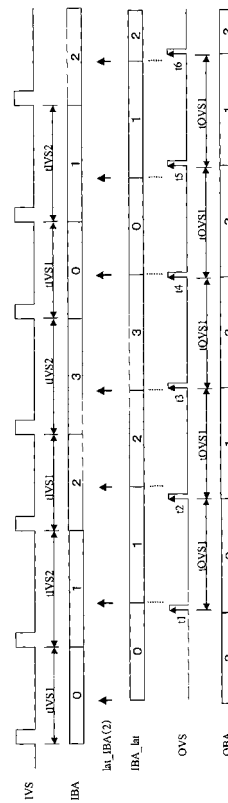
【図 8】



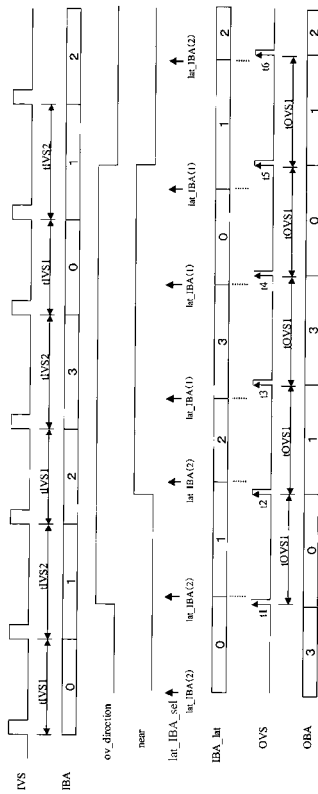
【図 9】



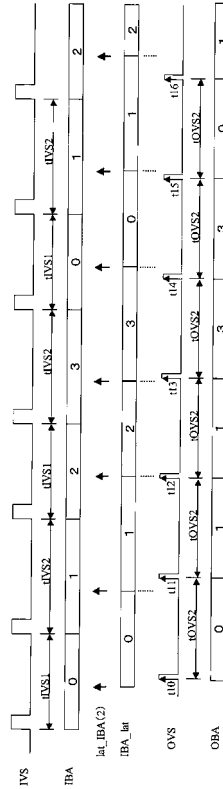
【図 10】



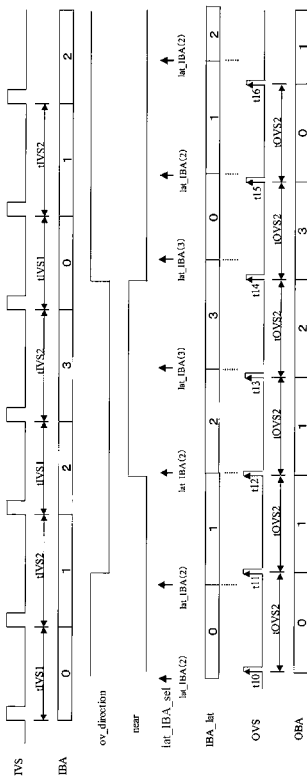
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 松崎 英一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 山崎 仁之

(56)参考文献 特開平09-116875 (JP, A)
特開昭62-294382 (JP, A)
特開2004-177738 (JP, A)
特開2006-303629 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G 5/00
G09G 5/391
H04N 5/04
H04N 5/66