

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年2月15日(2018.2.15)

【公表番号】特表2017-504205(P2017-504205A)

【公表日】平成29年2月2日(2017.2.2)

【年通号数】公開・登録公報2017-005

【出願番号】特願2016-544064(P2016-544064)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

【 F I 】

H 0 1 L 29/78 3 0 1 C

H 0 1 L 29/78 3 0 1 G

H 0 1 L 27/08 3 2 1 D

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/50 M

【手続補正書】

【提出日】平成29年12月27日(2017.12.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路を形成するプロセスであって、

P M O S トランジスタエリアと N M O S トランジスタエリアとの両方において厚い T i N 層を形成することと、

前記厚い T i N 層を酸素内でアニールすることと、

アニールした後、前記 N M O S トランジスタエリアにおいて前記厚い T i N 層を取り除くことと、

前記 N M O S トランジスタエリアにおいて前記厚い T i N 層を取り除いた後に、前記 P M O S トランジスタエリアと前記 N M O S トランジスタエリアとの両方において薄い T i N 層を形成することとであって、前記薄い T i N 層が、前記厚い T i N 層より薄く、そして低減された酸素濃度を有する、前記薄い T i N 層を形成することと、を含む、プロセス。

【請求項 2】

請求項 1 に記載のプロセスであって、

厚い T i N 金属ゲート材料としての前記厚い T i N 層が 8 n m より大きい厚みを有し、薄い T i N 金属としての前記薄い T i N 層が 1 ~ 3 n m の厚みを有する、プロセス。

【請求項 3】

請求項 1 に記載のプロセスであって、

厚い T i N 金属ゲート材料としての前記厚い T i N 層が 10 n m の厚みを有し、薄い T i N 金属としての前記薄い T i N 層が 2 n m の厚みを有する、プロセス。

【請求項 4】

請求項 1 に記載のプロセスであって、

前記 PMOS トランジスタがゲートファースト金属ゲート PMOS トランジスタであり、
前記 NMOS トランジスタがゲートファースト金属ゲートトランジスタであり、

前記プロセスが、

ドーブされたポリシリコンを前記薄い TiN 層上に堆積することと、

前記ドーブされたポリシリコン上に、PMOS トランジスタゲートパターンを備え、N
MOS トランジスタゲートパターンを備えるトランジスタゲートパターンを形成すること
と、

前記 PMOS トランジスタのゲートを形成するように、前記ドーブされたポリシリコン
と前記薄い TiN 層と前記厚い TiN 層とをエッチングすることと、

前記 NMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記薄い T
iN 層とをエッチングすることと、

を更に含む、プロセス。

【請求項 5】

請求項 1 に記載のプロセスであって、

前記 PMOS トランジスタがリプレースメント金属ゲート PMOS トランジスタであり
、前記 NMOS トランジスタがリプレースメント金属 NMOS トランジスタであり、

前記プロセスが、

前記厚い TiN 層を形成する前に、前記 NMOS トランジスタエリアにおいて NMOS
リプレースメントゲートトランジスタトレンチを形成するために NMOS リプレースメン
トゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS トランジスタエ
リアにおいて PMOS リプレースメントゲートトランジスタトレンチを形成するために P
MOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除くこと、

を更に含む、プロセス。

【請求項 6】

請求項 1 に記載のプロセスであって、

前記 PMOS トランジスタが高 k ラストゲートファースト金属ゲート PMOS トランジ
スタであり、前記 NMOS トランジスタが高 k ラストゲートファースト金属ゲートラン
ジスタであり、

前記プロセスが、

前記厚い TiN 層を形成する前に、前記 PMOS トランジスタエリアと前記 NMOS ト
ランジスタエリアとの両方において第 1 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成する前に、前記 NMOS トランジスタエリアから前記第 1 の高
k 誘電体を取り除き、前記 NMOS トランジスタエリアと前記 PMOS トランジスタエリ
アとにおいて第 2 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成した後、前記 PMOS トランジスタエリアから前記薄い Ti
N 層を取り除き、前記 PMOS トランジスタエリアから前記第 2 の高 k 誘電体を取り除く
ことと、

前記 PMOS トランジスタエリアと前記 NMOS トランジスタエリアとにおいてドーブ
されたポリシリコンを堆積することと、

前記ドーブされたポリシリコン上に、PMOS トランジスタゲートパターンを備え、N
MOS トランジスタゲートパターンを備えるトランジスタゲートパターンを形成すること
と、

前記 PMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記厚い T
iN 層とをエッチングすることと、

前記 NMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記薄い T
iN 層とをエッチングすることと、

を更に含む、プロセス。

【請求項 7】

請求項 6 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1 . 2 nm の HfO_x であり、前記厚い TiN が 10 nm の厚みを有し、前記薄い TiN が 2 nm の厚みを有する、プロセス。

【請求項 8】

請求項 1 に記載のプロセスであって、

前記 PMOS トランジスタが高 k ラストリプレースメント金属ゲート PMOS トランジスタであり、前記 NMOS トランジスタが高 k ラストリプレースメント金属 NMOS トランジスタであり、

前記プロセスが、

前記厚い TiN 層を形成する前に、前記 NMOS トランジスタエリアにおいて NMOS リプレースメントゲートトランジスタトレンチを形成するために NMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS トランジスタエリアにおいて PMOS リプレースメントゲートトランジスタトレンチを形成するために PMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS リプレースメントゲートトランジスタトレンチ内と前記 NMOS トランジスタエリアとにおいて第 1 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成する前に、前記 NMOS トランジスタエリアから前記第 1 の高 k 誘電体を取り除き、前記 PMOS トランジスタエリア上と前記 NMOS リプレースメントゲートトランジスタトレンチ内とに第 2 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成した後、前記 PMOS トランジスタエリアから前記薄い TiN 層を取り除き、前記 PMOS トランジスタエリアから前記第 2 の高 k 誘電体を取り除くことと、

を更に含む、プロセス。

【請求項 9】

請求項 8 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1 . 2 nm の HfO_x であり、前記厚い TiN が 10 nm の厚みを有し、前記薄い TiN が 2 nm の厚みを有する、プロセス。

【請求項 10】

リプレースメント金属ゲート CMOS トランジスタを備える集積回路を形成するプロセスであって、

部分的に処理された集積回路を提供することであって、前記部分的に処理された集積回路が、第 1 のゲート誘電体上の第 1 のポリシリコンゲートを備える PMOS トランジスタと、第 2 のゲート誘電体上の第 2 のポリシリコンゲートを備える NMOS トランジスタとを備え、前記 NMOS トランジスタと前記 PMOS トランジスタとに重なるプレメタル誘電体を備え、前記プレメタル誘電体が前記第 1 及び第 2 のポリシリコンゲートの頂部表面を露出させて平坦化される、前記部分的に処理された集積回路を提供することと、

PMOS リプレースメントゲートトランジスタトレンチと NMOS リプレースメントゲートトランジスタトレンチとを形成するために前記第 1 及び第 2 のゲート誘電体から前記第 1 及び第 2 のポリシリコンゲートを取り除くようにエッチングすることと、

前記 PMOS リプレースメントゲートトランジスタトレンチ内に第 1 の高 k 誘電体を堆積することと、

前記 PMOS リプレースメントゲートトランジスタトレンチ内の前記第 1 の高 k 誘電体上と前記 NMOS リプレースメントゲートトレンチ内の第 2 の高 k 誘電体上とに、少なくとも 8 nm の PMOS TiN 金属ゲート材料を堆積することと、

前記 PMOS 金属ゲート材料を酸素内でアニールすることと、

前記 NMOS リプレースメントゲートトランジスタトレンチの上に開口を備える NMOS 金属ゲートパターンを形成することと、

下にある誘電体から前記 PMOS 金属ゲート材料を取り除くために前記 NMOS リプレースメントゲートトランジスタトレンチから前記 PMOS 金属ゲート材料をエッチングすることと、

前記 N M O S 金属ゲートパターンを取り除くことと、

前記 N M O S リプレースメントゲートトランジスタトレンチ内に第 2 の高 k 誘電体を堆積することと、

前記第 2 の高 k 誘電体上に、低減された酸素濃度を有する N M O S T i N 金属ゲート材料を約 1 n m ~ 3 n m 堆積することと、

前記 P M O S リプレースメントゲートトランジスタトレンチをオーバーフィルし、前記 N M O S リプレースメントゲートトランジスタトレンチをオーバーフィルするために、前記 N M O S T i N 金属ゲート材料の上で充填材金属を堆積することと、

前記プレメタル誘電体の表面から、前記オーバーフィルと、前記 P M O S T i N 金属ゲート材料と前記 N M O S T i N 金属ゲート材料との一部とを取り除くために研磨することと、

を含む、プロセス。

【請求項 1 1】

請求項 1 0 に記載のプロセスであって、

前記プロセスが高 k ラストプロセスであり、前記下にある誘電体が前記第 2 のゲート誘電体であり、

前記プロセスが、

前記第 1 の高 k 誘電体を堆積する前に、前記 P M O S リプレースメントゲートトランジスタトレンチの上に開口を備える第 1 の P M O S トランジスタフォトレジストパターンを形成し、前記 P M O S リプレースメントゲートトランジスタトレンチから前記第 1 のゲート誘電体をエッチングし、前記第 1 のゲート誘電体をエッチングした後、前記第 1 の P M O S トランジスタフォトレジストパターンを剥がすことと、

第 2 の高 k 誘電体を堆積する前に、前記 N M O S リプレースメントゲートトランジスタトレンチから前記第 2 のゲート誘電体をエッチングすることと、

前記充填材金属を堆積する前に、前記 P M O S リプレースメントゲートトランジスタトレンチの上に開口を備える前記集積回路上の第 2 の P M O S トランジスタフォトレジストパターンを形成することと、

前記 N M O S T i N 金属ゲート材料をエッチングすることと、

前記 N M O S 高 k 誘電体をエッチングすることと、

前記充填材金属を堆積する前に前記第 2 の P M O S トランジスタフォトレジストパターンを取り除くことと、

を更に含む、プロセス。

【請求項 1 2】

請求項 1 0 に記載のプロセスであって、

前記プロセスが高 k ファーストプロセスであり、前記下にある誘電体が前記第 2 の高 k 誘電体であり、

前記プロセスが、

第 1 の高 k 誘電体を堆積する前に、前記第 1 のゲート誘電体と前記第 2 のゲート誘電体とをエッチングすること、

を更に含む、

前記第 1 の高 k 誘電体を堆積することが、前記 P M O S リプレースメントゲートトランジスタトレンチの中に前記第 1 の高 k 誘電体を堆積し、前記 N M O S リプレースメントゲートトランジスタトレンチの中に前記第 2 の高 k 誘電体を堆積し、

前記第 1 の高 k 誘電体と前記第 2 の高 k 誘電体とが前記同じ高 k 誘電体である、プロセス。

【請求項 1 3】

請求項 1 0 に記載のプロセスであって、

前記 P M O S T i N 金属ゲート材料をエッチングすることが、 NH_4OH と H_2O_2 とを加えた希釈 S C 1 におけるウェットエッチングである、プロセス。

【請求項 1 4】

請求項 10 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1 . 2 nm の HfO_x であり、前記 PMOS TiN 金属ゲート材料が 10 nm の厚みであり、前記 NMOS TiN 金属ゲート材料が 2 nm の厚みである、プロセス。

【請求項 15】

金属ゲートファースト CMOS トランジスタを備える集積回路を形成するプロセスであって、

部分的に処理された集積回路を提供することであって、前記部分的に処理された集積回路が、PMOS 金属ゲートトランジスタが形成されるべき場所に第 1 の犠牲誘電体を備える第 1 の領域を、NMOS 金属ゲートトランジスタが形成されるべき場所に第 2 の犠牲誘電体を備える第 2 の領域から分離するシャロートレンチアイソレーションを備える、前記部分的に処理された集積回路を提供することと、

前記 PMOS 金属ゲートトランジスタが形成されるべき場所に第 1 の高 k 誘電体を堆積することと、

前記第 1 の高 k 誘電体上に少なくとも 8 nm の PMOS TiN 金属ゲート材料を堆積することと、

前記 PMOS 金属ゲート材料を酸素内でアニールすることと、

前記 NMOS 金属ゲートトランジスタが形成されるべき場所に開口を備える NMOS 金属ゲートパターンを、前記 PMOS 金属ゲート材料上に形成することと、

前記 PMOS TiN 金属ゲート材料を、下にある誘電体から取り除くためにエッチングすることと、

前記 NMOS 金属ゲートトランジスタが形成されるべき場所に第 2 の高 k 誘電体を堆積することと、

前記 PMOS TiN 金属ゲート材料と比較して低減された酸素濃度を備える NMOS TiN 金属ゲート材料を 1 nm ~ 3 nm 堆積することと、

前記 NMOS TiN 金属ゲート材料の上にポリシリコンを堆積することと、

前記 NMOS 及び PMOS トランジスタゲートのゲートが形成されるべき場所にレジストジオメトリを有するトランジスタゲートパターンを、前記ポリシリコン上に形成することと、

前記 PMOS トランジスタゲートを形成するように、前記ポリシリコンと前記 PMOS TiN 金属ゲート材料とをエッチングすることと、

前記 NMOS トランジスタゲートを形成するように、前記ポリシリコンと前記 NMOS TiN 金属ゲート材料とをエッチングすることと、

を含む、プロセス。

【請求項 16】

請求項 15 に記載のプロセスであって、

前記プロセスが高 k ラストプロセスであり、前記下にある誘電体が前記第 2 の犠牲誘電体であり、

前記プロセスが、

前記第 1 の高 k 誘電体を堆積する前に、前記 PMOS リプレースメントゲートトランジスタトレンチの上に開口を備える第 1 の PMOS トランジスタフォトレジストパターンを前記集積回路上に形成し、前記第 1 の犠牲誘電体をエッチングし、前記第 1 の PMOS トランジスタフォトレジストパターンを剥がすことと、

前記第 2 の高 k 誘電体を堆積する前に、前記第 2 の犠牲誘電体をエッチングして取り除くことと、

前記ポリシリコンを堆積する前に、前記 PMOS トランジスタが形成されるべき場所に開口を備える第 2 の PMOS トランジスタフォトレジストパターンを前記集積回路上に形成し、前記 NMOS TiN 金属ゲート材料をエッチングし、前記 NMOS 高 k 誘電体をエッチングし、前記第 2 の PMOS トランジスタフォトレジストパターンを取り除くことと、

を更に含む、プロセス。

【請求項 17】

請求項 15 に記載のプロセスであって、

前記プロセスが高 k ファーストプロセスであり、前記下にある誘電体が前記第 2 の高 k 誘電体であり、

前記プロセスが、

前記第 1 の高 k 誘電体を堆積する前に、前記第 1 の犠牲誘電体をエッチングし、前記第 2 の犠牲酸化物をエッチングすること、

を更に含む、

前記第 1 の高 k 誘電体堆積することが、前記 P M O S 金属ゲートトランジスタが形成されるべき場所に前記第 1 の高 k 誘電体を堆積し、N M O S 金属ゲートトランジスタが形成されるべき場所に前記第 2 の高 k 誘電体を堆積し、

前記第 1 の高 k 誘電体と前記第 2 の高 k 誘電体とが同じ高 k 誘電体である、プロセス。

【請求項 18】

請求項 15 に記載のプロセスであって、

前記 P M O S T i N 金属ゲート材料をエッチングすることが、 NH_4OH と H_2O_2 とを加えた希釈 S C L におけるウェットエッチングである、プロセス。

【請求項 19】

請求項 15 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1 . 2 n m の H f O x であり、前記 P M O S T i N 金属ゲート材料が 1 0 n m の厚みであり、前記 N M O S T i N 金属ゲート材料が 2 n m の厚みである、プロセス。