

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年2月15日(2018.2.15)

【公表番号】特表2017-504205(P2017-504205A)

【公表日】平成29年2月2日(2017.2.2)

【年通号数】公開・登録公報2017-005

【出願番号】特願2016-544064(P2016-544064)

【国際特許分類】

H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)

【F I】

H 01 L	29/78	3 0 1 C
H 01 L	29/78	3 0 1 G
H 01 L	27/08	3 2 1 D
H 01 L	21/28	3 0 1 R
H 01 L	29/50	M

【手続補正書】

【提出日】平成29年12月27日(2017.12.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路を形成するプロセスであって、

P MOSトランジスタエリアとN MOSトランジスタエリアとの両方において厚いTiN層を形成することと、

前記厚いTiN層を酸素内でアニールすることと、

アニールした後に、前記N MOSトランジスタエリアにおいて前記厚いTiN層を取り除くことと、

前記N MOSトランジスタエリアにおいて前記厚いTiN層を取り除いた後に、前記PMOSトランジスタエリアと前記N MOSトランジスタエリアとの両方において薄いTiN層を形成することであって、前記薄いTiN層が、前記厚いTiN層より薄く、そして低減された酸素濃度を有する、前記薄いTiN層を形成することと、

を含む、プロセス。

【請求項2】

請求項1に記載のプロセスであって、

厚いTiN金属ゲート材料としての前記厚いTiN層が8nmより大きい厚みを有し、薄いTiN金属としての前記薄いTiN層が1~3nmの厚みを有する、プロセス。

【請求項3】

請求項1に記載のプロセスであって、

厚いTiN金属ゲート材料としての前記厚いTiN層が10nmの厚みを有し、薄いTiN金属としての前記薄いTiN層が2nmの厚みを有する、プロセス。

【請求項 4】

請求項 1 に記載のプロセスであって、
前記 PMOS トランジスタがゲートファースト金属ゲート PMOS トランジスタであり、
前記 NMOS トランジスタがゲートファースト金属ゲートトランジスタであり、
前記プロセスが、
ドープされたポリシリコンを前記薄い TiN 層上に堆積することと、
前記ドープされたポリシリコン上に、PMOS トランジスタゲートパターンを備え、N
MOS トランジスタゲートパターンを備えるトランジスタゲートパターンを形成することと、
前記 PMOS トランジスタのゲートを形成するように、前記ドープされたポリシリコンと前記薄い TiN 層と前記厚い TiN 層とをエッチングすることと、
前記 NMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記薄い TiN 層とをエッチングすることと、
を更に含む、プロセス。

【請求項 5】

請求項 1 に記載のプロセスであって、
前記 PMOS トランジスタがリプレースメント金属ゲート PMOS トランジスタであり、
前記 NMOS トランジスタがリプレースメント金属 NMOS トランジスタであり、
前記プロセスが、
前記厚い TiN 層を形成する前に、前記 NMOS トランジスタエリアにおいて NMOS リプレースメントゲートトランジスタトレーニチを形成するために NMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS トランジスタエリアにおいて PMOS リプレースメントゲートトランジスタトレーニチを形成するために PMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除くこと、
を更に含む、プロセス。

【請求項 6】

請求項 1 に記載のプロセスであって、
前記 PMOS トランジスタが高 k ラストゲートファースト金属ゲート PMOS トランジスタであり、前記 NMOS トランジスタが高 k ラストゲートファースト金属ゲートトランジスタであり、
前記プロセスが、
前記厚い TiN 層を形成する前に、前記 PMOS トランジスタエリアと前記 NMOS トランジスタエリアとの両方において第 1 の高 k 誘電体を堆積することと、
前記薄い TiN 層を形成する前に、前記 NMOS トランジスタエリアから前記第 1 の高 k 誘電体を取り除き、前記 NMOS トランジスタエリアと前記 PMOS トランジスタエリアとにおいて第 2 の高 k 誘電体を堆積することと、
前記薄い TiN 層を形成した後に、前記 PMOS トランジスタエリアから前記薄い TiN 層を取り除き、前記 PMOS トランジスタエリアから前記第 2 の高 k 誘電体を取り除くことと、
前記 PMOS トランジスタエリアと前記 NMOS トランジスタエリアとにおいてドープされたポリシリコンを堆積することと、
前記ドープされたポリシリコン上に、PMOS トランジスタゲートパターンを備え、N
MOS トランジスタゲートパターンを備えるトランジスタゲートパターンを形成することと、
前記 PMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記厚い TiN 層とをエッチングすることと、
前記 NMOS トランジスタのゲートを形成するように、前記ポリシリコンと前記薄い TiN 層とをエッチングすることと、
を更に含む、プロセス。

【請求項 7】

請求項 6 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1.2 nm の HfO_x であり、前記厚い TiN が 10 nm の厚みを有し、前記薄い TiN が 2 nm の厚みを有する、プロセス。

【請求項 8】

請求項 1 に記載のプロセスであって、

前記 PMOS トランジスタが高 k ラストリプレースメント金属ゲート PMOS トランジスタであり、前記 NMOS トランジスタが高 k ラストリプレースメント金属 NMOS トランジスタであり、

前記プロセスが、

前記厚い TiN 層を形成する前に、前記 NMOS トランジスタエリアにおいて NMOS リプレースメントゲートトランジスタトレンチを形成するために NMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS トランジスタエリアにおいて PMOS リプレースメントゲートトランジスタトレンチを形成するために PMOS リプレースメントゲートトランジスタからポリシリコンゲートを取り除き、前記 PMOS リプレースメントゲートトランジスタトレンチ内と前記 NMOS トランジスタエリアとにおいて第 1 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成する前に、前記 NMOS トランジスタエリアから前記第 1 の高 k 誘電体を取り除き、前記 PMOS トランジスタエリア上と前記 NMOS リプレースメントゲートトランジスタトレンチ内とに第 2 の高 k 誘電体を堆積することと、

前記薄い TiN 層を形成した後に、前記 PMOS トランジスタエリアから前記薄い TiN 層を取り除き、前記 PMOS トランジスタエリアから前記第 2 の高 k 誘電体を取り除くことと、

を更に含む、プロセス。

【請求項 9】

請求項 8 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1.2 nm の HfO_x であり、前記厚い TiN が 10 nm の厚みを有し、前記薄い TiN が 2 nm の厚みを有する、プロセス。

【請求項 10】

リプレースメント金属ゲート CMOS トランジスタを備える集積回路を形成するプロセスであって、

部分的に処理された集積回路を提供することであって、前記部分的に処理された集積回路が、第 1 のゲート誘電体上の第 1 のポリシリコンゲートを備える PMOS トランジスタと、第 2 のゲート誘電体上の第 2 のポリシリコンゲートを備える NMOS トランジスタとを備え、前記 NMOS トランジスタと前記 PMOS トランジスタとに重なるプレメタル誘電体を備え、前記プレメタル誘電体が前記第 1 及び第 2 のポリシリコンゲートの頂部表面を露出させて平坦化される、前記部分的に処理された集積回路を提供することと、

PMOS リプレースメントゲートトランジスタトレンチと NMOS リプレースメントゲートトランジスタトレンチとを形成するために前記第 1 及び第 2 のゲート誘電体から前記第 1 及び第 2 のポリシリコンゲートを取り除くようにエッチングすることと、

前記 PMOS リプレースメントゲートトランジスタトレンチ内に第 1 の高 k 誘電体を堆積することと、

前記 PMOS リプレースメントゲートトランジスタトレンチ内の前記第 1 の高 k 誘電体上と前記 NMOS リプレースメントゲートトレンチ内の第 2 の高 k 誘電体上とに、少なくとも 8 nm の PMOS TiN 金属ゲート材料を堆積することと、

前記 PMOS 金属ゲート材料を酸素内でアニールすることと、

前記 NMOS リプレースメントゲートトランジスタトレンチの上に開口を備える NMOS 金属ゲートパターンを形成することと、

下にある誘電体から前記 PMOS 金属ゲート材料を取り除くために前記 NMOS リプレースメントゲートトランジスタトレンチから前記 PMOS 金属ゲート材料をエッチングすることと、

前記N M O S 金属ゲートパターンを取り除くことと、
前記N M O S リプレースメントゲートトランジスタトレンチ内に第2の高k誘電体を堆積することと、

前記第2の高k誘電体上に、低減された酸素濃度を有するN M O S T i N 金属ゲート材料を約1n m ~ 3n m堆積することと、

前記P M O S リプレースメントゲートトランジスタトレンチをオーバーフィルし、前記N M O S リプレースメントゲートトランジスタトレンチをオーバーフィルするために、前記N M O S T i N 金属ゲート材料の上で充填材金属を堆積することと、

前記プレメタル誘電体の表面から、前記オーバーフィルと、前記P M O S T i N 金属ゲート材料と前記N M O S T i N 金属ゲート材料との一部とを取り除くために研磨することと、

を含む、プロセス。

【請求項11】

請求項10に記載のプロセスであって、

前記プロセスが高kラストプロセスであり、前記下にある誘電体が前記第2のゲート誘電体であり、

前記プロセスが、

前記第1の高k誘電体を堆積する前に、前記P M O S リプレースメントゲートトランジスタトレンチの上に開口を備える第1のP M O S トランジスタフォトレジストパターンを形成し、前記P M O S リプレースメントゲートトランジスタトレンチから前記第1のゲート誘電体をエッチングし、前記第1のゲート誘電体をエッチングした後に、前記第1のP M O S トランジスタフォトレジストパターンを剥がすことと、

第2の高k誘電体を堆積する前に、前記N M O S リプレースメントゲートトランジスタトレンチから前記第2のゲート誘電体をエッチングすることと、

前記充填材金属を堆積する前に、前記P M O S リプレースメントゲートトランジスタトレンチの上に開口を備える前記集積回路上の第2のP M O S トランジスタフォトレジストパターンを形成することと、

前記N M O S T i N 金属ゲート材料をエッチングすることと、

前記N M O S 高k誘電体をエッチングすることと、

前記充填材金属を堆積する前に前記第2のP M O S トランジスタフォトレジストパターンを取り除くことと、

を更に含む、プロセス。

【請求項12】

請求項10に記載のプロセスであって、

前記プロセスが高kファーストプロセスであり、前記下にある誘電体が前記第2の高k誘電体であり、

前記プロセスが、

第1の高k誘電体を堆積する前に、前記第1のゲート誘電体と前記第2のゲート誘電体とをエッチングすること、

を更に含み、

前記第1の高k誘電体を堆積することが、前記P M O S リプレースメントゲートトランジスタトレンチの中に前記第1の高k誘電体を堆積し、前記N M O S リプレースメントゲートトランジスタトレンチの中に前記第2の高k誘電体を堆積し、

前記第1の高k誘電体と前記第2の高k誘電体とが前記同じ高k誘電体である、プロセス。

【請求項13】

請求項10に記載のプロセスであって、

前記P M O S T i N 金属ゲート材料をエッチングすることが、N H₄ O HとH₂ O₂とを加えた希釈S C 1におけるウェットエッチングである、プロセス。

【請求項14】

請求項 10 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1.2 nm の HfO_x であり、前記 PMOS TiN 金属ゲート材料が 10 nm の厚みであり、前記 NMOS TiN 金属ゲート材料が 2 nm の厚みである、プロセス。

【請求項 15】

金属ゲートファースト CMOS トランジスタを備える集積回路を形成するプロセスであって、

部分的に処理された集積回路を提供することであって、前記部分的に処理された集積回路が、PMOS 金属ゲートトランジスタが形成されるべき場所に第 1 の犠牲誘電体を備える第 1 の領域を、NMOS 金属ゲートトランジスタが形成されるべき場所に第 2 の犠牲誘電体を備える第 2 の領域から分離するシャロートレンチアイソレーションを備える、前記部分的に処理された集積回路を提供することと、

前記 PMOS 金属ゲートトランジスタが形成されるべき場所に第 1 の高 k 誘電体を堆積することと、

前記第 1 の高 k 誘電体上に少なくとも 8 nm の PMOS TiN 金属ゲート材料を堆積することと、

前記 PMOS 金属ゲート材料を酸素内でアニールすることと、

前記 NMOS 金属ゲートトランジスタが形成されるべき場所に開口を備える NMOS 金属ゲートパターンを、前記 PMOS 金属ゲート材料上に形成することと、

前記 PMOS TiN 金属ゲート材料を、下にある誘電体から取り除くためにエッティングすることと、

前記 NMOS 金属ゲートトランジスタが形成されるべき場所に第 2 の高 k 誘電体を堆積することと、

前記 PMOS TiN 金属ゲート材料と比較して低減された酸素濃度を備える NMOS TiN 金属ゲート材料を 1 nm ~ 3 nm 堆積することと、

前記 NMOS TiN 金属ゲート材料の上にポリシリコンを堆積することと、

前記 NMOS 及び PMOS トランジスタゲートのゲートが形成されるべき場所にレジストジオメトリを有するトランジスタゲートパターンを、前記ポリシリコン上に形成することと、

前記 PMOS トランジスタゲートを形成するように、前記ポリシリコンと前記 PMOS TiN 金属ゲート材料とをエッティングすることと、

前記 NMOS トランジスタゲートを形成するように、前記ポリシリコンと前記 NMOS TiN 金属ゲート材料とをエッティングすることと、

を含む、プロセス。

【請求項 16】

請求項 15 に記載のプロセスであって、

前記プロセスが高 k ラストプロセスであり、前記下にある誘電体が前記第 2 の犠牲誘電体であり、

前記プロセスが、

前記第 1 の高 k 誘電体を堆積する前に、前記 PMOS リプレースメントゲートトランジスタトレンチの上に開口を備える第 1 の PMOS トランジスタフォトレジストパターンを前記集積回路上に形成し、前記第 1 の犠牲誘電体をエッティングし、前記第 1 の PMOS トランジスタフォトレジストパターンを剥がすことと、

前記第 2 の高 k 誘電体を堆積する前に、前記第 2 の犠牲誘電体をエッティングして取り除くことと、

前記ポリシリコンを堆積する前に、前記 PMOS トランジスタが形成されるべき場所に開口を備える第 2 の PMOS トランジスタフォトレジストパターンを前記集積回路上に形成し、前記 NMOS TiN 金属ゲート材料をエッティングし、前記 NMOS 高 k 誘電体をエッティングし、前記第 2 の PMOS トランジスタフォトレジストパターンを取り除くことと、

を更に含む、プロセス。

【請求項 17】

請求項 15 に記載のプロセスであって、

前記プロセスが高 k ファーストプロセスであり、前記下にある誘電体が前記第 2 の高 k 誘電体であり、

前記プロセスが、

前記第 1 の高 k 誘電体を堆積する前に、前記第 1 の犠牲誘電体をエッティングし、前記第 2 の犠牲酸化物をエッティングすること、

を更に含み、

前記第 1 の高 k 誘電体堆積することが、前記 PMOS 金属ゲートトランジスタが形成されるべき場所に前記第 1 の高 k 誘電体を堆積し、NMOS 金属ゲートトランジスタが形成されるべき場所に前記第 2 の高 k 誘電体を堆積し、

前記第 1 の高 k 誘電体と前記第 2 の高 k 誘電体とが同じ高 k 誘電体である、プロセス。

【請求項 18】

請求項 15 に記載のプロセスであって、

前記 PMOS TiN 金属ゲート材料をエッティングすることが、NH₄OH と H₂O₂ とを加えた希釀 SCL におけるウェットエッティングである、プロセス。

【請求項 19】

請求項 15 に記載のプロセスであって、

前記第 1 及び第 2 の高 k 誘電体が 1.2 nm の HfO_x であり、前記 PMOS TiN 金属ゲート材料が 10 nm の厚みであり、前記 NMOS TiN 金属ゲート材料が 2 nm の厚みである、プロセス。