



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0006402
(43) 공개일자 2014년01월16일

(51) 국제특허분류(Int. Cl.)

H03M 13/00 (2006.01)

(21) 출원번호 10-2012-0073211

(22) 출원일자 2012년07월05일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울특별시 성북구 안암로 145 (안암동5가)

(72) 발명자

박중선

서울특별시 성북구 안암로 145 (안암동5가) 고려대학교 창의관 716B호

박장원

서울특별시 성북구 안암로 145 (안암동5가) 고려대학교 공학별관 501호

(74) 대리인

특허법인 이노

전체 청구항 수 : 총 11 항

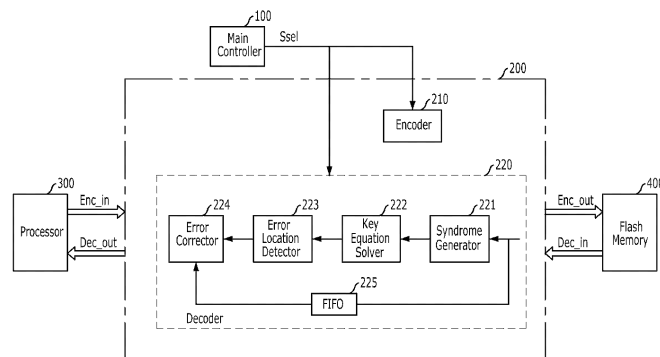
(54) 발명의 명칭 가변 구조의 에러 정정 부호화기

(57) 요약

본 발명의 가변 구조의 에러 정정 부호화기에 따르면, 노이즈 환경에 따라 구동되는 구조를 달리할 수 있고, 노이즈 크기에 따라 구동되는 신드롬 제너레이터의 갯수를 달리할 수 있으며, 노이즈 크기에 따라 구동되는 오류 위치 다항식 생성부의 갯수를 달리할 수 있고, 노이즈 크기에 따라 구동되는 오류 평가 다항식 생성부의 갯수를 달리할 수 있으며, 노이즈 크기에 따라 에러 정정을 위하여 소모되는 전력량을 달리할 수 있다.

본원의 제1 발명에 따른 가변 구조의 에러 정정 부호화기는, 오류 정정 비트 수에 대응하여 선택 제어 신호를 출력하는 주제어부; 상기 선택 제어 신호에 제어되고, 입력되는 데이터 비트에 제너레이터 매트릭스를 승산하여 데이터 비트와 패리티 비트로 이루어진 코드 워드를 출력하는 인코더; 상기 선택 제어 신호에 제어되고, 저장부로부터 수신되는 코드 워드를 입력받아 신드롬값을 출력하는 계산하는 신드롬 발생부; 상기 선택 제어 신호에 제어되고, 상기 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성하는 키 이퀄이션 솔버; 상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 계수를 이용하여 오류 위치 검출 신호를 출력하는 오류 위치 검출부; 및 상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 신호를 이용하여 해당하는 위치의 오류를 정정하는 오류 정정부를 포함한다.

대표도



특허청구의 범위

청구항 1

오류 정정 비트 수에 대응하여 선택 제어 신호를 출력하는 주제어부;

상기 선택 제어 신호에 제어되고, 입력되는 데이터 비트에 제너레이터 매트릭스를 승산하여 데이터 비트와 패리티 비트로 이루어진 코드 워드를 출력하는 인코더;

상기 선택 제어 신호에 제어되고, 저장부로부터 수신되는 코드 워드를 입력받아 신드롬값을 출력하는 신드롬 발생부;

상기 선택 제어 신호에 제어되고, 상기 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성하는 키 이퀄이션 솔버;

상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 계수를 이용하여 오류 위치 검출 신호를 출력하는 오류 위치 검출부; 및

상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 신호를 이용하여 해당하는 위치의 오류를 정정하는 오류 정정부

를 포함하는 가변 구조의 에러 정정 부호화기.

청구항 2

제1항에 있어서,

상기 인코더는, 서로 다른 오류 비트를 정정할 수 있는 복수의 오류 정정용 인코더를 포함하고, 상기 복수의 오류 정정용 인코더는 동일한 크기의 데이터 비트를 입력받아 서로 다른 크기의 패리티 비트를 포함하는 코드 워드를 출력할 수 있는 가변 구조의 에러 정정 부호화기.

청구항 3

제1항에 있어서,

상기 신드롬 발생부는 복수의 신드롬 제너레이터를 포함하고, 상기 오류 정정 비트 수에 따라 상기 복수의 신드롬 제너레이터 중 일부 또는 전부가 상기 선택 제어 신호에 제어되는 가변 구조의 에러 정정 부호화기.

청구항 4

제3항에 있어서,

상기 복수의 신드롬 제너레이터 중 하나는 다음의 수학적식을 완전 병렬 방식으로 구현하는 것을 특징으로 하는 가변 구조의 에러 정정 부호화기.

$$S_i = R(\alpha^i) = \sum_{j=0}^{n-1} r_j \alpha^{ij} = r_0 + r_1 \alpha^i + \dots + r_{n-1} \alpha^{i(n-1)}, (0 \leq i < 2t)$$

여기서, t는 정정가능 오류비트수, n은 코드길이, r은 오류가 포함된 데이터이고, α 는 갈로아 필드의 원소임.

청구항 5

제3항에 있어서,

상기 복수의 신드롬 제너레이터 중 하나는 다음의 수학적식을 준 병렬 방식으로 구현하는 것을 특징으로 하는 가변 구조의 에러 정정 부호화기.

$$S_i = R(\alpha^i) = \sum_{j=0}^{n-1} r_j \alpha^{ij} = r_0 + r_1 \alpha^i + \dots + r_{n-1} \alpha^{i(n-1)}, (0 \leq i \leq n-1)$$

여기서, t 는 정정가능 오류비트수, n 은 코드길이, r 은 오류가 포함된 데이터이고, α 는 갈로아 필드의 원소임.

청구항 6

제1항에 있어서, 상기 키 이퀄리제이션 솔버는,

순차로 입력되는 상기 신드롬값을 임시 저장 및 출력하는 임시 저장부;

상기 선택 제어 신호에 제어되어 오류 추정 위치 값과 상기 오류 위치 검출 계수를 출력하는 처리식 모듈부;

상기 임시 저장부로부터 출력되는 상기 신드롬값과 상기 오류 추정 위치 값을 승산하여 복수의 승산 결과값을 출력하는 승산부;

상기 승산부로부터 출력되는 상기 복수의 승산 결과값을 가산하여 출력하는 가산부; 및

상기 가산부로부터 출력되는 가산 결과값을 이용하여 상기 처리식 모듈부를 제어하기 위한 제어신호를 출력하는 제어부

를 포함하는 가변 구조의 에러 정정 부호화기.

청구항 7

제6항에 있어서,

상기 처리식 모듈부는 복수의 처리식 모듈을 포함하고, 상기 제어부는 상기 복수의 처리식 모듈을 동기적으로 제어하는 가변 구조의 에러 정정 부호화기.

청구항 8

제7항에 있어서,

상기 오류 정정 비트 수에 따라 상기 복수의 처리식 모듈 중 일부 또는 전부가 상기 선택 제어 신호에 제어되는 가변 구조의 에러 정정 부호화기.

청구항 9

제1항에 있어서,

상기 오류 위치 검출부는 복수의 모듈을 포함하고,

상기 오류 정정 비트 수에 따라 상기 복수의 모듈 중 일부 또는 전부가 상기 선택 제어 신호에 제어되는 가변 구조의 에러 정정 부호화기.

청구항 10

제9항에 있어서,

상기 오류 위치 검출부는, 상기 키 이퀄리제이션 솔버로부터 출력되는 오류 위치 검출 계수와 상기 신드롬 발생부에서 사용되는 갈로아 필드의 원소를 승산 및 가산하여 복수의 오류 위치 검출 신호를 출력하는 가변 구조의 에러 정정 부호화기.

청구항 11

오류 정정 비트 수에 대응하여 선택 제어 신호를 출력하는 주제어부;

입력되는 데이터 비트에 제너레이터 매트릭스를 승산하여 데이터 비트와 패리티 비트로 이루어진 코드 워드를 출력하는 인코더;

저장부로부터 수신되는 코드 워드를 입력받아 신드롬값을 출력하는 계산하는 신드롬 발생부;
 상기 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성하는 키 이퀄이션 솔버;
 상기 오류 위치 검출 계수를 이용하여 오류 위치 검출 신호를 출력하는 오류 위치 검출부; 및
 상기 오류 위치 검출 신호를 이용하여 해당하는 위치의 오류를 정정하는 오류 정정부를 포함하고,
 상기 오류 정정 비트 수에 따라 상기 신드롬 발생부, 상기 키 이퀄이션 솔버, 및 상기 오류 위치 검출부 각각의 일부 또는 전부가 상기 선택 제어 신호에 동일 비율로 제어되는 것을 특징으로 하는 가변 구조의 에러 정정 부호화기.

명세서

기술 분야

[0001] 본 발명은 에러 정정 부호화기에 관한 것으로, 더욱 상세하게는 에러 정정 비트수를 선택적으로 달리할 수 있는 에러 정정 부호화기에 관한 것이다.

배경 기술

[0002] 디지털 부호의 전송에는 외부로부터의 영향(전송로상의 잡음, 드롭아웃, 페이딩 등)에 의해 전송 데이터에 오류가 발생할 수 있다. 전송계에서는 오류가 발생한 경우에 데이터의 재전송을 요구할 수 없기 때문에 수신측에서는 수신 정보의 오류검출, 정정이 가능하지 않으면 안된다. 이와 같이, 수신측에서 수신 정보를 정정하는 것을 FEC(Forward Error Correction)방식이라고 한다.

[0003] 상기 오류정정을 수행하기 위해 Cyclic 부호, BCH(Both-Chaudhuri- Hocquenghem) 부호, 리드-솔로몬(Reed-Solomon) 부호 등이 사용된다.

[0004] 여기서, BCH 부호의 복호 순서는 다음과 같다.

[0005] 먼저, 수신된 신호를 이용하여 신드롬값을 구한 뒤, 상기 신드롬값을 이용하여 오류위치 다항식과 오류평가 다항식을 계산한다. 상기 오류위치 다항식에 갈루아체 필드의 원소를 대입하여 오류의 위치를 결정하고, 해당 위치의 오류를 정정한다.

[0006] 그런데, 종래기술에 따른 BCH 부호의 복호화기는 2비트 오류 정정용, 4비트 오류 정정용, 8비트 오류 정정용 등 다양한 크기의 오류 비트를 정정할 수 있는 복호화기가 개별적으로 존재한다. 따라서, 이들 복호화기는 오류가 발생할 가능성이 다른 환경에 놓이더라도 항상 동일한 크기 비트를 복호화하기 때문에 필요한 크기보다 더 크게 설계한 경우에는 불필요하게 많은 전력을 소모하게 된다. 또는, 설계된 수준보다 노이즈가 많은 환경에 놓이게 되면 오류가 발생할 가능성이 높아지게 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 노이즈 환경에 따라 구동되는 구조를 달리할 수 있는 가변 구조의 에러 정정 부호화기를 제공한다.

[0008] 또한, 본 발명은 노이즈 크기에 따라 구동되는 신드롬 제너레이터의 갯수를 달리할 수 있는 가변 구조의 에러 정정 부호화기를 제공한다.

[0009] 또한, 본 발명은 노이즈 크기에 따라 구동되는 오류 위치 다항식 생성부의 갯수를 달리할 수 있는 가변 구조의 에러 정정 부호화기를 제공한다.

[0010] 또한, 본 발명은 노이즈 크기에 따라 구동되는 오류 평가 다항식 생성부의 갯수를 달리할 수 있는 가변 구조의 에러 정정 부호화기를 제공한다.

[0011] 또한, 본 발명은 노이즈 크기에 따라 에러 정정을 위하여 소모되는 전력량을 달리할 수 있는 가변 구조의 에러 정정 부호화기를 제공한다.

과제의 해결 수단

- [0012] 본원의 제1 발명에 따른 가변 구조의 에러 정정 부호화기는, 오류 정정 비트 수에 대응하여 선택 제어 신호를 출력하는 주제어부; 상기 선택 제어 신호에 제어되고, 입력되는 데이터 비트에 제너레이터 매트릭스를 승산하여 데이터 비트와 패리티 비트로 이루어진 코드 워드를 출력하는 인코더; 상기 선택 제어 신호에 제어되고, 저장부로부터 수신되는 코드 워드를 입력받아 신드롬값을 출력하는 계산하는 신드롬 발생부; 상기 선택 제어 신호에 제어되고, 상기 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성하는 키 이퀄이션 솔버; 상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 계수를 이용하여 오류 위치 검출 신호를 출력하는 오류 위치 검출부; 및 상기 선택 제어 신호에 제어되고, 상기 오류 위치 검출 신호를 이용하여 해당하는 위치의 오류를 정정하는 오류 정정부를 포함한다.
- [0013] 또한, 상기 인코더는, 서류 다른 오류 비트를 정정할 수 있는 복수의 오류 정정용 인코더를 포함하고, 상기 복수의 오류 정정용 인코더는 동일한 크기의 데이터 비트를 입력받아 서로 다른 크기의 패리티 비트를 포함하는 코드 워드를 출력할 수 다.
- [0014] 또한, 상기 신드롬 발생부는 복수의 신드롬 제너레이터를 포함하고, 상기 오류 정정 비트 수에 따라 상기 복수의 신드롬 제너레이터 중 일부 또는 전부가 상기 선택 제어 신호에 제어된다.
- [0015] 또한, 상기 키 이퀄이션 솔버는, 순차로 입력되는 상기 신드롬값을 임시 저장 및 출력하는 임시 저장부; 상기 선택제어신호에 제어되어 오류 추정 위치 값과 오류 위치 검출 계수를 출력하는 처리식 모듈부; 상기 임시 저장부로부터 출력되는 상기 신드롬값과 상기 오류 추정 위치 값을 승산하여 복수의 승산 결과값을 출력하는 승산부; 상기 승산부로부터 출력되는 상기 복수의 승산 결과값을 가산하여 출력하는 가산부; 및 상기 가산부로부터 출력되는 가산 결과값을 이용하여 상기 처리식 모듈부를 제어하기 위한 제어신호를 출력하는 제어부를 포함한다.
- [0016] 또한, 본원의 제2 발명에 따른 가변 구조의 에러 정정 부호화기는, 오류 정정 비트 수에 대응하여 선택 제어 신호를 출력하는 주제어부; 입력되는 데이터 비트에 제너레이터 매트릭스를 승산하여 데이터 비트와 패리티 비트로 이루어진 코드 워드를 출력하는 인코더; 저장부로부터 수신되는 코드 워드를 입력받아 신드롬값을 출력하는 계산하는 신드롬 발생부; 상기 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성하는 키 이퀄이션 솔버; 상기 오류 위치 검출 계수를 이용하여 오류 위치 검출 신호를 출력하는 오류 위치 검출부; 및 상기 오류 위치 검출 신호를 이용하여 해당하는 위치의 오류를 정정하는 오류 정정부를 포함하고, 상기 오류 정정 비트 수에 따라 상기 신드롬 발생부, 상기 키 이퀄이션 솔버, 및 상기 오류 위치 검출부 각각의 일부 또는 전부가 상기 선택 제어 신호에 동일 비율로 제어된다.

발명의 효과

- [0017] 본 발명의 가변 구조의 에러 정정 부호화기에 따르면, 노이즈 환경에 따라 구동되는 구조를 달리할 수 있고, 노이즈 크기에 따라 구동되는 신드롬 제너레이터의 갯수를 달리할 수 있으며, 노이즈 크기에 따라 구동되는 오류 위치 다항식 생성부의 갯수를 달리할 수 있고, 노이즈 크기에 따라 구동되는 오류 평가 다항식 생성부의 갯수를 달리할 수 있으며, 노이즈 크기에 따라 에러 정정을 위하여 소모되는 전력량을 달리할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 전체 블록도,
 도 2는 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 인코더의 세부 구성도,
 도 3은 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 신드롬 제너레이터의 세부 구성도,
 도 4는 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 오류 위치 다항식 생성부의 세부 구성도, 및
 도 5는 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 오류 평가 다항식 생성부의 세부 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 구체적인 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와

개념으로 해석되어야 할 것이다. 또한, 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

- [0020] 도 1은 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 전체 블록도이다.
- [0021] 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기는, 인코더(210)와 디코더(220)를 포함하고, 디코더(220)는 신드롬 발생부(221), 키 이퀄이션 솔버(222), 오류 위치 검출부(223), 오류 정정부(224), 및 선입선출부(225)를 포함한다.
- [0022] 주제어부(100)는 인코더(210), 신드롬 발생부(221), 키 이퀄이션 솔버(222), 오류 위치 검출부(223)의 동작 갯수를 제어하는 제어신호를 발생한다.
- [0023] 인코더(210)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 프로세서(300)로부터 입력되는 데이터비트에 제너레이터 매트릭스를 곱하여 데이터비트와 패리티비트로 이루어진 코드워드(codeword)를 출력한다.
- [0024] 신드롬 발생부(221)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 저장부, 예컨대, 플래시 메모리(400)로부터 수신되는 코드워드를 입력받아 신드롬값을 계산한다.
- [0025] 키 이퀄이션 솔버(222)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 신드롬 발생부(221)로부터 출력되는 신드롬값을 이용하여 오류 위치를 검출하기 위한 오류 위치 검출 계수를 생성한다.
- [0026] 오류 위치 검출부(223)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 키 이퀄이션 솔버(222)로부터 출력되는 오류 위치 검출 계수를 이용하여 오류의 위치를 검출하는 오류 위치 검출 신호를 출력한다.
- [0027] 오류 정정부(224)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 오류 위치 검출부(223)로부터 출력되는 오류 위치 검출 신호와 데이터 비트를 배타적 논리합으로 연산하여 오류를 정정한다.
- [0028] 선입선출부(225)는 신드롬 발생부(221), 키 이퀄이션 솔버(222), 및 오류 위치 검출부(223)를 통과하면서 소요되는 시간지연을 보상하도록 플래시 메모리(400)로부터 수신되는 코드워드를 소정시간 지연시켜 순서대로 출력한다.
- [0029] 도 2는 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 인코더의 세부 구성도이다.
- [0030] 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 인코더(210)는 선택제어신호(Ssel)에 제어되어 입력되는 데이터비트를 복수의 출력터미널 중 어느 하나로 출력하는 셀렉터(211), 셀렉터(211)의 출력터미널에 각각 병렬로 연결되는 복수의 오류 비트 정정용 인코더(212, 213, 214)를 포함한다.
- [0031] 여기서, 복수의 오류 비트 정정용 인코더(212, 213, 214)는 서로 다른 오류 비트를 정정하는 데에 사용되며, 입력되는 데이터비트는 동일하나(예컨대, 128비트), 정정하는 오류비트 수가 다르기 때문에 출력하는 코드워드는 상이하다. 예컨대, 2 비트 오류 정정용 인코더(212)가 출력하는 코드워드의 패리티 비트는 16비트이고, 4 비트 오류 정정용 인코더(213)가 출력하는 코드워드의 패리티 비트는 32비트이며, 8 비트 오류 정정용 인코더(214)가 출력하는 코드워드의 패리티 비트는 64비트를 포함한다.
- [0032] 한편, 인코더의 세부 구조는 부호화와 관련하여 통상의 지식을 가진 자에게 자명한 사항이고, 다양한 방식으로 설계될 수 있다는 것 또한 자명한 사항에 불과하므로 생략하기로 한다.
- [0033] 도 3a는 본 발명의 일실시예에 따른 8비트 오류 정정 모드시 신드롬 제너레이터 사용 상태도이고, 도 3b는 본 발명의 일실시예에 따른 4비트 오류 정정 모드시 신드롬 제너레이터 사용 상태도이며, 도 3c는 본 발명의 일실시예에 따른 2비트 오류 정정 모드시 신드롬 제너레이터 사용 상태도이다.
- [0034] 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 신드롬 발생부(221)는 정정가능한 최대 오류비트가 8비트이면 병렬연결된 16개의 신드롬 제너레이터(S1, S2, ... , S16)를 포함하고, 개별 신드롬 제너레이터(S1, S2, ... , S16)는 수학식1을 만족하도록 구현될 수 있다.

수학식 1

$$S_i = R(\alpha^i) = \sum_{j=0}^{n-1} r_j \alpha^{ij} = r_0 + r_1 \alpha^i + 0 + r_{n-1} \alpha^{i(n-1)}, (0 \leq i \leq 2t)$$

[0035]

[0036] 여기서, t는 정정가능 오류비트수, n은 코드길이, r은 오류가 포함된 데이터이고, α 는 갈로아 필드의 원소이다.

[0037] 각각의 신드롬 제너레이터용 다항식은 예컨대, 다음의 수학식과 같다.

수학식 2

$$S_1 = \sum_{i=0}^{191} r_i \alpha^i = r_0 + r_1 \alpha^1 + r_2 \alpha^2 + 0 + r_{191} \alpha^{191}$$

[0038]

수학식 3

$$S_2 = \sum_{i=0}^{191} r_i \alpha^{2i} = r_0 + r_1 \alpha^2 + r_2 \alpha^4 + 0 + r_{191} \alpha^{382}$$

[0039]

[0040] ...

수학식 4

$$S_{16} = \sum_{i=0}^{191} r_i \alpha^{16i} = r_0 + r_1 \alpha^{16} + r_2 \alpha^{32} + 0 + r_{191} \alpha^{3056}$$

[0041]

[0042] 본 발명의 일실시예에 따르면, 8비트 오류 정정 모드시에는 도 3a에 도시된 바와 같이, 16개의 신드롬 제너레이터(S1, S2, ..., S16)가 모두 사용되고, 4비트 오류 정정 모드시에는, 주제어부(100)의 선택제어신호(Ssel)에 제어되어, 도 3b에 도시된 바와 같이, 8개의 신드롬 제너레이터(S1, S2, ..., S8)가 사용되며, 2비트 오류 정정 모드시에는, 주제어부(100)의 선택제어신호(Ssel)에 제어되어, 도 3c에 도시된 바와 같이, 4개의 신드롬 제너레이터(S1, S2, S3, S4)가 사용된다. 이때, 개별 신드롬 제너레이터의 입력단에 인에이블용 소자(미도시)가 배치되고, 선택제어신호(Ssel)에 제어되어 인에이블될 수 있다.

[0043] 한편, 도시되지는 않았으나, 선택제어신호(Ssel)를 이용하여 데이터(r)를 "0"으로 처리함으로써 복수의 신드롬 제너레이터 중 일부 또는 전부의 구동을 제어할 수 있다. 예컨대, 4개의 신드롬 제너레이터(S1, S2, S3, S4)가 사용되는 경우, 나머지 신드롬 제너레이터의 입력으로 "0"값의 선택제어신호(Ssel)와 데이터(r)를 논리곱 연산한 값을 사용함으로써 나머지 신드롬 제너레이터의 출력을 제어할 수 있다.

[0044] 도 4a는 본 발명의 일실시예에 따른 신드롬 제너레이터(S1)의 구체 구성도로서, 수학식2를 완전 병렬 구조로 구현한 것이다.

- [0045] 즉, 수학식2의 우측항을 1사이클에 승산 및 가산 처리함으로써 연산을 신속하게 처리할 수 있다는 장점이 있으나, 대면적을 필요로 하는 문제가 있다.
- [0046] 한편, 본 발명의 상세한 설명 및 도면 전반에 걸쳐 언급되는 가산 또는 승산이라 함은 갈로아 필드 내에서의 산술적 가산 또는 승산을 의미한다.
- [0047] 도 4b는 본 발명의 다른 실시예에 따른 신드롬 제너레이터(S1)의 구체 구성도로서, 수학식2를 준 병렬 구조로 구현한 것이다.
- [0048] 즉, 수학식2 중 15개를 병렬로, 1개를 직렬로, 각각 구현하고, 12사이클 동안에 승산 및 가산 처리함으로써 연산처리 속도가 완전 병렬 구조에 비해 늦어지는 반면, 구현하는 면적을 대략 1/12 정도로 줄일 수 있다.
- [0049] 한편, 신드롬 제너레이터 내부 구조에서 승산 및 가산 처리에서 직병렬의 갯수를 조절하여 구현하는 면적을 더욱 줄일 수 있음은 당업자에게 자명하다.
- [0050] 도 5는 본 발명의 일실시예에 따른 가변 구조의 에러 정정 부호화기 내 키이케이션 솔버(222)의 세부 구성도이다.
- [0051] 키 이케이션 솔버(222)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 신드롬 발생부(221)로부터 출력되는 신드롬값(Syn)을 이용하여 오류 위치 검출 계수를 생성한다.
- [0052] 키 이케이션 솔버(222)는 순차로 입력되는 신드롬값(Syn)을 임시 저장하였다가 순차 출력하는 임시 저장부(510), 주제어부(100)의 선택제어신호(Ssel)에 제어되고, 제어유닛(550)으로부터 출력되는 제어신호(cont.)에 동기 제어되어 오류 추정 위치값(σ)과 오류 위치 검출 계수($\Lambda_0, \Lambda_1, \Lambda_2, \dots, \Lambda_{14}$)를 출력하는 처리식 모듈부(520), 임시 저장부(510)로부터 출력되는 신드롬값(S)과 처리식 모듈부(520)로부터 출력되는 오류 추정 위치값(σ)을 승산하여 결과값을 출력하는 승산부(530), 승산부(530)로부터 출력되는 복수의 승산 결과값을 가산하여 결과값을 출력하는 가산부(540), 가산부(540)로부터 출력되는 결과값을 이용하여 복수의 처리식 모듈부(520)를 제어하는 제어신호(cont.)를 출력하는 제어부(550)를 포함한다.
- [0053] 본 발명의 일실시예에 따르면, 임시 저장부(510)는 직렬연결된 복수의 레지스터(Reg0(511), Reg1(512), ..., Reg15(51f))로 구현될 수 있다.
- [0054] 본 발명의 일실시예에 따르면, 처리식 모듈부(520)는 주제어부(100)의 선택제어신호(Ssel)에 제어되고 제어유닛(550)으로부터 출력되는 제어신호(cont.)에 동기적으로 제어되어 오류 추정 위치값($\sigma_0, \sigma_1, \sigma_2, \dots, \sigma_{15}$)과 오류 위치 검출 계수($\Lambda_0, \Lambda_1, \Lambda_2, \dots, \Lambda_{14}$)를 출력하는 복수의 처리식 모듈(PE0(521), PE1(522), ..., PE15(52f))로 구현될 수 있다.
- [0055] 본 발명의 일실시예에 따르면, 승산부(530)는 복수의 레지스터(Reg0(511), Reg1(512), ..., Reg15(51f)) 각각 으로부터 출력되는 개별 신드롬값(S16, S15, ..., S1)과 복수의 처리식 모듈(PE0(521), PE1(522), ..., PE15(52f)) 각각으로부터 출력되는 개별 오류 추정 위치값($\sigma_0, \sigma_1, \sigma_2, \dots, \sigma_{15}$)을 승산하여 결과값(Q0, Q1, Q2, ..., Q15)을 병렬적으로 출력하는 복수의 승산 유닛(531, 532, ..., 53f)으로 구현될 수 있다.
- [0056] 한편, 본 발명의 일실시예에 따르면, 2비트 오류 정정 모드시, 임시 저장부(510)는 신드롬 제너레이터(221)와 인접한 4개의 레지스터(Reg0(511), Reg1(512), Reg2(513), Reg3(514))가, 이에 대응되어 처리식 모듈부(520)는 4개의 처리식 모듈(PE0(521), PE1(522), PE2(523), PE3(524))이, 승산부(530)는 4개의 승산 유닛(531, 532, 533, 534)이 각각 사용되고, 4개의 승산 결과값(Q0, Q1, Q2, Q3)이 가산 유닛(540)에 입력된다.
- [0057] 본 발명의 다른 실시예에 따르면, 4비트 오류 정정 모드시, 임시 저장부(510)는 신드롬 제너레이터(221)와 인접

한 8개의 레지스터(Reg0(511), Reg1(512), ..., Reg7(518))가, 이에 대응되어 처리식 모듈부(520)는 8개의 처리식 모듈(PE0(521), PE1(522), ..., PE7(528))이, 승산부(530)는 8개의 승산 유닛(531, 532, ..., 538)이 각각 사용되고, 8개의 승산 결과값(Q0, Q1, Q2, ..., Q7)이 가산부(540)에 입력된다.

[0058] 본 발명의 또 다른 실시예에 따르면, 8비트 오류 정정 모드시, 임시 저장부(510)는 16개의 레지스터(Reg0(511), Reg1(512), ..., Reg15(51f))가, 처리식 모듈부(520)는 16개의 처리식 모듈(PE0(521), PE1(522), ..., PE15(52f))이, 승산부(530)는 16개의 승산 유닛(531, 532, ..., 53f)이 각각 사용된다.

[0059] 도 6a는 본 발명의 일실시예에 따른 완전 병렬 방식의 오류 위치 검출부의 세부 구성도이다.

[0060] 오류 위치 검출부(223)는 처리식 모듈부(520)로부터 출력되는 오류 위치 검출 계수 ($\Lambda_0, \Lambda_1, \dots, \Lambda_7$)와 신드롬 제너레이터(221)에서 사용되는 갈로아 필드의 원소($\alpha^1, \alpha^2, \dots, \alpha^{1344}$)를 승산 및 가산하여 복수의 오류 위치 검출 신호($\Lambda(\alpha^1), \Lambda(\alpha^2), \dots, \Lambda(\alpha^{192})$)를 출력한다.

[0061] 예컨대, 본 발명의 일실시예에 따른 2비트 오류 정정 모드시, 2개의 오류 위치 검출 계수(Λ_0, Λ_1)를 이용하는 제1 모듈부(611)를 통해 오류 위치 검출 신호($\Lambda(\alpha^1), \Lambda(\alpha^2), \dots, \Lambda(\alpha^{192})$)를 출력할 수 있다. 본 발명의 다른 실시예에 따른 4비트 오류 정정 모드시, 4개의 오류 위치 검출 계수($\Lambda_0, \Lambda_1, \Lambda_2, \Lambda_3$)를 이용하는 제2 모듈부(612)를 통해 오류 위치 검출 신호($\Lambda(\alpha^1), \Lambda(\alpha^2), \dots, \Lambda(\alpha^{192})$)를 출력할 수 있다. 본 발명의 또 다른 실시예에 따른 8비트 오류 정정 모드시, 8개의 오류 위치 검출 계수($\Lambda_0, \Lambda_1, \dots, \Lambda_7$)를 이용하는 제3 모듈부(613)를 통해 오류 위치 검출 신호($\Lambda(\alpha^1), \Lambda(\alpha^2), \dots, \Lambda(\alpha^{192})$)를 출력할 수 있다.

[0062] 한편, 도시되지는 않았으나, 오류 위치 검출부(223) 내 제1 내지 제3 모듈부(611, 612, 163) 중 어느 것을 사용할 지의 여부는 선택제어신호(Ssel)를 이용하여 결정할 수 있다. 예컨대, 2비트 정정 모드시, 제1 모듈부(611)를 사용하기 위하여 복수의 오류 위치 검출 계수($\Lambda_0, \Lambda_1, \dots, \Lambda_7$) 중 $\Lambda_2, \dots, \Lambda_7$ 를 "0"으로 처리한다. 이를 위하여, 오류 위치 검출 계수($\Lambda_2, \dots, \Lambda_7$)와 "0"값의 선택제어신호(Ssel)를 논리곱 연산한 결과값을 오류 위치 검출부(223)의 입력으로 사용한다.

[0063] 도 6b는 본 발명의 다른 실시예에 따른 준 병렬 방식의 오류 위치 검출부의 세부 구성도로서, 멀티플렉서와 D F/F를 사용하여 준 병렬 방식으로 구현함으로써, 연산처리 속도가 완전 병렬 구조에 비해 늦어지는 반면, 구현하는 면적을 대략 1/12 정도로 줄일 수 있다.

[0064] 한편, 오류 위치 검출부(223) 내부 구조에서 승산 및 가산 처리에서 직병렬의 갯수를 조절하여 구현하는 면적을 더욱 줄일 수 있음은 당업자에게 자명하다.

[0065] 본 발명의 일실시예에 따른 오류 정정부(224)는 오류 위치 검출 신호($\Lambda(\alpha^1)$, $\Lambda(\alpha^2)$, ..., $\Lambda(\alpha^{192})$)의 결과값이 "0"으로 나타난 위치를 오류가 발생된 위치로 판단하고, 선입선출부(225)를 통해 입력되는 데이터 중 오류 발생 위치와 데이터 비트를 배타적 논리합으로 연산하여 오류를 정정한다.

[0066] 본 발명에 따른 가변 구조의 에러 정정 부호화기는 데이터 전송 기술에 널리 적용 가능한바, 예컨대, SSD(Solid State Drive), 광통신 시스템, DVB(Digital Video Broadcasting), MP3, USB Stick 등에 적용 가능하다.

[0067] 이상으로 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 기술적 사상에 의해 정해져야 할 것이다.

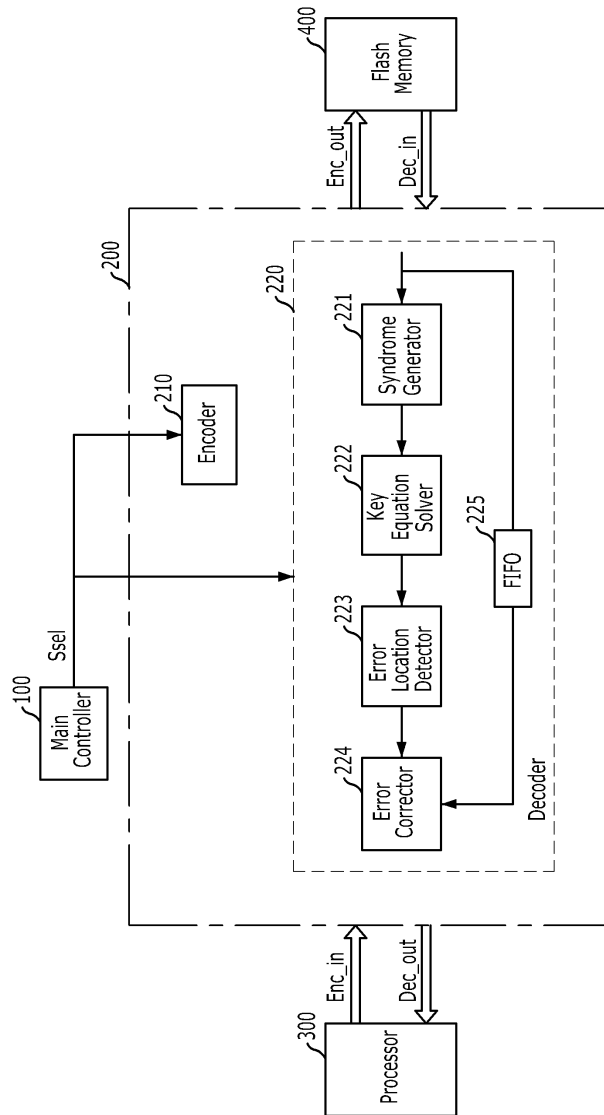
부호의 설명

[0068]

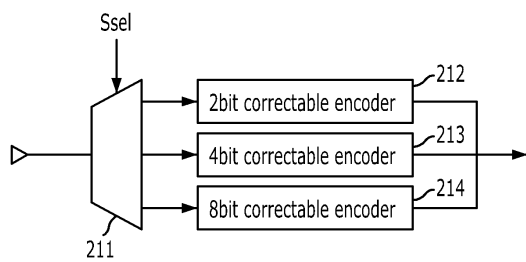
100: 주제어부	200: 에러 정정 부호화기
210: 인코더	220: 디코더
221: 신드롬 발생부	222: 키 이퀄이션 솔버
223: 오류 위치 검출부	224: 오류 정정부
225: 선입선출부	300: 프로세서
400: 플래시 메모리	

도면

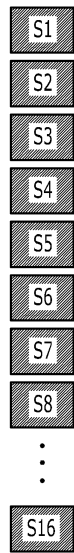
도면1



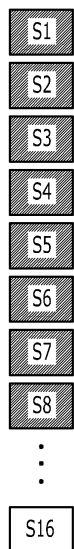
도면2



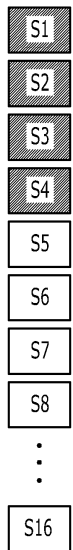
도면3a



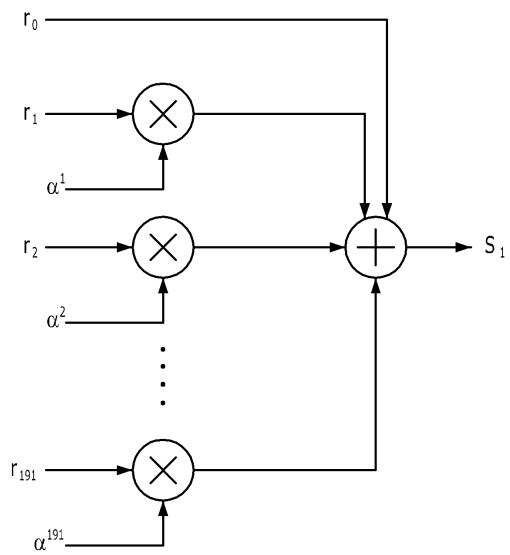
도면3b



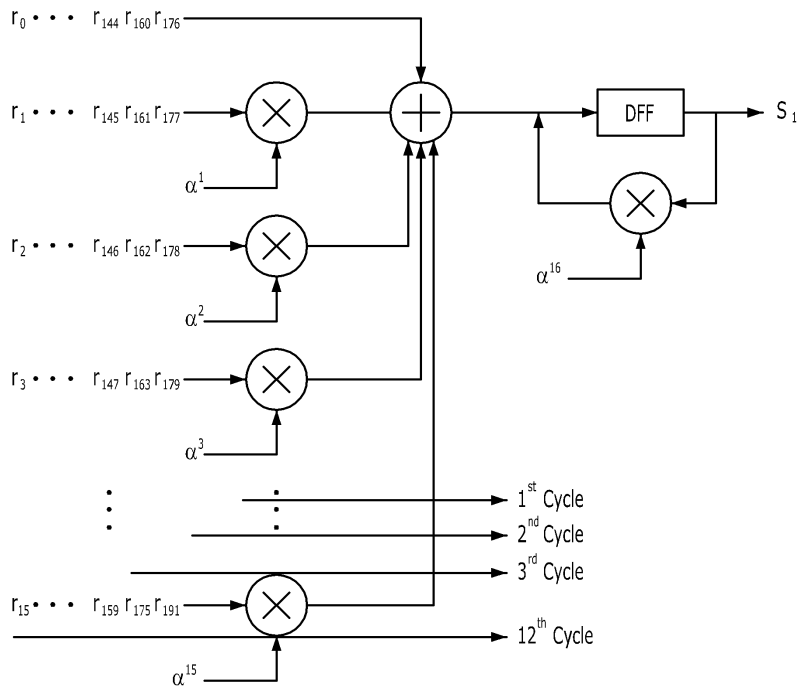
도면3c



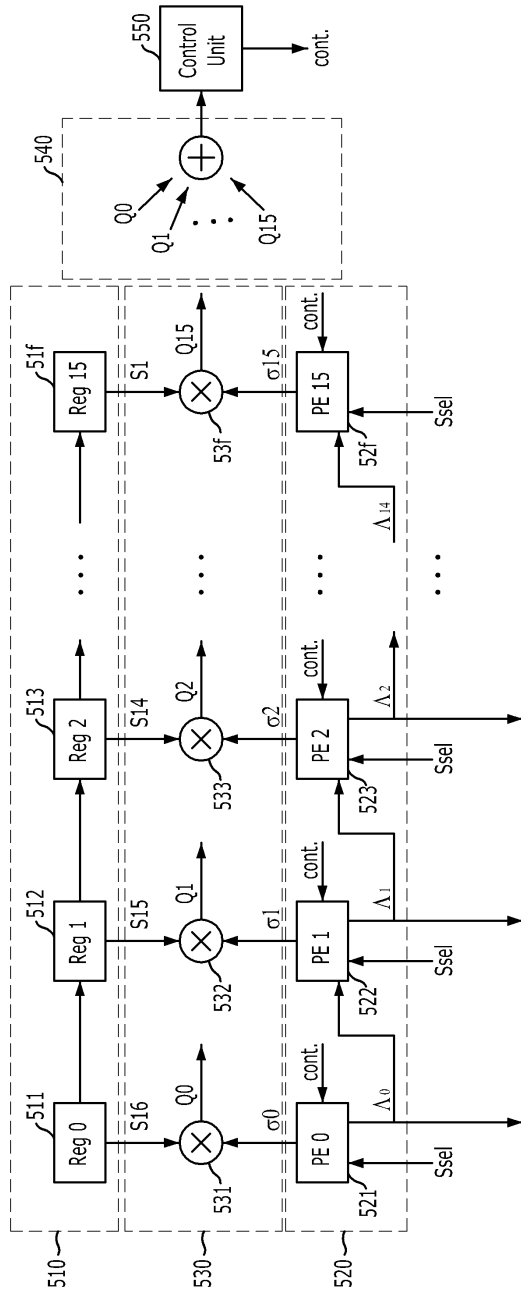
도면4a



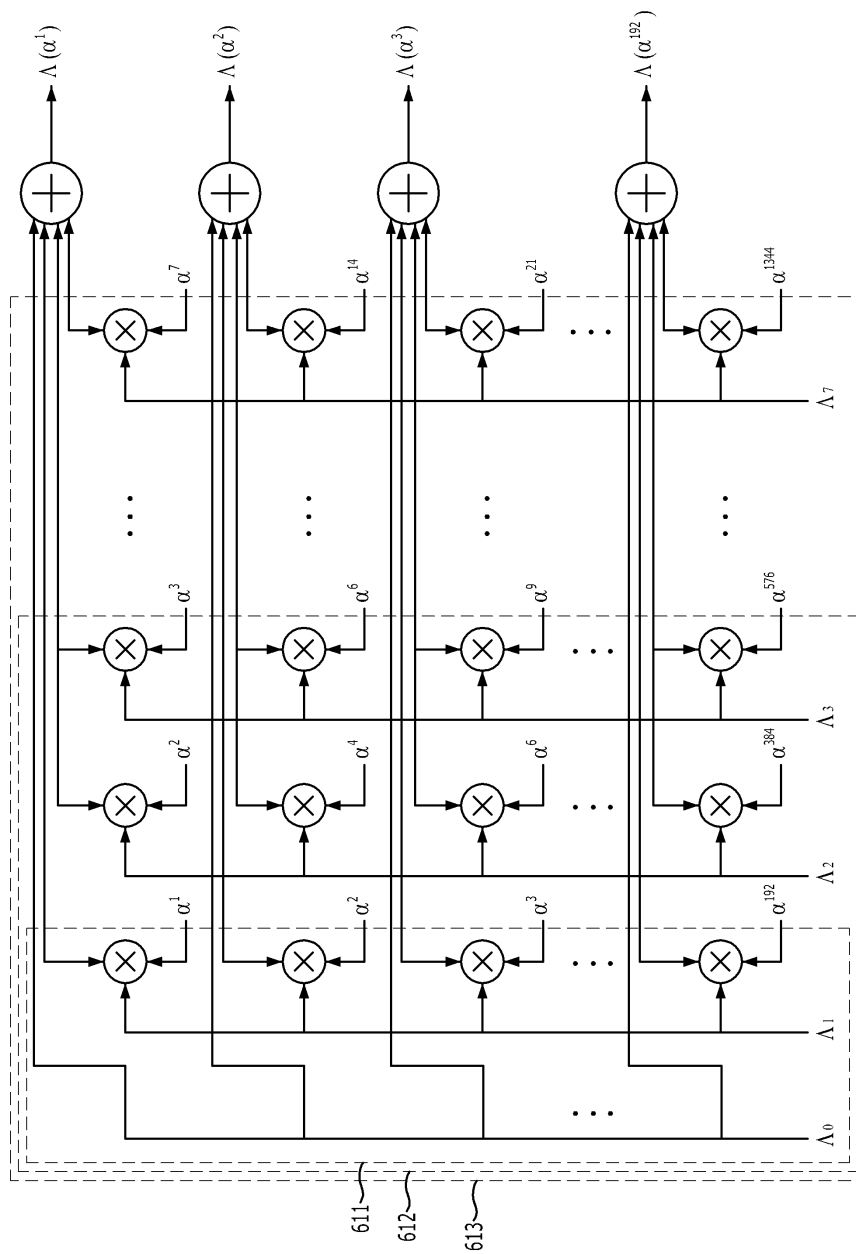
도면4b



도면5



도면6a



도면6b

