



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 42 26 389 B4** 2004.09.09

(12)

## Patentschrift

(21) Aktenzeichen: **P 42 26 389.1**  
(22) Anmeldetag: **10.08.1992**  
(43) Offenlegungstag: **18.02.1993**  
(45) Veröffentlichungstag  
der Patenterteilung: **09.09.2004**

(51) Int Cl.<sup>7</sup>: **H01L 27/108**  
**H01L 21/8242**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:

<b>P 91-14124</b>	<b>16.08.1991</b>	<b>KR</b>
<b>P 92-6494</b>	<b>17.04.1992</b>	<b>KR</b>

(71) Patentinhaber:

**LG Semicon Co. Ltd., Cheongju,  
Choongcheongbuk, KR**

(74) Vertreter:

**Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049  
Pullach**

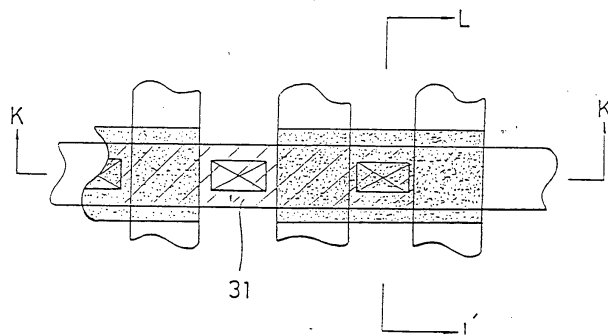
(72) Erfinder:

**Jun, Young Kwon, Seoul/Soul, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
**US 49 70 564**

(54) Bezeichnung: **Halbleiter-Speicherzelle und Verfahren zu deren Herstellung**

(57) Hauptanspruch: An eine Bitleitung und eine Wortleitung angeschlossene Halbleiter-Speicherzelle, die im wesentlichen einen Kondensator und einen in einem aktiven Abschnitt gebildeten Schalttransistor aufweist, wobei das Gate des Schalttransistors mit der Wortleitung und die Source des Schalttransistors mit der Bitleitung verbunden ist, dadurch gekennzeichnet, daß eine mit dem Drain des Auswahltransistors verbundene Speicherelektrode (5) des Kondensators röhrenartig geformt ist und daß die Bitleitung die röhrenartig geformte Speicherelektrode durchläuft.



## Beschreibung

[0001] Die Erfindung betrifft eine an eine Bitleitung und eine Wortleitung angeschlossene Halbleiter-Speicherzelle, die im wesentlichen einen Kondensator und einen in einem aktiven Abschnitt gebildeten Schalttransistor aufweist und ein Verfahren zu deren Herstellung.

[0002] **Fig. 4** zeigt eine derartige Speicherzelle nach dem nächstkommenden Stand der Technik bzw. deren Layout und ein Verfahren zu deren Herstellung. Die Speicherzelle ist eine Stapelkondensator-Zelle mit einer abgeschirmten Bitleitung, wobei der Kondensator der Speicherzelle auf der Bitleitung angeordnet ist.

## Stand der Technik

[0003] Eine derartige bekannte STC-Zelle wird beispielsweise in der am 13. November 1990 veröffentlichten U.S. Pat. No. 4,970,564 beschrieben.

[0004] **Fig. 4(E)** zeigt einen kleinen Teil des Layouts dieser Zelle. Ein aktiver Abschnitt **10**, in dem Elemente ausgebildet werden sollen, ist im Bezug zu einer Wortleitung und einer Bitleitung, die rechtwinklig zueinander liegen, um  $45^\circ$  geneigt. Damit ist es möglich, eine Speicherelektrode **18** sehr dicht zu den Bit- und Datenleitungen anzuordnen.

[0005] Die **Fig. 4(A)** bis (D) veranschaulichen anhand von Querschnittsansichten entlang der Linie A-A aus **Fig. 4(E)** wesentliche zur Herstellung der STC-Zelle nötige Schritte.

[0006] Nach **Fig. 4(A)** werden auf einem Halbleiter-substrat **11** zunächst ein Feldabschnitt und ein aktiver Abschnitt eingeteilt. Daraufhin werden Source- und Drainabschnitte **12** und eine Gateelektrode **13** gebildet. Ferner wird ein die Gateelektrode isolierender Oxidfilm **14** aufgebracht. Mit einem photolithographischen Verfahren wird ein Bitleitungskontakt geöffnet.

[0007] **Fig. 4(B)** zeigt ein darauffolgendes Aufbringen eines hochschmelzenden Metalles oder eines Polysiliziums für eine Bitleitung **15** und das Aufbringen eines Oxidfilmes **16**. Die Bitleitung **15** wird unter Verwendung eines Photolackfilmes als Maske strukturiert. Der Photolackfilm wird nach seinem Einsatz wieder entfernt.

[0008] Dann wird ohne die Photolackfilm-Maske ein Oxidfilm aufgebracht und derart zurückgeätzt, daß sich die in **Fig. 4(C)** gezeigte Oxidseitenwand **17** als Bitleitungs-Seitenwand bildet. Schließlich wird noch ein vergrabener Kontakt gebildet, der den aktiven Abschnitt und eine noch aufzubringende Speicherelektrode (s.u.) miteinander verbindet.

[0009] Daraufhin wird, wie in **Fig. 4(D)** gezeigt, die Herstellung der Speicherzelle durch Ausbilden der bereits erwähnten Speicherelektrode **18**, eines dielektrischen Kondensatorfilmes **19** (elektrischer Isolator) und einer Plateelektrode (Deckelektrode) **20** vervollständigt.

[0010] Bei der durch das vorstehend beschriebene Verfahren hergestellten Speicherzelle der **Fig. 4(E)** sind die Bitleitung **15** und die Wortleitung **13** zueinander orthogonal. Der aktive Abschnitt **10** ist relativ zur Bit- und zur Wortleitung geneigt.

[0011] In dem aktiven Abschnitt zwischen dem Drain- und dem Speicherknoten (bzw. "-elektrode") des Kondensators ist bei dem vorstehend beschriebenen Verfahren ein Kontakt an einem Ort zu bilden, den die Bitleitung nicht passiert. Da die Bitleitung **15** jedoch vor dem Kondensator gebildet wird, ergibt sich somit die (im wesentlichen) diagonale Lage des aktiven Abschnittes relativ zur Wort- und zur Bitleitung.

[0012] Da der aktive Abschnitt der Zelle somit einen geneigten Teilabschnitt in einem Winkel von  $45^\circ$  zur Wortleitung und zur Bitleitung umfaßt, treten bei dem photolithographischen Verfahren zum Strukturieren bzw. Mustern des aktiven Abschnittes u.U. bzw. zu leicht Fehler auf. Das Verfahren ist insgesamt relativ schwierig, – auch ist die Fläche des Zellbereiches nicht mehr oder zumindest nur sehr schwierig verkleinerbar.

## Aufgabenstellung

[0013] Die Erfindung zielt darauf ab, eine einfach herstellbare Speicherzelle und Herstellungsverfahren für eine solche Speicherzelle zu schaffen.

[0014] Die Erfindung erreicht, dieses Ziel durch die Gegenstände der Ansprüche 1 und 4 sowie 5.

[0015] Bei der erfindungsgemäßen Halbleiter-Speicherzelle ist eine Kondensator-Elektrode derart wie ein Tunnel oder eine Röhre geformt, daß eine Bitleitung durch das Innere dieses Tunnels verlaufen kann. Damit werden Fehler beim Strukturieren der Speicherzellen verringert und die Kapazität des Kondensators der Speicherzelle wird vergrößert.

[0016] Ein wichtiger Aspekt der Erfindung besteht somit darin, daß eine Bitleitung die Speicherelektrode des Kondensators "durchläuft". Ferner sind aktiver Abschnitt, Bitleitung und Kondensator im wesentlichen einander integral überlagert. Das heißt, in einer Speicherzelle, die den Umschalttransistor und den Kondensator aufweist, umgibt die Speicherelektrode des Kondensators die Bitleitung und der aktive Abschnitt ist parallel zur oder über der Bitleitung (oder er überlagert diese) und senkrecht zur Wortleitung angeordnet.

[0017] Die Erfindung schafft eine Halbleiter-Speicherzelle, deren Kondensator-Speicherelektrode derart tunnel- bzw. röhrenartig geformt ist, daß die Bitleitung (vorgegebener Länge) in der an die Bitleitung und die Wortleitung angeschlossenen Halbleiter-Speicherzelle von der Speicherelektrode umschlossen ist. Grundelemente der Speicherzelle sind nach wie vor der Schalttransistor in einem aktiven Abschnitt und der Speicherkondensator.

[0018] Bei einem besonders bevorzugten Ausführungsbeispiel der Erfindung sind Source, Gate und

Drain des Transistors der Speicherzelle längs der röhrenartig geformten Speicherelektrode angeordnet.

[0019] Das erfindungsgemäße Herstellverfahren umfaßt kurzgefaßt im wesentlichen einen Schritt zum Ausbilden eines Umschalttransistors, einen Schritt zum Ausbilden eines Teiles der mit dem Drain des Umschalt-Transistors verbundenen Kondensator-Speicherelektrode, einen Schritt zum Ausbilden einer Oxidfilm-Seitenwand, einen Schritt zum Ausbilden einer Bitleitung parallel zu einer Längsachse des aktiven Abschnittes, einen Schritt zum Ausbilden einer röhrenartigen Kondensator-Speicherelektrode, und einen Schritt zum Überziehen der Oberfläche der Kondensator-Speicherelektrode mit einem dielektrischen Kondensatorfilm und ein Ausbilden einer Plattenelektrode des Kondensators auf dem Kondensatorfilm.

[0020] Bei einem bevorzugten Ausführungsbeispiel des erfindungsgemäßen Verfahrens zur Herstellung einer Halbleiter-Speicherzelle werden im wesentlichen folgende Schritte durchgeführt:

- a) Ausbilden eines Schalttransistors mit einem Gate, einer Source und einem Drain in einem aktiven Abschnitt, der durch einen Feldoxidfilm definiert ist, der jeden aktiven Abschnitt elektrisch isoliert;
- b) Ausbilden eines Teiles einer mit dem Drain des Schalttransistors verbundenen Kondensator-Speicherelektrode durch Aufbringen eines ersten Oxidfilmes, Öffnen eines vergrabenen Kontaktes durch ein bekanntes photolithographisches Verfahren, Aufbringen eines ersten Polysiliziumfilmes auf einem gesamten Wafer, Aufbringen eines zweiten Oxidfilmes und Strukturieren des zweiten Oxidfilmes und des ersten Polysiliziumfilmes parallel zum rechten Winkel zur Längsrichtung des aktiven Abschnittes;
- c) Ausbilden einer Oxidfilm-Seitenwand neben dem ersten Polysiliziumfilm durch Aufbringen eines Oxidfilmes auf der gesamten Oberfläche des Wafers und ein Rückätzen des Oxidfilmes;
- d) Ausbilden einer Bitleitung durch Öffnen eines Bitleitungskontaktes durch ein photolithographisches Verfahren, Aufbringen eines zweiten Polysiliziumfilmes, Rückätzen des zweiten Polysiliziumfilmes bis auf eine geeignete Stärke, Aufbringen eines hochschmelzenden Metallfilmes auf des zweiten Polysiliziumfilmes, Aufbringen eines dritten Oxidfilmes und ein darauffolgendes Strukturieren des dritten Oxidfilmes, des hochschmelzenden Metallfilmes und des zweiten Polysiliziumfilmes parallel zur Längsachse des aktiven Abschnittes;
- e) Aufbringen eines vierten Oxidfilmes und ein Strukturieren des auf der Oberfläche jeweils freiliegenden vierten Oxidfilmes und des zweiten Oxidfilmes durch das photolithographische Verfahren parallel zur Längsachse des aktiven Abschnittes;

f) Ausbilden einer röhrenförmigen Speicherelektrode durch Aufbringen eines dritten Polysiliziumfilmes und Strukturieren des dritten Polysiliziumfilmes und des ersten Polysiliziumfilmes mittels des photolithographischen Verfahrens;

g) Abdecken mit einem dielektrischen Kondensatorfilm und Ausbilden einer darüberliegenden Plattenelektrode.

[0021] Ein weiteres bevorzugtes Ausführungsbeispiel des erfindungsgemäßen Verfahrens zur Herstellung einer Halbleiter-Speicherzelle zeichnet sich durch folgende Schritte aus:

- a) Ausbilden eines Schalttransistors mit einem Gate, einer Source und einem Drain in einem aktiven Abschnitt, der durch einen Feldoxidfilm definiert ist, der jeden aktiven Abschnitt elektrisch isoliert;
- b) Ausbilden eines Teiles einer mit dem Drain des Schalttransistors verbundenen Kondensator-Speicher-elektrode durch Aufbringen eines ersten Oxidfilmes, Öffnen eines vergrabenen Kontaktes durch ein photolithographisches Verfahren, Aufbringen eines ersten Polysiliziumfilmes auf dem gesamten Wafer, Aufbringen eines zweiten Oxidfilmes und Strukturieren des zweiten Oxidfilmes und des ersten Polysiliziumfilmes parallel zum rechten Winkel zur Längsrichtung des aktiven Abschnittes;
- c) Ausbilden einer Oxidfilm-Seitenwand neben dem ersten Polysiliziumfilm durch Aufbringen eines Oxidfilmes auf der gesamten Oberfläche des Wafers und Rückätzen des Oxidfilmes;
- d) Ausbilden einer Bitleitung durch ein Öffnen eines Bitleitungskontaktes durch ein photolithographisches Verfahren, Aufbringen eines zweiten Polysiliziumfilmes, Rückätzen des zweiten Polysiliziumfilmes bis auf eine geeignete Dicke, Aufbringen eines hochschmelzenden Metallfilmes auf dem zweiten Polysiliziumfilm, Aufbringen eines dritten Oxidfilmes und darauffolgendes Strukturieren des dritten Oxidfilmes, des hochschmelzenden Metallfilmes und des zweiten

[0022] Polysiliziumfilmes parallel zur Längsachse des aktiven Abschnittes;

- h) Aufbringen eines ersten Isolierfilmes aus einem Material, dessen Ätzselektivität größer ist als die des Oxidfilmes und des Polysiliziums, Strukturieren des ersten Isolierfilmes zum Abdecken der Bitleitung parallel zur Bitleitung, Aufbringen eines dritten Polysiliziumfilmes und eines zweiten Isolierfilmes aus einem Material, dessen Ätzselektivität größer ist als die des Oxidfilmes und des Polysiliziums und darauffolgendes Strukturieren des zweiten Isolierfilmes zum Abdecken der Bitleitung parallel zur Bitleitung durch das photolithographische Verfahren;
- i) ein aufeinanderfolgendes Ätzen des dritten Polysiliziumfilmes, des zweiten Oxidfilmes und des

ersten Polysiliziumfilmes unter Verwendung des zweiten Isolierfilmes als Maskenlage, wodurch ein oberer Abschnitt einer Kondensator-Speicherelektrode gebildet wird,

k) Vervollständigen der Speicherelektrode des Kondensators durch Aufbringen eines vierten Polysiliziumfilmes, Trockenätzen des vierten Polysiliziumfilmes und ein darauffolgendes Entfernen des zweiten Isolierfilmes durch ein Naßätzen, wodurch ein Seitenwand-Vorsprung gebildet wird, der zur Verbindung des dritten Polysiliziumfilmes über der oberen Schicht Bitleitung mit dem ersten Polysiliziumfilm unteren der Bitleitung dient; und  
l) Aufbringen eines dielektrischen Kondensatorfilmes und einer Platten-(Anoden-)elektrode des Kondensators auf der Oberfläche der Speicherelektrode des Kondensators.

[0023] Besonders bevorzugt sind die ersten und zweiten Isolierfilme Nitridfilme.

[0024] Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen unter Bezug auf die beigefügte Zeichnung näher beschrieben. Dabei werden auch weitere Vorteile und Möglichkeiten der Erfindung deutlich. Es zeigen:

[0025] **Fig. 1** ein Layout einer erfindungsgemäßen Speicherzelle;

[0026] **Fig. 2(A) (A') – (H)(H')** Querschnittsansichten, die ein erstes Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zur Herstellung von erfindungsgemäßen Halbleiterspeicherzellen veranschaulichen;

[0027] **Fig. 3(E)(E')–(I)(I')** Querschnittsansichten, die ein zweites Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zur Herstellung von erfindungsgemäßen Halbleiterspeicherzellen veranschaulichen;

[0028] **Fig. 4(A)–(E)** Schnittansichten und ein Layout zur Veranschaulichung einer bekannten Speicherzelle.

[0029] Nachfolgend wird die Erfindung unter Bezug auf die **Fig. 1, 2 und 3** näher beschrieben.

[0030] **Fig. 1** ist eine schematische Layout-Darstellung der vorliegenden Erfindung. Die **Fig. 2(A)–(H)** sowie **Fig. 3(E)–(I)** sind Querschnittsansichten entlang der Linie K-K' der **Fig. 1** und die **Fig. 2(A')–(H')** sowie **Fig. 3(E')–(I')** sind Querschnittsansichten entlang der Linie L-L' der **Fig. 1**.

[0031] Zunächst sei das erste Ausführungsbeispiel der Erfindung detailliert beschrieben.

#### Ausführungsbeispiel

[0032] Nach **Fig. 2(A), (A')** wird zur Herstellung des Elementes ein aktiver Abschnitt **31** (in **Fig. 1** gezeigt) und ein Feld-Oxidfilm **32** eines Isolierelement-Abschnittes auf einem Siliziumsubstrat **30** gebildet. Daraufhin werden ein Gate **33**, sowie eine Source und ein Drain **34** gebildet, so daß ein Schalttransistor entsteht.

[0033] Danach wird ein erster Oxidfilm **35** aufgebracht und ein vergrabener Kontakt **36** geöffnet.

[0034] Als nächstes wird, wie in **Fig. 2(B), (B')** gezeigt, ein erster Polysiliziumfilm **37** aufgebracht. Dazu wird ein dotiertes Polysilizium oder ein amorphes Silizium **37** verwendet (der Einfachheit halber wird nachfolgend nurmehr der Begriff "Polysilizium" verwendet). Dann wird ein zweiter Oxidfilm **38** aufgebracht und der zweite Oxidfilm und der erste Polysiliziumfilm werden parallel zur L-L' Linie strukturiert (also in einer Richtung, die senkrecht zur Längsrichtung des aktiven Abschnittes ist).

[0035] Damit bildet sich bereits ein Teil einer mit dem Drain des Schalttransistors verbundenen Kondensatorspeicher-Elektrode aus.

[0036] Danach wird, wie in **Fig. 2(C), (C')** gezeigt, eine Oxidfilm-Seitenwand **39** neben dem ersten Polysiliziumfilm durch ein Verfahren gebildet, bei dem ein Oxidfilm auf der gesamten Oberfläche (des Wafers) zunächst aufgebracht und dann derart rückgeätzt wird, daß eine Seitenwand des Oxidfilmes verbleibt. Durch das photolithographische Verfahren wird ferner ein Bitleitungskontakt **40** offengelegt.

[0037] Darauffolgend werden nacheinander, wie in **Fig. 2(D), (D')** gezeigt, ein zweiter Polysiliziumfilm **41** – der ohne eine Photolackmaske bis auf eine geeignete Dicke zurückgeätzt wird – und ein hoch- bzw. schwerschmelzender Metalloxidfilm **42** (also mit einem hohen Schmelzpunkt) sowie ein dritter Oxidfilm **43** aufgebracht. Danach wird eine Bitleitung (siehe **41, 42, 43**) parallel zur K-K'-Linienrichtung aus **Fig. 1** strukturiert. Dann wird ein Teil des zweiten Oxidfilmes **38** freigelegt.

[0038] Dann wird, wie in **Fig. 2(E), (E')** gezeigt, ein vierter Oxidfilm **44** aufgebracht, und der vierte Oxidfilm **44** und der zweite Oxidfilm **38** werden durch das photolithographische Verfahren derart strukturiert bzw. gemustert, daß sie parallel zur K-K'-Richtung liegen. Dann wird ein Teil des ersten Polysiliziumfilmes **37** freigelegt.

[0039] Daraufhin wird, wie in **Fig. 2(F), (F')** gezeigt, ein dritter Polysiliziumfilm **45** aufgebracht. **Fig. 2(G), (G')** zeigt ein Strukturieren des dritten Polysiliziumfilmes **45** und des ersten Polysiliziumfilmes **37** mittels des photolithographischen Verfahrens. Damit wird eine Speicherelektrode **5** in Röhrenform aus dem ersten und dem dritten Polysiliziumfilm gebildet.

[0040] Darauffolgend werden nacheinander, wie in **Fig. 2(H), (H')** gezeigt, ein dielektrischer Kondensatorfilm **6** und eine Platten-(Anoden-)elektrode **7** gebildet, so daß sich ein Speicherzellenkondensator bildet.

[0041] Bei der erfindungsgemäßen Speicherzelle liegt der aktive Abschnitt parallel zur Bitleitung (oder er ist dieser überlagert) und rechtwinklig zur Wortleitung. Keines der wesentlichen Elemente liegt schräg geneigt zur Wortleitung oder zur Bitleitung. Da die Zellstruktur somit im wesentlichen geradlinig ist, werden Störungen beim Mustern (bzw. Strukturieren) ganz oder zumindest weitgehend vermieden. Außer-

dem kann die Zellfläche verkleinert werden.

[0042] Nachfolgend sei ein zweites Ausführungsbeispiel der Erfindung unter Bezug auf die **Fig. 3(E)** bis **(I')** beschrieben.

[0043] Die Verfahrensschritte der **Fig. 2(A, (A') – (D) (D')** kommen zunächst auch bei der Herstellung des zweiten Ausführungsbeispiels zur Anwendung.

[0044] Darauffolgend wird, wie in **Fig. 3(E), (E')** gezeigt, ein erster Nitridfilm **51** als Isoliermaterial aufgebracht, der den dritten Oxidfilm **43** beim Ätzen des zweiten Oxidfilmes **38** schützt und abdeckt. Der erste Nitridfilm wird parallel zu den Bitleitungen **41** und **42** gemustert, wobei ein Teil des zweiten Oxidfilmes **38** freigelegt wird.

[0045] Dann wird, wie in **Fig. 3(F), (F')** gezeigt, ein dritter Polysiliziumfilm **52** und ein zweiter Nitridfilm **53** als Isoliermaterial aufgebracht. Danach wird der zweite Nitridfilm **53** durch das photolithographische Verfahren strukturiert bzw. gemustert. Danach werden, wie in **Fig. 3(G),(G')** gezeigt, der dritte Polysiliziumfilm **52**, der zweite Oxidfilm **38** und der erste Polysiliziumfilm **37** nacheinander strukturiert, wobei der zweite Nitridfilm **53** als Maske bzw. Naskenschicht verwendet wird.

[0046] Darauffolgend wird, wie in **Fig. 3(H), (H')** gezeigt, ein vierter Polysiliziumfilm **54** aufgebracht. Dann wird ein ("nach oben") vorstehender Seitenwand-Verbindungsabschnitt **8** der Kondensator-Speicherelektrode mittels eines Trockenätzens des vierten Polysiliziumfilmes **54** gebildet. Danach wird der zweite Nitridfilm **53** durch ein Naßätzen entfernt.

[0047] Die Seitenwand-Verbindungsabschnitte **8** (siehe auch Bezugszeichen **54**) verbinden den dritten Polysiliziumfilm **52** über der oberen Schicht der Bitleitung mit dem ersten Polysiliziumfilm **(37)** unter der Bitlage (bzw. Bitleitung). Gleichzeitig vergrößern die Seitenwandabschnitte die Oberfläche der Speicherelektrode, wodurch sich auch die Kapazität des Kondensators vergrößert.

[0048] Darauffolgend werden nacheinander, wie in **Fig. 3(I), (I')** gezeigt, ein dielektrischer Kondensatorfilm **55** und eine Platten-(bzw. Deckel-)elektrode **56** des Kondensators gebildet, was die Herstellung des Kondensators vervollständigt.

[0049] Beim Verfahrensschritt der **Fig. 3(F)** ist es alternativ möglich, ein anderes Isoliermaterial zu verwenden, insbesondere eines, dessen Ätzselektivität größer ist als die des Polysiliziums des zweiten Nitridfilmes **53**.

[0050] Bei der erfindungsgemäßen Speicherzelle liegt der aktive Abschnitt parallel zur Bitleitung (oder er ist dieser überlagert) und senkrecht zur Wortleitung. Kein (wesentliches) Element liegt zur Wortleitung oder zur Bitleitung geneigt. Da die Zellstruktur somit im wesentlichen geradlinig ist, werden Störungen beim Mustern (bzw. Strukturieren) ganz oder zumindest weitgehend vermieden. Außerdem können die Kondensator- und vor allem die Zellfläche(bzw. -größe) verkleinert werden. Die Kapazität des Kondensators wird vergrößert, ohne dabei die Gesamt-

zellfläche zu vergrößern.

## Patentansprüche

1. An eine Bitleitung und eine Wortleitung angeschlossene Halbleiter-Speicherzelle, die im wesentlichen einen Kondensator und einen in einem aktiven Abschnitt gebildeten Schalttransistor aufweist, wobei das Gate des Schalttransistors mit der Wortleitung und die Source des Schalttransistors mit der Bitleitung verbunden ist, **dadurch gekennzeichnet**, daß eine mit dem Drain des Auswahltransistors verbundene Speicherelektrode **(5)** des Kondensators röhrenartig geformt ist und daß die Bitleitung die röhrenartig geformte Speicherelektrode durchläuft.

2. Halbleiter-Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß Source, Gate und Drain des Transistors längs zur röhrenartig geformten Speicherelektrode angeordnet sind.

3. Halbleiter-Speicherzelle nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der aktive Abschnitt parallel zur oder über der Bitleitung und rechtwinklig zur Wortleitung angeordnet ist.

4. Verfahren zur Herstellung einer Halbleiter-Speicherzelle, insbesondere zur Herstellung einer Halbleiter-Speicherzelle nach einem der Ansprüche 1 – 3, mit folgenden Schritten:

a) Ausbilden eines Schalttransistors mit einem Gate **(33)**, einer Source und einem Drain **(34)** in einem aktiven Abschnitt **(31)**, der durch einen Feldoxidfilm **(32)** begrenzt ist, der jeden aktiven Abschnitt **(31)** elektrisch isoliert;

b) Ausbilden eines Teiles einer mit dem Drain des Schalttransistors verbundenen Kondensator-Speicherelektrode durch Aufbringen eines ersten Oxidfilmes **(35)**, Öffnen eines vergrabenen Kontaktes **(36)** durch ein photolithographisches Verfahren, Aufbringen eines ersten Polysiliziumfilmes **(37)** auf einem gesamten Wafer, Aufbringen eines zweiten Oxidfilmes **(38)** und Strukturieren des zweiten Oxidfilmes **(38)** und des ersten Polysiliziumfilmes **(37)** rechtwinklig zur Längsrichtung des aktiven Abschnittes **(31)**;

c) Ausbilden einer Oxidfilm-Seitenwand **(39)** neben dem ersten Polysiliziumfilm durch Aufbringen eines Oxidfilmes auf der gesamten Oberfläche des Wafers und Rückätzen des Oxidfilmes;

d) Ausbilden einer Bitleitung durch ein Öffnen eines Bitleitungskontaktes durch ein photolithographisches Verfahren, ein Aufbringen eines zweiten Polysiliziumfilmes **(41)**, ein Rückätzen des zweiten Polysiliziumfilmes **(41)** bis auf eine geeignete Dicke, ein Aufbringen eines hochschmelzenden Metallfilmes **(42)** auf dem zweiten Polysiliziumfilm **(41)**, ein Aufbringen eines dritten Oxidfilmes **(43)** und ein darauffolgendes Strukturieren des dritten Oxidfilmes **(43)**, des hochschmelzenden Metallfilmes **(42)** und des zweiten Polysiliziumfilmes **(41)** parallel zur Längsachse des ak-

tiven Abschnittes (31);

e) Aufbringen eines vierten Oxidfilmes (44) und Strukturieren des auf der Oberfläche jeweils freiliegenden vierten Oxidfilmes (44) und des zweiten Oxidfilmes (38) durch das photolithographische Verfahren parallel zur Längsachse des aktiven Abschnittes (31);

f) Ausbilden einer röhrenförmigen Speicherelektrode (5) durch Aufbringen eines dritten Polysiliziumfilmes (45) und ein Strukturieren des dritten Polysiliziumfilmes (45) und des ersten Polysiliziumfilmes (37) mittels des photolithographischen Verfahrens;

g) Abdecken mit einem dielektrischen Kondensatorfilm (6) und Ausbilden einer über dem dielektrischen Kondensatorfilm (6) liegenden Plattenelektrode (7).

5. Verfahren zur Herstellung einer Halbleiter-Speicherzelle, insbesondere zur Herstellung einer Halbleiter-Speicherzelle nach einem der Ansprüche 1 – 3, bei welchem zunächst die Schritte a) bis d) des Anspruches 4 ausgeführt werden, mit folgenden weiteren Verfahrensschritten:

h) Aufbringen eines ersten Isolierfilmes (51) aus einem Material, dessen Ätzselektivität größer ist als die des Oxidfilmes und des Polysiliziums, derartiges Strukturieren des ersten Isolierfilmes (51) parallel zur Bitleitung, daß die Bitleitung abgedeckt bleibt, Aufbringen eines dritten Polysiliziumfilmes (52) und eines zweiten Isolierfilmes (53) aus einem Material, dessen Ätzselektivität größer ist als die des Oxidfilmes und des Polysiliziums und darauffolgendes photolithographisches Strukturieren des zweiten Isolierfilmes parallel zur Bitleitung, derart, daß die Bitleitung abgedeckt bleibt;

i) ein aufeinanderfolgendes Ätzen des dritten Polysiliziumfilmes (52), des zweiten Oxidfilmes (38) und des ersten Polysiliziumfilmes (37) unter Verwendung des zweiten Isolierfilmes als Maskenlage, wodurch ein oberer Abschnitt einer Kondensator-Speicherelektrode gebildet wird,

k) Vervollständigen der Speicherelektrode des Kondensators durch Aufbringen eines vierten Polysiliziumfilmes (54), Trockenätzen des vierten Polysiliziumfilmes (54) und darauffolgendes Entfernen des zweiten Isolierfilmes durch ein Naßätzen, wodurch ein Seitenwand-Vorsprung (8) gebildet wird, der den dritten Polysiliziumfilm über der Bitleitung mit dem ersten Polysiliziumfilm unter der Bitleitung verbindet; und

l) Aufbringen eines dielektrischen Kondensatorfilmes (55) und einer Deckel-(Anoden-)elektrode (56) des Kondensators auf der Oberfläche der Speicherelektrode des Kondensators.

6. Verfahren zur Herstellung einer Halbleiter-Speicherzelle nach Anspruch 5, dadurch gekennzeichnet, daß die ersten und zweiten Isolierfilme Nitridfilme sind.

Es folgen 7 Blatt Zeichnungen

FIG. 1

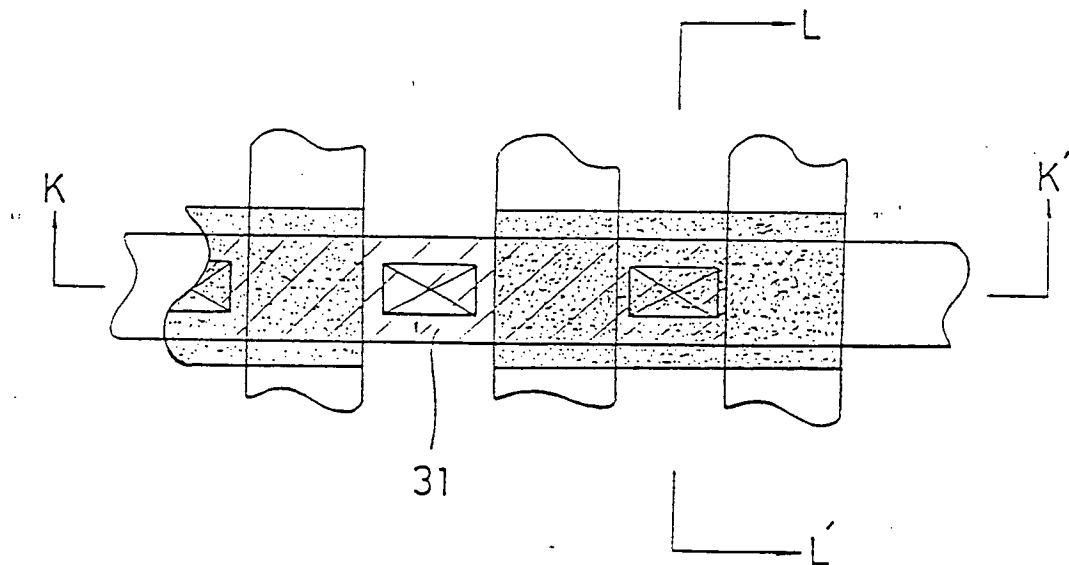
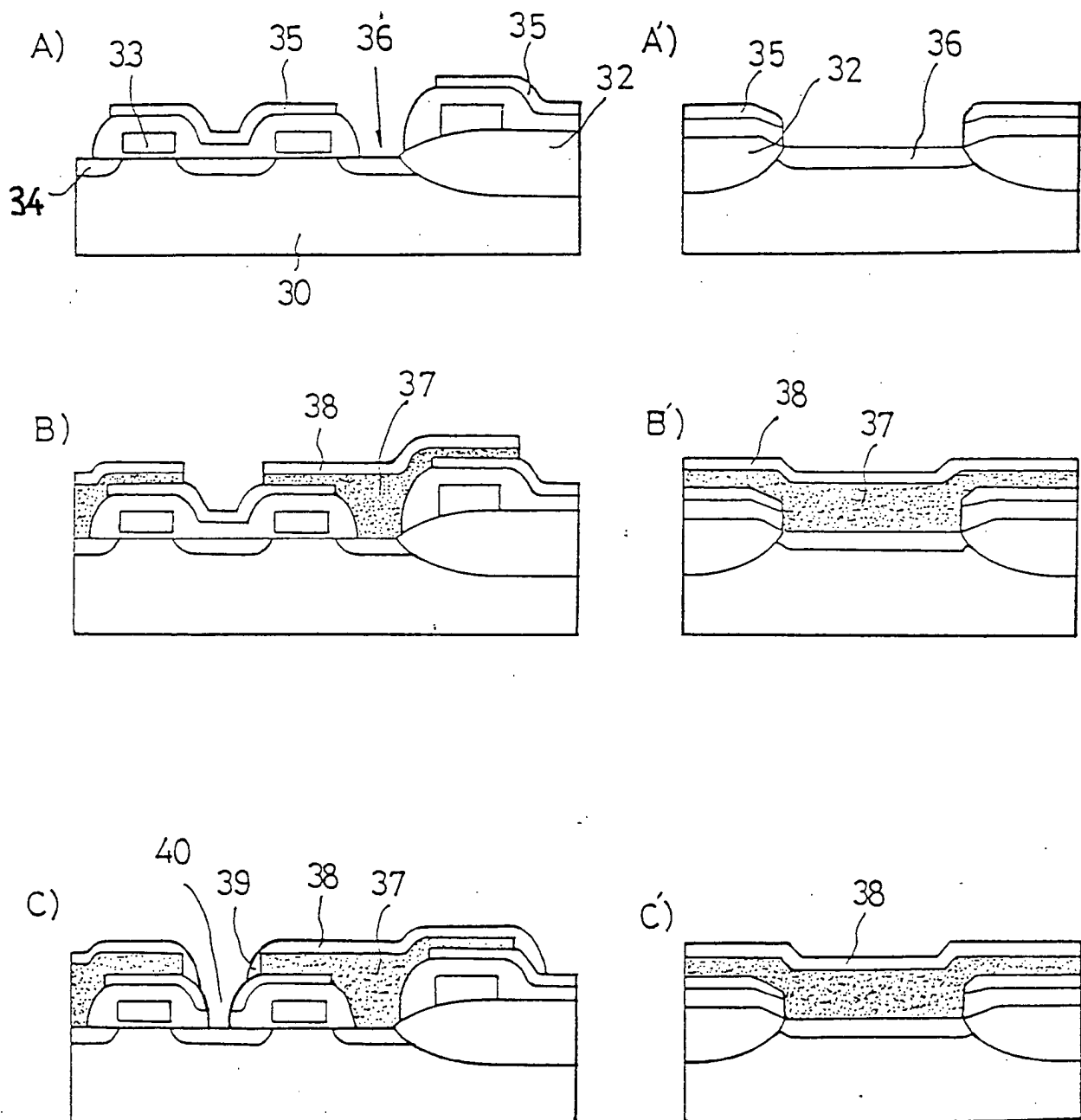


FIG. 2





*Fig. 2*

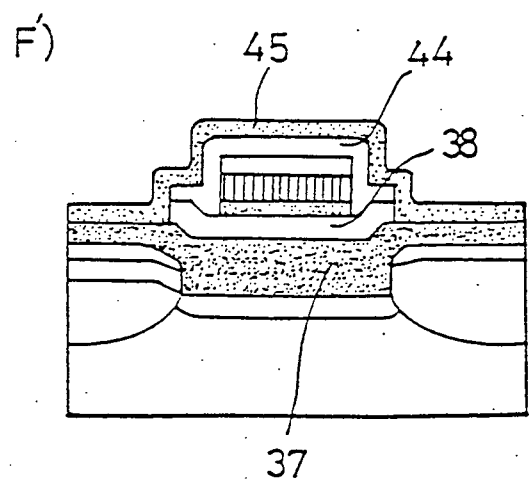
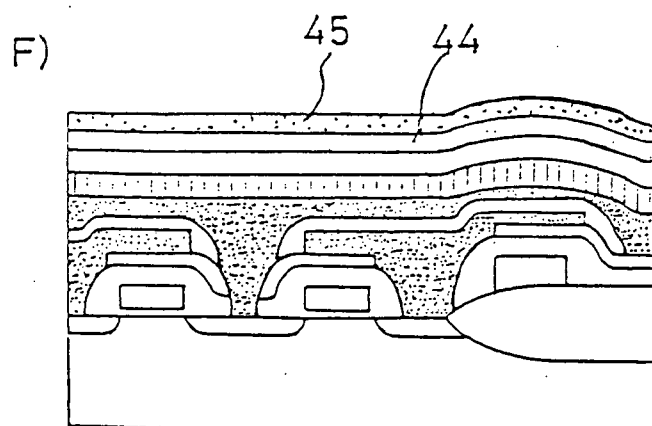
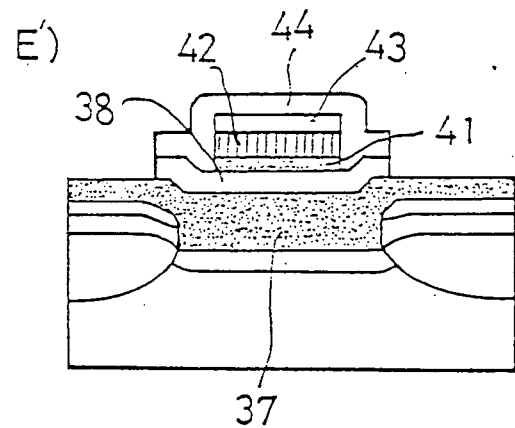
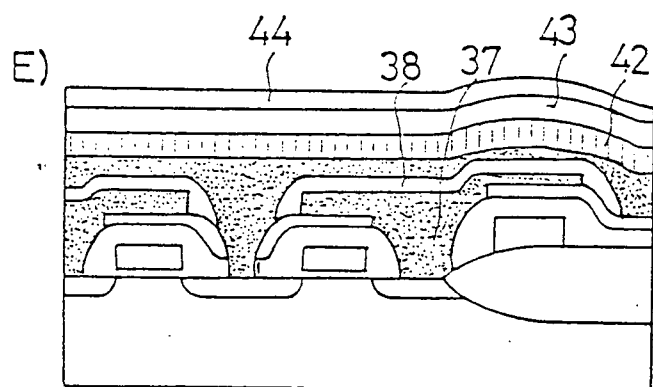
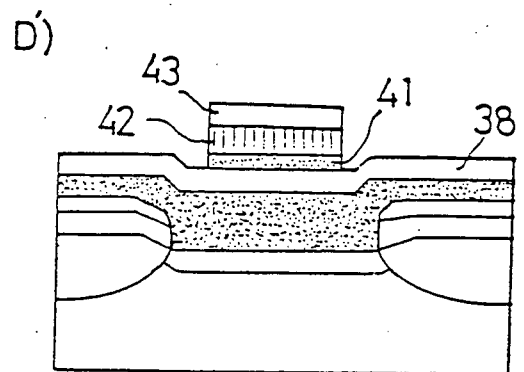
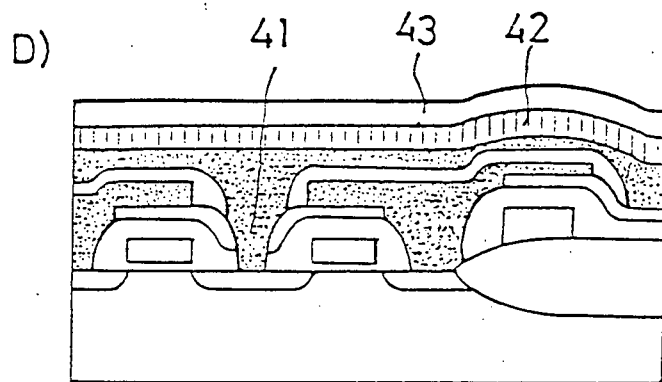


FIG. 2

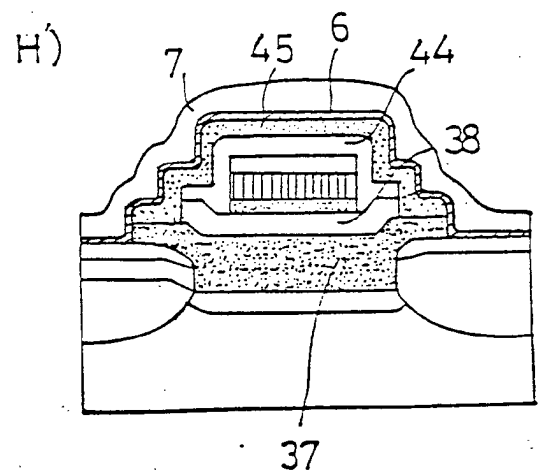
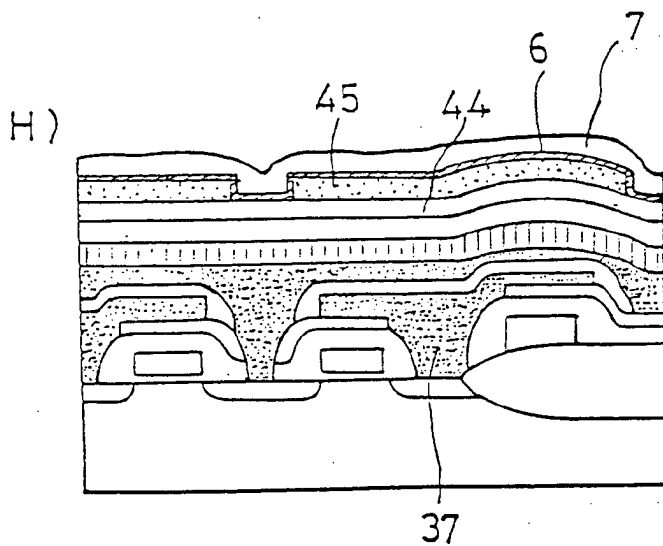
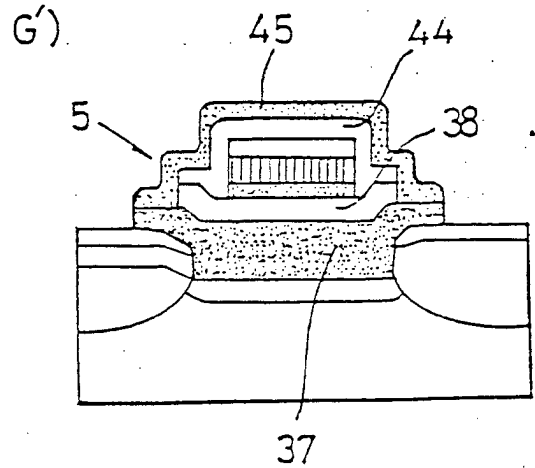
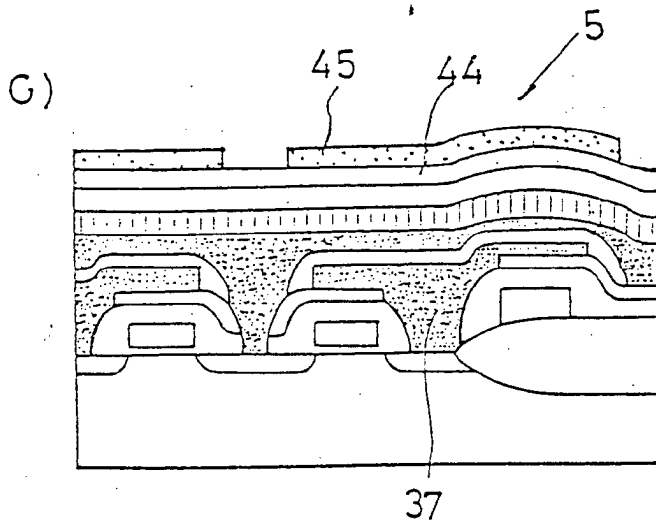
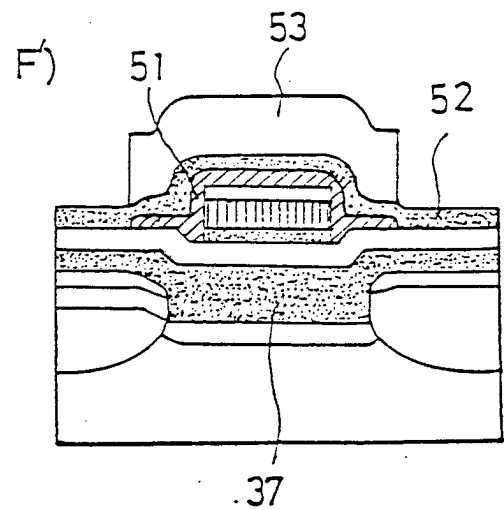
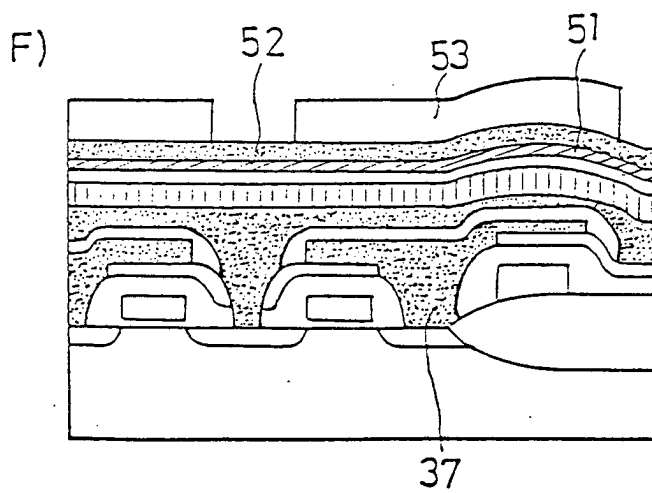
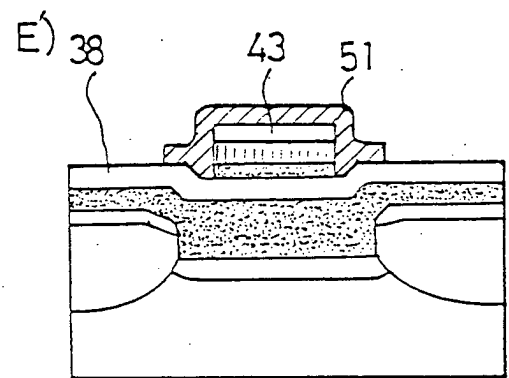
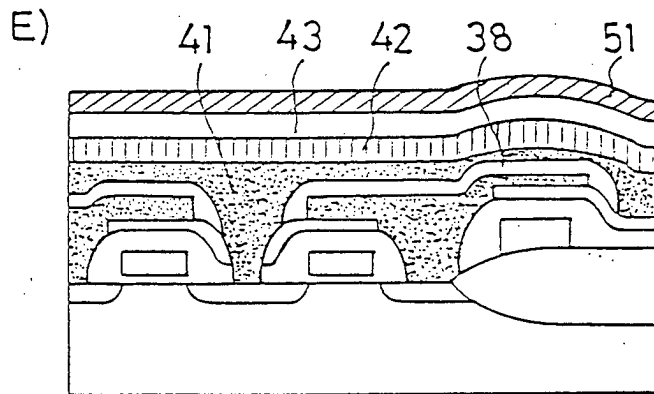


FIG. 3



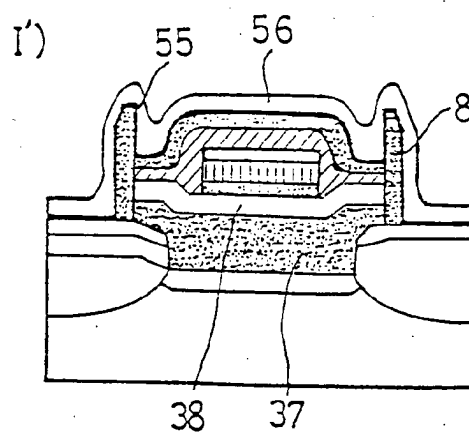
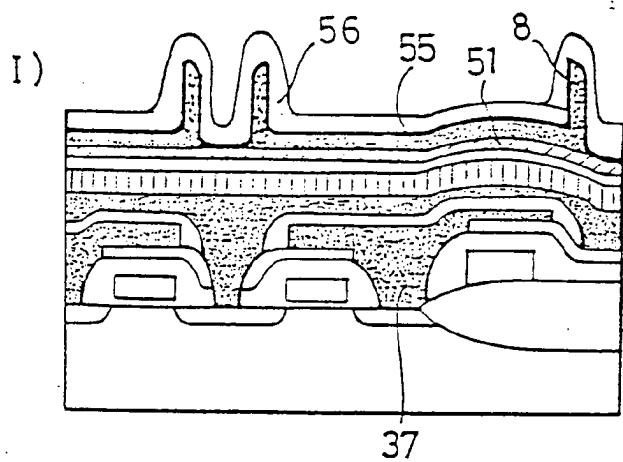
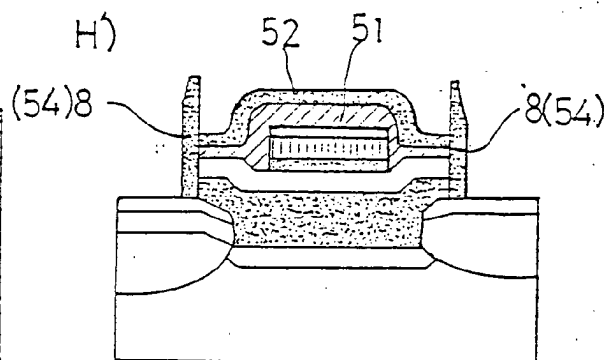
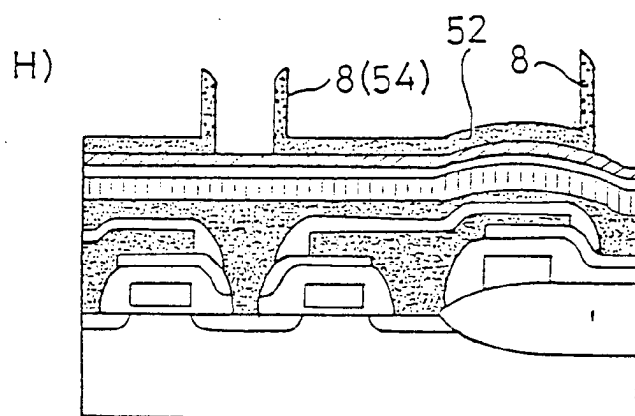
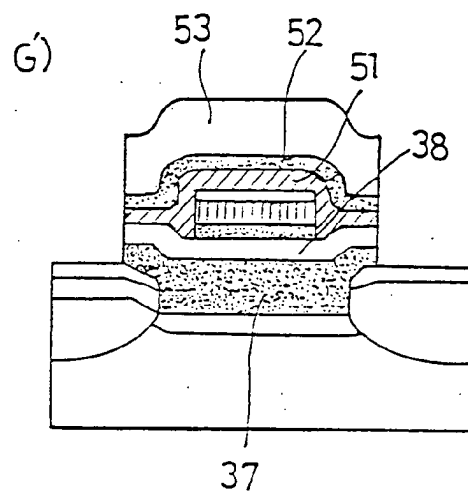
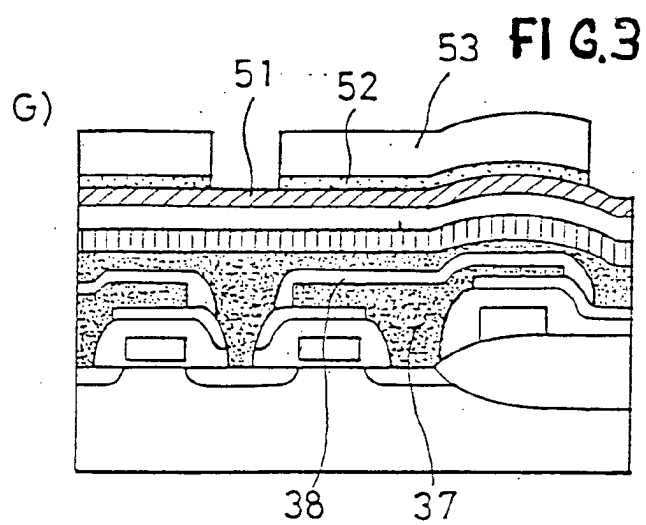


FIG. 4

