

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4573413号
(P4573413)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int.Cl. F I
H O 3 K 19/0175 (2006.01) H O 3 K 19/00 I O 1 F

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2000-271364 (P2000-271364)	(73) 特許権者	302062931
(22) 出願日	平成12年9月7日(2000.9.7)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-84181 (P2002-84181A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成14年3月22日(2002.3.22)	(74) 代理人	100064746
審査請求日	平成19年6月27日(2007.6.27)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 差動出力回路

(57) 【特許請求の範囲】

【請求項1】

高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、
 一定の電圧を出力する基準電圧回路と、
 一方がGNDに接続される第1の抵抗と、
 ソースが前記第1の抵抗の他方に接続される第1の第2導電型MOSトランジスタと、
 ソースが電源電位に接続され、ドレインが前記第1の第2導電型MOSトランジスタの
 ドレインに接続される第1の第1導電型MOSトランジスタと、
 前記基準電圧回路の出力側が正の入力端子に接続され、負の入力端子が前記第1の第2
 導電型MOSトランジスタのソースに接続され、出力側が前記第1の第2導電型MOSト
 ランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設け、
 ソースが前記電源電位に接続され、ゲートが前記第1の第1導電型MOSトランジスタ
 のドレインおよびゲートに接続される第2の第1導電型MOSトランジスタと、
 ソースが前記第2の第1導電型MOSトランジスタのドレインに接続される第3の第1
 導電型MOSトランジスタ及び第4の第1導電型MOSトランジスタとからなるミラー回
 路部を設け、
 データ入力端子からのデータを反転するインバータ回路と、
 ゲートが前記データ入力端子に接続され、ドレインが前記第3の第1導電型MOSトラ
 ンジスタのドレインに接続される第2の第2導電型MOSトランジスタと、
 ゲートが前記インバータ回路の出力側に接続され、ドレインが前記第4の第1導電型M

10

20

OSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設け、

前記第3の第1導電型MOSトランジスタのゲートにデータ入力端子が接続され、前記第4の第1導電型MOSトランジスタのゲートにも前記インバータ回路の出力側が接続され、

前記第3の第1導電型MOSトランジスタのドレインには負の出力端子が接続され、前記第4の第1導電型MOSトランジスタのドレインには正の出力端子が接続され、

一方が前記GNDに接続され、他方が前記第2の第2導電型MOSトランジスタ及び前記第3の第2導電型MOSトランジスタのソースに接続される第2の抵抗からなるオフセットレベル調整回路部とを備え、

前記基準電圧回路は、

出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が前記第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が前記第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路と、

前記第3の抵抗及び前記第1の寄生容量と、

前記第4の抵抗及び前記第2の寄生容量とからなるノイズ低減回路を設け、

一方が前記第2の抵抗の他方に接続される第5の抵抗と、

前記第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設け、

前記第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタからなる第2の電流駆動回路部とを備えることを特徴とする差動出力回路。

【請求項2】

請求項1記載の差動出力回路において、

ミラー回路部は、第1の第1導電型MOSトランジスタ及び第2の第1導電型MOSトランジスタとのトランジスタサイズ比を1対1/nに設定することを特徴とする差動出力回路。但し、nは正の整数である。

【請求項3】

高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、

一定の電圧を出力する基準電圧回路と、

ソースがGNDに接続される第1の第2導電型MOSトランジスタと、

ソースが前記第1の第2導電型MOSトランジスタのドレインに接続される第2の第2導電型MOSトランジスタと、

ソースが電源電位に接続され、ドレイン及びゲートが前記第2の第2導電型MOSトランジスタのドレインに接続される第1の第1導電型MOSトランジスタと、

前記基準電圧回路の出力側が正の入力端子に接続され、負の入力端子が前記第2の第2導電型MOSトランジスタのソースに接続され、出力側が前記第2の第2導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設け、

ソースが前記電源電位に接続され、ゲートが前記第1の第1導電型MOSトランジスタのドレインおよびゲートに接続される第2の第1導電型MOSトランジスタと、

ソースが前記第2の第1導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタ及び第4の第1導電型MOSトランジスタとからなるミラー回路部を設け、

データ入力端子からのデータを反転するインバータ回路と、

ゲートが前記データ入力端子に接続され、ドレインが前記第3の第1導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタと、

ゲートが前記インバータ回路の出力側に接続され、ドレインが前記第4の第1導電型MOSトランジスタのドレインに接続される第4の第2導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設け、

前記第3の第1導電型MOSトランジスタのゲートに前記データ入力端子が接続され、

10

20

30

40

50

前記第4の第1導電型MOSトランジスタのゲートにも前記インバータ回路の出力側が接続され、

前記第3の第1導電型MOSトランジスタのドレインには負の出力端子が接続され、前記第4の第1導電型MOSトランジスタのドレインには正の出力端子が接続され、

ソースが前記GNDに接続され、ドレインが前記第3の第2導電型MOSトランジスタ及び前記第4の第2導電型MOSトランジスタのソースに接続される第5の第2導電型MOSトランジスタからなるオフセットレベル調整回路部を設け、

一方が前記GNDに接続される抵抗と、

ソースが前記電源電位に接続され、ゲート及びドレインが前記抵抗の他方に接続される第5の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部とを備え、

前記基準電圧回路は、

出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が前記第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が前記第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路と、

前記第3の抵抗及び前記第1の寄生容量と、

前記第4の抵抗及び前記第2の寄生容量とからなるノイズ低減回路を設け、

一方が前記第2の抵抗の他方に接続される第5の抵抗と、

前記第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設け、

前記第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタからなる第2の電流駆動回路部とを備えることを特徴とする差動出力回路。

【請求項4】

高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、

一定の電圧を出力する基準電圧回路と、

ソースがGNDに接続される第1の第2導電型MOSトランジスタと、

ドレインが前記第1の第2導電型MOSトランジスタのドレインに接続される第1の第1導電型MOSトランジスタと、

一方が電源電位に接続され、他方が前記第1の第1導電型MOSトランジスタのソースに接続される第1の抵抗と、

前記基準電圧回路の出力が負の入力端子に接続され、正の入力端子が前記第1の第1導電型MOSトランジスタのソースに接続され、出力側が前記第1の第1導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設け、

前記第1の第2導電型MOSトランジスタのゲートも前記第1の第1導電型MOSトランジスタのドレインに接続され、

ソースが前記GNDに接続され、ゲートが前記第1の第2導電型MOSトランジスタのドレインおよびゲートに接続される第2の第2導電型MOSトランジスタと、

ソースが前記第2の第2導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタ及び第4の第2導電型MOSトランジスタとからなるミラー回路部を設け、

データ入力端子からのデータを反転するインバータ回路と、

ゲートが前記データ入力端子に接続され、ドレインが前記第4の第2導電型MOSトランジスタのドレインに接続される第2の第1導電型MOSトランジスタと、

ゲートが前記インバータ回路の出力側に接続され、ドレインが前記第3の第2導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設け、

前記第4の第2導電型MOSトランジスタのゲートにも前記データ入力端子が接続され、前記第3の第2導電型MOSトランジスタのゲートにも前記インバータ回路の出力側が接続され、

10

20

30

40

50

前記第3の第2導電型MOSトランジスタのドレインには負の出力端子が接続され、前記第4の第2導電型MOSトランジスタのドレインには正の出力端子が接続され、

一方が前記電源電位に接続され、他方が前記第2の第1導電型MOSトランジスタ及び前記第3の第1導電型MOSトランジスタのソースに接続される第2の抵抗からなるオフセットレベル調整回路部とを備え、

前記基準電圧回路は、出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が前記第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が前記第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路と、

前記第3の抵抗及び前記第1の寄生容量と、

前記第4の抵抗及び前記第2の寄生容量とからなるノイズ低減回路を設け、

一方が前記第2の抵抗の他方に接続される第5の抵抗と、

前記第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設け、

前記第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタとからなる第2の電流駆動回路部とを備えることを特徴とする差動出力回路。

【請求項5】

請求項4記載の差動出力回路において、

ミラー回路部は、第1の第1導電型MOSトランジスタ及び第2の第1導電型MOSトランジスタとのトランジスタサイズ比を1対1/nに設定することを特徴とする差動出力回路。但し、nは正の整数である。

【請求項6】

請求項4記載の差動出力回路において、

第1の抵抗及び第2の抵抗を線形領域にバイアスされた第5及び第6の第2導電型MOSトランジスタに置き換え、前記第5及び第6の第2導電型MOSトランジスタのゲート電圧を供給し、一方がGNDに接続される第3の抵抗と、ソースが電源電位に接続され、ゲート及びドレインが前記第3の抵抗の他方に接続される第4の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部を備えることを特徴とする差動出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は差動出力回路に係り、特に高速、低電圧、低ノイズ伝送を特徴とするLVDS (Low Voltage Differential Signaling、以下、LVDSと示す。)等の差動出力回路に関するものである。

【0002】

【従来の技術】

図7は、従来の差動出力回路である。図7を参照して、この差動出力回路は、一方がGNDに接続される抵抗R1'と、ソースが抵抗R1'の他方に接続されるNチャンネルMOSトランジスタM3'、M4'を設ける。

【0003】

また、データ入力端子からのデータVIを反転するインバータ回路5'と、ゲートがインバータ回路5'の出力側に接続され、ソースがNチャンネルMOSトランジスタM4'のドレインに接続されるNチャンネルMOSトランジスタM1'と、ゲートがデータ入力端子に接続され、ソースがNチャンネルMOSトランジスタM3'のドレインに接続されるNチャンネルMOSトランジスタM2'とを設ける。

【0004】

また、NチャンネルMOSトランジスタM3'のゲートにもインバータ回路5'の出力側が接続され、NチャンネルMOSトランジスタM4'のゲートにもデータ入力端子が接続される。

10

20

30

40

50

【0005】

また、NチャネルMOSトランジスタM3`のドレインには出力端子VO+が接続され、NチャネルMOSトランジスタM4`のドレインには出力端子VO-が接続される。

【0006】

また、NチャネルMOSトランジスタM1`、M2`のドレインには電源電位Vccが接続される。

【0007】

さらに出力端子VO+、VO-の間には外部負荷抵抗RTが接続されるような構成になっている。

【0008】

【発明が解決しようとする課題】

上記のような従来の差動出力回路は、定電流源I1`がNチャネルMOSトランジスタM1`、M3`あるいはNチャネルMOSトランジスタM2`、M4`のどちらかのペアトランジスタをオンすることで、常に一定電流を外部負荷抵抗RTに駆動している。

【0009】

また、図8は従来のLVDSの出力波形図である。図8を参照して、出力振幅のオフセットレベルVOS(以下、VOSと示す。)は定電流源I1`及び抵抗R1`との積により決定される。しかし、この従来の差動出力回路を用いる半導体において定電流源I1`あるいは抵抗R1`のばらつきにより、精度を良好にVOSを制御することが困難となる問題があった。

【0010】

【課題を解決するための手段】

この発明に係る差動出力回路は、高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

【0011】

また、一方がGNDに接続される第1の抵抗と、ソースが第1の抵抗の他方に接続される第1の第2導電型MOSトランジスタと、ソースが電源電位に接続され、ドレインが第1の第2導電型MOSトランジスタのドレインに接続される第1の第1導電型MOSトランジスタと、基準電圧回路の出力側が正の入力端子に接続され、負の入力端子が第1の第2導電型MOSトランジスタのソースに接続され、出力側が第1の第2導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

【0012】

また、ソースが電源電位に接続され、ゲートが第1の第1導電型MOSトランジスタのゲートに接続される第2の第1導電型MOSトランジスタと、ソースが第2の第1導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタ及び第4の第1導電型とからなるミラー回路部を設ける。

【0013】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第3の第1導電型MOSトランジスタのドレインに接続される第2の第2導電型MOSトランジスタと、ゲートがデータ入力端子に接続され、ドレインが第4の第1導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設ける。

【0014】

さらに、第3の第1導電型MOSトランジスタのゲートにデータ入力端子が接続され、第4の第1導電型MOSトランジスタのゲートにもインバータ回路の出力側が接続され、第3の第1導電型MOSトランジスタのドレインには負の出力端子が接続され、第4の第1導電型MOSトランジスタのドレインには正の出力端子が接続され、一方がGNDに接続され、他方が第2の第2導電型MOSトランジスタ及び第3の第2導電型MOSトランジスタのソースに接続される第2の抵抗とからなるオフセットレベル調整回路部とを備えるも

10

20

30

40

50

のである。

【 0 0 1 5 】

また、この発明のある局面における差動出力回路において、基準電圧回路は、出力端子が第 1 の抵抗及び第 2 の抵抗の一方に接続され、負の入力端子が第 2 の抵抗の他方に接続され、第 3 の抵抗及び第 1 の寄生容量とが接続され、正の入力端子が第 1 の抵抗の他方に接続され、第 4 の抵抗及び第 2 の寄生容量とが接続されるアンプ回路を設ける。

【 0 0 1 6 】

また、第 3 の抵抗及び第 1 の寄生容量と、第 4 の抵抗及び第 2 の寄生容量とからなるノイズ低減回路を設け、一方が第 2 の抵抗の他方に接続される第 5 の抵抗と、第 5 の抵抗の他方にシリアルに接続される第 1 のバイポーラトランジスタとからなる第 1 の電流駆動回路部を設ける。

10

【 0 0 1 7 】

さらに、第 1 の抵抗の他方にシリアルに接続される第 2 のバイポーラトランジスタからなる第 2 の電流駆動回路部とを備えるものである。

【 0 0 1 8 】

また、この発明の他の局面における差動出力回路において、基準電圧回路は、一方が GND に接続される第 1 の抵抗と、一方が第 1 の抵抗の他方にシリアルに接続され、他方が電源電位に接続される第 2 の抵抗とからなる基準電圧回路部を備えるものである。

【 0 0 1 9 】

また、この発明の他の局面における差動出力回路において、ミラー回路部は、第 1 の第 1 導電型 MOS トランジスタ及び第 2 の第 1 導電型 MOS トランジスタとのトランジスタサイズ比を 1 対 1 / n に設定するものである。但し、n は正の整数である。

20

【 0 0 2 0 】

また、高速、低電圧、低ノイズ伝送を図るための L V D S を用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

【 0 0 2 1 】

また、ソースが GND に接続される第 1 の第 2 導電型 MOS トランジスタと、ソースが第 1 の第 2 導電型 MOS トランジスタのドレインに接続される第 2 の第 2 導電型 MOS トランジスタと、ソースが電源電位に接続され、ドレイン及びゲートが第 2 の第 2 導電型 MOS トランジスタのドレインに接続される第 1 の第 1 導電型 MOS トランジスタと、基準電圧回路 2 の出力側が正の入力端子に接続され、負の入力端子が第 2 の第 2 導電型 MOS トランジスタのソースに接続され、出力側が第 2 の第 2 導電型 MOS トランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

30

【 0 0 2 2 】

また、ソースが電源電位に接続され、ゲートが第 1 の第 1 導電型 MOS トランジスタのゲートに接続される第 2 の第 1 導電型 MOS トランジスタと、ソースが第 2 の第 1 導電型 MOS トランジスタのドレインに接続される第 3 の第 1 導電型 MOS トランジスタ及び第 4 の第 1 導電型とからなるミラー回路部を設ける。

40

【 0 0 2 3 】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第 3 の第 1 導電型 MOS トランジスタのドレインに接続される第 3 の第 2 導電型 MOS トランジスタと、ゲートがデータ入力端子に接続され、ドレインが第 4 の第 1 導電型 MOS トランジスタのドレインに接続される第 4 の第 2 導電型 MOS トランジスタとからなるデータ転送スイッチ回路部を設ける。

【 0 0 2 4 】

また、第 3 の第 1 導電型 MOS トランジスタのゲートにデータ入力端子が接続され、第 4 の第 1 導電型 MOS トランジスタのゲートにもインバータ回路の出力側が接続され、第 3 の第 1 導電型 MOS トランジスタのドレインには負の出力端子が接続され、第 4 の第 1 導電型 MOS トランジスタのドレインには正の出力端子が接続され、ソースが GND に接続

50

され、ドレインが第3の第2導電型MOSトランジスタ及び第4の第2導電型MOSトランジスタのソースに接続される第5の第2導電型MOSトランジスタからなるオフセットレベル調整回路部を設ける。

【0025】

さらに、一方がGNDに接続される抵抗と、ソースが電源電位に接続され、ゲート及びドレインが抵抗の他方に接続される第5の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部とを備えるものである。

【0026】

また、高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

10

【0027】

また、ソースがGNDに接続される第1の第2導電型MOSトランジスタと、ドレインが第1の第2導電型MOSトランジスタのドレインに接続される第1の第1MOSトランジスタと、一方が電源電位に接続され、他方が第1の第1導電型MOSトランジスタのソースに接続される第1の抵抗と、基準電圧回路の出力が負の入力端子に接続され、正の入力端子が第1の第1導電型MOSトランジスタのソースに接続され、出力側が第1の第1導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

【0028】

20

また、第1の第2導電型MOSトランジスタのゲートも第1の第1導電型MOSトランジスタのドレインに接続され、ソースがGNDに接続され、ゲートが第1の第2導電型MOSトランジスタのゲートに接続される第2の第2導電型MOSトランジスタと、ソースが第2の第2導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタ及び第4の第2導電型MOSトランジスタとからなるミラー回路部を設ける。

【0029】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第4の第2導電型MOSトランジスタのドレインに接続される第2の第1導電型MOSトランジスタと、ゲートがデータ入力端子に接続され、ドレインが第3の第2導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設ける。

30

【0030】

さらに、第4の第2導電型MOSトランジスタのゲートにもデータ入力端子が接続され、第3の第2導電型MOSトランジスタのゲートにもインバータ回路の出力側が接続され、第3の第2導電型MOSトランジスタのドレインには負の出力端子が接続され、第4の第2導電型MOSトランジスタのドレインには正の出力端子が接続され、一方が電源電位に接続され、他方が第2の第1導電型MOSトランジスタ及び第3の第1導電型MOSトランジスタのソースに接続される第2の抵抗からなるオフセットレベル調整回路部とを備えるものである。

【0031】

40

また、この発明の他の局面における差動出力回路において、基準電圧回路は、出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路を設ける。

【0032】

また、第3の抵抗及び第1の寄生容量と、第4の抵抗及び第2の寄生容量とからなるノイズ低減回路を設け、一方が第2の抵抗の他方に接続される第5の抵抗と、第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設ける。

【0033】

50

さらに、第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタからなる第2の電流駆動回路部とを備えるものである。

【0034】

また、この発明の他の局面における差動出力回路において、基準電圧回路は、一方がGNDに接続される第1の抵抗と、一方が第1の抵抗の他方にシリアルに接続され、他方が電源電位に接続される第2の抵抗とからなる基準電圧回路部を備えるものである。

【0035】

また、この発明の他の局面における差動出力回路において、ミラー回路部は、第1の第1導電型MOSトランジスタ及び第2の第1導電型MOSトランジスタとのトランジスタサイズ比を1対1/nに設定するものである。但し、nは正の整数である。

10

【0036】

さらにこの発明の他の局面における差動出力回路において、第1の抵抗及び第2の抵抗を線形領域にバイアスされた第5及び第6の第2導電型MOSトランジスタに置き換え、第5及び第6の第2導電型MOSトランジスタのゲート電圧を供給し、一方がGNDに接続される第3の抵抗と、ソースが電源電位に接続され、ゲート及びドレインが第3の抵抗の他方に接続される第4の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部を備えるものである。

【0037】

【発明の実施の形態】

実施の形態1.

20

以下、この発明について説明する。図1は実施の形態1による差動出力回路図である。図1を参照して、この差動出力回路1は温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路2を設ける。

【0038】

また、一方がGNDに接続される抵抗R1と、ソースが抵抗R1の他方に接続されるNチャンネルMOSトランジスタM1と、ソースが電源電位Vccに接続され、ドレインがNチャンネルMOSトランジスタM1のドレインに接続されるPチャンネルMOSトランジスタM2と、基準電圧回路2の出力側が+入力端子に接続され、-入力端子がNチャンネルMOSトランジスタM1のソースに接続され、出力側がNチャンネルMOSトランジスタM1のゲートに接続されるアンプ回路3とからなる定電流回路部を設ける。

30

【0039】

また、ソースが電源電位Vccに接続され、ゲートがPチャンネルMOSトランジスタM2のゲートに接続されるPチャンネルMOSトランジスタM3と、ソースがPチャンネルMOSトランジスタM3のドレインに接続されるPチャンネルMOSトランジスタM4、M5とからなるミラー回路部を設ける。

【0040】

また、データ入力端子からのデータVIを反転するインバータ回路5と、ゲートがデータ入力端子に接続され、ドレインがPチャンネルMOSトランジスタM4のドレインに接続されるNチャンネルMOSトランジスタM6と、ゲートがインバータ回路5の出力側に接続され、ドレインがPチャンネルMOSトランジスタM5のドレインに接続されるNチャンネルMOSトランジスタM7とからなるデータ転送スイッチ回路部を設ける。

40

【0041】

また、PチャンネルMOSトランジスタM4のゲートにもデータ入力端子が接続され、PチャンネルMOSトランジスタM5のゲートにもインバータ回路5の出力側が接続される。

【0042】

また、PチャンネルMOSトランジスタM4のドレインには出力端子VO-が接続され、PチャンネルMOSトランジスタM5のドレインには出力端子VO+が接続される。

【0043】

また、一方がGNDに接続され、他方がNチャンネルMOSトランジスタM6、M7のソースに接続される抵抗R2からなるオフセットレベル調整回路部等で構成される。

50

【 0 0 4 4 】

次にこの差動出力回路 1 の動作について説明する。まず、基準電圧回路 2 の出力 V_z を用いる。NチャネルMOSトランジスタ M_1 のドレイン電流 I_1 はアンプ回路 3 の負帰還の原理により、

$$I_1 = V_z / R_1$$

で与えられる。

【 0 0 4 5 】

次に I_1 をミラー回路部によって I_2 に移す。ここで $I_1 = I_2$ になるように PチャネルMOSトランジスタ M_2 , M_3 のトランジスタサイズを等しく設計する。

【 0 0 4 6 】

従って、差動出力回路 1 における出力振幅のオフセットレベル V_{OS} は、

$$V_{OS} = I_1 \times R_2 = I_2 \times R_2 = (V_z / R_1) \times R_2$$

で与えられる。

【 0 0 4 7 】

即ち、 V_{OS} の精度は V_z 、 R_1 、 R_2 のばらつきで決定される。半導体で製造される抵抗については、温度、電圧、製造プロセスの 3 種類のパラメータに対して、ある程度のばらつき (V_z 、 R_1 、 R_2) が存在する。

【 0 0 4 8 】

また、 R_1 と R_2 に関しては同材質にし、かつマッチングが取れるレイアウト設計をすることにより容易に、 $R_1 = R_2$ とすることが可能である。

【 0 0 4 9 】

即ち、 V_z 、 R_1 、 R_2 のばらつき V_z 、 R_1 、 R_2 が発生すると V_{OS} は、

$$V_{OS} = (V_z / R_1) \times R_2 = V_z$$

で与えられる。

【 0 0 5 0 】

従って、 V_z のばらつきを温度、電圧、製造プロセスの 3 種類のばらつきに対して、精度良くコントロールすることができれば、はば V_{OS} を 0 にすることが可能となる。

【 0 0 5 1 】

実施の形態 2 .

図 2 は実施の形態 2 による差動出力回路の基準電圧回路図である。図 2 を参照して、この基準電圧回路 3 0 は出力端子が抵抗 R_{31} , R_{32} の一方に接続され、- 入力端子が抵抗 R_{32} の他方に接続され、抵抗 R_{A3} と寄生容量 C_{13} とが接続され、+ 入力端子が抵抗 R_{31} の他方に接続され、抵抗 R_{B3} と寄生容量 C_{23} とが接続されるアンプ回路 3 3 を設ける。

【 0 0 5 2 】

また、抵抗 R_{A3} と寄生容量 C_{13} 、抵抗 R_{B3} と寄生容量 C_{23} とでノイズ低減回路を構成する。

【 0 0 5 3 】

また、一方が抵抗 R_{32} の他方に接続される抵抗 R_{33} と、抵抗 R_{33} の他方にシリアルに接続されるバイポーラトランジスタ M_{A3} とからなる第 1 の電流駆動回路部を設ける。

【 0 0 5 4 】

また、抵抗 R_{31} の他方にシリアルに接続されるバイポーラトランジスタ M_{B3} からなる第 2 の電流駆動回路部等で構成される。

【 0 0 5 5 】

差動出力回路に電源ノイズが発生した場合、閉ループ回路を構成しているためノイズが伝搬してしまうが、抵抗 R_{A3} , R_{B3} と寄生容量 C_{13} , C_{23} によりフィルタが構成され、電位変動を抑えて、同時に閉ループ回路における V_z のノイズを低減することができる。

【 0 0 5 6 】

この実施の形態 2 による差動出力回路の基準電圧回路を適用することで、電源ノイズによ

10

20

30

40

50

る V_z の変動を小さくし、 V_z の精度を向上することで、 V_{OS} の変動を小さくコントロールすることが可能となる。

【0057】

実施の形態 3 .

図 3 は実施の形態 3 による差動出力回路図である。図 3 を参照して、この差動出力回路 50 は一方が GND に接続される抵抗 R53 と、一方が抵抗 R53 の他方にシリアルに接続され、他方が電源電位 V_{cc} に接続される抵抗 R54 とからなる基準電圧回路部を設ける。

【0058】

また、一方が GND に接続される抵抗 R51 と、ソースが抵抗 R51 の他方に接続される N チャネル MOS トランジスタ M51 と、ソースが電源電位 V_{cc} に接続され、ドレイン及びゲートが N チャネル MOS トランジスタ M51 のドレインに接続される P チャネル MOS トランジスタ M52 と、+ 入力端子が抵抗 R53 及び抵抗 R54 のシリアルな接続点に接続され、- 入力端子が N チャネル MOS トランジスタ M51 のソースに接続され、出力側が N チャネル MOS トランジスタ M51 のゲートに接続されるアンプ回路 53 とからなる定電流回路部を設ける。

10

【0059】

また、ソースが電源電位 V_{cc} に接続され、ゲートが P チャネル MOS トランジスタ M52 のゲートに接続される P チャネル MOS トランジスタ M53 と、ソースが P チャネル MOS トランジスタ M53 のドレインに接続される P チャネル MOS トランジスタ M54 , M55 とからなるミラー回路部を設ける。

20

【0060】

また、データ入力端子からのデータ V_I を反転するインバータ回路 55 と、ゲートがデータ入力端子に接続され、ドレインが P チャネル MOS トランジスタ M54 のドレインに接続される N チャネル MOS トランジスタ M56 と、ゲートがインバータ回路 55 の出力側に接続され、ドレインが P チャネル MOS トランジスタ M55 のドレインに接続される N チャネル MOS トランジスタ M57 とからなるデータ転送スイッチ回路部を設ける。

【0061】

また、P チャネル MOS トランジスタ M54 のゲートにもデータ入力端子が接続され、P チャネル MOS トランジスタ M55 のゲートにもインバータ回路 55 の出力側が接続される。

30

【0062】

また、P チャネル MOS トランジスタ M54 のドレインには出力端子 V_{O-} が接続され、P チャネル MOS トランジスタ M55 のドレインには出力端子 V_{O+} が接続される。

【0063】

また、一方が GND に接続され、他方が N チャネル MOS トランジスタ M56 , M57 のソースに接続され抵抗 R52 からなるオフセットレベル調整回路部等で構成される。

【0064】

この差動出力回路 50 は電源電位 V_{cc} に対して、抵抗の比による分圧電圧を得る回路であり、温度、製造プロセスのばらつきが発生しても抵抗 R53 , 54 とほぼ等しいため、分圧電圧 V_z は一定となる。

40

【0065】

また、温度、製造プロセスの 2 種類のばらつきに対して V_z を精度良くコントロールすることができる。

【0066】

従って、この実施の形態 3 によると、実施の形態 2 に比べ、チップサイズを小さくすることが可能である。

【0067】

実施の形態 4 .

図 4 は実施の形態 4 による差動出力回路図である。図 4 を参照して、この差動出力回路 7

50

0 は温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路 7 2 を設ける。

【 0 0 6 8 】

また、一方が GND に接続される抵抗 R 7 1 と、ソースが抵抗 R 7 1 の他方に接続される N チャンネル MOS トランジスタ M 7 1 と、ソースが電源電位 Vcc に接続され、ドレイン及びゲートが N チャンネル MOS トランジスタ M 7 1 のドレインに接続される P チャンネル MOS トランジスタ M 7 2 と、基準電圧回路 7 2 の出力が + 入力端子に接続され、- 入力端子が N チャンネル MOS トランジスタ M 7 1 のソースに接続され、出力側が N チャンネル MOS トランジスタ M 7 1 のゲートに接続されるアンプ回路 7 3 とからなる定電流回路部を設ける。

10

【 0 0 6 9 】

また、ソースが電源電位 Vcc に接続され、ゲートが P チャンネル MOS トランジスタ M 7 2 のゲートに接続される P チャンネル MOS トランジスタ M 7 3 と、ソースが P チャンネル MOS トランジスタ M 7 3 のドレインに接続される P チャンネル MOS トランジスタ M 7 4 , M 7 5 とからなるミラー回路部を設ける。

【 0 0 7 0 】

また、P チャンネル MOS トランジスタ M 7 2 と M 7 3 のトランジスタサイズ比を $M 3 : M 2 = 1 : 1 / n$ に設定している。

【 0 0 7 1 】

また、データ入力端子からのデータ VI を反転するインバータ回路 7 5 と、ゲートがデータ入力端子に接続され、ドレインが P チャンネル MOS トランジスタ M 7 4 のドレインに接続される N チャンネル MOS トランジスタ M 7 6 と、ゲートがインバータ回路 7 5 の出力側に接続され、ドレインが P チャンネル MOS トランジスタ M 7 5 のドレインに接続される N チャンネル MOS トランジスタ M 7 7 とからなるデータ転送スイッチ回路部を設ける。

20

【 0 0 7 2 】

また、P チャンネル MOS トランジスタ M 7 4 のゲートにもデータ入力端子が接続され、P チャンネル MOS トランジスタ M 7 5 のゲートにもインバータ回路 7 5 の出力側が接続される。

【 0 0 7 3 】

また、P チャンネル MOS トランジスタ M 7 4 のドレインには出力端子 VO - が接続され、P チャンネル MOS トランジスタ M 7 5 のドレインには出力端子 VO + が接続される。

30

【 0 0 7 4 】

また、一方が GND に接続され、他方が N チャンネル MOS トランジスタ M 7 6 , M 7 7 のソースに接続され抵抗 R 7 2 からなるオフセットレベル調整回路部等で構成される。

【 0 0 7 5 】

即ち、ドレイン電流 I 1 , I 2 は P チャンネル MOS トランジスタ M 7 2 , M 7 3 のトランジスタサイズに比例する。 $I 2 = I 1 \times M 7 3 / M 7 2$ で表される。

【 0 0 7 6 】

例えば、I 2 に mA の駆動電流を要する場合の P チャンネル MOS トランジスタ M 7 3 のトランジスタサイズを W 3 とすると、P チャンネル MOS トランジスタ M 7 2 のトランジスタサイズは W 3 の $1 / n$ にすれば、I 1 も $1 / n$ になるため I 2 の駆動電流を一定のまま定電流回路部のチップサイズを $1 / n$ だけ小さくすることが可能となる。

40

【 0 0 7 7 】

この実施の形態 4 によると、定電流回路部のドレイン電流比に差異を持たせることで、定電流回路部のチップサイズを小さくすることが可能となる。

【 0 0 7 8 】

実施の形態 5 .

図 5 は実施の形態 5 による差動出力回路図である。図 5 を参照して、この差動出力回路 8 0 は温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路 8 2 を設ける。

50

【 0 0 7 9 】

また、ソースが GND に接続される N チャンネル MOS トランジスタ M 8 8 と、ソースが N チャンネル MOS トランジスタ M 8 8 のドレインに接続される N チャンネル MOS トランジスタ M 8 1 と、ソースが電源電位 V c c に接続され、ドレイン及びゲートが N チャンネル MOS トランジスタ M 8 1 のドレインに接続される P チャンネル MOS トランジスタ M 8 2 と、基準電圧回路 8 2 の出力が + 入力端子に接続され、- 入力端子が N チャンネル MOS トランジスタ M 8 1 のソースに接続され、出力側が N チャンネル MOS トランジスタ M 8 1 のゲートに接続されるアンプ回路 8 3 とからなる定電流回路部を設ける。

【 0 0 8 0 】

また、ソースが電源電位 V c c に接続され、ゲートが P チャンネル MOS トランジスタ M 8 2 のゲートに接続される P チャンネル MOS トランジスタ M 8 3 と、ソースが P チャンネル MOS トランジスタ M 8 3 のドレインに接続される P チャンネル MOS トランジスタ M 8 4 , M 8 5 とからなるミラー回路部を設ける。

10

【 0 0 8 1 】

また、データ入力端子からのデータ V I を反転するインバータ回路 8 5 と、ゲートがデータ入力端子に接続され、ドレインが P チャンネル MOS トランジスタ M 8 4 のドレインに接続される N チャンネル MOS トランジスタ M 8 6 と、ゲートがインバータ回路 8 5 の出力側に接続され、ドレインが P チャンネル MOS トランジスタ M 8 5 のドレインに接続される N チャンネル MOS トランジスタ M 8 7 とからなるデータ転送スイッチ回路部を設ける。

【 0 0 8 2 】

また、P チャンネル MOS トランジスタ M 8 4 のゲートにもデータ入力端子が接続され、P チャンネル MOS トランジスタ M 8 5 のゲートにもインバータ回路 8 5 の出力側が接続される。

20

【 0 0 8 3 】

また、P チャンネル MOS トランジスタ M 8 4 のドレインには出力端子 V O - が接続され、P チャンネル MOS トランジスタ M 8 5 のドレインには出力端子 V O + が接続される。

【 0 0 8 4 】

また、ソースが GND に接続され、ドレインが N チャンネル MOS トランジスタ M 8 6 , M 8 7 のソースに接続される N チャンネル MOS トランジスタ M 8 9 からなるオフセットレベル調整回路部を設ける。

30

【 0 0 8 5 】

また、一方が GND に接続される抵抗 R 8 3 と、ソースが電源電位 V c c に接続され、ゲート及びドレインが抵抗 R 8 3 の他方に接続される P チャンネル MOS トランジスタ M 9 0 とがシリアルに接続されてなる抵抗バイアス電圧発生回路部を設ける。

【 0 0 8 6 】

また、線形領域にバイアスされた N チャンネル MOS トランジスタ M 8 8 , M 8 9 のゲート電圧 V A は抵抗バイアス電圧発生回路部から与えられるように構成する。

【 0 0 8 7 】

半導体で抵抗を構成するには MOS トランジスタのオン抵抗を利用することができるので、N チャンネル MOS トランジスタ M 8 8 , M 8 9 のオン抵抗を用いる。

40

【 0 0 8 8 】

即ち、MOS トランジスタのオン抵抗 r_{ds} は下式で与えられる。

$$\begin{aligned} 1/r_{ds} &= d I_{ds} / d V_{ds} \\ &= \beta (V_{gs} - V_{th} - V_{ds}) \dots \dots (1) \end{aligned}$$

【 0 0 8 9 】

(1) 式より、
 $r_{ds} = 1 / (V_{gs} - V_{th} - V_{ds})$
 となる。

【 0 0 9 0 】

50

従って、MOSトランジスタのオン抵抗 r_{ds} はVOSのばらつきに影響を与えないため、製造上のばらつきが発生してもVOSの精度に影響しない。

【0091】

この実施の形態5によると、バイアスの抵抗の構成を工夫することで、さらにチップサイズを小さくすることが可能となる。

【0092】

実施の形態6 .

図6は実施の形態6による差動出力回路図である。図6を参照して、この差動出力回路100は温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路102を設ける。

10

【0093】

また、ソースがGNDに接続されるNチャネルMOSトランジスタM102と、ドレインがNチャネルMOSトランジスタM102のドレインに接続されるPチャネルMOSトランジスタM101と、一方が電源電位Vccに接続され、他方がPチャネルMOSトランジスタM101のソースに接続される抵抗101と、基準電圧回路102の出力が-入力端子に接続され、+入力端子がPチャネルMOSトランジスタM101のソースに接続され、出力側がPチャネルMOSトランジスタM101のゲートに接続されるアンプ回路103とからなる定電流回路部を設ける。

【0094】

また、NチャネルMOSトランジスタM102のゲートもPチャネルMOSトランジスタM101のドレインに接続されている。

20

【0095】

また、ソースがGNDに接続され、ゲートがNチャネルMOSトランジスタM102のゲートに接続されるNチャネルMOSトランジスタM103と、ソースがNチャネルMOSトランジスタM103のドレインに接続されるNチャネルMOSトランジスタM106, M107とからなるミラー回路部を設ける。

【0096】

また、データ入力端子からのデータVIを反転するインバータ回路105と、ゲートがインバータ回路105の出力側に接続され、ドレインがNチャネルMOSトランジスタM107のドレインに接続されるPチャネルMOSトランジスタM105と、ゲートがデータ入力端子に接続され、ドレインがNチャネルMOSトランジスタM106のドレインに接続されるPチャネルMOSトランジスタM104とからなるデータ転送スイッチ回路部を設ける。

30

【0097】

また、NチャネルMOSトランジスタM107のゲートにインバータ回路105の出力側が接続され、NチャネルMOSトランジスタM106のゲートにデータ入力端子が接続される。

【0098】

また、NチャネルMOSトランジスタM106のドレインには出力端子VO-が接続され、NチャネルMOSトランジスタM107のドレインには出力端子VO+が接続される。

40

【0099】

また、一方が電源電位Vccに接続され、他方がPチャネルMOSトランジスタM104, M105のソースに接続される抵抗R102からなるオフセットレベル調整回路部等で構成される。

【0100】

次にこの差動出力回路100の動作について説明する。まず、基準電圧回路102の出力Vzを用いる。PチャネルMOSトランジスタM101のドレイン電流I101はアンプ回路103の負帰還の原理により、

$$I_{101} = V_z / R_{101}$$

で与えられる。

50

【0101】

次にI101をミラー回路部によってI102に移す。ここでI101 = I102になるようにNチャネルMOSトランジスタM102, M103のトランジスタサイズを等しく設計する。

【0102】

従って、差動出力回路100における出力振幅のオフセットレベルVOSは、 $VOS = I101 \times R102 = I102 \times R102 = (Vz / R101) \times R102$ で与えられる。

【0103】

即ち、VOSの精度はVz、R101、R102のばらつきで決定される。半導体で製造される抵抗については、温度、電圧、製造プロセスの3種類のパラメータに対して、ある程度のばらつき(Vz、R101、R102)が存在する。

10

【0104】

また、R101とR102に関しては同材質にし、かつマッチングが取れるレイアウト設計をすることにより容易に、 $R101 = R102$ とすることが可能である。

【0105】

即ち、Vz、R101、R102のばらつき Vz、R101、R102が発生すると VOSは、

$$VOS = (Vz / R101) \times R102 = Vz$$

で与えられる。

20

【0106】

従って、Vzのばらつきを温度、電圧、製造プロセスの3種類のばらつきに対して、精度良くコントロールすることができれば、はば VOSを0にすることが可能となる。

【0107】

従って、この実施の形態6によると、実施の形態1に比べ、さらに良好な精度でVOSを制御することができる。

【0108】

実施の形態7 .

また、実施の形態6の差動出力回路100に実施の形態2で用いる基準電圧回路30を適用しても実施の形態6と同様の効果を得ることができる。

30

【0109】

実施の形態8 .

また、実施の形態6の差動出力回路100に実施の形態3で用いる基準電圧回路部を適用しても実施の形態3と同様の効果を得ることができる。

【0110】

実施の形態9 .

また、実施の形態6の差動出力回路100に実施の形態4で用いる基準電圧回路72を適用しても実施の形態4と同様の効果を得ることができる。

【0111】

実施の形態10 .

また、実施の形態6の差動出力回路100に実施の形態5で用いるMOSトランジスタのオン抵抗を適用しても実施の形態5と同様の効果を得ることができる。

40

【0112】

即ち、一方がGNDに接続される抵抗と、ソースが電源電位Vccに接続され、ゲート及びドレインが抵抗の他方に接続されるPチャネルMOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部を設ける。

【0113】

また、抵抗R101, R102を線形領域にバイアスされたNチャネルMOSトランジスタM108, M109に置き換え、これらのゲート電圧VAは抵抗バイアス電圧発生回路部から与えられるように構成する(図示せず)。

50

【0114】

【発明の効果】

この発明に係る差動出力回路は、高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

【0115】

また、一方がGNDに接続される第1の抵抗と、ソースが第1の抵抗の他方に接続される第1の第2導電型MOSトランジスタと、ソースが電源電位に接続され、ドレインが第1の第2導電型MOSトランジスタのドレインに接続される第1の第1導電型MOSトランジスタと、基準電圧回路の出力側が正の入力端子に接続され、負の入力端子が第1の第2導電型MOSトランジスタのソースに接続され、出力側が第1の第2導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

10

【0116】

また、ソースが電源電位に接続され、ゲートが第1の第1導電型MOSトランジスタのゲートに接続される第2の第1導電型MOSトランジスタと、ソースが第2の第1導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタ及び第4の第1導電型とからなるミラー回路部を設ける。

【0117】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第3の第1導電型MOSトランジスタのドレインに接続される第2の第2導電型MOSトランジスタと、ゲートがデータ入力端子に接続され、ドレインが第4の第1導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設ける。

20

【0118】

さらに、第3の第1導電型MOSトランジスタのゲートにデータ入力端子が接続され、第4の第1導電型MOSトランジスタのゲートにもインバータ回路の出力側が接続され、第3の第1導電型MOSトランジスタのドレインには負の出力端子が接続され、第4の第1導電型MOSトランジスタのドレインには正の出力端子が接続され、一方がGNDに接続され、他方が第2の第2導電型MOSトランジスタ及び第3の第2導電型MOSトランジスタのソースに接続される第2の抵抗からなるオフセットレベル調整回路部とを備えることにより、分圧電圧 V_z のばらつきを温度、電圧、製造プロセスの3種類のばらつきに対して、精度良くコントロールすることができ、はば VOS を0にすることが可能となる。

30

【0119】

また、この発明のある局面における差動出力回路において、基準電圧回路は、出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路を設ける。

【0120】

また、第3の抵抗及び第1の寄生容量と、第4の抵抗及び第2の寄生容量とからなるノイズ低減回路を設け、一方が第2の抵抗の他方に接続される第5の抵抗と、第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設ける。

40

【0121】

さらに、第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタからなる第2の電流駆動回路部とを備えることにより、電源ノイズによる V_z の変動を小さくし、 V_z の精度を向上することで、 VOS の変動を小さくコントロールすることが可能となる。

【0122】

また、この発明の他の局面における差動出力回路において、基準電圧回路は、一方がG

50

N Dに接続される第1の抵抗と、一方が第1の抵抗の他方にシリアルに接続され、他方が電源電位に接続される第2の抵抗とからなる基準電圧回路部を備えることにより、チップサイズを小さくすることが可能である。

【0123】

また、この発明の他の局面における差動出力回路において、ミラー回路部は、第1の第1導電型MOSトランジスタ及び第2の第1導電型MOSトランジスタとのトランジスタサイズ比を1対1/n(但し、nは正の整数である。)に設定することにより、定電流回路部のドレイン電流比に差異を持たせることで、定電流回路部のチップサイズを小さくすることが可能となる。

【0124】

また、高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

【0125】

また、ソースがGNDに接続される第1の第2導電型MOSトランジスタと、ソースが第1の第2導電型MOSトランジスタのドレインに接続される第2の第2導電型MOSトランジスタと、ソースが電源電位に接続され、ドレイン及びゲートが第2の第2導電型MOSトランジスタのドレインに接続される第1の第1導電型MOSトランジスタと、基準電圧回路2の出力側が正の入力端子に接続され、負の入力端子が第2の第2導電型MOSトランジスタのソースに接続され、出力側が第2の第2導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

【0126】

また、ソースが電源電位に接続され、ゲートが第1の第1導電型MOSトランジスタのゲートに接続される第2の第1導電型MOSトランジスタと、ソースが第2の第1導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタ及び第4の第1導電型とからなるミラー回路部を設ける。

【0127】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第3の第1導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタと、ゲートがデータ入力端子に接続され、ドレインが第4の第1導電型MOSトランジスタのドレインに接続される第4の第2導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設ける。

【0128】

また、第3の第1導電型MOSトランジスタのゲートにデータ入力端子が接続され、第4の第1導電型MOSトランジスタのゲートにもインバータ回路の出力側が接続され、第3の第1導電型MOSトランジスタのドレインには負の出力端子が接続され、第4の第1導電型MOSトランジスタのドレインには正の出力端子が接続され、ソースがGNDに接続され、ドレインが第3の第2導電型MOSトランジスタ及び第4の第2導電型MOSトランジスタのソースに接続される第5の第2導電型MOSトランジスタからなるオフセットレベル調整回路部を設ける。

【0129】

さらに、一方がGNDに接続される抵抗と、ソースが電源電位に接続され、ゲート及びドレインが抵抗の他方に接続される第5の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部とを備えることにより、バイアスの抵抗の構成を工夫することで、さらにチップサイズを小さくすることが可能となる。

【0130】

また、高速、低電圧、低ノイズ伝送を図るためのLVDSを用いる差動出力回路において、温度、電源電圧、半導体製造プロセスのばらつきに対して一定の電圧を出力する基準電圧回路を設ける。

【0131】

10

20

30

40

50

また、ソースがGNDに接続される第1の第2導電型MOSトランジスタと、ドレインが第1の第2導電型MOSトランジスタのドレインに接続される第1の第1MOSトランジスタと、一方が電源電位に接続され、他方が第1の第1導電型MOSトランジスタのソースに接続される第1の抵抗と、基準電圧回路の出力が負の入力端子に接続され、正の入力端子が第1の第1導電型MOSトランジスタのソースに接続され、出力側が第1の第1導電型MOSトランジスタのゲートに接続されるアンプ回路とからなる定電流回路部を設ける。

【0132】

また、第1の第2導電型MOSトランジスタのゲートも第1の第1導電型MOSトランジスタのドレインに接続され、ソースがGNDに接続され、ゲートが第1の第2導電型MOSトランジスタのゲートに接続される第2の第2導電型MOSトランジスタと、ソースが第2の第2導電型MOSトランジスタのドレインに接続される第3の第2導電型MOSトランジスタ及び第4の第2導電型MOSトランジスタとからなるミラー回路部を設ける。

10

【0133】

また、データ入力端子からのデータを反転するインバータ回路と、ゲートがインバータ回路の出力側に接続され、ドレインが第4の第2導電型MOSトランジスタのドレインに接続される第2の第1導電型MOSトランジスタと、ゲートがデータ入力端子に接続され、ドレインが第3の第2導電型MOSトランジスタのドレインに接続される第3の第1導電型MOSトランジスタとからなるデータ転送スイッチ回路部を設ける。

【0134】

20

さらに、第4の第2導電型MOSトランジスタのゲートにもデータ入力端子が接続され、第3の第2導電型MOSトランジスタのゲートにもインバータ回路の出力側が接続され、第3の第2導電型MOSトランジスタのドレインには負の出力端子が接続され、第4の第2導電型MOSトランジスタのドレインには正の出力端子が接続され、一方が電源電位に接続され、他方が第2の第1導電型MOSトランジスタ及び第3の第1導電型MOSトランジスタのソースに接続される第2の抵抗からなるオフセットレベル調整回路部とを備えることにより、さらに良好な精度でVOSを制御することができる。

【0135】

また、この発明の他の局面における差動出力回路において、基準電圧回路は、出力端子が第1の抵抗及び第2の抵抗の一方に接続され、負の入力端子が第2の抵抗の他方に接続され、第3の抵抗及び第1の寄生容量とが接続され、正の入力端子が第1の抵抗の他方に接続され、第4の抵抗及び第2の寄生容量とが接続されるアンプ回路を設ける。

30

【0136】

また、第3の抵抗及び第1の寄生容量と、第4の抵抗及び第2の寄生容量とからなるノイズ低減回路を設け、一方が第2の抵抗の他方に接続される第5の抵抗と、第5の抵抗の他方にシリアルに接続される第1のバイポーラトランジスタとからなる第1の電流駆動回路部を設ける。

【0137】

さらに、第1の抵抗の他方にシリアルに接続される第2のバイポーラトランジスタからなる第2の電流駆動回路部とを備えることにより、電源ノイズによるVzの変動を小さくし、Vzの精度を向上することで、VOSの変動を小さくコントロールすることが可能となる。

40

【0138】

また、この発明の他の局面における差動出力回路において、基準電圧回路は、一方がGNDに接続される第1の抵抗と、一方が第1の抵抗の他方にシリアルに接続され、他方が電源電位に接続される第2の抵抗とからなる基準電圧回路部を備えることにより、さらにチップサイズを小さくすることが可能である。

【0139】

また、この発明の他の局面における差動出力回路において、ミラー回路部は、第1の第1導電型MOSトランジスタ及び第2の第1導電型MOSトランジスタとのトランジスタ

50

サイズ比を1対1/n(但し、nは正の整数である。)に設定することにより、定電流回路部のチップサイズを小さくすることが可能となる。

【0140】

さらにこの発明の他の局面における差動出力回路において、第1の抵抗及び第2の抵抗を線形領域にバイアスされた第5及び第6の第2導電型MOSトランジスタに置き換え、第5及び第6の第2導電型MOSトランジスタのゲート電圧を供給し、一方がGNDに接続される第3の抵抗と、ソースが電源電位に接続され、ゲート及びドレインが第3の抵抗の他方に接続される第4の第1導電型MOSトランジスタとがシリアルに接続されてなる抵抗バイアス電圧発生回路部を備えることにより、バイアスの抵抗の構成を工夫することで、さらにチップサイズを小さくすることが可能となる。

10

【図面の簡単な説明】

【図1】この発明の実施の形態1による差動出力回路図である。

【図2】この発明の実施の形態2による差動出力回路の基準電圧回路図である。

【図3】この発明の実施の形態3による差動出力回路図である。

【図4】この発明の実施の形態4による差動出力回路図である。

【図5】この発明の実施の形態5による差動出力回路図である。

【図6】この発明の実施の形態6による差動出力回路図である。

【図7】従来の差動出力回路図である。

【図8】従来のLVDSの出力波形図である。

20

【符号の説明】

2	基準電圧回路	3	アンプ回路
5	インバータ回路	3 3	アンプ回路
5 3	アンプ回路	5 5	インバータ回路
7 3	アンプ回路	7 5	インバータ回路
8 3	アンプ回路	8 5	インバータ回路
1 0 3	アンプ回路	1 0 5	インバータ回路
M 1	NチャネルMOSトランジスタ		
M 2	PチャネルMOSトランジスタ		
M 3	PチャネルMOSトランジスタ		
M 4	PチャネルMOSトランジスタ		
M 5	PチャネルMOSトランジスタ		
M 6	NチャネルMOSトランジスタ		
M 7	NチャネルMOSトランジスタ		
M 5 1	NチャネルMOSトランジスタ		
M 5 2	PチャネルMOSトランジスタ		
M 5 3	PチャネルMOSトランジスタ		
M 5 4	PチャネルMOSトランジスタ		
M 5 5	PチャネルMOSトランジスタ		
M 5 6	NチャネルMOSトランジスタ		
M 5 7	NチャネルMOSトランジスタ		
M 7 1	NチャネルMOSトランジスタ		
M 7 2	PチャネルMOSトランジスタ		
M 7 3	PチャネルMOSトランジスタ		
M 7 4	PチャネルMOSトランジスタ		
M 7 5	PチャネルMOSトランジスタ		
M 7 6	NチャネルMOSトランジスタ		
M 7 7	NチャネルMOSトランジスタ		
M 8 1	NチャネルMOSトランジスタ		
M 8 2	PチャネルMOSトランジスタ		
M 8 3	PチャネルMOSトランジスタ		

30

40

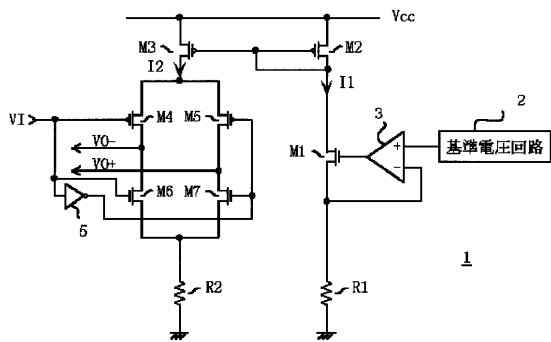
50

- M 8 4 PチャネルMOSトランジスタ
- M 8 5 PチャネルMOSトランジスタ
- M 8 6 NチャネルMOSトランジスタ
- M 8 7 NチャネルMOSトランジスタ
- M 8 8 NチャネルMOSトランジスタ
- M 8 9 NチャネルMOSトランジスタ
- M 1 0 1 PチャネルMOSトランジスタ
- M 1 0 2 NチャネルMOSトランジスタ
- M 1 0 3 NチャネルMOSトランジスタ
- M 1 0 4 PチャネルMOSトランジスタ
- M 1 0 5 PチャネルMOSトランジスタ
- M 1 0 6 NチャネルMOSトランジスタ
- M 1 0 7 NチャネルMOSトランジスタ
- R 1 抵抗
- R 2 抵抗
- R 3 1 抵抗
- R 3 2 抵抗
- R 3 3 抵抗
- R A 3 抵抗
- R B 3 抵抗
- R 5 1 抵抗
- R 5 2 抵抗
- R 5 3 抵抗
- R 5 4 抵抗
- R 7 1 抵抗
- R 7 2 抵抗
- R 8 3 抵抗
- R 1 0 1 抵抗
- R 1 0 2 抵抗
- M A 3 バイポーラトランジスタ
- M B 3 バイポーラトランジスタ

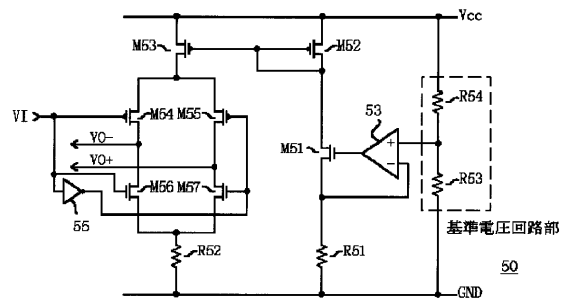
10

20

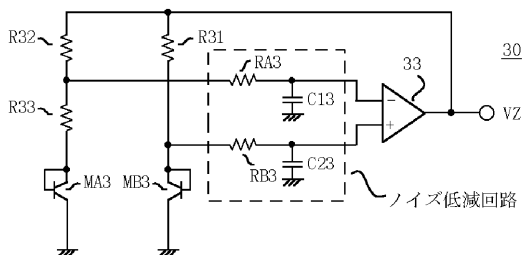
【図1】



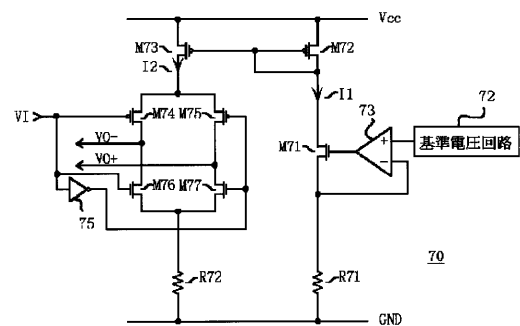
【図3】



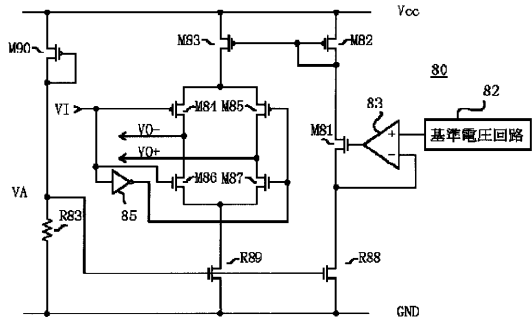
【図2】



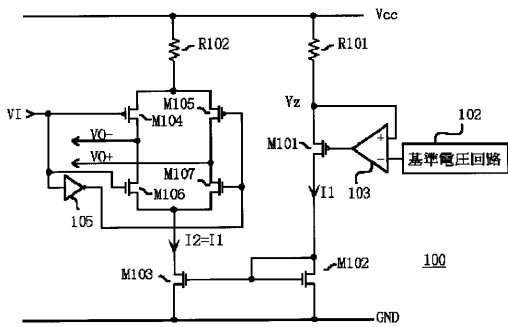
【図4】



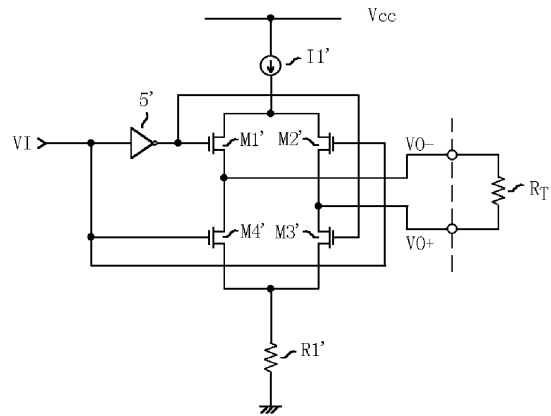
【 図 5 】



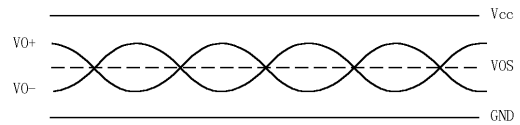
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 長野 英生

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮島 郁美

(56)参考文献 特開2000-068813(JP,A)

特開平04-360312(JP,A)

特開2000-174608(JP,A)

特開平11-330947(JP,A)

特開平10-163846(JP,A)

特開平09-214314(JP,A)

特開平05-252020(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00,19/01-19/082,19/092-19/096