(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 21/28

(11) 공개번호 특2003-0051359
(43) 공개일자 2003년06월25일

---

(21) 출원번호 10-2002-0080618
(22) 출원일자 2002년12월17일

---

(30) 우선권주장 JP-P-2001-00384535 2001년12월18일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 노구찌준지
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내

(74) 대리인 주성민
구영창

심사청구 : 없음

---

(54) 반도체 장치 및 그 제조 방법

요약

구리를 주도체막으로 하는 배선 간의 절연 파괴 내성을 향상시킨다. 구리의 확산에 대하여 배리어성을 갖는 도전성 배리어막(17a) 및 구리를 주성분으로 하는 주도체막(18a)을 갖는 매립 제2층 배선 L2에 있어서, 주도체막(18a)의 상부 각을 둥글게 형성하였다.

대표도

도 15

색인어

웨이퍼, 절연막, 도체막, 라운드 테이퍼

명세서

도면의 간단한 설명

도 1은 본 실시 형태의 TDDB 수명 측정에 사용한 시료의 평면도.

도 2는 도 1의 B-B'선을 따라 취한 단면도.

도 3은 도 1의 C-C'선을 따라 취한 단면도.

도 4는 도 1의 시료를 이용한 경우의 측정의 개요를 도시한 설명도.

도 5는 본 발명의 일 실시 형태인 반도체 장치의 제조 공정의 흐름도.

도 6은 본 발명의 일 실시 형태인 반도체 장치의 제조 공정 중의 주요부 평면도.

도 7은 도 6의 X1-X1선을 따라 취한 단면도.

도 8은 도 7에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 9는 도 8에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 10은 도 9에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 11은 도 10에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1 선에 상당하는 부분의 단면도.

도 12는 도 11의 주요부 확대 단면도.

도 13은 도 11 및 도 12에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1 선에 상당하는 부분의 단면도.

도 14는 도 13에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 15는 도 14에 후속하는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 16은 도 15에 후속하는 반도체 장치의 제조 공정 중에서의 주요부 평면도.

도 17은 도 16의 X2-X2선을 따라 취한 단면도.

도 18은 도 17의 주요부 확대 단면도.

도 19는 본 발명의 다른 실시 형태인 반도체 장치의 제조 공정의 흐름도.

도 20은 본 발명의 다른 실시 형태인 반도체 장치의 제조 공정 중의 주요부 단면도.

도 21은 본 발명의 다른 실시 형태에서의 반도체 장치의 제조 공정 중의 주요부 단면도.

도 22는 본 발명의 다른 실시 형태에서의 반도체 장치의 제조 공정 중의 주요부 단면도.

도 23은 본 발명의 다른 실시 형태인 반도체 장치를 모식적으로 도시하는 주 요부 단면도.

도 24는 본 발명의 다른 실시 형태인 반도체 장치를 모식적으로 도시하는 주요부 단면도.

도 25는 본 발명의 다른 실시 형태인 반도체 장치를 모식적으로 도시하는 주요부 단면도.

도 26은 본 발명의 다른 실시 형태인 반도체 장치를 모식적으로 도시하는 주요부 단면도.

도 27은 본 발명의 다른 실시 형태인 반도체 장치를 모식적으로 도시하는 주요부 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1W : 웨이퍼

1S : 반도체 기판

2 : 분리부

3 : 게이트 절연막

4 : 게이트 전극

5 : 측벽

6, 7 : 반도체 영역

8, 11a, 12a : 절연막

9 : 컨택트홀

10, 14 : 플러그

11b 11d, 12b 12d, 15a, 15c : 절연막(제1 절연막)

13 : 관통 홀

15b, 15d : 절연막(제2 절연막)

15b1 : 절연막(제3 절연막)

15b2 : 절연막(제4 절연막)

16a, 16b : 배선홈(배선 개구부)

17a, 17b : 도전성 배리어막(제1 도체막)

18a, 18b : 주도체막(제2 도체막)

19 : 관통 홀(배선 개구부)

L : 빗형 배선

M2 : 제2 배선층

P1, P2 : 패드

S : 측정 스테이지

H : 히터

Qp : p 채널형의 MISFET

Qn : n 채널형의 MISFET

PWL : p형 웰

NWL : n형 웰

N1, Nx : 배선층

L2 : 매립 제2층 배선(배선)

L3 : 매립 제3층 배선(배선)

Ln : 매립 배선(배선)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법 및 반도체 장치 기술에 관한 것으로, 특히 구리를 주성분으로 하는 주도체막을 포함하는 매립 배선을 갖는 반도체 장치의 제조 방법 및 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

매립 배선 구조는 절연막에 형성된 배선홈이나 구멍 등과 같은 배선 개구부 내에, 다마신(Damascene) 기술(싱글 다마신(Single-Damascene) 기술 및 듀얼 다마신(Dua1-Damascene) 기술)이라고 칭하는 배선 형성 기술에 의해서, 배선 재료를 매립함으로써 형성된다. 그러나, 주 배선 재료가 구리인 경우, 구리가 알루미늄 등과 같은 금속과 비교하여 절연막 내에 확산되기 쉽기 때문에, 그 구리로부터 이루어진 매립 배선이 절연막과 직접 접하지 않도록, 그 매립 배선의 표면(저면 및 측면)을 얇은 배리어 금속막으로 덮음으로써, 그 매립 배선 내의 구리가 절연막 내에 확산되는 것을 억제 또는 방지하도록 하고 있다. 또, 배선 개구부가 형성된 절연막의 상면 상에, 예를 들면 질화 실리콘막 등으로 이루어지는 배선 캡용 절연막을 형성하여 상기 매립 배선의 상면을 덮음으로써, 그 매립 배선 내의 구리가 매립 배선의 상면으로부터 절연막 내에 확산되는 것을 억제 또는 방지하도록 하고 있다.

또, 다마신 배선 기술로서는, 예를 들면 특개 2000-323479호 공보에 기재되 어 있고, 구리 배선 상면과 절연막 상면을 어긋나게 한 매립 배선 구조가 개시되어 있다. 또한, 예를 들면 특개평 11-111843호 공보에는 매립 배선에서의 구리층 상면을 절연막 상면보다도 낮게 형성하고, 거기에 배리어 절연막을 매립하는 매립 배선 구조가 개시되어 있다. 또한, 예를 들면 특개평 10-50632호 공보에는 매립 배선에서의 구리층 및 배리어 메탈의 상면을 절연막 상면보다도 낮게 형성하고, 거기에 배리어 절연막을 매립하는 매립 배선 구조가 개시되어 있다. 또한, 예를 들면 시간 2000-277612호 공보에는, 매립 배선의 배리어 메탈 및 금속막의 상면을 절연막 상면보다 높게 형성함으로써, CMP(Chemical Mechanical Polishing)의 슬러리 잔류를 방지하는 기술이 개시되어 있다. 또한, 예를 들면 특개평 10-189602호 공보에는 텅스텐 플러그의 상면을 절연막 상면보다도 약간 높게 형성하여 매립한 플러그에 라운딩을 갖게 하는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 본 발명자의 검토 결과에 따르면, 상기 구리를 주도체층으로 하는 매립 배선 기술에 있어서는, 이하의 과제가 있는 것을 발견하였다. 즉, 구리를 배선 재료에 이용한 경우, TDDB(Time Dependence on Dielectric Breakdown) 수명이 다른 금속 재료(예를 들면, 알루미늄이나 텅스텐)에 비하여 현저하고 짧다고 하는 문제이다. 또한, 배선 피치의 미세화가 진행됨에 따라, 실효 전계 강도가 증가하는 경향에 있는 것 외에 최근에는 배선 용량을 저감하는 관점 등으로부터 산화 실리콘보다도 유전율이 낮은 절연 재료를 배선간의 절연막으로서 사용하는 경향에 있지만, 유전율이 낮은 절연막은 일반적으로 절연 내압도 낮기 때문에, TDDB 수명의 확보가 점점 곤란하게되는 상황에 있다.

본 발명의 목적은 구리를 주도체막으로 하는 배선간의 절연 파괴 내성을 향상시킬 수 있는 기술을 제공하는 것에 있다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은, 배선을 구성하는 주도체막이 구리에 의해서 형성되고, 그 주도체막에 있어서 전계가 집중하는 개소를, 그 주위의 절연막의 연마면으로부터 떨어지도록 형성하는 것이다.

또한, 본 발명은 배선을 구성하는 주도체막이 구리에 의해서 형성되고, 그 주도체막에 있어서 전계가 집중하는 개소에 라운딩을 형성하는 것이다.

<발명의 실시 형태>

본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확해질 것이다.

본원 발명을 상세히 설명하기 전에, 본 실시 형태에서의 용어의 의미를 설명하면 다음과 같다.

1. TDDB(Time Dependence on Dielectric Breakdown) 수명이란, 절연 파괴의 시간적 의존성을 객관적으로 계측하는 척도로, 소정의 온도(예를 들면, 140℃)의 측정 조건 하에서 전극 간에 비교적 높은 전압을 가하여, 전압 인가로부터 절연 파괴까지의 시간을 인가 전계에 대하여 플롯팅한 그래프를 작성하고, 이 그래프로부 터 실제의 사용 전계 강도(예를 들면, 0.2MV/㎝)로 외삽하여 구한 시간(수명)을 말한다.

도 1 도 3은 본원의 TDDB 수명 측정에 사용한 시료의 일례를 도시한 것으로, 도 1은 평면도, 도 2 및 도 3은 도 1에서의 B-B'선을 따라 취한 단면 및 C-C'선을 따라 취한 단면을 각각 도시하고 있다. 이 시료는 실제로는 웨이퍼의 TEG(Test Equipment Group) 영역에 형성된다. 도시한 바와 같이 한쌍의 빗형 배선 L을 제2 배선층 M2에 형성하고, 최상층의 패드 P1, P2에 각각 접속한다. 이 빗형 배선 L 사이에 전계가 인가되어 전류가 측정된다. 패드 P1, P2는 측정 단자이다. 빗형 배선 L의 배선 폭, 배선 간격, 배선 두께는 모두 0.5㎛이다. 또한, 배선 대향 길이는 1.58×10^{5} ㎛로 하였다.

도 4는 측정의 개요를 도시한 설명도이다. 시료는 측정 스테이지 S에 보유되고, 패드 P1, P2 사이에 전류 전압 측정기(I/V 측정기)를 접속한다. 측정 스테이지 S는 히터 H로 가열되어 시료 온도가 140℃로 조정된다. TDDB 수명 측정에는 정전압 스트레스법과 저전류 스트레스법이 있지만, 본원에서는 절연막에 인가되는 평균 전계가 일정해지는 정전압 스트레스법을 이용하고 있다. 전압 인가 후, 시간 경과와 함께 전류 밀도는 감소하고, 그 후, 급격한 전류 증가(절연 파괴)가 관측된다. 여기서는, 누설 전류 밀도가 1㎂/㎠에 달한 시간을 TDDB 수명(5MV/㎝에서의 TDDB 수명)으로 하였다. 또, 본원에 있어서, TDDB 수명이란, 특별히 언급하지 않는 한 0.2MV/㎝에서의 파괴 시간(수명)을 말하지만, 광의적으로는 소정의 전계 강 도로 언급한 후에 파괴까지의 시간으로서 TDDB 수명의 단어를 이용하는 경우도 있다. 또한, 특별히 언급하지 않는 한, TDDB 수명은 시료 온도 140℃의 경우를 말한다. 또한, TDDB 수명은 상기한 빗형 배선 L에서 측정한 경우를 말하지만, 실제의 배선간의 파괴 수명을 반영하는 것은 물론이다.

2. 플라즈마 처리란, 플라즈마 상태에 있는 환경에, 기판 표면, 혹은 기판 상에 절연막, 금속막 등과 같은 부재가 형성되어 있을 때에는 그 부재 표면을 폭로하여, 플라즈마의 화학적, 기계적(bombardment) 작용을 표면에 부여하여 처리하는 것을 말한다. 일반적으로 플라즈마는 특정한 가스(처리 가스)로 치환한 반응실 내에 필요에 따라서 처리 가스를 보충하면서, 고주파 전계 등의 작용에 의해 가스를 전리시켜 생성하지만, 현실에서는 완전하게 처리 가스로 치환할 수는 없다. 따라서, 본 실시 형태에서는, 예를 들면 암모니아 플라즈마라고 칭하여도, 완전한 암모니아 플라즈마를 의도하는 것은 아니고, 그 플라즈마 내에 포함되는 불순물 가스(질소, 산소, 이산화탄소, 수증기 등)의 존재를 배제하는 것은 아니다. 마찬가지로, 말할 필요도 없는 것이지만, 플라즈마 내에 다른 희석 가스나 첨가 가스를 포함하는 것을 배제하는 것은 아니다.

3. 환원성 분위기의 플라즈마(환원성 플라즈마)란, 환원 작용, 즉, 산소를 끌어당기는 작용을 갖는 래디컬, 이온, 원자, 분자 등의 반응종이 지배적으로 존재하는 플라즈마 환경을 말하며, 래디컬, 이온에는 원자 혹은 분자 형상의 래디컬 혹은 이온이 포함된다. 또한, 환경 내에는 단일의 반응종뿐만 아니라, 복수종의 반 응종이 포함되어 있어도 된다. 예를 들면, 수소 래디컬과 NH_3 래디컬이 동시에 존재하는 환경이라도 된다.

4. 본 실시 형태에 있어서, 예를 들면 구리로 이루어진다고 표현한 경우, 주성분으로서 구리가 이용되고 있는 것을 의도한다. 즉, 일반적으로 고순도인 구리이더라도, 불순물이 포함되는 것은 당연하고, 첨가물이나 불순물도 구리로 이루어지는 부재에 포함되는 것을 배제하는 것은 아니다. 이것은 구리에 한하지 않고, 그 밖의 금속(질화 티탄 등)에서도 마찬가지다.

5. 화학 기계 연마(CMP: Chemical Mechanical Polishing)란, 일반적으로 피연마면을 상대적으로 부드러운 천모양의 시트 재료 등으로 이루어지는 연마 패드에 접촉시킨 상태에서, 슬러리를 공급하면서 면 방향으로 상대 이동시켜 연마를 행하는 것을 말하며, 본 실시 형태에 있어서는, 그 외에, 피연마면을 경질의 지석면에 대하여 상대 이동시킴으로써 연마를 행하는 CML(Chemical Mechanical Lapping), 그 밖의 고정 지립을 사용하는 것, 및 지립을 사용하지 않은 지립-프리 CMP 등도 포함하는 것으로 한다.

6. 지립-프리 화학 기계 연마는 일반적으로 지립의 중량 농도가 0.5% 중량 미만의 슬러리를 이용한 화학 기계 연마를 말하며, 유지립 화학 기계 연마란, 지립의 중량 농도가 0.5% 중량보다도 고농도의 슬러리를 이용한 화학 기계 연마를 말한다. 그러나, 이들은 상대적인 것으로, 제1 공정의 연마가 지립-프리 화학 기계 연마이고, 그에 계속되는 제2 공정의 연마가 유지립 화학 기계 연마인 경우, 제1 공 정의 연마 농도가 제2 공정의 연마 농도보다도 1자릿수 이상, 바람직하게는 2자릿수 이상 작은 경우 등에는 이 제1 공정의 연마를 지립-프리 화학 기계 연마라는 경우도 있다. 본 명세서 중에서 지립-프리 화학 기계 연마라고 할 때는 대상으로 하는 금속막의 단위 평탄화 프로세스 전체를 지립-프리 화학 기계 연마로 행하는 경우 외에, 주요 프로세스를 지립-프리 화학 기계 연마로 행하고, 부차적인 프로세스를 유지립 화학 기계 연마로 행하는 경우도 포함하는 것으로 한다.

7. 연마액(슬러리)이란, 일반적으로 화학 에칭약제에 연마 지립을 혼합한 현탁액을 말하며, 본원에 있어서는 발명의 성질 상, 연마 지립이 혼합되어 있지 않은 것을 포함하는 것으로 한다.

8. 방식제란, 금속의 표면에 내식성, 소수성 혹은 그 양방의 성질을 갖는 보호막을 형성함으로써, 상기 CMP에 의한 연마의 진행을 저지 또는 억제하는 약제를 말하며, 일반적으로 벤조트리아졸(BTA) 등이 사용된다(상세하게는 특개평 8-64594호 공보 참조).

9. 스크래치-프리란, 상기 CMP법에 의해서 연마된 웨이퍼의 연마면의 전면내 또는 소정의 단위 면적 내에, 소정 치수 이상의 결함이 검출되지 않은 상태를 말한다. 이 소정 치수는, 반도체 장치의 세대나 종류 등에 의해서 변하기 때문에 일률적으로는 말할 수 없지만, 본 실시 형태에서는 인라인의 비교 결함 검사에 있어서, 예를 들면 직경 200㎜의 웨이퍼의 연마면 내에, 예를 들면 0.3㎛ 이상의 결함이 검출되지 않은 상태로 되어 있다.

10. 도전성 배리어막이란, 일반적으로 구리가 층간 절연막 내나 하층으로 확 산하는 것을 방지하기 위해서, 매립 배선의 측면 또는 저면에 비교적 얇게 형성되는 확산 배리어성을 갖는 도전막이고, 일반적으로, 티탄(Ti) 또는 탄탈(Ta) 등과 같은 고융점 금속 또는 질화 티탄(TiN) 또는 질화 탄탈(TaN) 등과 같은 고융점 금속 질화물 등이 사용된다.

11. 매립 배선 또는 매립 메탈 배선이란, 일반적으로 싱글 다마신(single damascene)이나 듀얼 다마신(dual damascene) 등과 같이, 절연막에 형성된 홈이나 구멍 등과 같은 배선 개구부의 내부에 도전막을 매립한 후, 절연막 상의 불필요한 도전막을 제거하는 배선 형성 기술에 의해서 패터닝된 배선을 말한다. 또한, 일반적으로, 싱글 다마신이란, 플러그 메탈과, 배선용 메탈과의 2 공정로 나누어서 매립하는 매립 배선 프로세스를 말한다. 마찬가지로 듀얼 다마신이란, 일반적으로 플러그 메탈과, 배선용 메탈을 한번에 매립하는 매립 배선 프로세스를 말한다. 일반적으로, 구리 매립 배선을 다층 구성으로 사용되는 경우가 많다.

12. 본원에 있어서 반도체 장치라고 할 때는, 특히 단결정 실리콘 기판 상에 만들어지는 것뿐만 아니라, 특히 그렇지 않은 취지가 명시된 경우를 제외하고, SOI(Silicon On Insulator) 기판이나 TFT(Thin Film Transistor) 액정 제조용 기판 등의 다른 기판 상에 만들어지는 것을 포함하는 것으로 한다.

13. 웨이퍼는, 반도체 집적 회로의 제조에 이용하는 실리콘 등의 반도체 단결정 기판(일반적으로는 원판형, 반도체 웨이퍼), 사파이어 기판, 유리 기판, 그 밖의 절연, 반절연 또는 반도체 기판 등과 이들의 복합적 기판을 말한다.

14. 반도체 집적 회로 칩 또는 반도체 칩(이하, 간단히 칩이라 함)이란, 웨 이퍼 공정(웨이퍼 프로세스 또는 전 공정)이 완료된 웨이퍼를 단위 회로군으로 분할한 것을 말한다.

15. 실리콘니트라이드, 질화 규소 또는 질화 실리콘막이라 할 때는 Si_3N_4 만이 아니고, 실리콘의 질화물로 유사 조성의 절연막을 포함한다.

16. 저유전율인 절연막(Low-K 절연막)이란, 패시베이션막에 포함되는 산화 실리콘막(예를 들면, TEOS(Tetraethoxysilane) 산화막)의 유전율보다도 낮은 유전율을 갖는 절연막을 예시할 수 있다. 일반적으로는, TEOS 산화막의 비유전률 ε=4.1 4.2 정도 이하를 저유전율 절연막이라고 한다.

이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하겠지만, 특별히 명시한 경우를 제외하고, 이들은 상호 무관계한 것은 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충설명 등의 관계에 있다.

또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니고, 특정한 수 이상이나 이하라도 된다.

또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 공정 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.

마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사하는 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지다.

또한, 본 실시 형태를 설명하기 위한 모든 도면에 있어서 동일 기능을 갖는 것은 동일한 부호를 붙여, 그 반복된 설명은 생략한다.

또한, 본 실시 형태에서 이용하는 도면에 있어서는, 평면도라도 도면을 보기 쉽게 하기 위해서 해칭을 넣는 경우도 있다.

또한, 본 실시 형태에 있어서는, 전계 효과 트랜지스터를 대표하는 MIS · FET(Metal Insulator Semiconductor Field Effect Transistor)를 MIS라고 약기하고, p 채널형의 MIS · FET를 pMIS라고 약기하고, n 채널형의 MIS · FET를 nMIS라고 약기한다.

이하, 본 발명의 실시 형태를 도면에 기초하여 상세히 설명한다.

(실시 형태 1)

본 실시 형태에 있어서는, 예를 들면 CMIS(Complementary MIS)-LSI(Large Scale Integrated circuit)의 제조 방법에 본 발명의 기술 사상을 적용한 경우에 대해 도 5의 제조 흐름도를 따라서, 도 6 도 18에 의해 설명한다. 또, 도 5의 파선으로 둘러싸인 공정은 동일 처리실 내에서의 처리를 예시하고 있다.

우선, 도 6은 CMIS-LSI의 제조 공정 중에서의 주요부 평면도, 도 7은 도 6의 X1-X1선을 따라 취한 단면도이다. 웨이퍼(1W)을 구성하는 반도체 기판(이하, 단순 히 기판이라 함)(1S)은, 예를 들면 1 10Ω㎝ 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어진다. 기판(1S)의 주면(디바이스 형성면)에는 홈형의 분리부(SGI; Shallow Groove Isolation 또는 STI; Shallow Trench Isolation)(2)가 형성되어 있다. 이 분리부(2)는, 기판(1S)의 주면에 형성된 홈 내에, 예를 들면 산화 실리콘막이 매립되어 형성되어 있다. 또한, 기판(1S)의 주면측에는 p형 웰 PWL 및 n형 웰 NWL이 형성되어 있다. p형 웰 PWL에는, 예를 들면 붕소가 도입되고, n형 웰 NWL에는, 예를 들면 인이 도입되어 있다. 이 분리부(2)에 둘러싸인 p형 웰 PWL 및 n형 웰 NWL의 활성 영역에는 각각 nMISQn 및 pMISQp이 형성되어 있다.

nMISQn 및 pMISQp의 게이트 절연막(3)은, 예를 들면 두께 6㎚ 정도의 산화 실리콘막으로 이루어진다. 여기서 말하는 게이트 절연막(3)의 막 두께는, 이 산화 실리콘 환산 막 두께로서, 실제의 막 두께와 일치하지 않는 경우도 있다. 게이트 절연막(3)은 산화 실리콘막을 대신하여 산 질화 실리콘막으로 구성해도 된다. 즉, 게이트 절연막(3)과 기판(1S)와의 계면에 질소를 편석시키는 구조로 해도 된다. 산 질화 실리콘막은, 게이트 절연막(3)의 핫 캐리어 내성을 향상시킬 수 있어, 절연 내성을 향상시킬 수 있다. 또한, 산 질화 실리콘막은 산화 실리콘막에 비하여 불순물이 관통하여 어렵기 때문에, 산 질화 실리콘막을 이용함으로써, 게이트 전극 재료 내의 불순물이 기판(1S) 측으로 확산하는 것에 기인하는 임계값 전압의 변동을 억제할 수 있다. 산 질화 실리콘막을 형성하기 위해서는, 예를 들면 기판(1S) 를 NO, NO_2 또는 NH_3 등의 질소 포함 가스 분위기 속에서 열 처리하면 된다.

nMISQn 및 pMISQp의 게이트 전극(4)은, 예를 들면 저저항 다결정 실리콘막 상에, 예를 들면 티탄 실리사이드($TiSi_x$)층 또는 코발트 실리사이드($CoSi_x$)층을 적층함으로써 형성되어 있다. 단, 게이트 전극 구조는, 이것에 한정되는 것은 아니고, 예를 들면 저저항 다결정 실리콘막, WN(질화 텅스텐)막 및 W(텅스텐)막의 적층막으로 구성되는, 소위 폴리 메탈 게이트 구조로 하여도 된다. 게이트 전극(4)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 측벽(5)이 형성되어 있다.

nMISQn의 소스 및 드레인용의 반도체 영역(6)은, 채널에 인접하는 n^-형 반도체 영역과, n^-형 반도체 영역에 접속되고, 또한, n^-형 반도체 영역분만큼 채널로부터 이격되는 위치에 형성된 n^+형 반도체 영역을 갖고 있다. n^-형 반도체 영역 및 n^+형 반도체 영역에는, 예를 들면 인 또는 비소가 도입되어 있다. 한편, pMISQp의 소스 및 드레인용의 반도체 영역(7)은, 채널에 인접하는 p^-형 반도체 영역과, p^-형 반도체 영역에 접속되고, 또한, p^-형 반도체 영역분만큼 채널로부터 이격되는 위치에 형성된 p^+형 반도체 영역을 갖고 있다. p^-형 반도체 영역 및 p^+형 반도체 영역에는, 예를 들면 붕소가 도입되어 있다. 이 반도체 영역(6, 7)의 상면 일부에는, 예를 들면 티탄 실리사이드층 또는 상기 코발트 실리사이드층 등과 같은 실리사이드층이 형성되어 있다.

이러한 기판(1S) 상에는 절연막(8)이 퇴적되어 있다. 이 절연막(8)은, 게이트 전극(4, 4)의 좁은 스페이스를 매립 가능한 리플로우성이 높은 막, 예를 들면 BPSG(Boron-doped Phospho Silicate Glass)막으로 이루어진다. 또한, 스핀 도포법에 의해서 형성되는 SOG(Spin On Glass)막으로 구성해도 된다. 절연막(8)에는 컨택트홀(9)이 형성되어 있다. 컨택트홀(9)의 바닥부로부터는 반도체 영역(6, 7)의 상면(실리사이드층의 면) 일부가 노출되어 있다. 이 컨택트홀(9) 내에는 플러그(10)가 형성되어 있다. 플러그(10)는, 예를 들면 컨택트홀(9)의 내부를 포함하는 절연막(8) 상에 CVD법 등으로 질화 티탄(TiN)막 및 텅스텐(W)막을 퇴적한 후, 절연막(8) 상의 불필요한 질화 티탄막 및 텅스텐막을 CMP법 또는 에치백법에 의해서 제거하여, 컨택트홀(9) 내에만 이들 막을 남김으로써 형성되어 있다.

절연막(8) 상에는, 예를 들면 텅스텐으로 이루어지는 제1층 배선 L1이 형성되어 있다. 제1층 배선 L1은, 플러그(10)를 통하여 nMISQn 및 pMISQp의 소스 · 드레인용 반도체 영역(6, 7)이나 게이트 전극(4)과 전기적으로 접속되어 있다. 제1층 배선 L1은 텅스텐에 한정되지 않고 다양하게 변경 가능하며, 예를 들면 알루미늄(Al) 또는 알루미늄 합금 등의 단체막 혹은 이들 단체막의 상하층 중 적어도 한쪽에 티탄(Ti)이나 질화 티탄(TiN) 등과 같은 금속막을 형성한 적층 금속막으로 하여도 된다.

또한, 절연막(8) 상에는, 제1층 배선 L1을 덮도록, 절연막(11a)이 퇴적되어 있다. 절연막(11a)은, 예를 들면 유기 폴

리머 또는 유기 실리카 글라스 등과 같은 저유전율 재료(소위 Low-K 절연막, Low-K 재료)로 이루어진다. 이 유기 폴리머에 는, 예를 들면 SiLK(미국 The Dow Chemical Co제, 비유전률=2.7, 내열 온도=490℃ 이상, 절연 파괴 내압 =4.0 5.0 MV/Vm) 또는 폴리알릴에테르(PAE)계 재료의 FLARE(미국 Honeywell Electronic Materials제, 비유전률=2.8, 내열 온도=400℃ 이상)이 있다. 이 PAE계 재료는, 기본 성능이 높고, 기계적 강도, 열적 안정성 및 저비용성에 우수하다는 특징을 갖고 있다. 상기 유기 실리카 글라스(SiOC계 재료)에는, 예를 들면 HSG-R7(히타치 화성 공업제, 비유전률=2.8, 내열 온도=650℃), Black Diamond(미국 Applied Materials, Inc제, 비유전률=3.0 2.4, 내열 온도=450℃) 또는 p-MTES(일본 히타치 개발제, 비유전률=3.2)가 있다. 이 외의 SiOC계 재료에는, 예를 들면 CORAL(미국 Novellus Systems, Inc제, 비유전률=2.7 2.4, 내열 온도=500℃), Aurora2.7(일본 ASM사제, 비유전률=2.7, 내열 온도=450℃)이 있다.

또한, 절연막(11a)의 저유전율 재료에는, 예를 들면 FSG(SiOF계 재료), HSQ (hydrogen silsesquioxane)계 재료, MSQ(methyl silsesquioxane)계 재료, 다공성 HSQ계 재료, 다공성 MSQ 재료 또는 다공성 유기계 재료를 이용할 수도 있다. 상기 HSQ계 재료에는, 예를 들면 OCD T-12(도쿄 오우카공업제, 비유전률=3.4 2.9, 내열 온도=450℃), FOx(미국 Dow Corning Corp. 제, 비유전률=2.9) 또는 OCL T-32(도쿄 오우카 공업제, 비유전률=2.5, 내열 온도=450℃) 등이 있다. 상기 MSQ계 재료에는, 예를 들면 OCD T-9(도쿄 오우카공업제, 비유전률=2.7, 내열 온도=600℃), LKD-T200(JSR제, 비유전률=2.7 2.5, 내열 온도=450℃), HOSP(미국 Honeywell Electronic Materials제, 비유전률=25, 내열 온도=550℃), HSG-RZ25(히타치 화성공업제, 비유전률=2.5, 내열 온도=650℃), OCL T-31(도쿄 오우카공업제, 비유전률=2.3, 내열 온도=500℃) 또는 LKD-T400(JSR제, 비유전률=2.2 2, 내열 온도=450℃) 등이 있다. 상기 다공성 HSQ계 재료에는, 예를 들면 XLK(미국 Dow Corning Corp. 제, 비유전률=2.5 2), OCL T-72(도쿄 오우카공업제, 비유전률=2.2 1.9, 내열 온도=450℃), Nanoglass(미국 Honeywell Electronic Materials제, 비유전률=2.2 1.8, 내열 온도=500℃ 이상) 또는 MesoELK(미국 Air Products and Chemicals, Inc, 비유전률=2 이하)가 있다. 상기 다공성 MSQ계 재료에는, 예를 들면 HSG-6211 X(히타치 화성공업제, 비유전률=2.4, 내열 온도=650℃), ALCAP-S(아사히 화성공업제, 비유전률=2.3 1.8, 내열 온도=450℃), OCL T-77(도쿄 오우카공업제, 비유전률=2.2 1.9, 내열 온도=600℃), HSG-6210 X(히타치 화성공업제, 비유전률=2.1, 내열 온도=650℃) 또는 silica aerogel(고베 제강소제, 비유전률 1.4 1.1) 등이 있다. 상기 다공성 유기계 재료에는, 예를 들면 PolyELK(미국 Air Products and Chemicals, Inc, 비유전률=2 이하, 내열 온도=490℃) 등이 있다. 상기 SiOC계 재료, SiOF계 재료는, 예를 들면 CVD법(Chemical Vapor Deposition)에 의해서 형성되어 있다. 예를 들면 상기 Black Diamond는, 트리메틸 실란과 산소와의 혼합 가스를 이용한 CVD법 등에 의해서 형성된다. 또한, 상기 p-MTES는, 예를 들면 메틸트리에톡시 실란과 N_2O와의 혼합 가스를 이용한 CVD법 등에 의해서 형성된다. 그 이외의 상기 저유전율의 절연 재료는, 예를 들면 도포법으로 형성되어 있다.

이러한 Low-K 재료로 이루어지는 절연막(11a) 상에는 Low-K 캡용 절연막(12a)이 퇴적되어 있다. 이 절연막(12a)은, 예를 들면 이산화 실리콘(SiO_2)으로 대표되는 산화 실리콘(SiO_x)막으로 이루어지며, 예를 들면 화학 기계 연마 처리(CMP ; Chemical Mechanical Polishing) 시에서의 절연막(11a)의 기계적 강도의 확보, 표면 보호 및 내습성의 확보 등과 같은 기능을 갖고 있다. 절연막(12a)의 두께는, 절연막(11a)보다도 상대적으로 얇고, 예를 들면 25㎚ 100㎚ 정도, 바람직하게는, 예를 들면 50㎚ 정도이다. 단, 절연막(12a)은, 산화 실리콘막에 한정되는 것이 아니고 다양하게 변경 가능하며, 예를 들면 질화 실리콘(Si_xN_y)막, 탄화 실리콘(SiC)막 또는 탄 질화 실리콘(SiCN)막을 이용해도 된다. 이들 질화 실리콘막, 탄화 실리콘막 또는 탄 질화 실리콘막은, 예를 들면 플라즈마 CVD법에 의해서 형성할 수 있다. 플라즈마 CVD법으로 형성된 탄화 실리콘막으로서는, 예를 들면 BLOk(AMAT사제, 비유전률=4.3)이 있다. 그 형성 시에는, 예를 들면 트리메틸 실란과 헬륨(또는 N_2, NH_3)과의 혼합 가스를 이용한다. 이러한 절연막(11a, 12a)에는, 제1층 배선 L1의 일부가 노출하는 관통 홀(13)이 천공되어 있다. 이 관통 홀(13) 내에는, 예를 들면 텅스텐 등으로 이루어지는 플러그(14)가 매립되어 있다.

우선, 본 실시 형태에 있어서는, 상기한 절연막(12a) 및 플러그(14) 상에 절연막(15a)을 플라즈마 CVD법 등에 의해서 퇴적한다. 절연막(15a)은, 예를 들면 플라즈마 CVD법에 의해서 형성된 질화 실리콘막으로 이루어지고, 그 두께는, 예를 들면 25㎚ 50㎚ 정도, 바람직하게는 50㎚ 정도이다. 절연막(15a)의 다른 재료로서, 예를 들면 플라즈마 CVD법으로 형성된 탄화 실리콘막, 플라즈마 CVD법으로 형성된 SiCN막, 플라즈마 CVD법으로 형성된 산 질화 실리콘(SiON)막의 단체막을 이용해도 된다. 이들 막을 이용한 경우, 질화 실리콘막에 비하여 유전율을 대폭 내릴 수 있기 때문에, 배선 용량을 내릴 수 있어, 반도체 장치의 동작 속도를 향상시킬 수 있다. 플라즈마 CVD법으로 형성된 탄화 실리콘막에는, 예를 들면 BLOk(AMAT사제)가 있다. 그 성막 가스는 상기한 바와 같다. 상기 SiCN막의 성막 시에는, 예를 들면 헬륨(He)과, 암모니아(NH_3)와, 트리메틸 실란(3MS)과의 혼합 가스를 이용한다. 또한, 상기 플라즈마 CVD법으로 형성된 산 질화 실리콘막으로서는, 예를 들면 PE-TMS(Canon제, 유전율=3.9)가 있다. 상기 산 질화 실리콘막을 이용한 경우의 막 두께는, 예를 들면 25㎚ 50㎚ 정도, 바람직하게는, 예를 들면 50㎚ 정도이고, 그 형성 시에는, 예를 들면 트리메톡시 실란(TMS) 가스와 산화 질소(N_2O) 가스와의 혼합 가스를 이용한다.

계속해서, 절연막(15a) 상에 절연막(제1 절연막)(11b, 12b)을 하층으로부터 순서대로 퇴적한다. 절연막(11b)은 상기 절연막(11a)와 동일한 저유전율의 절연막으로 이루어진다. 또한, 그 상층의 절연막(12b)은, 상기 절연막(12a)와 동일한 절연막으로 이루어지고, 동일한 Low-K 캡용 절연막으로서 기능한다. 그 후, 포토레지스트막을 마스크로 한 드라이 에칭법에 의해, 절연막(11b, 12b)을 선택적으로 제거하여, 배선홈(배선 개구부)(16a)을 형성한다(도 5의 공정 100

). 배선홈(16a)을 형성하기 위해서는, 포토레지스트막으로부터 노출되는 절연막(11b, 12b)을 제거할 때에, 절연막(11b, 12b)과, 절연막(15a)과의 에칭 선택비를 크게 취함으로써, 절연 막(15a)을 에칭 스토퍼로서 기능시킨다. 즉, 이 절연막(15a)의 표면에서 에칭을 일단 정지시킨 후, 절연막(15a)을 선택적으로 에칭 제거한다. 이에 의해, 배선홈(16a)의 형성 깊이 정밀도를 향상시킬 수 있어, 배선홈(16a)이 과도하게 파여지는 것을 방지할 수 있다. 이러한 배선홈(16a)은, 그 평면 형상이 도 6에 도시한 바와 같이, 예를 들면 띠형상으로 형성되어 있다. 배선홈(16a)의 저면으로부터는 상기 플러그(14)의 상면이 노출되어 있다.

다음에, 도 8은 도 7에 후속하는 반도체 장치의 제조 공정 중에서의 도 6의 X1-X1선에 상당하는 부분의 단면도를 도시하고, 도 9는 도 8에 후속하는 반도체 장치의 제조 공정 중에서의 도 6의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다.

우선, 도 8에 도시한 바와 같이, 기판(1S)의 주면 상의 전면에, 예를 들면 질화 티탄(TiN) 등으로 이루어지는 두께 50㎚ 정도의 얇은 도전성 배리어막(제1 도체막)(17a)을 스퍼터링법 등으로 퇴적한다(도 5의 공정 101). 이 도전성 배리어막(17a)은, 예를 들면 후술하는 주도체막 형성용 구리의 확산을 방지하는 기능, 그 주도체막과 절연막(11b, 12a, 12b, 15a)과의 밀착성을 향상시키는 기능, 주도체막의 리플로우 시에 구리의 습윤성을 향상시키는 기능 등을 갖고 있다. 이러한 도전성 배리어막(17a)으로서는, 상기 질화 티탄을 대신하여, 구리와 거의 반응하지 않은 질화 텅스텐(WN) 또는 질화 탄탈(TaN) 등과 같은 고융점 금속 질화물을 이용하는 것이 바람직하다. 또한, 그 질화 티탄을 대신하여, 고융점 금속 질화물에 실리콘(Si)을 첨가한 재료나, 구리와 반응하기 어려운 탄탈(Ta), 티탄(Ti), 텅 스텐(W), 티탄 텅스텐(TiW) 합금 등과 같은 고융점 금속을 이용할 수도 있다. 또한, 본 실시 형태 1에 따르면, 도전성 배리어막(17a)의 막 두께를, 예를 들면 10㎚, 그보다도 작은 6 7㎚ 또는 5㎚ 이하로 하여도 양호한 TDDB 특성을 얻을 수 있다.

계속해서, 도전성 배리어막(17a) 상에, 예를 들면 두께 800 1600㎚ 정도의 상대적으로 두꺼운 구리로 이루어지는 주도체막(제2 도체막)(18a)을 퇴적한다(도 5의 공정 101). 본 실시 형태 1에서는, 주도체막(18a)을, 예를 들면 도금법으로 형성하였다. 도금법을 이용함으로써, 양호한 막질의 주도체막(18a)을 매립성 좋게, 또한, 저비용으로 형성할 수 있다. 이 경우, 우선, 도전성 배리어막(17a) 상에, 구리로 이루어지는 얇은 도체막을 스퍼터링법으로 퇴적한 후, 그 위에, 구리로 이루어지는 상대적으로 두꺼운 도체막을, 예를 들면 전해 도금법 또는 무전해 도금법에 의해서 성장시킴으로써 주도체막(18a)을 퇴적하였다. 이 도금 처리에서는, 예를 들면 황산 구리를 기본으로 하는 도금액을 사용하였다. 단, 상기 주도체막(18a)을 스퍼터링법으로 형성할 수도 있다. 이 도전성 배리어막(17a) 및 주도체막(18a)을 형성하기 위한 스퍼터링법으로서는, 통상의 스퍼터링법이어도 되지만, 매립성 및 막질의 향상을 도모하기 위해서는, 예를 들면 롱 스로우 스퍼터링법이나 콜리메이트 스퍼터링법 등과 같은 지향성이 높은 스퍼터링법을 이용하는 것이 바람직하다. 또한, 주도체막(18a)을 CVD법으로 형성할 수도 있다. 그 후, 예를 들면 475℃ 정도의 비산화성 분위기(예를 들면 수소 분위기) 중에서 기판(1S)에 대하여 열 처리를 실시함으로써 주도체막(18a)을 리플로우시켜, 구리를 배선홈(16a)의 내부에 간극없이 매립한다.

다음에, 주도체막(18a) 및 도전성 배리어막(17a)을 CMP법에 의해서 연마한다(도 5의 공정 102). 이 CMP 처리는, 일반적인 유지립 CMP 처리를 채용해도 되지만, 본 실시 형태 1에 있어서는, 예를 들면 상기 지립-프리 CMP(제1 공정) 및 유지립 CMP (제2 공정)의 2 공정 CMP법을 채용하고 있다. 즉, 예를 들면 다음과 같다.

우선, 제1 공정은 구리로 이루어지는 주도체막(18a)을 선택적으로 연마하는 것을 목적으로 한다. 연마액(슬러리) 내에는, 보호막 형성용 방식제, 구리의 산화제 및 구리의 산화막을 에칭하는 성분이 포함되고 있지만, 지립은 포함되어 있지 않다. 연마액 내의 지립의 함유량은, 예를 들면 0.5 중량% 이하 또는 0.1 중량% 이하의 것이 바람직하고, 특히 0.05 중량% 이하 혹은 0.01 중량% 이하의 것이 보다 바람직하다. 단, 지립을 연마제 전체의 3 4% 정도 포함시켜도 된다. 연마액으로서는, 구리의 부식 영역에 속하도록 그 pH가 조정된 것이 사용되며, 또한 도전성 배리어막(17a)에 대한 주도체막(18a)의 연마 선택비가, 예를 들면 적어도 5 이상이 되도록 그 조성이 조정된 것이 사용된다. 이러한 연마액으로서, 산화제와 유기산을 포함한 슬러리를 예시할 수 있다. 산화제로서는, 과산화수소(H_2O_2), 수산화 암모늄, 질산 암모늄, 염화 암모늄 등을 예시할 수 있고, 유기산으로서는 구연산, 말론산, 푸마르산, 말산, 아디핀산, 안식향산, 프탈산, 타르타르산, 유산, 숙신산, 옥살산 등을 예시할 수 있다. 이들 중, 과산화수소는 금속 성분을 포함하지 않고, 또한 강산이 아니기 때문에, 연마액에 이용하기에 적합한 산화제이다. 또한, 구연산은 식품 첨가물로서도 일반적으로 사용되어 있고, 독성이 낮고, 폐액으로서의 해가 낮으며, 냄새도 없고, 물에의 용해도도 높기 때문에, 연마액에 이용하기에 적합한 유기산이다. 본 실시 형태에서는, 예를 들면 순수에 5체적%의 과산화수소와 0.03 중량%의 구연산을 가하고, 지립의 함유량을 0.01 중량% 미만으로 한 연마액을 사용한다. 방식제로서는, 예를 들면 BTA가 이용되고 있다.

이 제1 공정의 지립-프리 CMP에서는, 주도체막(18a)의 보호 작용과 에칭 작용을 모두 생기게 하면서 주도체막(18a)을 주로 화학적 요소로 연마한다. 즉, 상기 연마액으로 화학 기계 연마를 행하면, 우선 구리 표면이 산화제에 의해 산화되어, 표면에 얇은 산화층이 형성된다. 다음에 산화물을 수용성화하는 물질이 공급되면 상기 산화층이 수용액이 되어 용출하고, 상기 산화층의 두께가 감소한다. 산화층이 얇아진 부분은 재차 산화성 물질에 노출되어 산화층의 두께가 증가하고, 이 반응을 반복하여 화학 기계 연마가 진행된다. 보호막의 제거는 주로 연마 패드와의 접촉으로 행해진다. 또, 상기한 바와 같은 지립-프리의 연마액을 사용한 화학 기계 연마에 대해서는, 본원 발명자들에 의한 특원평 9-299

937호 및 특원평 10-317233호에 상세히 기재되어 있다.

계속되는 제2 공정은 도전성 배리어막(17a)을 선택적으로 연마하는 것을 목적으로 하고 있다. 이 제2 공정에서서는 도전성 배리어막(17a)을 연마 패드의 접촉에 의해 주로 기계적 요소로 연마한다. 여기서는, 연마액으로서 상기 방식제, 상기 산화제 및 산화막을 에칭하는 성분 외에, 지립이 포함되어 있다. 본 실시 형태 1에서는, 연마액으로서, 예를 들면 순수에 5체적%의 과산화수소, 0.03 중량%의 구연산 및 0.5 　0.8 중량%의 지립을 혼합한 것을 사용하지만, 이것에 한정되는 것은 아니다. 이 지립의 첨가량은 주로 기초의 절연막(12b)이 깎이지 않을 정도의 양으로 설정되어 있고, 그 양은, 예를 들면 1 중량% 이하로 되어 있다. 지립으로서는, 예를 들면 콜로이드 실리카(SiO_2)가 사용되고 있다. 이 콜로이드 실리카를 이용함으로써, CMP 처리에 의한 절연막(12b)의 연마면의 손상을 대폭 저감할 수 있어, 스크래치-프리를 실현할 수 있다. 단, 지립은 콜로이드 실리카를 대신하여 알루미나(Al_2O_3)를 이용할 수도 있다. 또한, 이 제2 공정에서서는, 산화제의 양을 제1 공정 시의 산화제의 양보다도 줄이고 있다. 즉, 연마액 내의 방식제의 양을 상대적으로 늘리고 있다. 그리고, 도전성 배리어막(17a)에 대한 주도체막(18a)의 연마 선택비가 상기 지립-프리 화학 기계 연마의 그것보다도 낮은 조건, 예를 들면 선택비 3 이하의 조건에서 연마를 행한다. 이러한 조건에 의한 연마에 의해, 제2 공정에서서는 구리계의 주도체막(18a)의 산화를 억제하면서, 보호를 강화할 수 있기 때문에, 주도체막(18a)이 과도하게 연마되지 않도록 할 수 있어, 디싱이나 부식 등을 억제 또는 방지할 수 있다. 이 때문에, 배선 저항의 증대나 변동을 억제 또는 방지할 수 있기 때문에, 반도체 장치의 성능을 향상시킬 수 있다.

이상과 같은 CMP 처리에 의해, 도 9에 도시한 바와 같이, 배선홈(16a) 내에 매립 제2층 배선(배선) L2을 형성한다. 매립 제2층 배선 L2은, 상대적으로 얇은 도전성 배리어막(17a)과, 상대적으로 두꺼운 주도체막(18a)을 갖고 있고, 플러그(14)를 통하여 제1층 배선 L1과 전기적으로 접속되어 있다. 본 실시 형태 1에 따르면, 매립 제2층 배선 L2를 형성하기 위한 연마 처리에 있어서, 상기한 바와 같은 CMP법을 채용함으로써, CMP 처리에 의한 절연막(12b)의 연마면의 손상을 대폭 저감할 수 있어, 상기 스크래치-프리 연마가 가능해진다. 상술한 예에서는, Low-K 재료의 절연막(11b) 상에, 절연 캡용 절연막(12b)을 형성하였지만, 본 실시 형태 1의 CMP법에 따르면 스크래치-프리 연마가 가능하기 때문에, 상기 절연 캡용 절연막(예를 들면 절연막(12b))을 형성하지 않은 구조로 할 수도 있다. 즉, CMP면에 절연막(11b)이 노출되는 구조로 할 수도 있다. 또, Low-K 배리어리스 기술에 대해서는, 본원 발명자를 포함하는 특원 2001-316557호(출원일: 2001년 10월 15일)에 개시되어 있다.

연마 처리 후의 기판(1S)은, 그 표면에 방식 처리가 실시된다. 이 방식 처리부는 연마 처리부의 구성과 유사한 구성으로 되어 있고, 여기서는 우선 연마반(플라텐)의 표면에 부착한 연마 패드에 기판(1S)의 주면이 압박되어 연마 슬러리가 기계적으로 제거된 후, 예를 들면 벤조트리아졸(BTA) 등의 방식제를 포함한 약액이 기판(1S)의 주면에 공급됨으로써, 기판(1S)의 주면에 형성된 구리 배선의 표면 부분에 소수성 보호막이 형성된다. 방식 처리 후의 기판(1S)은 그 표면의 건조 방지를 위해, 침지 처리부에 일시적으로 보관된다. 침지 처리부는 방식 처리 후의 기판(1S)을 후 세정하기까지의 동안, 그 표면이 건조되지 않도록 유지하기 위한 것으로, 예를 들면 순수를 오버 플로우시킨 침지조(저장 탱크) 내에 소정 매수의 기판(1S)를 침지시켜 보관하는 구조로 되어 있다. 이 때, 매립 제2층 배선 L2의 전기 화학적 부식 반응이 실질적으로 진행하지 않을 정도의 저온으로 냉각한 순수를 침지조에 공급함으로써, 매립 제2층 배선 L2의 부식을 보다 한층 확실하게 방지할 수 있다. 기판(1S)의 건조 방지는, 예를 들면 순수 샤워의 공급 등, 적어도 기판(1S)의 표면을 습기가 많은 상태로 유지할 수 있는 방법이면, 상기한 침지조 내에서의 보관 이외의 방법으로 행해도 된다. 이 침지 처리부(기판 보관부)를 차광 구조로 하여, 보관 중의 기판(1S)의 표면에 조명광 등이 조사되지 않도록 할 수도 있다. 이에 의해, 광기전력 효과에 의한 단락 전류의 발생을 방지하도록 할 수 있다. 또, 상기한 바와 같은 CMP 처리 및 장치에 대해서는, 예를 들면 본 발명자에 의한 특원평 11-226876호 및 특원 2000-300853호에 기재되어 있다.

그 후, 기판(1S)의 표면의 습윤 상태가 유지된 상태에서 즉시 CMP 후 세정 처리로 이행한다. 우선, 기판(1S)에 대하여 알칼리 세정 처리를 실시한다. 이 처리는, CMP 처리 시의 슬러리 등의 이물질을 제거하는 목적을 갖고 있고, CMP 처리에 의해 기판(1S)에 부착된 산성 슬러리를 중화하여, 기판(1S)와, 이물질과, 세정용 브러시와의 zeta 전위를 방향을 맞추어, 이들 사이의 흡착력을 없애기 위해서, 예를 들면 ph(페하)8 정도 또는 그 이상의 약 알칼리 약액을 공급하면서, 기판(1S)의 표면을 스크럽 세정(또는 브러시 세정)한다.

계속해서, 도 10은 도 9에 후속하는 반도체 장치의 제조 공정 중에서의 도 6의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다. 여기서는, 우선, 기판(1S) (특히 매립 제2층 배선 L2가 노출되는 CMP 연마면)에 대하여 환원 처리를 실시한다. 즉, 기판(1S)(특히 CMP 연마면)에 대하여, 예를 들면 수소 가스 분위기 중에서, 예를 들면 200 　475℃, 바람직하게는 300℃, 예를 들면 0.5 　5분, 바람직하게는 2분 정도의 열 처리를 실시하였다(수소(H_2) 어닐링 처리, 도 5의 공정 103). 이에 의해, CMP 시에 발생한 매립 제2층 배선 L2 표면의 산화 구리막을 구리로 환원할 수 있어, 그 후의 산 세정에 의한 매립 제2층 배선 L2의 에칭을 억제 또는 방지할 수 있다. 이 때문에, 배선 저항의 상승, 배선 저항의 변동 및 단차의 발생을 동시에 억제 또는 방지할 수 있고, 또한 에치 부식의 발생도 억제 또는 방지할 수 있다. 또한, 환원 처리를 행하지 않은 경우, CMP 처리 시에 기판(1S)의 표면에 부착한 BTA 등과 같은 유기물이 세정 처리 시에 마스크로 되어 절연막(12b)의 표층을 양호하게 연삭할 수 없는 경우가 있지만, 본 실시 형태 1과 같이 환원 처리를 행함으로써, CMP 시에 부착한 BTA 등의 유기물을 제거할 수 있기 때문에, 절연막(12b)의 표층을, 충분하고 또한 균일하게 제거할 수 있다. 이들에 의해, 반도체 장치의 TDDB 수명을 대폭 향상시키는 것이 가능해진다. 또, 이 수소 어

닐링법은, 특히 매립 배선용 구리계의 주도체막을 도금법으로 형성하는 경우에 적합하다. 이와 같이 수소 어닐링 처리를 실시함으로써, 도금법에 의해서 형성된 구리를 재결정화시킬 수 있기 때문에, 배선 저항을 내리는 것이 가능해진다. 또, 수소 어닐링 처리를 실시함으로써, 열 응력에 의한 캡막의 박리를 억제 또는 방지할 수 있다. 단, 경우에 따라서는, 상기한 바와 같은 수소 어닐링을 실시하지 않아도 되는 경우도 있다. 또한, 이 수소 어닐링 처리를, 예를 들면 CMP 후 세정 처리(후술하는 산 세정 및 건조 처리를 포함함) 후로서, 후술하는 환원성 플라즈마 처리 전에 행해도 된다.

계속해서, 기판(1S)에 대하여 산 세정 처리를 실시한다. 이 처리는, TDDB 특성의 향상, 잔류 금속 제거, 절연막(12b) 표면의 댕글링 본드의 저감 및 절연막(12b) 표면의 요철 제거 등의 목적을 갖고 있고, 불화산 수용액을 기판(1S)의 표면에 공급하여 에칭에 의한 이물 입자(파티클)의 제거를 행한다. 불산 세정을 삽입한 것만으로도 TDDB 특성을 개선할 수 있다. 이것은, 산 처리에 의해 표면의 손상층이 제거되어 계면의 밀착성이 향상되었기 때문이라고 생각된다. 그 후, 기판(1S)에 대하여 스핀 드라이어 등과 같은 건조 처리를 실시하여, 다음의 공정으로 이행한다.

상기한 예에서는, 알칼리 세정 처리를 행한 후, 환원 처리를 행하고, 다시 산 세정을 행하는 경우에 대해 설명하였다. 이것에 따르면, TDDB 특성을, 알칼리 세정과 산 세정과의 연속 시퀀스의 TDDB 특성과 비교하여, 약 2자릿수 향상시킬 수 있었다. 단, 시퀀스는 이것에 한정되는 것은 아니고 다양하게 변경 가능하다. 예를 들면 CMP 처리 후, 상기 환원 처리를 행하고, 그 후, 알칼리 세정 처리, 산 세정 처리의 순서대로 후 세정 처리를 행해도 된다. 또한, CMP 처리, 환원 처리 및 산 세정 처리의 시퀀스라도 된다. 산 세정만을 행한 것만으로도 TDDB 특성이 개선된다. 또한, 상기 CMP 후 세정 처리에 선행 또는 병행하고, 기판(1S)의 표면을 순수 스크럽 세정, 순수 초음파 세정, 순수 유수 세정 또는 순수 스핀 세정하거나, 기판(1S)의 이면을 순수 스크럽 세정하거나 해도 된다. 이상과 같은 세정 처리 방법, 수소 어닐링 처리 방법 및 이들 처리의 시퀀스에 의한 작용이나 효과에 대해서 는, 예를 들면 본원 발명자에 의한 특원 2001-131941호(출원일: 2001년 4월 27일)에 상세히 설명되어 있다.

계속해서, 상기 건조 처리가 종료된 웨이퍼(1W)를, 배선 캡용 절연막을 형성하기 위한 플라즈마 CVD 장치 내에 반입한다. 플라즈마 CVD 장치는, 특별히 한정되지 않지만, 예를 들면 평행 평판형의 플라즈마 CVD 장치를 이용하였다.

여기서, 본 실시 형태 1에 있어서는, 우선 상기 플라즈마 CVD 장치의 처리실 내에, 예를 들면 질소 가스(N_2)를 유입한 상태에서 웨이퍼(1W)에 대하여 웨이퍼를 보유하여 열 처리를 실시한다. 즉, 질소 가스 플로우 분위기 중에서 웨이퍼(1W)의 주면(CMP 면)에 대하여 어닐링 처리를 실시한다. 이에 의해, 매립 제2층 배선 L2의 주도체막(18a)의 상면(CMP면, 제1면), 특히 도전성 배리어막(17a)과의 접촉부(상부 각)에 라운딩을 형성한다(도 5의 공정 104). 도 11은 이러한 처리 후의 반도체 장치의 제조 공정 중에서의 도 6의 X1-X1선에 상당하는 부분의 단면도, 도 12는 도 11의 주요부 확대 단면도를 각각 도시하고 있다. 본 실시 형태 1에 따르면, 매립 제2층 배선 L2에서의 주도체막(18a)의 CMP면측의 상부 각이 모따기되어 라운드 테이퍼가 형성되어 있다. 즉, 주도체막(18a)의 CMP 면측의 상부는 도 11 및 도 12의 상측을 향함에 따라서 점차로 도전성 배리어막(17a)으로부터 떨어지도록 한 단면 형상으로 되어 있다. 이 주도체막(18a)의 상부 각에서의 라운드 테이퍼의 크기는, 배선홈(16a)의 폭과 높이로부터 규정(특히 법선의 기울기로 규정)되어 있다. 그 라운드 테이퍼의 폭(주도체막(18a)의 상면에 수평인 방향의 폭)은, 게이트 절연 막(3)의 두께보다도 크다.

이러한 질소 가스 분위기 중에서의 열 처리에 있어서 웨이퍼(1W)를 장착하는 서셉터의 온도(즉, 거의 웨이퍼(1W)의 온도)는, 예를 들면 360℃ 400℃ 정도이다. 또한, 열 처리 시간은, 예를 들면 1분 정도이다. 이 열 처리 중의 압력을 높게 함으로써, 상기 주도체막(18a)의 상기 라운딩을 형성하기 쉽게 할 수도 있다. 처리 가스로서 수소 가스를 선택할 수도 있지만, 질소 가스를 선택함으로써, 비교적 저온 영역에서 양호한 라운드 테이퍼를 형성할 수 있다. 또, 도 12에 도시한 바와 같이, 매립 제2층 배선 L2의 측면에는, 하측으로부터 상측을 향하여 배선 폭이 점차로 넓어지도록 한 테이퍼가 형성되어 있다. 이 매립 제2층 배선 L2의 측면과 절연막(11a)의 상면이 이루는 각 α는, 예를 들면 80° 90°의 범위 내, 구체적으로는, 예를 들면 88. 7° 정도이다. 매립 제2층 배선 L2의 상부측의 폭(배선홈(16a)의 상부측 폭) 및 상호 인접하는 매립 제2층 배선 L2의 상부측의 간격(상호 인접하는 매립 제2층 배선 L2의 상부 각 사이의 거리)는, 예를 들면 0.25㎛ 이하, 혹은 0.2㎛ 이하이다. 또한, 상호 인접하는 매립 제2층 배선 L2의 최소 인접 피치는, 예를 들면 0.5㎛ 이하이다. 배선홈(16a)의 어스펙트비는 예를 들면 1이다.

계속해서, 상기 플라즈마 CVD 장치의 처리실 내로부터 질소 가스를 배기하고, 플라즈마 전원을 끈 후, 웨이퍼(1W)에 대하여, 이하와 같은 환원성 플라즈마 처리를 실시한다(도 5의 공정105). 도 13 및 도 14는 상기 환원성 플라즈마 처리 중에서의 웨이퍼(1W)의 상기 도 5의 X1-X1선에 상당 부분의 단면도를 도시하고 있다.

여기서는, 우선 상기 플라즈마 CVD 장치의 처리실 내로 수소 가스를 유입한 후, 플라즈마 전원을 인가함으로써, 도 13에 도시한 바와 같이, 기판(1S)(특히 매립 제2층 배선 L2가 노출되는 CMP면)에 대하여, 수소 플라즈마 처리를 실시한다. 이 수소 플라즈마 처리 조건은, 예를 들면 기판(1S)의 직경을 8인치(약 200㎜)로 한 경우, 처리 압력을 5.0Torr (=6.6661×10^{2} pa), 고주파(RF) 전력을 600W, 기판 온도를 400℃, 수소 가스 유량을 500㎤/min, 처리 시간을 10 30초로 하였다. 전극 간 거리는 600mils(15.24㎜)로 하였다. 처리 가스는, 예를 들면 수소(H)의 단체 가스 또는 수소(H)와 질소(N)와의 혼합 가스를 이용하였다.

이러한 수소 플라즈마 처리를 실시함으로써, 본 발명자들에 의한 특원평 11-226876호나 특원 2000-300853호 등에서도 설명한 바와 같이, 유기계의 제거 능력이 매우 높기 때문에(후술하는 암모니아 플라즈마 처리 등에 비하여 높기 때문에), CMP로의 슬러리에 포함되어 있는 BTA, 슬러리 성분이나 CMP 후 세정의 유기산과 프로세스 중에 생성한 잔류 유기물을 거의 완전하게 제거하고, 계면의 누설 전류를 감소시킬 수 있기 때문에, TDDB 수명을 더 향상시킬 수 있다.

계속해서, 플라즈마 CVD 장치의 처리실 내의 수소 가스를 배기하고, 플라즈마 전원을 끈 후, 대기로 개방하지 않고 연속하여 상기 플라즈마 CVD 장치의 처리실 내에 암모니아 가스를 유입하고, 플라즈마 전원을 인가함으로써, 기판(1S)(특히 매립 제2층 배선 L2가 노출되는 CMP 면)에 대하여, 암모니아(NH_3) 플라즈마 처리를 실시한다. 이 암모니아 플라즈마 처리 조건은, 예를 들면 기판(1S)의 직경을 8인 치(약200㎜)로 한 경우, 처리 압력을 0.5 1.0Torr(=66.6612 133.332Pa) 정도, 플라즈마 처리 장치의 상부 전극의 인가 전력을 500 1000W 정도, 플라즈마 처리 장치의 하부 전극의 인가 전력을 0 1000W 정도(0가 바람직하다), 기판 온도를 300℃ 400℃ 정도, 암모니아 가스 유량을 500 1500㎤/min 정도, 처리 시간을 5 60초 정도로 하였다. 전극 간 거리는 300 600mils(7.62 15.24㎜)로 하였다.

이러한 암모니아 플라즈마 처리에서는 CMP로 산화된 구리 배선 표면의 산화 구리(CuO, CuO_2)를 구리(Cu)로 환원한다. 또한, 세트 플로우 시의 구리의 실리사이드화를 방지하는 질화 구리(CuN)층이 매립 제2층 배선 L2의 표면(극히 얇은 영역)에 형성된다. 배선간의 절연막(12b)의 상면(극히 얇은 영역)에서는, SiN화 또는 SiH화가 진행되어, 절연막(12b) 표면의 댕글링 본드를 보상하고, 또한, 후술하는 캡용 절연막과 매립 제2층 배선 L2 및 절연막(12b)과의 밀착성을 향상시킬 수 있어, 계면의 누설 전류를 저감할 수 있다. 이에 의해, TDDB 수명을 향상시킬 수 있다.

이러한 수소 플라즈마 처리와 암모니아 플라즈마 처리를 순서대로 행함으로써, 구리를 주성분과 하는 매립 제2층 배선 L2 표면의 환원 및 내 실리사이드 배리어층의 형성과, 절연막(12b)의 계면의 클리닝 및 SiH 효과, SiN 효과를 얻을 수 있어, 한층 더 신뢰성의 향상을 실현할 수 있다. 층간 절연막이, 예를 들면 TEOS (Tetraethoxysilane) 가스를 이용한 플라즈마 CVD법으로 형성된 산화 실리콘막 상에 플라즈마 CVD법으로 형성된 질화 실리콘막을 퇴적함으로써 구성되는 경우에, 수 소 플라즈마와 암모니아 플라즈마를 조합하여 행한 샘플에서는 암모니아 플라즈마 처리 단독의 경우와 비교하여, TDDB 수명이 약 2자릿수 향상되는 것이 본 발명자에 의해 분명해졌다. 또, 층간 절연막으로서 상기 SiLK를 이용한 경우에서도, 수소 플라즈마 및 암모니아 플라즈마를 이용한 경우에는, 예를 들면 약 0.13 0.17 MV/㎝, 10년의 동작 환경에서도 충분한 신뢰도를 확보할 수 있는 것이 본 발명자의 실험에 의해 분명하게 되었다.

상기한 환원성 플라즈마 처리 조건은, 이들 예시한 조건에 한정되지 않은 것은 물론이다. 본 발명자들의 검토에서는, 압력이 높을수록 플라즈마 데미지를 저감할 수 있고, 기판 온도가 높을수록 TDDB 수명의 기판 내 변동의 저감과 장수명화가 도모되는 것이 분명해졌다. 또, 기판 온도가 높고, RF 전력이 크고, 처리 시간이 길수록 구리의 표면에 힐록(hilllock)이 발생하기 쉽다는 지견이 얻어지고 있다. 이들 지견과 장치 구성 등에 의한 조건의 변동을 고려하면, 예를 들면 처리 압력은 0.5 6Torr($=0.66661\times10^{2}$ 7.99932×10^{2} pa), RF 전력은 300 600W, 기판 온도는 350 450℃, 수소 가스 유량은 50 1000㎤/min, 암모니아 가스 유량은 20 500㎤/min, 처리 시간은 5 180초, 전극 간 거리는 150 1000mils(3.81 25.4㎜)의 범위로 설정할 수 있다.

또한, 상기한 예에서는, 수소 플라즈마 처리 후에 암모니아 플라즈마 처리를 실시하는 경우에 대해 설명하였지만, 이것에 한정되지 않고 다양하게 변경 가능하며, 예를 들면 암모니아 플라즈마 처리 후, 진공 상태를 유지한 채로 수소 플라즈 마 처리로 연속적으로 이행해도 된다. 또한, 환원 처리로서 암모니아 플라즈마 처리만을 행해도 된다. 이들 경우에서도, TDDB 수명을 향상시킬 수 있었다.

또한, 상기한 예에서는 상기 라운드 테이퍼의 형성 공정 후에 환원성 플라즈마 처리를 실시하는 경우에 대해서 설명하였다. 이것은, 환원성 플라즈마 처리에 의한 주도체막(18a)의 표면의 안정화의 효과를 확보하기 위한 것이지만, 환원성 플라즈마 처리를 실시하고나서 라운드 테이퍼를 형성할 수도 있다. 혹은 수소 플라즈마 처리를 실시하고나서 상기 라운드 테이퍼를 형성하고, 그 후, 암모니아 플라즈마 처리를 실시하도록 해도 된다. 혹은 환원성 처리와 라운드 테이퍼를 동시 형성해도 된다. 환원성 처리와 라운드 테이퍼를 동시에 형성하는 경우의 서셉터의 온도(즉, 거의 웨이퍼(1W)의 온도)는, 예를 들면 350℃ 400℃ 정도, 처리 시간은, 예를 들면 1 3분, 바람직하게는 2분 정도이다.

계속해서, 플라즈마 CVD 장치의 처리실 내의 암모니아 가스를 배기하여, 플라즈마 전원을 끈 후, 세트 플로우(도 5의 공정(106))를 거쳐서 웨이퍼(1W)의 주면상에 배선 캡용 절연막을 플라즈마 CVD법 등에 의해서 퇴적한다(도 5의 공정 107). 도 15는 배선 캡용 절연막(제2 절연막, 후속 공정에서 제1 절연막으로도 된다)(15b)을 퇴적한 후의 웨이퍼(1W)의 상기 도 5의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다. 절연막(15b)은 상기 절연막(15a)과 마찬가지의 재료 및 두께로 형성되어 있다.

상기 세트 플로우는, 안전성(stabilization)이라고도 불리고, 배선 캡용 절연막의 성막에 앞서, 성막 처리의 안정성을 높이는 것을 주목적으로 한 준비 단계 이다. 성막 처리는, 이 세트 플로우를 거쳐서 행해진다. 즉, 우선, 캐리어 가스를

플라즈마 CVD 장치의 처리실에 흘리어 수십초 정도 지나고나서, 그 캐리어 가스를 흘린 채로 처리 가스를 처리실에 흘리고, 그 상태를 수초 정도 유지한 후(세트 플로우), 플라즈마 전원을 인가하여 성막 처리를 개시한다. 절연막(15b)을 질화 실리콘막으로 형성하는 경우에는 세트 플로우 시의 상기 캐리어 가스로서, 예를 들면 질소 가스를 이용하고, 상기 처리 가스로서, 예를 들면 암모니아 가스(NH_3) 및 실란 가스(SiH_4)를 이용한다. 절연막(15b)을 탄화 실리콘막으로 형성하는 경우에는, 세트 플로우 시의 상기 캐리어 가스로서, 예를 들면 헬륨 가스(He)를 이용하고, 상기 처리 가스로서, 예를 들면 트리메틸 실란 가스(3MS)를 이용한다. 절연막(15b)을 SiCN로 형성하는 경우에는, 세트 플로우 시의 상기 캐리어 가스로서, 예를 들면 헬륨 가스 (He)를 이용하여, 상기 처리 가스로서 암모니아 가스(NH_3) 및 트리메틸 실란 가스(3MS)를 이용한다. 절연막(15b)를 산 질화 실리콘막으로 형성하는 경우에는, 세트 플로우 시의 상기 처리 가스로서 트리메톡시 실란 가스(TMS) 및 산화 질소(N_2O)를 이용한다.

다음에, 도 16은 도 15에 후속하는 반도체 장치의 제조 공정 중에서의 주요부 평면도, 도 17은 도 16의 X2-X2선을 따라 취한 단면도를 도시하고 있다. 여기에는, 매립 제3층 배선(배선) L3이 예시되어 있다. 배선 캡용 절연막(15b) 상에는 절연막(제1 절연막)(11c)이 퇴적되어 있다. 절연막(11c)의 재료 및 형성 방법은, 상기 Low-K 재료의 절연막(11a, 11b)와 동일하다. 이 절연막(11c) 상에는 절연막(제1 절연막)(12c)이 퇴적되어 있다. 절연막(12c)의 재료, 형성 방법 및 기능은, 상기 절연막(12a, 12b)과 동일하다. 이 절연막(12c) 상에는 절연막(15c)이 퇴적되어 있다. 절연막(15c)의 재료, 형성 방법 및 기능은 상기 절연막(15a, 15b)과 동일하다. 이 절연막(15c) 상에는, 절연막(제1 절연막)(11d)이 퇴적되어 있다. 절연막(11d)의 재료 및 형성 방법은 상기 Low-K 재료의 절연막(11a 11c)과 동일하다. 이 절연막(11d) 상에는 절연막(제1 절연막)(12d)이 퇴적되어 있다. 절연막(12d)의 재료, 형성 방법 및 기능은 상기 절연막(12a 12c)과 동일하다. 이와 같이, 본 실시 형태 1에 따르면, 복수의 배선층의 절연막을 전체적으로 유전율이 낮은 재료로 형성함으로써, 전체적인 배선 용량을 저감할 수 있어, 구리계의 매립 배선 구조를 갖는 반도체 장치의 동작 속도를 향상시키는 것이 가능해진다.

이 절연막(15c, 11d, 12d)에는 평면 띠형상의 배선홈(배선 개구부)(16b)이 형성되어 있다. 이 배선홈(16b) 내에는 도전성 배리어막(17b) 및 주도체막(18b)이 매립되고 있고, 이에 의해 매립 제3층 배선 L3이 형성되어 있다. 또한, 절연막(15b, 11c, 12c)에는 배선홈(16b)의 저면으로부터 매립 제2층 배선 L2의 상면으로 연장되는, 평면이 대략 원 형상인 관통 홀(배선 개구부)(19)이 형성되어 있다. 매립 제3층 배선 L3은 관통 홀(19) 내에 매립된 도전성 배리어막(17b) 및 주도체막(18b)을 통하여 매립 제2층 배선 L2와 전기적으로 접속되어 있다. 이 매립 제3층 배선 L3은 듀얼 다마신법에 의해 형성되어 있다. 즉, 절연막(15c, 11d, 12d)에 배선홈(16b)을 형성하고, 절연막(15b, 11c, 12c)에 관통 홀(19)을 형성한 후, 상기 도전성 배리어막(17b) 및 주도체막(제2 도체막)(18b)을 순서대로 퇴적한 다. 즉, 배선홈(16b)와 관통 홀(19)을 동시에 도전성 배리어막(17b) 및 주도체막(18b)으로 매립한다. 도전성 배리어막(17b) 및 주도체막(18b)의 퇴적 방법은 상기 매립 제2층 배선의 도전성 배리어막(17a) 및 주도체막(18a)와 동일하다. 또, 도전성 배리어막(17b) 및 주도체막(18b)의 재료도 각각 도전성 배리어막(17a) 및 주도체막(18a)와 동일하다. 그 후, 이 도전성 배리어막(17b) 및 주도체막(18b)를 상기 매립 제2층 배선 L2의 형성과 마찬가지로 CMP법에 의해서 연마한 후, 매립 제2층 배선 L2와 마찬가지의 공정을 거쳐서, 매립 제3층 배선 L3을 형성한다. 매립 제3층 배선 L3의 상부 각에도 상기 매립 제2층 배선 L2와 마찬가지로 라운드 테이퍼가 형성되어 있다. 이러한 절연막(12d) 및 매립 제3층 배선 L3 상에는 배선 캡용 절연막(제2 절연막, 후속 공정에서 제1 절연막으로도 된다)(15d)이 퇴적되어 있다. 이 절연막(15d)은 상기 절연막(15a, 15b)과 동일하다

도 18은 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 주요부 확대 단면도를 도시하고 있다. 본 실시 형태에 따르면, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 주도체막(18a, 18b)의 상부 각에 라운드 테이퍼가 형성되어 있다. 이 때문에, 주도체막(18a, 18b)의 상부 각에 해당하는 부분(도전성 배리어막(17a, 17b)의 근방)에 인가되는 전계를 완화할 수 있다. 본 발명자의 검토에 따르면 주도체막(18a, 18b)의 상부 각에 해당하는 부분의 전계 E1과, 도전성 배리어막(17a, 17b)의 상부 각 부분의 전계 E2와의 비를 1:2로 할 수 있다. 즉, 주도체막(18a, 18b)의 상부 각에 해당하는 부분의 전계 강도를, 도전성 배리어막(17a, 17b)의 상부 각의 전계 강도의 반으로 할 수 있다. 또한, 확산 계 수가 높은 구리로 이루어지는 주도체막(18a, 18b)을, 리크 패스가 형성되기 쉬운 절연막(12b, 12d)의 CMP면(제2면)으로부터 멀리할 수 있다. 이 때문에, 상호 인접하는 매립 제2층 배선 L2, L2 사이 및 매립 제3층 배선 L3, L3 사이에 리크 패스가 형성되는 것을 억제 또는 방지하는 것이 가능해진다. 따라서, TDDB 수명을 향상시키는 것이 가능해진다.

(실시 형태 2)

도 19는 본 발명의 다른 실시 형태인 반도체 장치의 제조 공정의 흐름도이다. 본 실시 형태 2에 있어서는, 도 19에 도시한 바와 같이, 상기 매립 배선의 주도체막의 라운드 테이퍼를 세트 플로우 공정 106 시에 행한다. 즉, 배선 캡용 절연막이, 예를 들면 질화 실리콘막, 탄화 실리콘막, SiCN, 산 질화 실리콘막인 경우에는, 상기한 바와 같이 세트 플로우에 있어서 처리 가스를 흘리기 전에, 질소 또는 헬륨 등과 같은 캐리어 가스를 흘리기 때문에, 이 캐리어 가스를 흘리기 시작해서 처리 가스를 흘리기 시작하기까지의 시간을 통상의 세트 플로우보다도 길게 하고, 그 캐리어 가스만의 도입 기간에 행하고, 또한 스테이지 온도를 상기 실시 형태 1에서 설명한 온도로 설정하여 웨이퍼(1W)에 대하여 상기 실시 형태 1의 라운드 형성 공정에서 설명한 것과 동일한 어닐링 처리를 실시함으로써, 매립 배선의 주도체막(18a, 18b)의 상부 각에 라운드 테이퍼를 형성한다. 이 경우, 라운드 테이퍼 공정을 새롭게 추가하는 것은 아니기 때문에 제조 공정의 간략화 및 제조 시간의 단축을 추진할 수 있다. 이 이외는, 상기 실시 형태 1과 동일하다

(실시 형태 3)

본 실시 형태 3에 있어서는, 배선 캡용 절연막을 다층으로 한 경우에 대해 설명한다. 이것은, 배선 캡용 절연막으로서, 예를 들면 상기 PE-TMS(Canon제) 등과 같은 SiON막을 이용한 경우, 그 성막 시에 도전성 배리어막이 산화한다고 하는, 본 발명자가 처음으로 발견한 문제를 해결하기 위한 것이다. 도 20은 본 발명의 다른 실시 형태인 반도체 장치의 제조 공정 중에서의 주요부 단면도이다.

우선, 상기 암모니아 플라즈마 처리 후, 대기로 개방하지 않고 연속하여, 매립 제2층 배선 L2 및 절연막(12b)의 상면 상에, 배선 캡용 절연막(제2 절연막)(15b)을 CVD법 등에 의해서 퇴적할 때, 본 실시 형태 3에 있어서는, 그 절연막(15b)을 매립 제2층 배선 L2의 도전성 배리어막(17a)의 노출 부분이 산화되지 않도록 퇴적한다. 그 때문에, 최초로 도전성 배리어막(17a)의 산화를 억제 또는 방지하는, 즉 산화로부터 보호하는 산화 배리어용 절연막(제3 절연막)(15b1)을 절연막(12b) 및 매립 제2층 배선 L2 상에 퇴적한 후, 대기로 개방하지 않고, 진공 상태를 유지한 채로 연속적으로, 그 위에, 예를 들면 트리메톡시 실란(TMS, 화학식: $SiH(OCH_3)_3$) 가스와 산화 질소(N_2O) 가스와의 혼합 가스를 이용한 플라즈마 CVD법 등에 의해서 PE-TMS (Canon제, 유전율=3.9) 등과 같은 산 질화 실리콘(SiON)막 등으로 이루어지는 절연막(제4 절연막)(15b2)을 퇴적한다. 이에 의해, 상기 산 질화 실리콘(SiON)막의 퇴적 처리 시에 도전성 배리어막(17a)의 산화를 억제 또는 방지할 수 있기 때문에, 그 도전성 배리어막(17a)의 산화에 기인하여 주도체막(18a) 내의 구리가 확산하게 되는 문제점을 억제 또는 방지할 수 있어, TDDB 수명을 향상시 킬 수 있다. 또한, 배선 캡용 절연막(15b)의 대부분 또는 전부를 질화 실리콘막보다도 유전율이 낮은 재료로 형성함으로써, 배선 용량을 저감할 수 있기 때문에, 반도체 장치의 동작 속도를 향상시키는 것이 가능해진다. 또한, 우수한 내습성을 갖는 PE-TMS 등을 매립 제2층 배선 L2의 배선 캡용 절연막으로서 사용할 수 있기 때문에, 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다. 이러한 산화 방지막의 형성 방법은, 예를 들면 다음과 같이 한다.

제1 방법은 산화 배리어용 절연막(15b1)을, 예를 들면 질화 실리콘(SiC)막, 탄화 실리콘(SiCN)막 또는 탄 질화 실리콘막 등과 같은 구리의 확산을 억제 또는 방지하는 기능을 갖는 절연막에 의해서 형성하는 방법이다. 이 경우의 산화 배리어용 절연막(15b1)의 두께는, 예를 들면 1㎚ 이상이지만, 배선 구조의 전체적인 유전율을 낮게 억제하고 싶기 때문에 절연막(15b2)보다는 얇게 형성되어 있다. 절연막(15b2)의 두께는, 예를 들면 50㎚ 정도 이하이다. 절연막(15b2) 내의 질소의 함유율은, 예를 들면 1　8% 정도이다. 절연막(15b2)의 성막 시의 처리실 내의 압력은, 예를 들면 0.5 1.0Torr(=66.6612　133.332Pa) 정도, 트리메톡시 실란 가스의 유량은, 예를 들면 100　150㎤/min 정도, N_2O의 가스 유량은, 예를 들면 4000㎤/min 정도 이하, 플라즈마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은, 예를 들면 500　1000W 정도이다. 이 산화 배리어용 절연막(15b1)을, 예를 들면 탄화 실리콘막 또는 탄 질화 실리콘막으로 함으로써, 절연막(15b1)을 질화 실리콘막으로 형성한 경우보다도 유전율을 저감할 수 있어, 배선 용량을 저감할 수 있기 때문에, 반도체 장치의 동작 속도를 향상시킬 수 있다.

제2 방법은 산화 배리어용 절연막(15b1)을, 산소를 이용하지 않은 가스 조건, 특히 산화성이 높은 N_2O 가스를 이용하지 않은 조건에서의 플라즈마 CVD법 등에 의해서 퇴적된 PE-TMS(Canon제, 유전율=3.9) 등과 같은 산 질화 실리콘(SiON)막 등에 의해서 형성하는 방법이다. 이 경우의 절연막(15b1)도 구리의 확산을 억제 또는 방지하는 기능을 갖고 있다.

산소를 이용하지 않은 가스 조건으로서는, 예를 들면 트리메톡시 실란(TMS) 가스와 암모니아(NH_3) 가스와의 혼합 가스, 또는, 트리메톡시 실란(TMS) 가스와 질소(N_2) 가스와의 혼합 가스 등을 예시할 수 있다. 이 경우의 산화 배리어용 절연막(15b1)의 두께는, 예를 들면 1　10㎚ 정도이다. 또한, 그 상층의 절연막(15b2)의 두께는, 상기 제1 방법에서 설명한 것과 동일하다. 절연막(15b1, 15b2) 내의 질소의 함유율은, 예를 들면 1　8% 정도이다. 절연막(15b1)의 성막 시의 처리실 내의 압력은, 예를 들면 0.5　1.0Torr(=66.6612　133.332Pa) 정도, 트리메톡시 실란 가스의 유량은, 예를 들면 100　150㎤/min 정도, N_2O 가스의 유량은, 예를 들면 0(영)㎤/min, N_2 가스를 이용한 경우의 그 가스 유량은, 예를 들면 4000㎤/min 정도 이하, NH_3 가스를 이용한 경우의 그 가스 유량은, 예를 들면 1500㎤/min 정도 이하, 플라즈마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은, 상기 제1 방법과 동일하다. 또, 절연막(15b2)의 성막 조건은, 상기 제1 방법 에서 설명한 것과 동일하다. 이 제2 방법에 있어서는, 절연막(15b1, 15b2)을 모두, 예를 들면 PE-TMS 등과 같은 유전율이 낮은 산 질화 실리콘막에 의해 형성할 수 있기 때문에, 상기 제1 방법을 이용한 경우보다도 배선 용량을 저감할 수 있어, 반도체 장치의 동작 속도를 향상시킬 수 있다. 또한, 절연막(15b)의 전체(절연막(15b1, 15b2))를 내습성에 우수한 PE-TMS 등과 같은 산 질화 실리콘막에 의해서 형성함으로써, 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다.

제3 방법은 산화 배리어용 절연막(15b1)을, 예를 들면 성막 처리 시에 산화성이 낮은 N_2/O_2를 병용하여, 산소(특히 산화성이 높은 N_2O)를 저감한 가스 조건에서의 플라즈마 CVD법 등에 의해서 퇴적된 상기 PE-TMS 등과 같은 산 질화 실리콘막 등에 의해서 형성하는 방법이다. 이 경우도 절연막(15b1)은, 구리의 확산을 억제 또는 방지하는 기능을 갖고 있다. 산소를 저감한 가스 조건으로서는, 예를 들면 트리메톡시 실란 가스와 N_2 가스와 O_2 가스와의 혼합 가스, 트리메톡시 실란 가스와 NH_3 가스와 O_2 가스와의 혼합 가스, 트리메톡시 실란 가스와 NH_3 가스와 N_2 가스와 O_2 가스와의 혼합 가스, 트리메톡시 실란 가스와 N_2O 가스와 NH_3 가스와의 혼합 가스 등을 예시할 수 있다. 이 경우, N_2 가스나 NH_3 가스는 혼합 가스에서의 희석 가스로서의 역할을 갖고 있다.

이 경우의 절연막(15b1, 15b2)의 두께 및 질소의 함유율은 상기 제2 방법에서 설명한 것과 동일하다. 절연막(15b1)의 성막 시의 처리실 내의 압력 및 플라즈 마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은, 상기 제1, 제2 방법에서 설명한 것과 동일하다. 성막 처리 가스로서, 예를 들면 트리메톡시 실란 가스와 N_2 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시 실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, N_2 가스의 유량은, 예를 들면 4000㎤/min 정도 이하, O_2 가스의 유량은, 예를 들면 4000㎤/min 정도 이하이다. 또한, 트리메톡시 실란 가스와 NH_3 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시 실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, NH_3 가스의 유량은, 예를 들면 1500㎤/min 정도, O_2 가스의 유량은, 예를 들면 4000㎤/min 정도이다. 트리메톡시 실란 가스와 NH_3 가스와 N_2 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시 실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, NH3의 가스 유량은, 예를 들면 1500㎤/min 정도 이하, N_2 가스의 유량은, 예를 들면 4000㎤/min 정도, O_2 가스의 유량은, 예를 들면 4000㎤/min 정도이다. 또한, 트리메톡시 실란 가스와 N_2O 가스와 NH_3 가스와의 혼합 가스를 이용한 경우의 트리메톡시 실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, N_2O 가스의 유량은, 예를 들면 4000㎤/min 정도, NH_3 가스의 유량은, 예를 들면 1500㎤/min 정도이다. 또한, 절연막(15b2)의 성막 조건은, 상기 제1, 제2 방법과 동일하다. 이 제3 방법의 응용으로서, 절연막(15b)의 전부를, 이 제3 방법으로 형성해도 된다. 즉, 절연막(15b)를, 상기 산소를 저감한 가스 조건에서의 플라즈마 CVD법 등에 의해 퇴적된 산 질화 실리콘막의 단체막에 의해서 형성해도 된다. 이 경우, 배선 캡용 절연막의 성막 처리에 있어서 가스의 변경이나 그를 위한 제어를 없앨 수 있기 때문에, 성막 제어를 용이하게 할 수 있고, 또한 성막 처리 시간을 단축할 수 있다.

단, 상기한 설명에서는, 산 질화 실리콘(SiON, 질소 함유율 1 8% 정도)막의 성막 시에 트리메톡시 실란 가스를 이용한 경우에 대해 설명하였지만, 이것에 한정되는 것은 아니고 다양하게 변경 가능하다. 예를 들면 제1 방법의 절연막(15b2)이나 상기 제2 방법의 절연막(15b1, 15b2)은 성막 처리에 있어서, 예를 들면 모노실란, 디실란 또는 TEOS 중에서 선택된 가스와, 암모니아 가스와, 산소(또는 N_2O 혹은 오존(O_3)) 가스와의 혼합 가스 또는 이 혼합 가스에 질소를 도입한 혼합 가스를 이용해도 된다. 또한, 트리메틸 실란(3MS) 가스 또는 테트라메틸 실란(4MS) 가스 중에서 선택된 가스와, 산화 질소(N_2O) 가스(또는 산화 질소 가스 및 암모니아 가스(NH_3))와의 혼합 가스 혹은 이 혼합 가스에 질소(N_2) 가스, 질소(N_2) 가스 및 산소(O_2) 가스의 혼합 가스 또는 질소 가스, 산소 가스 및 암모니아 가스의 혼합 가스를 첨가한 혼합 가스를 이용해도 된다. 이들의 경우도, 도전성 배리어(17a) 노출부의 산화를 억제 또는 방지할 수 있기 때문에, 구리의 확산을 억제 또는 방지할 수 있어, TDDB 수명을 향상시킬 수 있다. 또, 도전성 배리어막이 산화하는 문제나 그 해결 수단에 대해서는, 예를 들면 본원 발명자에 의한 특원 2001-341339호(출원일: 2001년 11월 7일)에 개시되어 있다.

(실시 형태 4)

본 실시 형태 4는 상기 실시 형태 1에서 설명한 절연 캡용 절연막을 형성하지 않은 구조를 설명하는 것이다. 도 21은 본 발명의 다른 실시 형태에서의 반도체 장치의 제조 공정 중에서의 주요부 단면도를 도시하고 있다. Low-K 재료로 이루어지는 절연막(11b)의 상면에 절연 캡용 절연막이 형성되어 있지 않고, 절연막(11b)의 상면(CMP면, 제2면)에 배선 캡용 절연막(15b)이 직접 퇴적되어 있다. 본 실시 형태 4에 있어서도, 배선 캡용 절연막(15b)를 상기 실시 형태 3과 같은 다층 구조로 해도 된다. 본 실시 형태 4에 있어서는, TDDB 수명의 향상 외에 절연 캡용 절연막을 형성하지 않은 만큼, 배선 용량을 저감할 수 있어, 반도체 장치의 동작 속도를 향상시키는 것이 가능해진다.

(실시 형태 5)

본 실시 형태 5는 매립 배선의 도전성 배리어막을 없앤 구조(배리어리스 매립 배선 구조)를 설명하는 것이다. 도 22는 본 발명의 다른 실시 형태에서의 반도체 장치의 제조 공정 중에서의 주요부 단면도를 도시하고 있다. 구리로 이루어지는 주도체막(18a)이 배선홈(16a)에서 절연막(11b, 12a, 12b, 15a)과 직접 접하고 있다. 본 실시 형태 5에 있어서도, 상기 실시 형태 4와 같이 절연 캡용 절연막을 없애도 된다. 이러한 본 실시 형태 5에 따르면, 매립 제2층 배선 L2의 배선 저항을 대폭 저감할 수 있다. 또한, 이층 배선 사이가 도전성 배리어막을 통하지 않고 서 직접 접속되기 때문에, 그 이층 배선 사이의 접촉 저항을 대폭 저감시킬 수 있어, 미세한 관통 홀에서의 저항을 저감시킬 수 있다. 따라서, 배선홈(16a)나 관통 홀(9)이 미세화되어도 반도체 장치의 성능을 향상시킬 수 있기 때문에, 반도체 장치를 구성하는 배선의 미세화를 추진할 수 있다.

또한, 본 실시 형태 5에 있어서는, 그 주도체막(18a)의 상부 각에 라운드 테이퍼가 형성되어 있다. 그리고, 구리로 이루어지는 주도체막(18a)의 상부 각이 이것에 근접하는 절연막(12b')의 상면(CMP면, 제2면)으로부터 떨어져 배치되어 있다. 이들에 의해, 상기 실시 형태 1 4와 마찬가지로, 상호 인접하는 매립 제2층 배선간 L2, L2에 리크 패스가 형성되는 것을 더 억제 또는 방지할 수 있기 때문에, TDDB 수명을 더 향상시키는 것이 가능해진다. 또, 이러한 배리어리스 매립 배선 구조에 대해서는, 예를 들면 본원 발명자에 의한 특원 2000-104015호, 특원 2000-300853호 또는 특원 2001-131941호(출원일: 2001년 4월 27일)에 개시되어 있다.

(실시 형태 6)

본 실시 형태 6에 있어서는, 상기한 바와 같은 매립 배선 구조를 배선층마다 구분하여 사용하는 기술에 대하여 설명한다. 반도체 장치의 배선층에서, 기판에 형성된 미세한 소자에 가까운 하층의 배선층에서는 인접 배선 간격이 좁고, 또한 앞으로 더욱 좁아질 경향에 있기 때문에 구리의 확산에 의한 TDDB 수명의 열화가 현재화되기 쉽다. 이것에 비하여, 상기 소자로부터 상대적으로 떨어져 있는 상층의 배선층에서는 인접 배선 간격이 상대적으로 넓어, 구리의 확산에 의한 TDDB 수명의 열화에 대하여 어느 정도의 여유가 있다. 한편, 반도체 장치의 제조 공정에 서는, 공정 수의 증가나 열 처리의 추가, 혹은 단차를 생기게 하는 프로세스의 추가를 하고 싶지 않은 등, 프로세스 상의 제약도 있다.

그래서, 본 실시 형태 6에 있어서는, 여유가 작은 하층의 배선층에서는, 상기 실시 형태 1 등에서 설명한 매립 배선 구조로 하는 한편, 여유가 큰 상층의 배선층에서는, 통상의 매립 배선 구조로 하였다. 도 23은 본 실시 형태 6의 반도체 장치를 모식적으로 도시하는 주요부 단면도를 도시하고 있다. 배선층 N1은, 예를 들면 제1, 제2 배선층 등과 같은 배선 폭이나 배선 간격이 비교적 작은 하층의 배선층을 나타내고, 배선층 Nx는, 예를 들면 제5, 제6 배선층 등과 같은 배선 폭이나 배선 간격이 비교적 큰 상층의 배선층을 나타내고 있다. 0.13㎛ 세대를 예로 하면, 배선층 N1을 제1 배선층으로 한 경우의 매립 배선(배선) Ln의 배선 폭 및 배선 간격은, 예를 들면 0.18㎛ 정도이고, 배선층 Nx를 제5 배선층으로 한 경우의 매립 배선(배선) Ln의 배선 폭 및 배선 간격은, 예를 들면 0.36㎛ 정도이다. 또한, 0.1㎛ 세대를 예로 하면, 배선층 N1을 제1 배선층으로 한 경우의 매립 배선 Ln의 배선 폭 및 배선 간격은, 예를 들면 0.14㎛ 정도이고, 배선층 Nx를 제5 배선층으로 한 경우의 매립 배선 Ln의 배선 폭 및 배선 간격은, 예를 들면 0.28㎛ 정도이다.

도 23에서, 하층의 배선층 N1의 매립 배선 Ln은, 상기 실시 형태 1 등과 동일한 구조, 즉, 주도체막(18a)의 상부 각에 라운드 테이퍼를 형성한 구조로 하고, 상층의 배선층 Nn의 매립 배선 Ln은 통상의 구조, 즉, 주도체막(18a)의 상부 각에 테이퍼가 형성되지 않고, 주도체막(18a)의 상면(제1면)이 절연막(12b)의 상면(CMP면, 제2면)과 거의 일치하는 구조로 되어 있다. 이에 의해, TDDB 수명을 향상시킬 수 있으며, 또한 상기 프로세스 상의 제약을 만족시킬 수 있기 때문에, 전체적으로 신뢰성이 높은 반도체 장치를 제공하는 것이 가능해진다.

(실시 형태 7)

본 실시 형태 7에 있어서는, 배선층에 따라 매립 배선의 라운드 테이퍼 형태를 바꾸는 기술에 대하여 설명한다. 도 24는 본 실시 형태 7의 반도체 장치를 모식적으로 도시하는 주요부 단면도를 도시하고 있다. 본 실시 형태 7에 있어서는, 하층의 배선층 N1도 상층의 배선층 Nx도 매립 배선 Ln이 상기 실시 형태 1 등과 동일한 구조, 즉 주도체막(18a)의 상부 각에 라운드 테이퍼를 형성한 구조로 되어 있다. 단, 여기서는 하층의 매립 배선 Ln의 주도체막(18a)에서의 라운드 테이퍼의 깊이 d1쪽이 상층의 매립 배선 Ln의 주도체막(18a)의 라운드 테이퍼의 깊이 d2의 깊이보다도 깊게 형성되어 있다. 즉, 하층의 배선층 N1의 매립 배선 Ln에서의 주도체막(18a)의 상부 각의 라운드 테이퍼쪽이 크다. 그 이유는 상기 실시 형태 6에서 설명한 바와 같이, 하층의 배선층 N1에서는 인접 배선 간격이 좁아 구리의 확산에 의한 TDDB 수명의 저하가 현재화되기 쉬운 한편, 상층의 배선층에서는 인접 배선 간격이 넓어 비교적 여유가 있기 때문이다. 즉, 구리의 확산이 문제로 되기 쉬운 하층의 배선층 N1의 매립 배선 Ln에서의 주도체막(18a)의 라운드 테이퍼를 크게 함으로써 TDDB 수명의 향상을 도모하는 한편, 여유가 있는 상층의 배선층 Nx에서는 매립 배선 Ln의 주도체막(18a)의 라운드 테이퍼를 작게 형성하여 프로세스 상의 제약을 만족시킴으로써, 반도체 장치의 전체적인 신뢰성의 향상을 도모할 수 있다.

(실시 형태 8)

본 실시 형태 8에 있어서는, 배선층에 따라 매립 배선의 단차 상태를 바꾸는 기술에 대하여 설명한다. 도 25는 본 실시 형태 8의 반도체 장치를 모식적으로 도시하는 주요부 단면도를 도시하고 있다. 본 실시 형태 8에 있어서는, 하층의 배선층 N1 및 상층의 배선층 Nx의 매립 배선 Ln의 주도체막(18a)의 상면(제1면)이 도전성 배리어막(17a) 및 절연막(12b)의 상면(CMP면, 제2면)보다도 낮게 되어 있다. 이에 의해, 주도체막(18a)이 CMP면으로부터 멀어지고, 주도체막(18a)의 각부가 매립 배선 Ln의 각부(도전성 배리어막(17a)의 각부)의 전계 집중 개소로부터 떨어짐으로써, 리크 패스의 형성을 억제 또는 방지할 수 있어, TDDB 수명을 향상시킬 수 있다.

이와 같이 매립 배선 Ln의 주도체막(18a)의 상면에 단차를 형성하는 기술에 대해서는, 예를 들면 본원 발명자에 의한 특원 2001-131941호(출원일: 2001년 4월 27일)에 개시되어 있다. 단,본 실시 형태 8에서는, 상기 실시 형태 6, 7에서 설명한 것과 동일한 이유로부터, 하층의 매립 배선 Ln의 주도체막(18a)의 단차 d3쪽이 상층의 매립 배선층 Ln의 주도체막(18a)의 단차 d4보다도 크게 형성되어 있다. 따라서, 본 실시 형태 8에 따르면, 구리의 확산이 문제로 되기 쉬운 하층의 배선층 N1의 매립 배선 Ln에서의 주도체막(18a)의 상면의 단차를 크게 함으로써 TDDB 수명의 향상을 도모할 수 있는 한편, 여유가 있는 상층의 배선층 Nx에서는 매립 배선 Ln의 주도체막(18a)의 상면의 단차를 작게 형성하여 단차에 의한 문제점의 발생을 억제 또는 방지하는 등, 프로세스 상의 제약을 만족시킴으로써 반도체 장치의 전체적인 신뢰성을 향상시키는 것이 가능해진다.

본 실시 형태 8의 변형예로서, 하층의 배선층 N1의 매립 배선 Ln을 상기 실시 형태 1 등에서 설명한 매립 배선 구조로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 도 25의 상태로 해도 된다. 또한, 하층의 배선층 N1의 매립 배선 Ln은

도 25의 상태로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 상기 실시 형태 1 등에서 설명한 매립 배선 구조 또는 상기 도 23의 상층의 배선층 Nx에서의 통상의 매립 배선 구조로 해도 된다.

(실시 형태 9)

본 실시 형태 9에 있어서는, 배선층에 따라 매립 배선의 단차 상태를 바꾸는 다른 기술에 대하여 설명한다. 도 26은 본 실시 형태 9의 반도체 장치를 모식적으로 도시하는 주요부 단면도이다. 본 실시 형태 9에 있어서는, 하층의 배선층 N1 및 상층의 배선층 Nx의 매립 배선 Ln의 주도체막(18a) 및 도전성 배리어막(17a)의 상면(제1면)이, 절연막(12b)의 상면(CMP면, 제2면)보다도 낮게 되어 있다. 이에 의해, 주도체막(18a)이 CMP면으로부터 멀어짐으로써, 리크 패스가 형성되는 것을 억제 또는 방지할 수 있어, TDDB 수명을 향상시킬 수 있다.

이와 같은 매립 배선 Ln의 상면에 단차를 형성하는 기술에 대해서도, 예를 들면 본원 발명자에 의한 특원 2001-131941호(출원일: 2001년 4월 27일)에 개시되어 있다. 단, 본 실시 형태 9에서는, 상기 실시 형태 6 8에서 설명한 것과 동일한 이유로부터, 하층의 배선층 N1에서의 매립 배선 Ln의 주도체막(18a)의 단차 d5쪽이 상층의 배선층 Nx에서의 매립 배선층 Ln의 주도체막(18a)의 단차 d6보다도 크게 형성되어 있다. 따라서, 본 실시 형태 9에 따르면, 구리의 확산이 문제로 되기 쉬운 하층의 배선층 N1의 매립 배선 Ln 상면의 단차를 크게 함으로써 TDDB 수명의 향상을 도모할 수 있는 한편, 여유가 있는 상층의 배선층 Nx에서는 매립 배선 Ln 상면의 단차를 작게 형성하여 단차에 의한 문제점의 발생을 억제 또는 방지함으로써, 반도체 장치의 전체적인 신뢰성을 향상시키는 것이 가능해진다.

본 실시 형태 9의 변형예로서, 하층의 배선층 N1의 매립 배선 Ln을 상기 실시 형태 1 등에서 설명한 매립 배선 구조로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 도 26의 상태로 해도 된다. 또한, 하층의 배선층 N1의 매립 배선 Ln은 도 26의 상태로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 상기 실시 형태 1 등에서 설명한 매립 배선 구조 또는 상기 도 23의 상층의 배선층 Nx에서의 통상의 매립 배선 구조로 해도 된다.

(실시 형태 10)

본 실시 형태 10에 있어서는, 배선층에 따라 매립 배선의 단차 상태를 바꾸는 또 다른 기술에 대하여 설명한다. 도 27은 본 실시 형태 10의 반도체 장치를 모식적으로 도시하는 주요부 단면도이다. 본 실시 형태 10에서는, 하층의 배선층 N1 및 상층의 배선층 Nx의 매립 배선 Ln의 주도체막(18a) 및 도전성 배리어막(17a)의 상면(CMP면, 제1면)이 절연막(12b)의 상면(제2면)보다도 돌출되어 있다. 이에 의해, 주도체막(18a)을 CMP면으로부터 멀리할 수 있어, 리크 패스의 형성을 억제 또는 방지할 수 있기 때문에, TDDB 수명을 향상시킬 수 있다. 또한, 이 경우, 절연 캡용 절연막을 없앤 구조로 하여, 상기 환원성 플라즈마 처리 시에 절연막(11b)의 상면을 에칭 제거함으로써 상기 단차를 형성할 수 있기 때문에, 프로세스를 간 략화할 수 있다.

이와 같은 매립 배선 Ln의 상면에 단차를 형성하는 기술에 대해서도, 예를 들면 본원 발명자에 의한 특원 2001-131941호(출원일: 2001년 4월 27일)에 개시되어 있지만, 본 실시 형태 10에서는, 상기 실시 형태 6 9에서 설명한 것과 동일한 이유로부터, 하층의 배선층 N1에서의 매립 배선 Ln의 돌출 단차 d7쪽이 상층의 배선층 Nx에서의 매립 배선층 Ln의 돌출 단차 d8보다도 크게 형성되어 있다. 즉, 구리의 확산이 문제로 되기 쉬운 하층의 배선층 N1의 매립 배선 Ln 상면의 돌출 단차를 크게 함으로써 TDDB 수명의 향상을 도모할 수 있는 한편, 여유가 있는 상층의 배선층 Nx에서는 매립 배선 Ln 상면의 돌출 단차를 작게 형성하여 단차에 의한 문제점의 발생을 억제 또는 방지 등, 프로세스 상의 제약을 만족시킴으로써, 반도체 장치의 전체적인 신뢰성을 향상시킬 수 있다.

본 실시 형태 10의 변형예로서, 하층의 배선층 N1의 매립 배선 Ln을 상기 실시 형태 1, 8, 9에서 설명한 매립 배선 구조로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 도 27의 상태로 해도 된다. 또한, 하층의 배선층 N1의 매립 배선 Ln은 도 27의 상태로 하고, 상층의 배선층 Nx의 매립 배선 Ln을 상기 실시 형태 1, 8, 9에서 설명한 매립 배선 구조 또는 상기 도 23의 상층의 배선층 Nx에서의 통상의 매립 배선 구조로 해도 된다.

이상, 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않은 범위에서 다양하게 변경 가능한 것은 물론이다.

상기 실시 형태 1 10에 있어서는, 캡막을 후 처리(플라즈마 처리) 후에 진공 파괴하지 않고 연속적으로 형성하는 경우에 대해 설명하였지만, 후 처리 후에, 일단 진공 파괴를 하고, 그 후, 캡막을 형성해도 된다. 진공 파괴하지 않은 쪽이 본 발명의 효과를 보다 효과적으로 발휘할 수 있지만, 후 처리에서의 암모니아 플라즈마 처리에 의해 얇은 질화층이 형성되기 때문에, 진공 파괴를 행하여 대기 분위기에 폭로해도 산화층의 형성을 억제할 수 있다. 따라서, 진공 파괴한 경우에서도, 본 실시 형태의 효과를 어느 정도 발휘하는 것은 가능하다.

또한, 매립 배선의 주도체막에서의 라운드 테이퍼의 형성 방법은, 상기 실시 형태 1 10에서 설명한 것에 한정되는 것은 아니고 다양하게 변경 가능하고, 예를 들면 플라즈마 CVD 장치의 처리실 내를 진공 상태로 유지하고, 처리실 내

에 특별히 가스를 공급하지 않은 상태에서 웨이퍼에 대하여 열 처리를 실시함으로써, 매립 배선의 주도체막의 상부각에 라운드 테이퍼를 형성해도 된다.

또한, 상기 실시 형태에서는, 절연 캡용 절연막을 형성하기 위한 성막 장치 내에서 매립 배선 상면에 라운드 테이퍼를 형성하는 경우에 대해 설명하였지만, 이것에 한정되는 것은 아니고, 예를 들면 성막 장치의 외부에서 수소 가스 분위기 중 또는 질소 가스 분위기 중에서 열 처리를 실시함으로써, 매립 배선 상면에 라운드 테이퍼를 형성하도록 해도 된다. 구체적으로는, 예를 들면 상기 실시 형태의 저온 수소 어닐링 시의 처리 온도를 상기 실시 형태의 경우보다도 고온으로 하고, 또한, 그 처리 시간을 길게 하도록 해도 된다. 그 경우의 처리 온도는, 예를 들면 300℃ 400℃ 정도, 처리 시간은, 예를 들면 30초 15분 정도가 바람직하다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경이 된 이용 분야인 CMIS 회로를 갖는 반도체 장치의 제조 기술에 적용한 경우에 대해 설명하였지만, 그것에 한정되는 것은 아니고, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 플래시 메모리(EEPROM; Electric Erasable Programmable Read Only Memory) 또는 FRAM(Ferro electric Random Access Memory) 등과 같은 메모리 회로를 갖는 반도체 장치, 마이크로 프로세서 등과 같은 논리 회로를 갖는 반도체 장치 또는 상기 메모리 회로와 논리 회로를 동일 반도체 기판에 설치하고 있는 혼재형의 반도체 장치 등 각종 반도체 장치의 제조 방법에도 적용할 수 있다. 본 발명은 적어도 매립 구리 배선 구조를 갖는 반도체 장치, 반도체 집적 회로 장치, 전자 회로 장치, 전자 장치 또는 마이크로 머신 등의 제조 방법에 적용 가능하다.

발명의 효과

본원에 의해서 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면, 이하와 같다.

즉, 배선을 구성하는 주도체막이 구리에 의해서 형성되고, 그 주도체막에 있어서 전계가 집중하는 개소를, 그 주위의 절연막의 연마면으로부터 떨어져 있도록 형성함으로써, 구리를 주도체막으로 하는 배선간의 절연 파괴 내성을 향상시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리를 주성분으로 하는 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 배선의 구리를 주성분으로 하는 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성하는 공정과,

(e) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정

을 포함하는 반도체 장치 제조 방법.

청구항 2.

제1항에 있어서,

상기 테이퍼는, 상기 웨이퍼에 대하여 질소 가스, 암모니아 가스 또는 질소와 암모니아와의 혼합 가스 분위기 중이나, 혹은 이들 가스를 이용한 플라즈마 분위기 중에서 열 처리를 실시함으로써 형성된 라운드 테이퍼인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3.

제1항에 있어서,

상기 (c) 공정 후, 상기 (e) 공정 전에, 상기 제1 절연막 및 배선에 대하여 환원성 플라즈마 처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 장 치 제조 방법.

청구항 4.
제3항에 있어서,

상기 환원성 플라즈마 처리가, 암모니아 플라즈마 처리, 수소 플라즈마 처리 또는 그 양방인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5.
제1항에 있어서,

상기 (a) 공정은,

(a1) 상대적으로 두꺼운 절연막을 퇴적하는 공정과,

(a2) 상기 (a1) 공정 후, 상기 상대적으로 두꺼운 절연막 상에, 상기 상대적으로 두꺼운 절연막보다도 유전율이 높은 상대적으로 얇은 절연막을 퇴적하는 공정을 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6.
제5항에 있어서,

상기 상대적으로 두꺼운 절연막의 유전율은 이산화 실리콘막의 유전율보다도 낮은 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7.
제5항에 있어서,

상기 상대적으로 얇은 절연막이, 탄화 실리콘, 탄 질화 실리콘 또는 산 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8.
제1항에 있어서,

상기 제1 절연막은, 이산화 실리콘막보다도 낮은 유전율을 갖는 절연막의 단체막으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 9.
제1항에 있어서,

상기 제2 절연막이, 탄화 실리콘, 탄 질화 실리콘 또는 산 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10.
(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성하는 공정과,

(e) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정

을 포함하는 반도체 장치 제조 방법.

청구항 11.
제10항에 있어서,

상기 테이퍼는, 상기 웨이퍼에 대하여 질소 가스, 암모니아 가스 또는 질소 와 암모니아와의 혼합 가스 분위기 중이나 혹은 이들 가스를 이용한 플라즈마 분위기 중에서 열 처리를 실시함으로써 형성된 라운드 테이퍼인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12.

제10항에 있어서,

상기 (c) 공정 후, 상기 (e) 공정 전에, 상기 제1 절연막 및 배선에 대하여 환원성 플라즈마 처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13.

제12항에 있어서,

상기 환원성 플라즈마 처리가, 암모니아 플라즈마 처리, 수소 플라즈마 처리 또는 그 양방인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 14.

제10항에 있어서,

상기 (a) 공정은,

(a1) 상대적으로 두꺼운 절연막을 퇴적하는 공정과,

(a2) 상기 (a1) 공정 후, 상기 상대적으로 두꺼운 절연막 상에, 상기 상대적으로 두꺼운 절연막보다도 유전율이 높은 상대적으로 얇은 절연막을 퇴적하는 공정을 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 15.

제14항에 있어서,

상기 상대적으로 두꺼운 절연막의 유전율은, 이산화 실리콘막의 유전율보다도 낮은 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16.

제14항에 있어서,

상기 상대적으로 얇은 절연막이, 탄화 실리콘, 탄 질화 실리콘 또는 산 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 17.

제10항에 있어서,

상기 제1 절연막은, 이산화 실리콘막보다도 낮은 유전율을 갖는 절연막의 단체막으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 18.

제17항에 있어서,

상기 (c) 공정은,

(c1) 상기 제1 절연막 상 및 배선 개구부 내에 상기 제1 도체막을 퇴적하는 공정과,

(c2) 상기 제1 도체막 상에 상기 제2 도체막을 퇴적하는 공정과,

(c3) 상기 제1, 제2 도체막이 상기 배선 개구부 내에 남겨지도록 상기 제2 도체막을 선택적으로 연마하는 공정과,

(c4) 상기 제1, 제2 도체막이 상기 배선 개구부 내에 남겨지도록 상기 제1 도체막을 선택적으로 연마함으로써 상기 배선을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 19.
제18항에 있어서,

상기 (c3)의 연마 공정의 지립의 양은, 0 또는 상기 (c4)의 연마 공정의 지립의 양보다도 적은 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 20.
제10항에 있어서,

상기 제2 절연막이, 탄화 실리콘, 탄 질화 실리콘 또는 산 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 21.
제10항에 있어서,

상기 제2 절연막은, 상기 제1 절연막 및 배선 상에, 상기 제1 도체막을 산화로부터 보호하는 제3 절연막을 퇴적한 후, 상기 제3 절연막 상에, 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해서 제4 절연막을 퇴적함으로써 형성된 적층막으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 22.
제21항에 있어서,

상기 제3 절연막이 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 23.
제21항에 있어서,

상기 제3 절연막이 탄화 실리콘 또는 탄 질화 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 24.
제21항에 있어서,

상기 제4 절연막은, 트리메톡시 실란 가스 및 산화 질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산 질화 실리콘으로 이루어지는 것 특징으로 하는 반도체 장치 제조 방법.

청구항 25.
제21항에 있어서,

상기 제3 절연막의 두께는, 상기 제4 절연막보다도 얇은 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 26.
웨이퍼 상에 형성되는 복수의 배선층의 각각의 배선 형성에서의 반도체 장치 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선 형성 공정에서는, 상기 (c) 공정과 (d) 공정 사이에, 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선 형성 공정에서는, 상기 테이퍼를 형성하는 공정을 거치지 않고서, 상기 제2 절연막을 퇴적하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 27.

웨이퍼 상에 형성되는 복수의 배선층 중 적어도 2개의 배선층의 배선 형성에서의 반도체 장치 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성하는 공정과,

(e) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선에서의 제2 도체막의 상기 테이퍼를, 상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선에서의 제2 도체막의 상기 테이퍼보다도 크게 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 28.

웨이퍼 상에 형성되는 복수의 배선층의 각각의 배선 형성에서의 반도체 장치의 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선 형성 공정에서는, 상기 (c) 공정과 (d) 공정 사이에, 상기 제2 도체막에서 상기 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되도록 한 가공을 실시하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선 형성 공정에서는, 상기 단차를 형성하는 공정을 거치지 않고서, 상기 제2 절연막을 퇴적하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 29.

웨이퍼 상에 형성되는 복수의 배선층 중 적어도 2개의 배선층의 배선 형성에서의 반도체 장치 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제2 도체막에서 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되도록 한 가공을 실시하는 공정과,

(e) 상기 제1 절연막 및 배선 상에 상기 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선에서의 제2 도체막의 상기 단차를, 상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선에서의 제2 도체막의 상기 단차보다도 크게 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 30.

제29항에 있어서,

상기 (d) 공정은, 상기 제2 도체막의 제1면이 상기 제1 절연막의 제2면보다도 상기 웨이퍼의 주면의 방향으로 우묵하게 들어가도록, 상기 제2 도체막의 제1면의 표층을 선택적으로 에칭 제거하는 공정인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 31.

웨이퍼 상에 형성되는 복수의 배선층의 각각의 배선 형성에서의 반도체 장치 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제1 절연막 및 배선 상에 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선 형성 공정에서는, 상기 (c) 공정과 (d) 공정 사이에, 상기 제1, 제2 도체막에서 상기 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되도록 한 가공을 실시하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선 형성 공정에서는, 상기 단차를 형성하는 공정을 거치지 않고서, 상기 제2 절연막을 퇴적하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 32.

웨이퍼 상에 형성되는 복수의 배선층 중 적어도 2개의 배선층의 배선 형성에서의 반도체 장치 제조 방법에 있어서,

(a) 웨이퍼 상에 제1 절연막을 퇴적하는 공정과,

(b) 상기 제1 절연막에 배선 개구부를 형성하는 공정과,

(c) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정과,

(d) 상기 제1, 제2 도체막에서 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되도록 한 가공을 실시하는 공정과,

(e) 상기 제1 절연막 및 배선 상에 상기 제2 절연막을 퇴적하는 공정을 포함하고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선에서의 상기 단차를, 상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선에서의 상기 단차보다도 크게 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 33.

제32항에 있어서,

상기 (d) 공정은, 상기 제1, 제2 도체막의 제1면이 상기 제1 절연막의 연마면보다도 상기 웨이퍼의 주면의 방향으로 우묵하게 들어가도록, 상기 제1, 제2 도체막의 제1면의 표층을 선택적으로 에칭 제거하는 공정인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 34.

제32항에 있어서,

상기 (d) 공정은, 상기 제1, 제2 도체막의 제1면이 상기 제1 절연막의 제2면 보다도 상기 웨이퍼의 주면으로부터 멀어지는 방향으로 돌출되도록, 상기 제1 절연막의 제2면을 선택적으로 에칭 제거하는 공정인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 35.
(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에 구리를 주성분으로 하는 도체막을 매립함으로써 형성되고, 상기 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성한 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막

을 포함하는 반도체 장치.

청구항 36.
(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성되고, 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성한 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막

을 포함하는 반도체 장치.

청구항 37.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성된 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면에 상대적으로 가까운 배선층에는, 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성한 배선이 형성되고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면으로부터 상대적으로 먼 배선층에는, 상기 제2 도체막에 상기 테이퍼는 형성되어 있지 않고, 상기 제2 도체막에서 상기 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면이 거의 일치하도록 한 배선이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 38.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성되고, 상기 제2 도체막에서 상기 배선 개구부의 개구측의 각부에 테이퍼를 형성한 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 웨이퍼의 주면에 상대적으로 가까운 배선층의 배선에서의 제2 도체막의 상기 테이퍼는, 상기 복수의 배선층 중, 상기 웨이퍼의 주면으로부터 상대적으로 먼 배선층의 배선에서의 제2 도체막의 상기 테이퍼보다도 큰 것을 특징으로 하는 반도체 장치.

청구항 39.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성된 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면에 상대적으로 가까운 배선층의 배선에는, 상기 제2 도체막에서 상기 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 도체막 및 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면으로부터 상대적으로 먼 배선층의 배선에는, 상기 제2 도체막의 제1면과, 상기 제1 도체막 및 제1 절연막의 제2면이 거의 일치하도록 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 40.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성되고, 상기 제2 도체막에서 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 도체막 및 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성된 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면에 상대적으로 가까운 배선층의 배선에서의 상기 단차는, 상기 복수의 배선층 중, 상기 반도체 기판의 주면으로부터 상대적으로 먼 배선층의 배선에서의 상기 단차보다도 큰 것을 특징으로 하는 반도체 장치.

청구항 41.
제40항에 있어서,

상기 단차는 상기 제2 도체막의 제1면이 상기 제1 도체막 및 상기 제1 절연막의 제2면보다도 상기 반도체 기판의 주면의 방향으로 우묵하게 들어감으로써 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 42.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성된 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 퇴적된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면에 상대적으로 가까운 배선층의 배선에는, 상기 제1, 제2 도체막에서 상기 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성되고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면으로부터 상대적으로 먼 배선층의 배선에는, 상기 제1, 제2 도체막의 제1면과, 상기 제1 절연막의 제2면이 거의 일치하도록 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 43.
반도체 장치에 있어서,

반도체 기판 상에 형성된 복수의 배선층 중 적어도 2개의 배선층은,

(a) 제1 절연막에 형성된 배선 개구부와,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 매립함으로써 형성되고, 상기 제1, 제2 도체막에서 제2 절연막이 퇴적되는 측의 제1면과, 상기 제1 절연막에서 상기 제2 절연막이 퇴적되는 측의 제2면 사이에 단차가 형성된 배선과,

(c) 상기 제1 절연막 및 상기 배선 상에 형성된 제2 절연막을 갖고,

상기 복수의 배선층 중, 상기 반도체 기판의 주면에 상대적으로 가까운 배선 층의 배선에서의 상기 단차는, 상기 복수의 배선층 중, 상기 반도체 기판의 주면으로부터 상대적으로 먼 배선층의 배선에서의 상기 단차보다도 큰 것을 특징으로 하는 반도체 장치.

청구항 44.
제43항에 있어서,

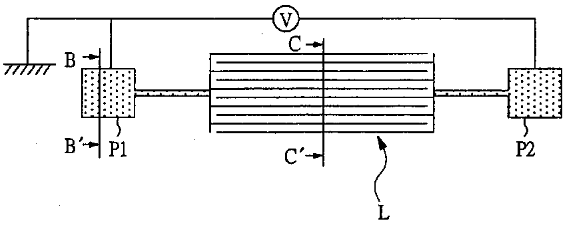
상기 단차는, 상기 제1, 제2 도체막의 제1면이, 상기 제1절연막의 제2면보다도 상기 반도체 기판의 주면의 방향으로 우묵하게 들어감으로써 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 45.
제43항에 있어서,

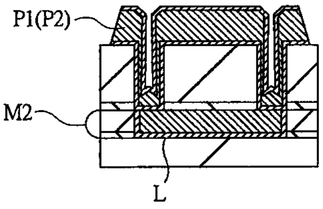
상기 단차는, 상기 제1, 제2 도체막의 제1면이 상기 제1 절연막의 제2면보다도 상기 반도체 기판의 주면으로부터 멀어지는 방향으로 돌출됨으로써 형성되어 있는 것을 특징으로 하는 반도체 장치.

도면

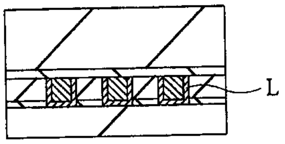
도면1



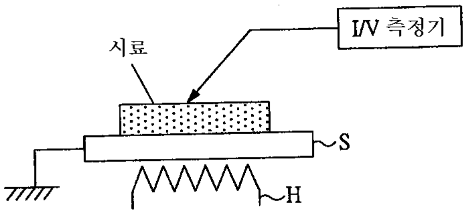
도면2



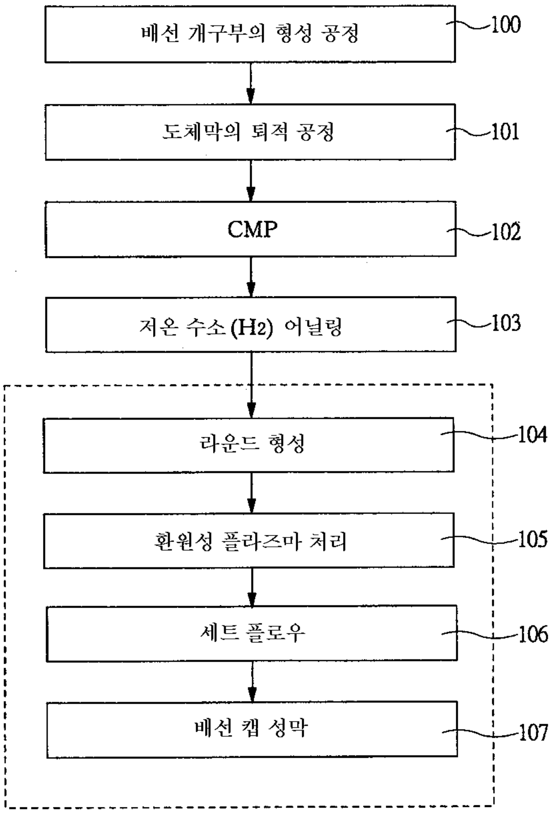
도면3



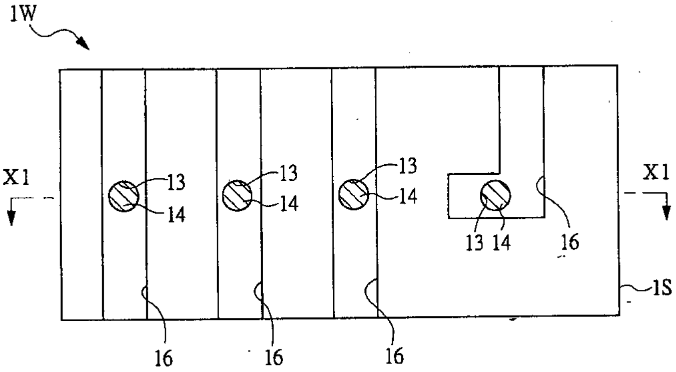
도면4


I/V 측정기
시료
S
H

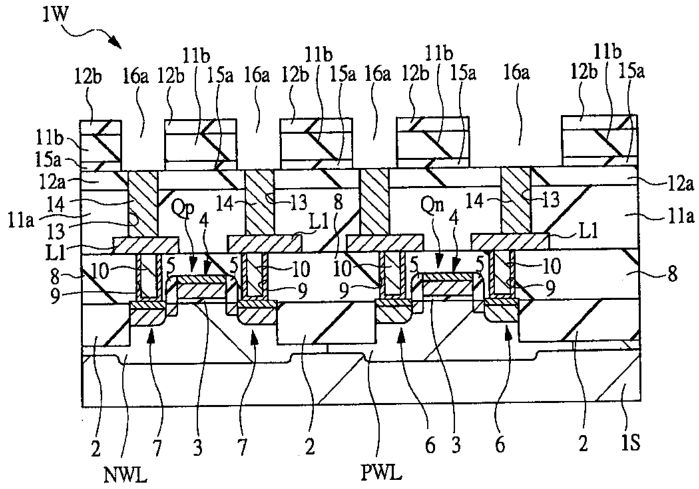
도면5


배선 개구부의 형성 공정
100
도체막의 퇴적 공정
101
CMP
102
저온 수소 (H2) 어닐링
103
라운드 형성
104
환원성 플라즈마 처리
105
세트 플로우
106
배선 캡 성막
107

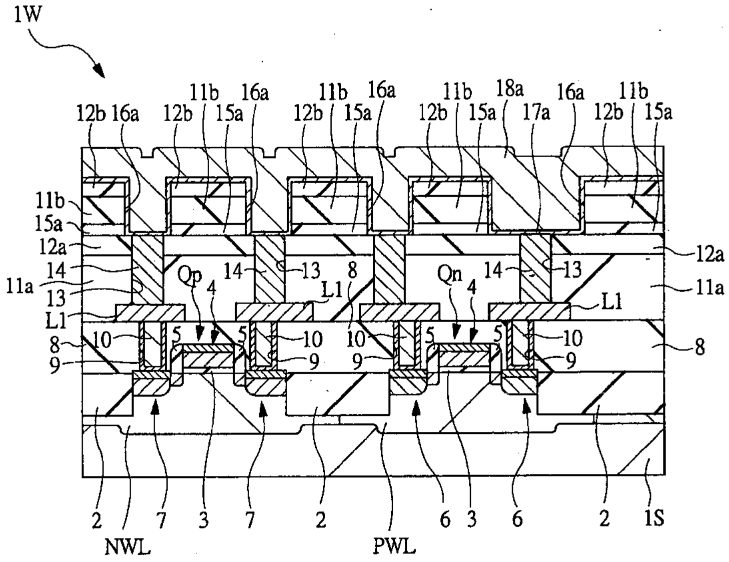
도면6


1W
X1
X1
13 14
1S

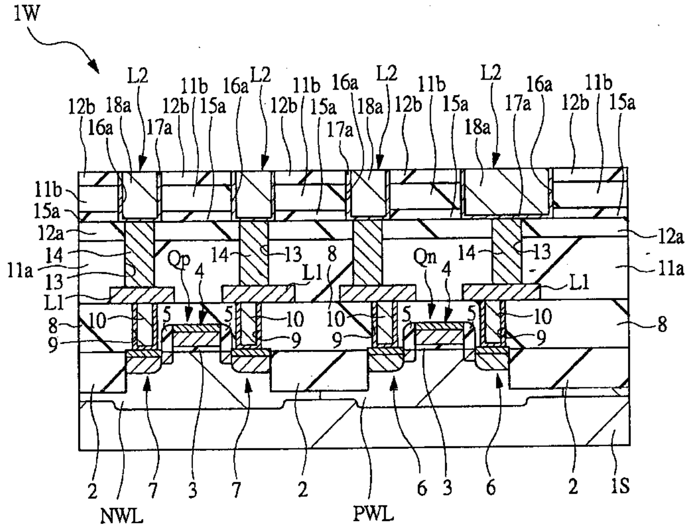
도면7


1W
L1
Qp
Qn
NWL
PWL
1S

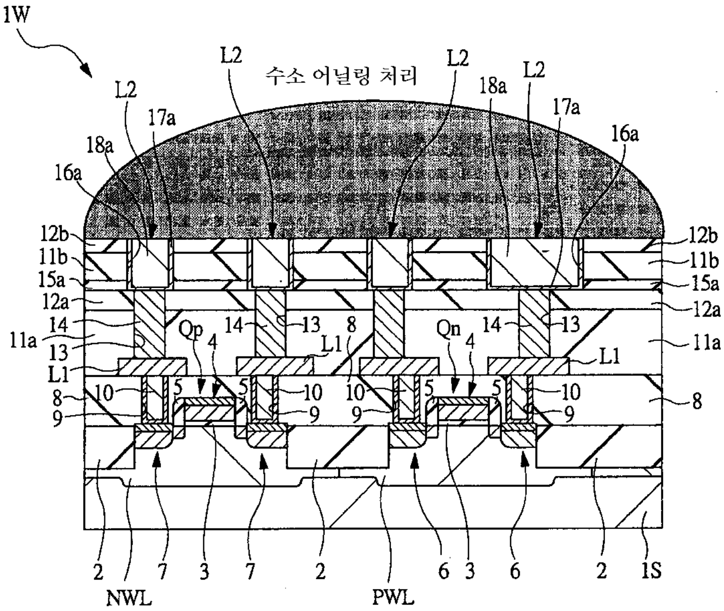
도면8


1W
L1
Qp
Qn
NWL
PWL
1S

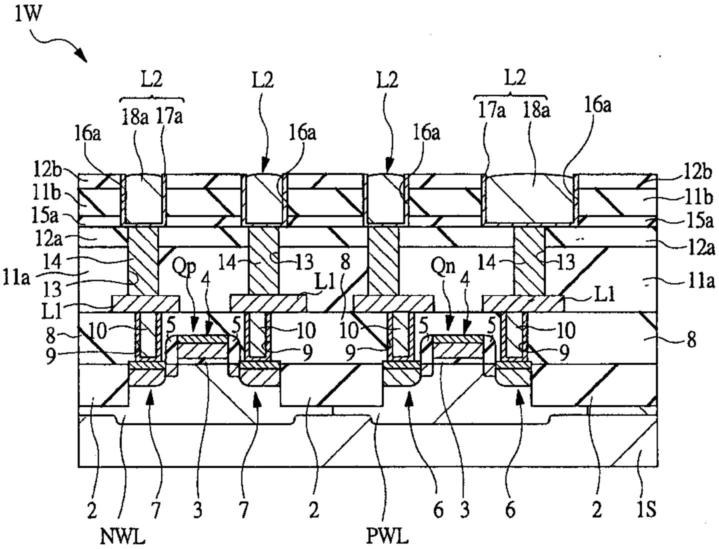
도면9


1W
L2
L1
Qp
Qn
NWL
PWL
1S

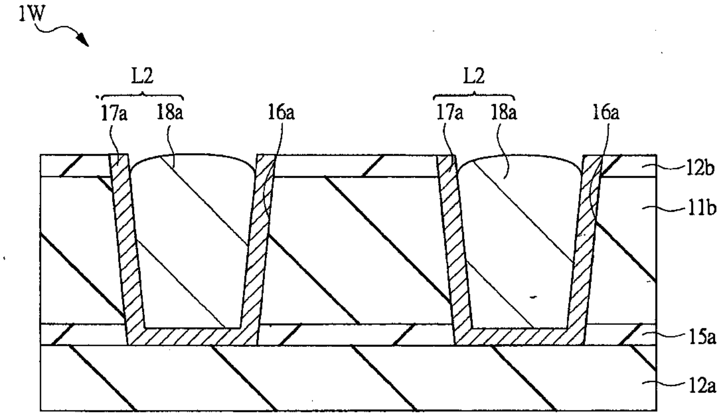
도면10


1W
L2
수소 어닐링 처리
L2
18a
L2
17a
16a
L2
17a
18a
16a
12b
11b
15a
12a
14
11a
13
L1
8
10
9
Qp
4
5
14
13
8
L1
10
9
Qn
4
5
14
13
L1
10
9
12b
11b
15a
12a
11a
8
2
7
3
7
2
6
3
6
2
1S
NWL
PWL

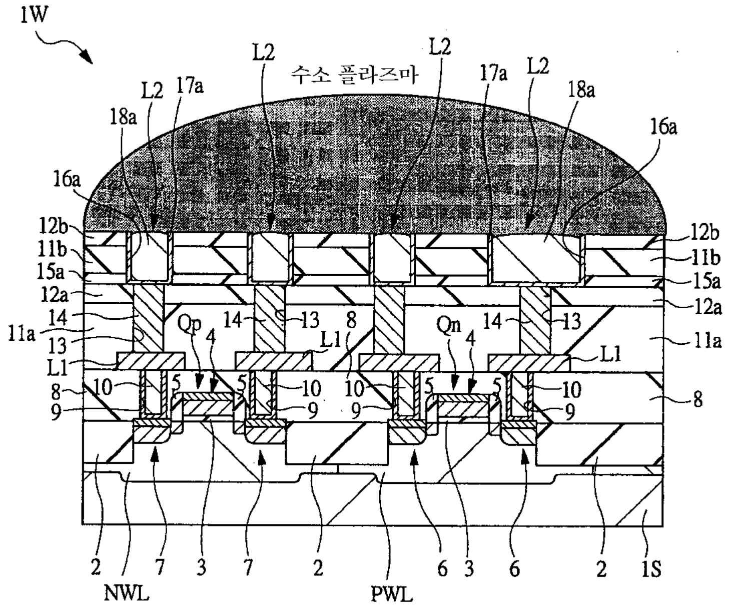
도면11


1W
L2
18a 17a
16a
L2
16a
L2
16a
L2
17a 18a
16a
12b
11b
15a
12a
14
11a
13
L1
8
10
9
Qp
4
5
14
13
8
L1
10
9
Qn
4
5
14
13
L1
10
9
12b
11b
15a
12a
11a
8
2
7
3
7
2
6
3
6
2
1S
NWL
PWL

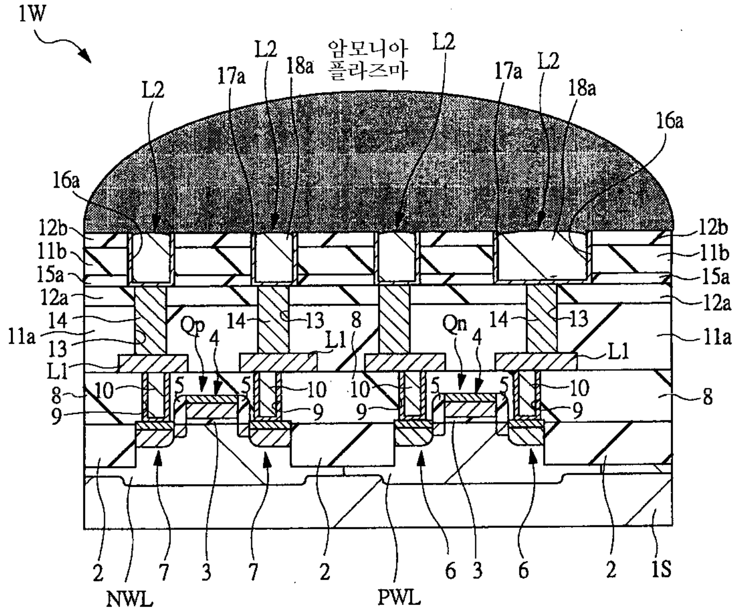
도면12


1W
L2
17a
18a
16a
L2
17a
18a
16a
12b
11b
15a
12a

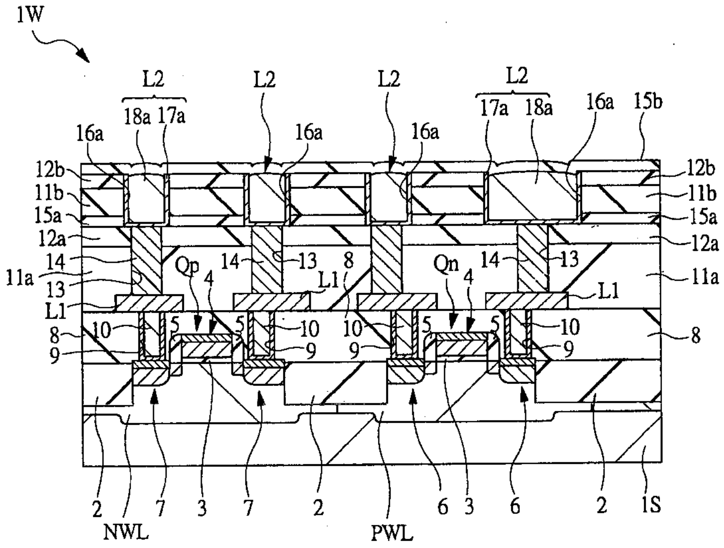
도면13


1W
수소 플라즈마
L2
L1
Qp
Qn
NWL
PWL
1S

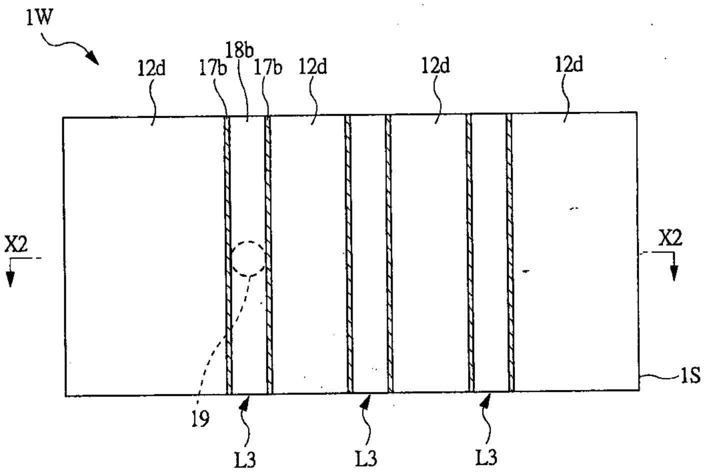
도면14


1W
암모니아 플라즈마
L2
L1
Qp
Qn
NWL
PWL
1S

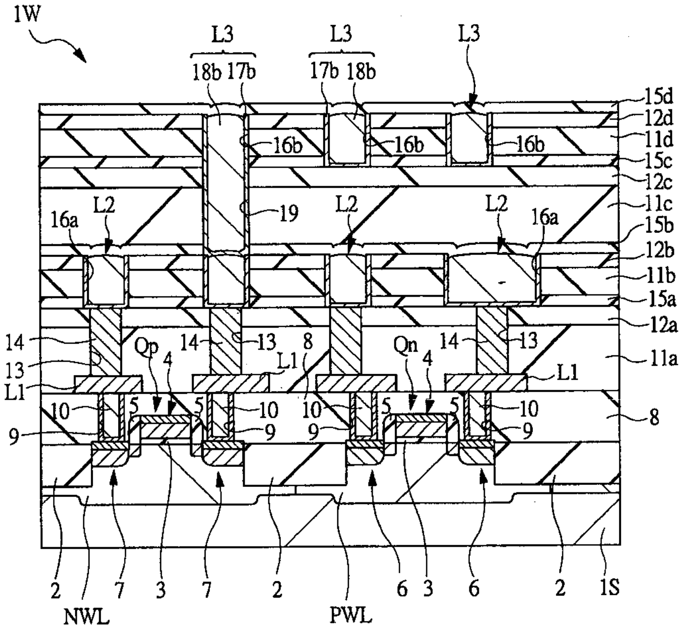
도면15


1W
L2
18a 17a
L2
L2
L2
17a 18a
16a
16a
16a
16a
15b
12b
11b
15a
12a
14
11a
13
L1
8
9
10
Qp
4
14
13
8
L1
Qn
4
14
13
L1
5
5
10
9
10
9
5
5
10
9
12b
11b
15a
12a
11a
8
2
NWL
7
3
7
2
PWL
6
3
6
2
1S

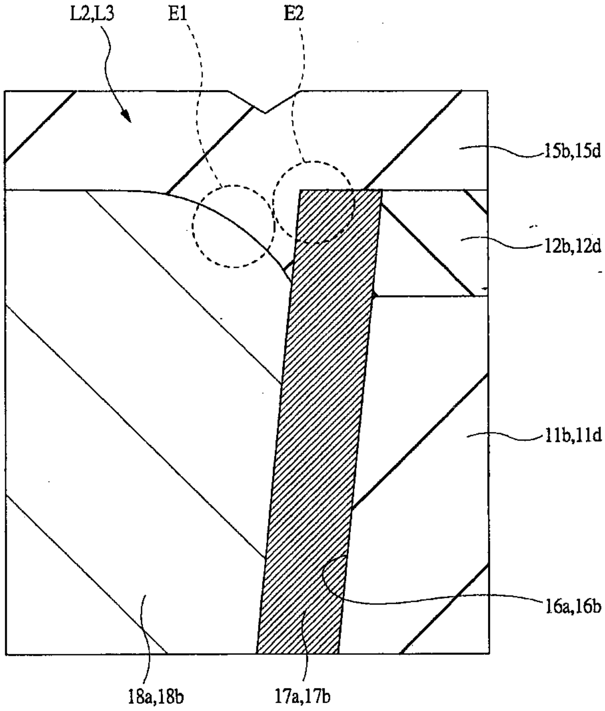
도면16


1W
12d
17b
18b
17b
12d
12d
12d
X2
X2
1S
19
L3
L3
L3

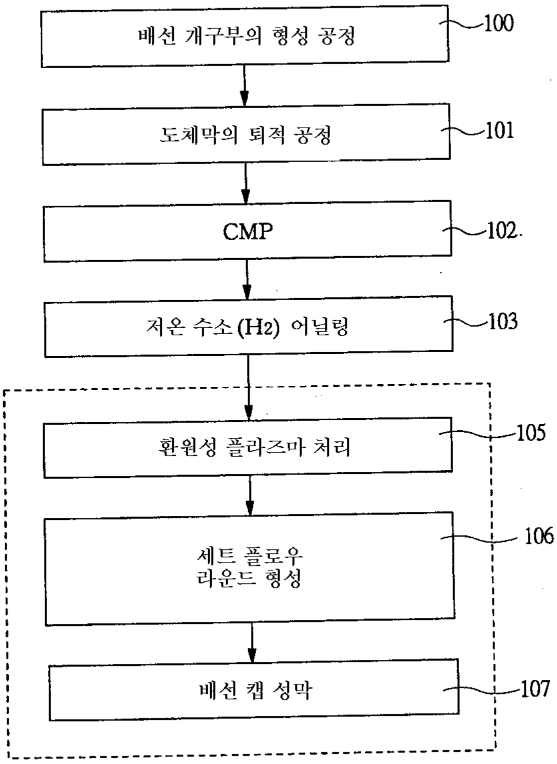
도면17


1W
L3
18b 17b
L3
17b 18b
L3
15d
12d
11d
15c
12c
11c
15b
12b
11b
15a
12a
11a
8
16b
16b
16b
19
16a
L2
L2
L2
16a
14
13
L1
10
9
Qp
4
14
13
8
L1
Qn
4
14
13
L1
5
5
10
9
10
9
5
5
10
9
2
NWL
7
3
7
2
PWL
6
3
6
2
1S

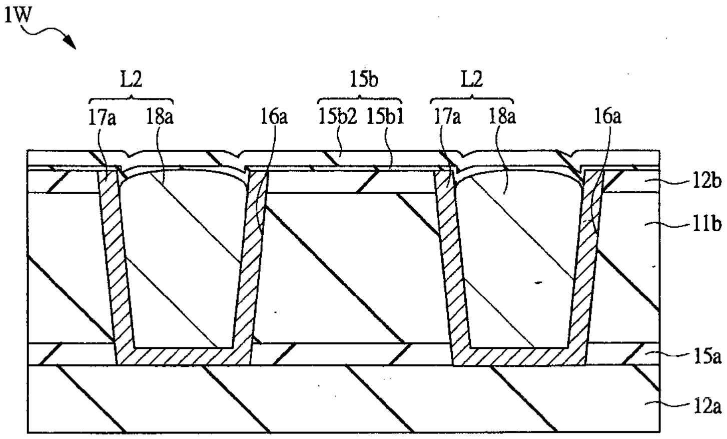
도면18


L2,L3
E1
E2
15b,15d
12b,12d
11b,11d
16a,16b
18a,18b
17a,17b

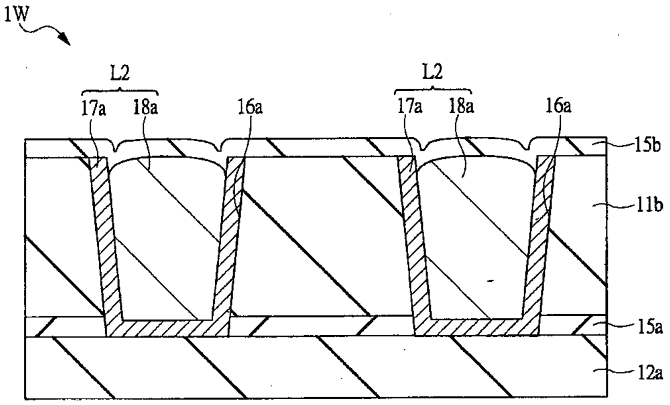
도면19


배선 개구부의 형성 공정
100
도체막의 퇴적 공정
101
CMP
102
저온 수소(H2) 어닐링
103
환원성 플라즈마 처리
105
세트 플로우
라운드 형성
106
배선 캡 성막
107

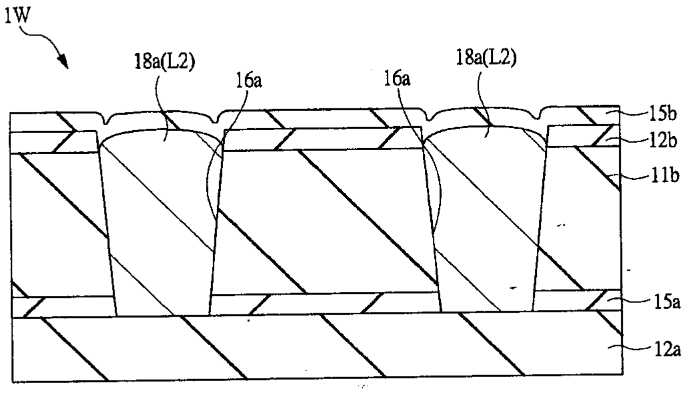
도면20


1W
L2
15b
L2
17a
18a
16a
15b2
15b1
17a
18a
16a
12b
11b
15a
12a

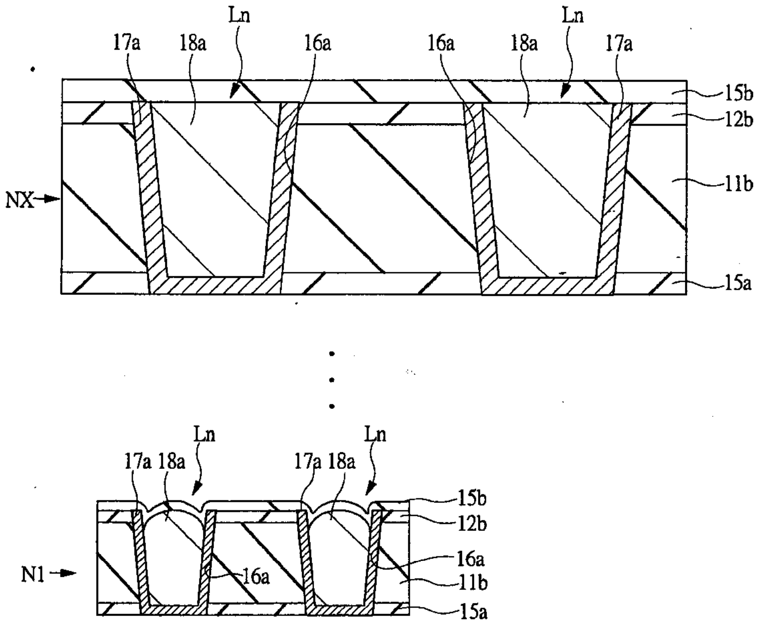
도면21


1W
L2
L2
17a
18a
16a
17a
18a
16a
15b
11b
15a
12a

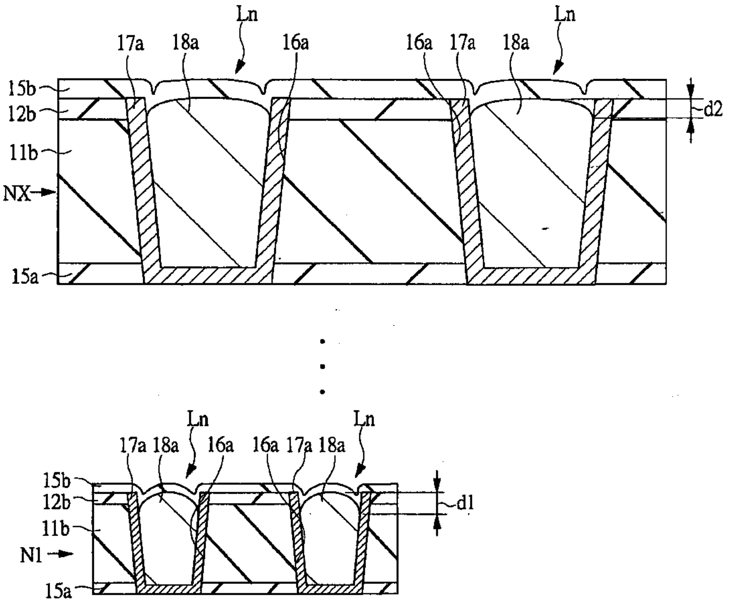
도면22


1W
18a(L2)
16a
16a
18a(L2)
15b
12b
11b
15a
12a

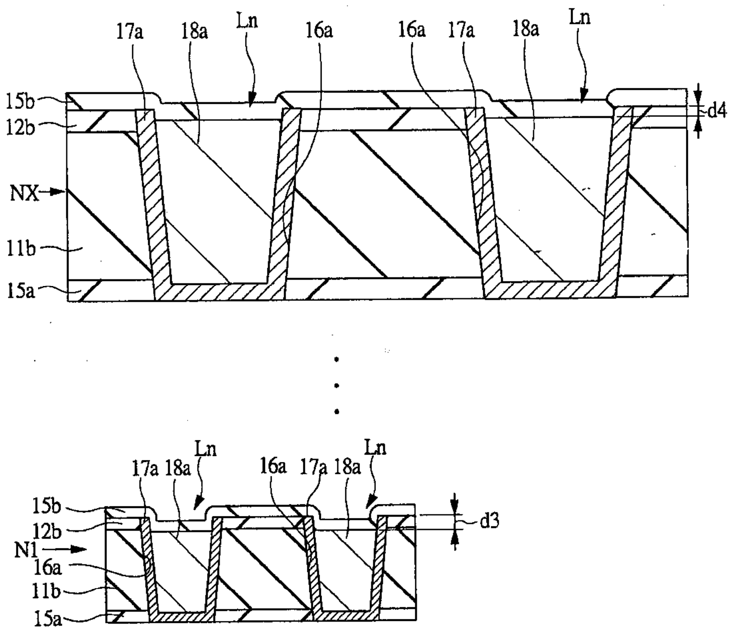
도면23


Ln
Ln
NX
Ln
17a 18a
Ln
17a 18a
N1

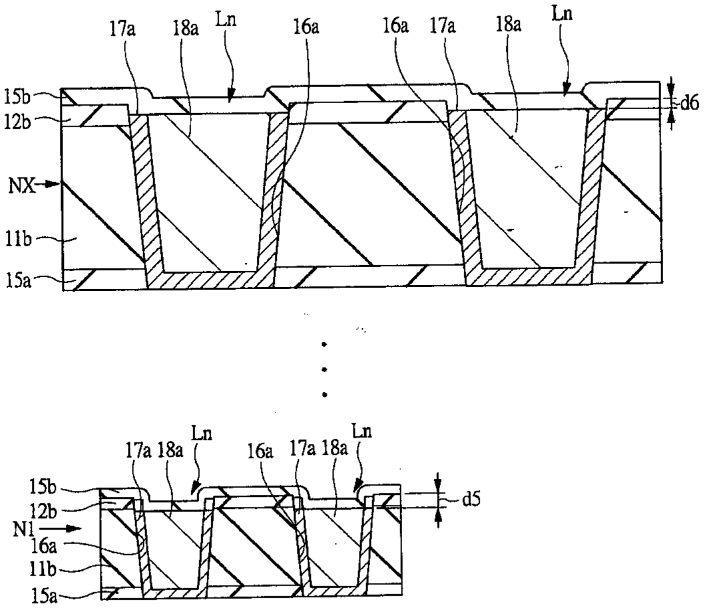
도면24


Ln
Ln
NX
d2
Ln
17a 18a
16a 17a 18a
Ln
N1
d1

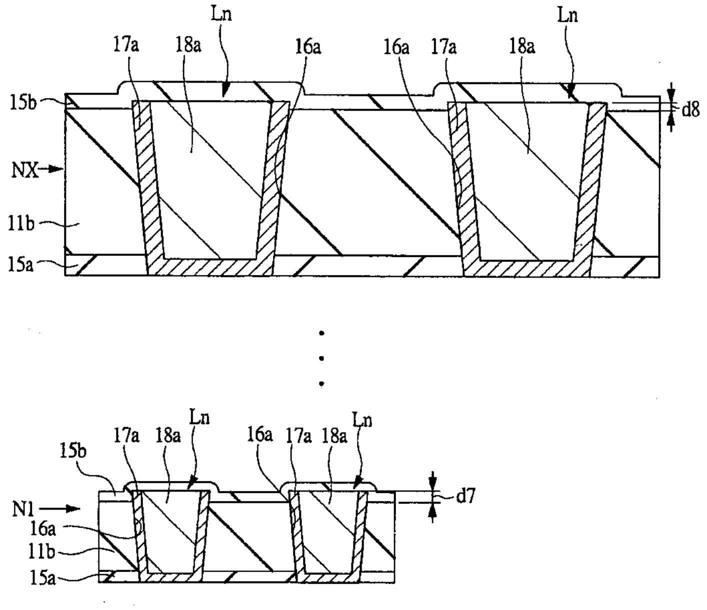
도면25


Ln
Ln
d4
NX
Ln
17a 18a
17a 18a
Ln
N1
d3

도면26


Ln
Ln
d6
NX
Ln
17a 18a
17a 18a
Ln
N1
d5

도면27


Ln
Ln
d8
NX
Ln
Ln
d7
N1