



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월30일

(11) 등록번호 10-2071545

(24) 등록일자 2020년01월22일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2014-7036201

(22) 출원일자(국제) 2013년05월20일

심사청구일자 2018년05월18일

(85) 번역문제출일자 2014년12월23일

(65) 공개번호 10-2015-0027116

(43) 공개일자 2015년03월11일

(86) 국제출원번호 PCT/JP2013/064555

(87) 국제공개번호 WO 2013/180040

국제공개일자 2013년12월05일

(30) 우선권주장

JP-P-2012-125432 2012년05월31일 일본(JP)

(56) 선행기술조사문헌

JP2010073881 A

JP2011135061 A

JP2011243745 A

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

코에주카 준이치

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

황의만

전체 청구항 수 : 총 10 항

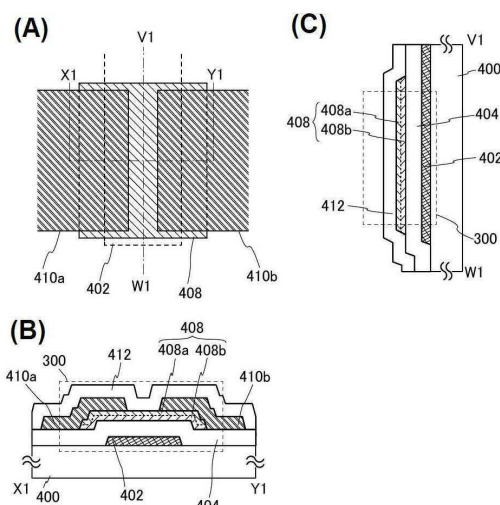
심사관 : 나영준

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 산화물 반도체를 포함한 반도체 장치에서, 전기 특성의 변동을 억제하여, 신뢰성이 높은 반도체 장치를 제공한다. 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 트랜지스터의 전류 경로(채널)가 되는 제 2 산화물 반도체층을 포함하여 구성되는 반도체 장치를 제공한다. 제 1 산화물 반도체층은 소스 전극층 및 드레인 전극층의 구성 원소가 채널까지 확산되는 것을 억제하기 위한 버퍼층으로서 기능한다. 제 1 산화물 반도체층을 제공함으로써, 제 1 산화물 반도체층과 제 2 산화물 반도체층과의 계면, 및 제 2 산화물 반도체층 중으로의 이 구성 원소의 확산을 억제할 수 있다.

대표도 - 도1



(72) 발명자

시마 유키노리

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

토쿠나가 하지메

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

게이트 전극층을 형성하는 단계;

실리콘과 질소를 포함하는 제 1 혼합 가스를 이용하여 제 1 게이트 절연층을 형성하는 단계;

실리콘과 일산화이질소(dinitrogen monoxide)를 포함하는 제 2 혼합 가스를 이용하여 제 2 게이트 절연층을 형성하는 단계;

상기 제 2 게이트 절연층 위에 제 1 산화물 반도체층을 형성하는 단계;

상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계; 및

상기 제 2 산화물 반도체층 위에 소스 전극층과 드레인 전극층을 각각 형성하는 단계를 포함하고,

상기 제 1 산화물 반도체층은 인듐, 갈륨, 및 아연 중 하나 이상을 포함하고,

상기 제 2 산화물 반도체층은 인듐, 갈륨, 및 아연 중 하나 이상을 포함하고,

상기 제 2 산화물 반도체층의 에너지 갭은 상기 제 1 산화물 반도체층의 에너지 갭보다 큰, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 게이트 절연층을 형성하기 위해 상기 제 1 혼합 가스를 공급한 후, 실리콘, 질소, 및 암모니아를 포함하는 제 3 혼합 가스를 공급하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 게이트 절연층을 형성하기 위해 상기 제 3 혼합 가스를 공급한 후 실리콘과 질소를 포함하는 제 4 혼합 가스를 공급하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 4

반도체 장치의 제작 방법으로서,

게이트 전극층을 형성하는 단계;

실리콘과 질소를 포함하는 제 1 혼합 가스를 이용하여 제 1 게이트 절연층을 형성하는 단계;

실리콘과 일산화이질소를 포함하는 제 2 혼합 가스를 이용하여 제 2 게이트 절연층을 형성하는 단계;

상기 제 2 게이트 절연층 위에 제 1 산화물 반도체층을 형성하는 단계;

상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계; 및

상기 제 2 산화물 반도체층 위에 소스 전극층과 드레인 전극층을 각각 형성하는 단계를 포함하고,

상기 제 1 산화물 반도체층은 인듐, 갈륨, 및 아연 중 하나 이상을 포함하고,

상기 제 2 산화물 반도체층은 인듐, 갈륨, 및 아연 중 하나 이상을 포함하고,

상기 제 2 산화물 반도체층의 에너지 갭은 상기 제 1 산화물 반도체층의 에너지 갭보다 크고,

상기 소스 전극층과 상기 드레인 전극층 각각은 구리를 포함하는, 반도체 장치의 제작 방법.

청구항 5

제 4 항에 있어서,

상기 제 1 게이트 절연층을 형성하기 위해 상기 제 1 혼합 가스를 공급한 후 실리콘, 질소, 및 암모니아를 포함하는 제 3 혼합 가스를 공급하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 게이트 절연층을 형성하기 위해 상기 제 3 혼합 가스를 공급한 후 실리콘과 질소를 포함하는 제 4 혼합 가스를 공급하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 게이트 절연층과 상기 제 2 게이트 절연층 각각은 플라즈마 CVD에 의해 형성되는, 반도체 장치의 제작 방법.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 게이트 절연층은 질화 실리콘막을 포함하는, 반도체 장치의 제작 방법.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 2 산화물 반도체층은 결정성 산화물 반도체층인, 반도체 장치의 제작 방법.

청구항 10

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층에서 상기 인듐의 함유량은 상기 갈륨의 함유량보다 크고,

상기 제 2 산화물 반도체층에서 상기 인듐의 함유량은 상기 갈륨의 함유량 이하인, 반도체 장치의 제작 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 명세서 등에서 개시하는 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고; 전기 광학 장치, 화상 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터를 형성하는 기술이 주목받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 넓게 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있다. 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 산화물 반도체로서 산화 아연, 또는 In-Ga-Zn계 산화물 반도체를 이용하여 트랜지스터를 형성하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0005] 비특허문헌 1에는 조성이 다른 산화물 반도체를 적층시킨 구조를 가지는 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

비특허문헌

[0007] (비특허문헌 0001) Masashi Ono et al., "Novel High Performance IGZO-TFT with High Mobility over 40 cm²/Vs and High Photostability Incorporated Oxygen Diffusion", IDW' 11 Late-News Paper, pp. 1689-1690.

발명의 내용

해결하려는 과제

[0008] 산화물 반도체를 포함하는 트랜지스터에서, 산화물 반도체층과 이 산화물 반도체층에 접촉하는 층과의 계면에 포획 준위(계면 준위라고도 함)가 존재하면, 트랜지스터의 전기 특성(예를 들면, 문턱 전압, 또는 S값(subthreshold value))의 변동의 원인이 된다.

[0009] 예를 들면, 보텀 게이트형의 트랜지스터에서, 소스 전극층 및 드레인 전극층의 구성 원소가 산화물 반도체층의 백 채널로 확산되면, 이 구성 원소가 포획 준위를 형성함으로써, 트랜지스터의 전기 특성이 변동한다. 또한, 산화물 반도체층과 게이트 절연층과의 계면에 포획 준위가 존재함으로써, 트랜지스터의 전기 특성의 변동을 일으키는 경우도 있다.

[0010] 그러므로, 본 발명의 일양태는 산화물 반도체를 포함하는 반도체 장치에서 전기 특성의 변동을 억제하고, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0011] 본 발명의 일양태는 산화물 반도체를 포함하는 보텀 게이트형의 트랜지스터에서, 적어도 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 이 제 1 산화물 반도체층과 게이트 절연층과의 사이에 제공된 제 2 산화물 반도체층과의 적층 구조를 가진다. 상기에서, 제 2 산화물 반도체층을 트랜지스터의 주된 전류 경로(채널)로 하고, 제 1 산화물 반도체층을 소스 전극층 및 드레인 전극층의 구성 원소의 확산을 억제하기 위한 버퍼층으로서 이용함으로써, 트랜지스터의 전기 특성의 변동을 억제할 수 있다. 보다 구체적으로는 예를 들면 이하의 구성으로 할 수 있다.
- [0012] 본 발명의 일양태는 게이트 전극층과, 게이트 전극층 위의 게이트 절연층과, 게이트 절연층을 통하여 게이트 전극층과 중첩하는 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속하는 소스 전극층 및 드레인 전극층을 포함하는 반도체 장치이다. 산화물 반도체 적층은 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 제 1 산화물 반도체층과 게이트 절연층과의 사이에 제공된 제 2 산화물 반도체층을 포함한다. 제 1 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성 이하이다. 제 2 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성보다 크다. 제 1 산화물 반도체층은 소스 전극층 및 드레인 전극층의 구성 원소를 불순물로서 포함한다.
- [0013] 본 발명의 다른 일양태는 게이트 전극층과, 게이트 전극층 위의 게이트 절연층과, 게이트 절연층을 통하여 게이트 전극층과 중첩하는 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속하는 소스 전극층 및 드레인 전극층을 포함하는 반도체 장치이다. 산화물 반도체 적층은 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 게이트 절연층과 접촉하는 제 3 산화물 반도체층과, 제 1 산화물 반도체층과 제 3 산화물 반도체층의 사이에 제공된 제 2 산화물 반도체층을 포함한다. 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성 이하이다. 제 2 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성보다 크다. 제 1 산화물 반도체층은 소스 전극층 및 드레인 전극층의 구성 원소를 불순물로서 포함한다.
- [0014] 본 발명의 다른 일양태는 게이트 전극층과, 게이트 전극층 위의 게이트 절연층과, 게이트 절연층을 통하여 게이트 전극층과 중첩하는 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속하는 소스 전극층 및 드레인 전극층을 포함하는 반도체 장치이다. 산화물 반도체 적층은 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 게이트 절연층과 접촉하는 제 3 산화물 반도체층과, 제 1 산화물 반도체층과 제 3 산화물 반도체층의 사이에 제공된 제 2 산화물 반도체층을 포함한다. 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성 이하이다. 제 2 산화물 반도체층은 적어도 인듐 및 갈륨을 포함하고, 또한, 인듐의 조성은 갈륨의 조성보다 크다. 제 1 산화물 반도체층은 소스 전극층 및 드레인 전극층의 구성 원소를 불순물로서 포함한다. 제 3 산화물 반도체층은 게이트 절연층의 구성 원소를 불순물로서 포함한다.
- [0015] 상기의 반도체 장치 중 어느 하나에서, 소스 전극층 및 드레인 전극층은 구리를 포함하는 것이 바람직하다.
- [0016] 상기의 반도체 장치 중 어느 하나에서, 게이트 절연층은 질화 실리콘막을 포함해도 좋다.
- [0017] 본 발명의 일양태에 따른 구성의 효과는 이하와 같이 설명할 수 있다. 단, 이하는 어디까지나 한 고찰에 지나지 않는 것을 부기한다.
- [0018] 본 발명의 일양태의 트랜지스터는 소스 전극층 및 드레인 전극층과 접촉하는 제 1 산화물 반도체층과, 트랜지스터의 주된 전류 경로(채널)가 되는 제 2 산화물 반도체층을 포함하여 구성된다. 여기서, 제 1 산화물 반도체층은 소스 전극층 및 드레인 전극층의 구성 원소가 채널까지 확산되는 것을 억제하기 위한 버퍼층으로서 기능한다. 제 1 산화물 반도체층을 제공함으로써, 제 1 산화물 반도체층과 제 2 산화물 반도체층과의 계면, 및 제 2 산화물 반도체층 중으로의 이 구성 원소의 확산을 억제할 수 있다.
- [0019] 또한, 제 1 산화물 반도체층에 적용하는 금속 산화물의 에너지 갭(밴드 갭)을 제 2 산화물 반도체층에 적용하는 금속 산화물의 에너지 갭보다 크게 함으로써, 제 2 산화물 반도체층과 제 1 산화물 반도체층과의 사이에 전도대 밴드 오프셋을 형성할 수 있기 때문에 바람직하다. 산화물 반도체 적층에서 전도대 밴드 오프셋이 존재하면, 캐리어가 제 1 산화물 반도체층 계면 및 제 1 산화물 반도체층 중을 이동하지 않고, 제 2 산화물 반도체층을 흐르기 때문에; 백 채널층에 금속 원소의 확산에 기인하는 포획 준위가 존재하는 경우에도, 이 포획 준위의 영향을 받기 어렵다. 따라서, 트랜지스터의 전기 특성을 안정화시킬 수 있다.

[0020] 본 발명의 일양태의 트랜지스터는 상술한 제 1 산화물 반도체층 및 제 2 산화물 반도체층에 더하여, 제 2 산화물 반도체층과 게이트 절연층과의 사이에 제공되고, 게이트 절연층에 접촉하는 제 3 산화물 반도체층을 포함하여 구성되는 것이 보다 바람직하다. 제 3 산화물 반도체층은 제 2 산화물 반도체층의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를 포함하여 구성되고, 제 2 산화물 반도체층과 동질성을 포함한다. 따라서, 제 3 산화물 반도체층을 제공함으로써, 채널로서 기능하는 제 2 산화물 반도체층의 게이트 절연층측 계면을 안정화시킬 수 있다. 즉, 제 3 산화물 반도체층은 이 계면의 열화를 방지하기 위한 버퍼층으로서 기능한다. 특히, 채널의 게이트 절연층측 계면에서의 캐리어의 포획을 억제함으로써, 트랜지스터의 광 열화(예를 들면, 광 부바이어스 열화)를 저감할 수 있어, 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0021] 또한, 제 1 산화물 반도체층과 마찬가지로, 제 3 산화물 반도체층에 적용하는 금속 산화물의 에너지 갭을 제 2 산화물 반도체층에 적용하는 금속 산화물의 에너지 갭보다 크게 함으로써, 제 3 산화물 반도체층과 제 2 산화물 반도체층과의 사이에 전도대 밴드 오프셋을 형성할 수 있기 때문에 바람직하다. 통상의 MISFET에서도 게이트 절연층과 반도체와의 계면에는 포획 준위 등이 발생하여 FET의 전기 특성을 열화시키지만; 제 3 산화물 반도체층을 제공함으로써, 캐리어가 게이트 절연층으로부터 떨어진 영역을 흐르는 구조(이른바 매립 채널)를 가지기 때문에, 상기 계면의 영향을 저감할 수 있다.

[0022] 제 1 산화물 반도체, 제 2 산화물 반도체, 및 제 3 산화물 반도체로서, 동일한 구성 원소에 의해 구성되고, 조성이 다른 금속 산화물을 적용하는 경우, 예를 들면, 제 1 산화물 반도체, 제 2 산화물 반도체, 및 제 3 산화물 반도체로서 적어도 인듐 및 갈륨을 함유하는 금속 산화물을 이용할 수 있다. 여기서, 다른 금속 원소에 대한 인듐의 조성의 비율이 클수록, 전계 효과 이동도가 높은 금속 산화물이 되고; 다른 금속 원소에 대한 갈륨의 비율이 클수록, 에너지 갭이 큰 금속 산화물이 된다. 따라서, 채널 형성 영역이 되는 제 2 산화물 반도체로서는 인듐의 조성이 갈륨의 조성보다 큰 금속 산화물을 이용하는 것이 바람직하고, 버퍼층으로서 기능하는 제 1 산화물 반도체 및 제 3 산화물 반도체로서는 인듐의 조성이 갈륨의 조성 이하인 금속 산화물을 이용하는 것이 바람직하다.

발명의 효과

[0023] 본 발명의 일양태에 의해, 산화물 반도체를 포함하는 트랜지스터에서 전기 특성의 변동을 억제할 수 있고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0024] 도 1의 (A) 내지 도 1의 (C)는 반도체 장치의 일양태를 나타내는 평면도 및 단면도.

도 2의 (A) 내지 도 2의 (D)는 반도체 장치의 일양태를 나타내는 평면도, 단면도 및 밴드도.

도 3의 (A) 내지 도 3의 (D)는 반도체 장치의 제작 방법의 일례를 나타내는 도면.

도 4의(A) 내지 도 4의 (C)는 반도체 장치의 일양태를 설명하는 도면.

도 5는 반도체 장치의 일양태를 설명하는 도면.

도 6의 (A) 및 도 6의 (B)는 반도체 장치의 일양태를 설명하는 도면.

도 7의 (A) 및 도 7의 (B)는 반도체 장치의 일양태를 설명하는 도면.

도 8의 (A) 내지 도 8의 (C)는 전자 기기를 나타내는 도면.

도 9의 (A) 내지 도 9의 (C)는 전자 기기를 나타내는 도면.

도 10의 (A) 및 도 10의 (B)는 반도체 장치의 일양태를 나타내는 단면도.

도 11의(A) 내지 도 11의 (C)는 반도체 장치의 일양태를 설명하는 도면.

도 12는 실시예의 SIMS의 측정 결과를 나타내는 도면.

도 13은 반도체 장치의 일양태를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는 본 발명의 실시형태에 대해 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로

한정되지 않고, 그 형태 및 상세를 다양하게 변경 할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

- [0026] 단 이하에 설명하는 본 발명의 구성에서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면간에 공통으로 이용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0027] 단 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0028] 단 본 명세서 등에서, 제 1, 제 2 등으로 붙여지는 서수사는 편의상 이용하는 것이고, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서 등에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0029] 또한, 본 명세서에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말하고, 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말하고, 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0030] 본 명세서에서 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.
- [0031] (실시형태 1)
- [0032] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 한 형태를 도 1의 (A) 내지 도 1의 (C), 도 2의 (A) 내지 도 2의 (D), 및 도 3의 (A) 내지 도 3d의 (D)를 이용하여 설명한다. 본 실시형태에서는 반도체 장치의 일례로서 산화물 반도체층을 가지는 보텀 게이트형의 트랜지스터를 나타낸다.
- [0033] 도 1의 (A) 내지 도 1의 (C)에 트랜지스터(300)의 구성예를 나타낸다. 도 1의 (A)는 트랜지스터(300)의 평면도이며, 도 1의 (B)는 도 1의 (A) 중의 섹션 X1-Y1에서의 단면도이며, 도 1의 (C)는 도 1의 (A) 중의 섹션 V1-W1에서의 단면도이다.
- [0034] 트랜지스터(300)는 절연 표면을 가지는 기판(400) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층(404)과, 게이트 절연층(404) 위에 접촉하고, 게이트 전극층(402)과 중첩하는 산화물 반도체 적층(408)과, 산화물 반도체 적층(408)과 전기적으로 접속하는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 단 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고, 산화물 반도체 적층(408)과 접촉하는 절연층(412)을 구성 요소로서 트랜지스터(300)에 포함해도 좋다.
- [0035] 트랜지스터(300)에서, 산화물 반도체 적층(408)은 소스 전극층(410a) 및 드레인 전극층(410b)과 접촉하는 산화물 반도체층(408a)과, 산화물 반도체층(408b)과 게이트 절연층(404)과의 사이에 제공된 산화물 반도체층(408b)을 포함하여 구성된다.
- [0036] 산화물 반도체 적층(408)에서, 산화물 반도체층(408b)은 트랜지스터(300)의 채널을 형성하는 영역이다. 산화물 반도체층(408b)의 백 채널층에 제공된 산화물 반도체층(408a)은 소스 전극층(410a) 및 드레인 전극층(410b)의 구성 원소가 산화물 반도체층(408b)에 확산되는 것을 방지하는 버퍼층으로서 기능한다. 즉, 산화물 반도체층(408a)은 소스 전극층(410a) 및 드레인 전극층(410b)의 구성 원소를 불순물로서 포함한다. 이 버퍼층을 제공함으로써, 트랜지스터(300)의 채널에서 포획 준위가 형성되는 것을 억제할 수 있기 때문에; 포획 준위에 기인하는 S값의 증대를 억제할 수 있다. 따라서, 트랜지스터의 전기 특성의 편차, 또는 시간 경과 열화를 억제하여; 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0037] 산화물 반도체층(408a) 및 산화물 반도체층(408b)은 구성 원소가 다른 산화물 반도체를 이용해도 좋고, 구성 원소를 동일하게 하고, 양자의 조성을 다르게 해도 좋다. 단, 트랜지스터(300)의 채널로서 기능하는 산화물 반도체층(408b)으로서는 전계 효과 이동도가 높은 산화물 반도체를 이용하는 것이 바람직하다.
- [0038] 예를 들면, 산화물 반도체층(408a) 및 산화물 반도체층(408b)의 구성 원소를 동일하게 하게 형성하고, 적어도 인듐 및 갈륨을 함유하는 산화물 반도체를 이용하는 경우, 산화물 반도체층(408b)으로서는 인듐의 조성이 갈륨의 조성보다 큰 산화물 반도체를 이용하는 것이 바람직하고, 산화물 반도체층(408a)으로서는 인듐의 조성이 갈륨의 조성 이하인 산화물 반도체를 이용하는 것이 바람직하다.
- [0039] 산화물 반도체에서는 주로 중금속의 s캐도가 캐리어 전도에 기여하고 있고, 인듐의 함유율을 많게 함으로써 s캐도의 오버랩이 많아지는 경향이 있다. 따라서, 산화물 반도체층(408b)에서, 인듐의 조성을 갈륨의 조성보다 크

게 함으로써, 인듐의 조성이 갈륨의 조성 이하인 산화물과 비교하여 높은 전계 효과 이동도를 구비하는 것이 가능해진다.

[0040] 또한, 다른 금속 원소에 대한 갈륨의 비율이 클수록 에너지 갭이 큰 금속 산화물이 된다. 따라서, 인듐의 조성을 갈륨의 조성 이하로 함으로써, 산화물 반도체층(408a)은 산화물 반도체층(408b)보다 큰 에너지 갭을 가진다. 따라서, 산화물 반도체층(408b)과 산화물 반도체층(408a)과의 사이에 전도대 밴드 오프셋을 형성할 수 있기 때문에 바람직하다. 또한, 갈륨은 인듐과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 생기기 어렵다. 따라서, 인듐의 조성이 갈륨의 조성 이하인 금속 산화물은 인듐의 조성이 갈륨의 조성보다 큰 금속 산화물과 비교하여 안정된 특성을 구비한다. 따라서, 트랜지스터(300)의 백 채널층을 보다 안정화할 수 있다.

[0041] 예를 들면, 산화물 반도체층(408a) 및 산화물 반도체층(408b)으로서 In-Ga-Zn계 산화물 반도체를 이용하는 경우, 산화물 반도체층(408a)에는 In : Ga : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3), In : Ga : Zn=1 : 3 : 2(=1/6 : 3/6 : 2/6), In : Ga : Zn=2 : 4 : 3(=2/9 : 4/9 : 3/9), 혹은 In : Ga : Zn=1 : 5 : 3(=1/9 : 5/9 : 3/9)의 조성(원자수비)의 In-Ga-Zn계 산화물이나 그 조성의 근방의 금속 산화물을 이용할 수 있다. 산화물 반도체층(408b)에는 In : Ga : Zn=3 : 1 : 2(=3/6 : 1/6 : 2/6), In : Ga : Zn=4 : 2 : 3(=4/9 : 2/9 : 3/9), In : Ga : Zn=5 : 1 : 3(=5/9 : 1/9 : 3/9), In : Ga : Zn=5 : 3 : 4(=5/12 : 3/12 : 4/12), In : Ga : Zn=6 : 2 : 4(=6/12 : 2/12 : 4/12), 혹은 In : Ga : Zn=7 : 1 : 3(=7/11 : 1/11 : 3/11)의 조성(원자수비)의 In-Ga-Zn계 산화물이나 그 조성의 근방의 금속 산화물을 이용할 수 있다.

[0042] 단 예를 들면, "In, Ga, Zn의 조성이 In : Ga : Zn=a : b : c(a+b+c=1)인 산화물의 조성, 조성이 In : Ga : Zn=A : B : C(A+B+C=1)인 산화물의 조성의 근방이라는 것"은 a, b, c가 다음의 관계를 만족하는 것을 말한다: $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족하는 것을 말한다. r로서는 예를 들면, 0.05로 하면 좋다.

[0043] 단 산화물 반도체 적층(408)에 적용하는 금속 산화물로서는 이것들에 한정되지 않고, 필요로 하는 전기적 특성(전계 효과 이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 이용하면 좋다. 필요로 하는 전기적 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다. 예를 들면, 갈륨 대신에 다른 금속 원소를 함유해도 좋다. 또는 아연을 포함하지 않는 금속 산화물을 이용할 수도 있다. 단, 적용하는 금속 산화물 중에 조성으로서 아연을 포함하는 경우, 형성되는 산화물 반도체층을 비교적 용이하게 후술하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 할 수 있기 때문에 바람직하다.

[0044] 단 산화물 반도체층은 스퍼터링법에 의해 형성할 수 있다. 인듐을 함유하는 스퍼터링 타겟을 이용하여 성막 시의 파티클의 발생을 저감할 수 있다. 따라서, 인듐을 포함하는 산화물 반도체층(408a) 및 인듐을 포함하는 산화물 반도체층(408b)으로 하는 것이 보다 바람직하다.

[0045] 이하에서는 산화물 반도체층의 구조에 대해 설명한다.

[0046] 산화물 반도체층은 단결정 산화물 반도체층과 비단결정 산화물 반도체층으로 크게 구별된다. 비단결정 산화물 반도체층은, 비정질 산화물 반도체층, 미결정 산화물 반도체층, 다결정 산화물 반도체층, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 포함한다.

[0047] 비정질 산화물 반도체층은 막 중에서의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체층이다. 미소 영역에서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체층이 전형적이다.

[0048] 미결정 산화물 반도체층은 예를 들면, 1 nm 이상 10 nm 미만의 크기의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 원자 배열의 규칙성이 높다. 그러므로, 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 결함 준위 밀도가 낮다는 특징이 있다.

[0049] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체층의 하나이며, 대부분의 결정부는 한 변이 100 nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10 nm 미만, 5 nm 미만 또는 3 nm 미만의 입방체 내에 들어가는 크기의 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체층보다 결함 준위 밀도가 낮다는 특징이 있다. 이하, CAAC-OS막에 대해 상세한 설명을 행한다.

[0050] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 관찰하면, 결정부끼리의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 그러므로, CAAC-OS막은 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0051] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서, 금속 원자

가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.

[0052] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부간에서, 금속 원자의 배열에 규칙성은 볼 수 없다.

[0053] 단면 TEM 관찰 및 평면 TEM 관찰에 의해, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.

[0054] CAAC-OS막에 대해, X선 회절(XRD: X-Ray Diffraction) 장치를 이용하여 구조 해석을 행한다. 예를 들면 InGaZnO₄의 결정을 포함하는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되는 것으로부터, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0055] 한편, CAAC-OS막에 대해, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하고 시료를 회전시키면서 분석(ϕ 스캔)을 행한다. 시료가 InGaZnO₄의 단결정 산화물 반도체층이면, 6개의 피크가 관찰된다. 6개의 피크는 (110)면과 등가인 결정면에 귀속되는 피크이다. 이에 비해, CAAC-OS막의 경우는 2θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.

[0056] 이상으로부터, c축 배향성을 가지는 CAAC-OS막에서는, 다른 결정부간에서 a축 및 b축의 배향은 불규칙하지만, c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열한 금속 원자의 각 층은 결정의 ab면에 평행한 면이다.

[0057] 단, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시켰을 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행할 필요가 없을 수도 있다.

[0058] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 일이 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화하여, 부분적으로 결정화도가 다른 영역이 형성되는 일도 있다.

[0059] 단 InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ 가 31° 근방의 피크 외에, 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방의 피크는 CAAC-OS막 중의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. CAAC-OS막은 2θ 가 31° 근방에 피크를 나타내고, 2θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0060] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0061] 또한 산화물 반도체층은 예를 들면, 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중, 2종 이상을 가지는 적층막이어도 좋다.

[0062] CAAC-OS막은 예를 들면, 다결정인 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다. 상기 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하고; a-b면에 평행한 면을 가지는 (평판 형상 또는 펠릿 형상의) 스퍼터링 입자로서 박리하는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채로 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

[0063] CAAC-OS막을 성막하기 위해, 이하의 조건을 적용하는 것이 바람직하다.

[0064] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

- [0065] 성막 시의 기판 가열 온도를 높임으로써, 기판 부착 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0066] 또한, 성막 가스 중의 산소 비율을 높여 전력을 최적화함으로써 성막 시의 플라즈마 대미지를 경감하면 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.
- [0067] 스퍼터링용 금속 산화물 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 나타낸다.
- [0068] InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말을 소정의 비율로 혼합하고, 가압 처리 후, 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 함으로써 다결정인 In-Ga-Zn-O 화합물 타겟으로 한다. 단 X, Y 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들면, InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.
- [0069] 단 산화물 반도체층(408a)과 산화물 반도체층(408b)은 다른 결정성을 가지고 있어도 좋다. 단, 트랜지스터(300)의 채널로서 기능하는 산화물 반도체층(408b)에는 CAAC-OS막을 적용하는 것이 바람직하다. 산화물 반도체층(408b)이 CAAC-OS막을 이용하여 형성되는 경우, 산화물 반도체층(408b) 위에 접촉하여 제공되는 산화물 반도체층(408a)에, 프리커서의 정렬이 일어나고, 소위 질서성을 갖게 함으로써, 산화물 반도체층(408a)을 CAAC-OS막으로 할 수 있는 경우가 있다. 백 채널층에 제공되는 산화물 반도체층(408a)은 비정질 산화물 반도체이면, 소스 전극층(410a) 및 드레인 전극층(410b)형성 시의 에칭 처리에 의해 산소 결손이 생겨 n형화되기 쉽다. 따라서, 산화물 반도체층(408a)에 결정성을 가지는 산화물 반도체를 적용하는 것은 바람직하다.
- [0070] 단 본 실시형태에서, 산화물 반도체층(408a)과 산화물 반도체층(408b)은 동일한 구성 원소에 의해 형성된 산화물 반도체 적층으로 한다. 이 때, 재료나 성막 조건에 따라서는 각 산화물 반도체층끼리의 계면이 불명확해지는 경우도 있다. 따라서, 도 1의 (A) 내지 도 1의 (C)에서는 산화물 반도체층(408a)과 산화물 반도체층(408b)의 계면을 모식적으로 점선으로 도시하고 있다. 이것은 이후의 각 도면에서도 마찬가지이다.
- [0071] 도 2의 (A) 내지 도 2의 (C)에 트랜지스터(310)의 구성예를 나타낸다. 도 2의 (A)는 트랜지스터(310)의 평면도이며, 도 2의 (B)는 도 2의 (A) 중의 섹션 X2-Y2에서의 단면도이며, 도 2의 (C)는 도 2의 (A) 중의 섹션 V2-W2에서의 단면도이다. 도 2의 (A) 내지 도 2의 (C)에 나타내는 트랜지스터(310)는 도 1의 (A) 내지도 1의 (C)의 트랜지스터(300)와 마찬가지로, 절연 표면을 가지는 기판(400) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층(404)과, 게이트 절연층(404)과 접촉하고, 게이트 전극층(402)과 중첩하는 산화물 반도체 적층(408)과, 산화물 반도체 적층(408)과 전기적으로 접속하는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 또한, 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고, 산화물 반도체 적층(408)과 접촉하는 절연층(412)은 트랜지스터(310)의 구성 요소로서 포함되어도 좋다.
- [0072] 트랜지스터(310)는 산화물 반도체층(408b)과 게이트 절연층(404)과의 사이에 산화물 반도체층(408c)이 제공되는 점에서, 트랜지스터(300)와 상이하다. 즉, 트랜지스터(310)에서는 산화물 반도체 적층(408)이 산화물 반도체층(408a), 산화물 반도체층(408b) 및 산화물 반도체층(408c)의 적층 구조를 포함한다.
- [0073] 단 트랜지스터(310)에서, 산화물 반도체층(408c) 이외의 구성은 트랜지스터(300)와 같고; 따라서 트랜지스터(300)에 대한 설명을 참조할 수 있다.
- [0074] 트랜지스터(310)에서, 채널이 형성되는 산화물 반도체층(408b)과, 게이트 절연층(404)과의 사이에 산화물 반도체층(408c)을 포함함으로써, 캐리어가 게이트 절연층(404)로부터 떨어진 영역을 흐르는 구조(이른바 매립 채널)가 된다. 따라서, 게이트 절연층(404)과 채널과의 계면을 안정화할 수 있어, 이 계면에 포획 준위가 형성되는 것을 억제할 수 있다. 이것에 의해, 트랜지스터의 열화, 특히 광 부바이어스 열화 등의 광 열화를 방지하고, 신뢰성이 높은 트랜지스터로 할 수 있다.
- [0075] 인듐과 갈륨을 함유하는 금속 산화물에서, 다른 금속 원소에 대한 갈륨의 조성의 비율이 클 수록, 에너지 갭은 커진다. 또한, 산화물 반도체층(408c)과 산화물 반도체층(408b)의 밴드 갭의 차이에 의해, 전도대 밴드 오프셋이 형성된다. 따라서, 산화물 반도체층(408c)로서 인듐의 조성이 갈륨의 조성 이하인 금속 산화물을 이용하면, 산화물 반도체층(408b)에 효과적으로 채널을 형성할 수 있기 때문에 바람직하다.

- [0076] 산화물 반도체층(408c)으로서 In-Ga-Zn계 산화물 반도체를 이용하는 경우, In : Ga : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3), In : Ga : Zn=1 : 3 : 2(=1/6 : 3/6 : 2/6), In : Ga : Zn=2 : 4 : 3(=2/9 : 4/9 : 3/9), 혹은 In : Ga : Zn=1 : 5 : 3(=1/9 : 5/9 : 3/9)의 조성(원자수비)의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 이용할 수 있다. 단 산화물 반도체층(408a)과 산화물 반도체층(408c)은 양쪽 모두 인듐의 조성이 갈륨의 조성 이하인 금속 산화물을 이용하는 것이 바람직하다. 여기서, 산화물 반도체층(408a)의 조성과 산화물 반도체층(408c)의 조성은 동일해도 달라도 좋다.
- [0077] 일반적으로, 산화물 반도체층은 스퍼터링법을 이용하여 성막되는 경우가 많다. 한편, 산화물 반도체층의 스퍼터링 시에 이온화된 희가스 원소(예를 들면, 아르곤)나, 스퍼터링 타겟 표면으로부터 뿜겨 날아간 입자가 게이트 절연층 등의 산화물 반도체층의 피형성면이 되는 막의 입자를 뿜겨 날리는 일이 있다. 이와 같이 하여 피형성면이 되는 막으로부터 뿜겨져 날아간 입자는 산화물 반도체층에 불순물 원소로서 기능한다. 특히 산화물 반도체층의 피형성면 근방에는 불순물 원소가 높은 농도를 가질 우려가 있다. 또, 불순물 원소가 산화물 반도체층의 피형성면 근방에 잔존하면, 상기 산화물 반도체층이 고저항화되어, 트랜지스터의 전기 특성의 저하의 요인이 된다.
- [0078] 그러나, 도 2의 (A) 내지 도 2의 (C)에 나타내는 트랜지스터(310)에서는 채널이 형성되는 산화물 반도체층(408b)과, 게이트 절연층(404)과의 사이에 산화물 반도체층(408c)이 제공됨으로써, 게이트 절연층(404)의 구성 원소가 채널까지 확산되는 것을 억제할 수 있다. 즉, 산화물 반도체층(408c)은 게이트 절연층(404)의 구성 원소(예를 들면, 실리콘)를 불순물로서 포함하는 경우가 있다. 산화물 반도체층(408c)을 포함함으로써, 트랜지스터(310)의 전기 특성을 보다 안정화할 수 있어; 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0079] 도 2의 (D)는 도 2의 (B)에서의 막 두께 방향(D-D'간)의 에너지 밴드도이다. 본 실시형태에서는 산화물 반도체층(408a) 내지 산화물 반도체층(408c)을 In-Ga-Zn계 산화물 반도체를 이용하여 형성하는 것으로 한다. 산화물 반도체층(408a) 및 산화물 반도체층(408c)에는 인듐의 조성이 갈륨의 조성 이하인 금속 산화물을 이용하고, 산화물 반도체층(408b)에는 인듐의 조성이 갈륨의 조성보다 큰 금속 산화물을 이용한다. 이것에 의해 본 실시형태에 나타내는 산화물 반도체 적층(408)은 도 2의 (D)에 나타내는 에너지 밴드도와 같이, 소위 매립 채널을 가질 수 있다.
- [0080] 이하에, 도 3의 (A) 내지 도 3의 (D)를 이용하여 트랜지스터(310)의 제작 방법의 일례를 나타낸다.
- [0081] 우선, 절연 표면을 가지는 기판(400) 위에, 게이트 전극층(402)(이것과 같은 층에서 형성되는 배선을 포함함)을 형성한다.
- [0082] 절연 표면을 가지는 기판(400)에 사용할 수 있는 기판에 큰 제약은 없지만, 적어도 후의 열처리에 견딜 수 있을 정도의 내열성을 가지는 것이 필요하다. 예를 들면, 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 이용할 수 있다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 이용할 수 있다. 이러한 기판에 반도체 소자가 제공된 것을 기판(400)으로서 이용해도 좋다. 또한, 기판(400) 위에 하지 절연층을 형성해도 좋다.
- [0083] 게이트 전극층(402)의 재료는 폴리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여 형성할 수 있다. 또한, 게이트 전극층(402)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 이용해도 좋다. 게이트 전극층(402)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 게이트 전극층(402)은 테이퍼 형상으로 해도 좋고, 예를 들면 테이퍼 각을 15° 이상 70° 이하로 하면 좋다. 여기서, 테이퍼 각이란, 테이퍼 형상을 가지는 층의 측면과 상기 층의 저면과의 사이의 각도를 가리킨다.
- [0084] 게이트 전극층(402)의 재료는 산화 인듐 산화 주석, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 규소를 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0085] 또는 게이트 전극층(402)의 재료로서 질소를 포함하는 In-Ga-Zn계 산화물, 질소를 포함하는 In-Sn계 산화물, 질소를 포함하는 In-Ga계 산화물, 질소를 포함하는 In-Zn계 산화물, 질소를 포함하는 Sn계 산화물, 질소를 포함하는 In계 산화물, 금속 질화물막(질화 인듐막, 질화 아연막, 질화 탄탈막, 질화 텅스텐막 등)을 이용해도 좋다. 이러한 재료는 5 전자 볼트 이상의 일 함수를 가진다. 따라서, 이러한 재료를 이용하여 게이트 전극층(402)을 형성함으로써 트랜지스터의 문턱 전압을 플러스로 할 수 있어, 노멀리 오프인 스위칭 트랜지스터를 실현할 수

있다.

- [0086] 그 다음에, 게이트 전극층(402)을 덮도록 게이트 전극층(402) 위에 게이트 절연층(404)을 형성한다(도 3의 (A) 참조). 게이트 절연층(404)으로서는 플라즈마 CVD법, 스퍼터링법 등에 의해, 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막 및 산화 네오디뮴막을 일종 이상 포함하는 절연막을 단층으로, 또는 적층으로 이용한다.
- [0087] 단 게이트 절연층(404)에서, 나중에 형성되는 산화물 반도체 적층(408)과 접촉하는 영역은 산화물 절연층인 것이 바람직하고, 산소 과잉 영역을 포함하는 것이 보다 바람직하다. 게이트 절연층(404)에 산소 과잉 영역을 제공하기 위해서는 예를 들면, 산소 분위기 하에서 게이트 절연층(404)을 형성하면 좋다. 또는 성막 후의 게이트 절연층(404)에 산소를 도입하여, 산소 과잉 영역을 형성해도 좋다. 산소의 도입 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법(plasma immersion ion implantation method), 플라즈마 처리 등을 이용할 수 있다.
- [0088] 그 다음에, 게이트 절연층(404) 위에, 산화물 반도체층(408c)이 되는 산화물 반도체막, 산화물 반도체층(408b)이 되는 산화물 반도체막, 및 산화물 반도체층(408a)이 되는 산화물 반도체막을 차례로 성막하고, 포토리소그래피법을 이용한 에칭 처리에 의해 섬 형상으로 가공하고, 산화물 반도체 적층(408)을 형성한다(도 3의 (B) 참조).
- [0089] 산화물 반도체층(408c), 산화물 반도체층(408b) 및 산화물 반도체층(408a)은 각각, 비정질 산화물 반도체여도 좋고, 결정성 산화물 반도체여도 좋다. 단, 트랜지스터(310)의 채널로서 기능하는 산화물 반도체층(408b)은 결정성 산화물 반도체로 하는 것이 바람직하다. 비정질 산화물 반도체에 열처리를 가함으로써, 결정성 산화물 반도체를 얻어도 좋다. 비정질 산화물 반도체를 결정화시키는 열처리의 온도는 250℃ 이상 700℃ 이하, 바람직하게는 400℃ 이상, 보다 바람직하게는 500℃ 이상, 보다 더 바람직하게는 550℃ 이상으로 한다. 단, 상기 열처리는 제작 공정에서의 다른 열처리와 겸할 수도 있다.
- [0090] 각 산화물 반도체막의 성막 방법은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용하여 형성할 수 있다.
- [0091] 산화물 반도체막을 형성할 때, 가능한 한 막 중에 포함되는 수소 농도를 저감시키는 것이 바람직하다. 수소 농도를 저감시키기 위해서는, 예를 들면, 스퍼터링법을 이용하여 성막을 행하는 경우에는 스퍼터링 장치의 성막실 내에 공급하는 분위기 가스로서, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 회가스(대표적으로는 아르곤); 산소; 및 회가스와 산소와의 혼합 가스를 적절히 이용한다.
- [0092] 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하여 성막을 행함으로써, 성막된 산화물 반도체막의 수소 농도를 저감시킬 수 있다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프는 예를 들면, 수소 분자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등의 배기 능력이 높기 때문에; 크라이오 펌프를 이용하여 배기한 성막실에서 형성된 막 중에 포함되는 불순물의 농도를 저감할 수 있다.
- [0093] 게이트 절연층(404) 및 산화물 반도체막은 대기 개방하지 않고 연속적으로 형성하는 것이 바람직하다. 게이트 절연층(404) 및 산화물 반도체막의 성막을 대기 개방하지 않고 연속적으로 행함으로써, 산화물 반도체막 표면에의 수소 또는 수소 화합물의 부착(예를 들면, 흡착수 등)을 방지할 수 있기 때문에, 불순물의 혼입을 억제할 수 있다.
- [0094] 또한, 산화물 반도체막을 스퍼터링법으로 성막하는 경우, 성막에 이용하는 금속 산화물 타겟의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하로 한다. 상대 밀도가 높은 금속 산화물 타겟을 이용함으로써, 성막되는 막을 치밀한 막으로 할 수 있다.
- [0095] 단 기판(400)을 고온으로 유지한 상태로 산화물 반도체막을 형성하는 것도, 산화물 반도체막 중에 포함될 수 있는 불순물 농도를 저감하는데 효과적이다. 기판(400)을 가열하는 온도로서는 150℃ 이상 450℃ 이하로 하면 좋고, 바람직하게는 기판 온도가 200℃ 이상 350℃ 이하로 하면 좋다. 성막 시에 기판을 고온으로 가열함으로써, 결정성 산화물 반도체막을 형성할 수 있다.
- [0096] 산화물 반도체층(예를 들면, 산화물 반도체층(408b))으로서 CAAC-OS막을 적용하는 경우, 이 CAAC-OS막을 얻는

방법으로서는 예를 들면, 다음의 방법이 이용될 수 있다. 한 방법은, 성막 온도를 200℃ 이상 450℃ 이하로 하여 산화물 반도체막의 성막을 행하고, 표면에 대략 수직으로 c축 배향시키는 방법이다. 다른 방법은, 산화물 반도체막을 얇은 막 두께로 성막한 후, 200℃ 이상 700℃ 이하의 열처리를 행하고, 표면에 대략 수직으로 c축 배향시켜도 좋다. 또 다른 방법은 1번째 층으로서 얇은 막 두께로 형성한 후, 200℃ 이상 700℃ 이하의 열처리를 행하고, 2번째 층의 형성을 행하고, 표면에 대략 수직으로 c축 배향시켜도 좋다.

[0097] 산화물 반도체층(408a) 내지 산화물 반도체층(408c)에 이용하는 산화물 반도체로서는 적어도 인듐(In)을 포함한다. 특히, 인듐과 아연(Zn)을 포함하는 것이 바람직하다. 또한, 이 산화물 반도체를 이용한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서 그것들에 더하여 갈륨(Ga)을 함유하는 것이 바람직하다.

[0098] 또한, 위에서 설명한 바와 같이, 포획 준위의 영향을 저감하기 위한 버퍼층으로서 기능하는 산화물 반도체층(408a) 및 산화물 반도체층(408c)으로서 인듐의 조성이 갈륨의 조성 이하인 금속 산화물을 이용하는 것이 바람직하고, 채널 형성 영역이 되는 산화물 반도체층(408b)으로서 인듐의 조성이 갈륨의 조성보다 큰 금속 산화물을 이용하는 것이 바람직하다.

[0099] 스테빌라이저로서 갈륨(Ga) 대신에, 또는 갈륨(Ga)에 더하여, 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 일종 또는 복수종을 가지고 있어도 좋다. 다른 스테빌라이저로서 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 일종 또는 복수종을 포함해도 좋다.

[0100] 예를 들면, 산화물 반도체로서 다음 중 어느 하나를 이용할 수 있다: 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0101] 예를 들면, "In-Ga-Zn계 산화물"이란, In와 Ga와 Zn를 주성분으로서 가지는 산화물이라고 하는 의미이며, In와 Ga와 Zn의 비율은 상관없다. In와 Ga와 Zn 이외의 금속 원소를 포함하고 있어도 좋다.

[0102] 또한, 산화물 반도체로서 InMO_3 의 $(\text{ZnO})_m$ ($m>0$, m 은 정수가 아님)으로 표기되는 재료를 이용해도 좋다. 단 M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 In_2SnO_5 의 $(\text{ZnO})_n$ ($n>0$, n 은 정수)로 표기되는 재료를 이용해도 좋다.

[0103] 산화물 반도체 적층(408)에 대해서, 막 중에 포함되는 과잉인 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 열처리를 행하는 것이 바람직하다. 열처리의 온도는 300℃ 이상 700℃ 이하, 또는 기판의 변형점 미만으로 한다. 열처리는 감압 하 또는 질소 분위기 하 등에서 행할 수 있다. 이 열처리에 의해, n형 도전성을 부여하는 불순물인 수소를 제거할 수 있다.

[0104] 단 탈수화 또는 탈수소화를 위한 열처리는 산화물 반도체막의 성막 후라면 트랜지스터의 제작 공정에서 어느 타이밍에 행해도 좋다. 탈수화 또는 탈수소화를 위한 열처리는 복수회 행해도 좋고, 다른 열처리와 겹쳐도 좋다.

[0105] 열처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를 6 N(99.9999%) 이상 바람직하게는 7 N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.

[0106] 또한, 열처리로 산화물 반도체층(또는 산화물 반도체 적층)을 가열한 후, 가열 온도를 유지, 또는 그 가열 온도로부터 서랭하면서 같은 노에 고순도의 산소 가스, 고순도의 일산화이질소 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점 온도계를 이용하여 측정된 경우의 수분량이 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 공기를 도입해도 좋다. 산소 가스 또는 일산화이질소 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 열처리 장치에 도입하는 산소 가스 또는 일산화이질소 가스의 순도를 6 N 이상 바람직하게는 7 N 이상(즉, 산소 가스 또는 일산화이질소 가스 중의 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 일산화이질소 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소한 산화물 반도체

를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체층을 고순도화 및 i형(진성)화할 수 있다.

- [0107] 탈수화 또는 탈수소화 처리에 의해 산소가 동시에 이탈해 감소할 우려가 있기 때문에, 탈수화 또는 탈수소화 처리를 행한 산화물 반도체층에 산소(적어도, 산소 래디칼, 산소 원자, 산소 이온, 중 어느 하나를 포함함)를 도입하여 막 중에 산소를 공급해도 좋다.
- [0108] 탈수화 또는 탈수소화 처리를 행한 산화물 반도체층에 산소를 도입(공급)하여 막 중에 산소를 공급함으로써, 산화물 반도체층을 고순도화, 및 i형(진성)화할 수 있다. 고순도화하고, i형(진성)화한 산화물 반도체를 가지는 트랜지스터는 전기 특성 변동이 억제되어 전기적으로 안정된다.
- [0109] 산화물 반도체층에 산소를 도입하는 경우, 산화물 반도체층에 직접 도입해도 좋고, 후에 형성되는 절연층을 통과해 산화물 반도체층에 도입해도 좋다. 산소(적어도, 산소 래디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)의 도입 방법으로서서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 이용할 수 있다. 산소 도입 처리에는 산소를 포함하는 가스를 이용할 수 있다. 산소를 포함하는 가스로서는 산소, 일산화이질소, 이산화질소, 이산화탄소, 일산화탄소 등을 이용할 수 있다. 또한, 산소 도입 처리에서, 산소를 포함하는 가스에 희가스를 포함시켜도 좋다.
- [0110] 예를 들면, 이온 주입법으로 산화물 반도체층에 산소 이온의 주입을 행하는 경우, 도스량을 1×10^{13} ions/cm² 이상 5×10^{16} ions/cm² 이하로 하면 좋다.
- [0111] 산화물 반도체층에 산소의 공급은 산화물 반도체막의 형성 후라면, 그 타이밍은 특별히 한정되지 않는다. 산소의 도입은 복수회 행해도 좋다.
- [0112] 그 다음에, 산화물 반도체 적층(408) 위에 도전막을 형성하고, 이것을 가공하여 소스 전극층(410a) 및 드레인 전극층(410b)(이것과 같은 층에서 형성되는 배선을 포함함)을 형성한다(도 3의 (C) 참조).
- [0113] 소스 전극층(410a) 및 드레인 전극층(410b)로서는 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 이용할 수 있다. 또한, Al, Cu 등의 금속막의 하층 또는 상층의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막 또는 그들의 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 해도 좋다. 또한, 소스 전극층(410a) 및 드레인 전극층(410b)을, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화 인듐(In₂O₃), 산화 주석(SnO₂), 산화 아연(ZnO), 산화 인듐 산화 주석(In₂O₃-SnO₂), 산화 인듐 산화 아연(In₂O₃-ZnO) 또는 이러한 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0114] 소스 전극층(410a) 및 드레인 전극층(410b)으로서 질소를 포함하는 In-Ga-Zn-O막, 질소를 포함하는 In-Sn-O막, 질소를 포함하는 In-Ga-O막, 질소를 포함하는 In-Zn-O막, 질소를 포함하는 Sn-O막, 질소를 포함하는 In-O막 등의 금속 질화물막을 이용할 수 있다. 이러한 막은 산화물 반도체 적층(408)과 같은 구성 원소를 포함하기 때문에, 산화물 반도체 적층(408)과의 계면을 안정화시킬 수 있다.
- [0115] 단 소스 전극층(410a) 및 드레인 전극층(410b)으로서 구리를 포함하는 도전막을 적용하면, 배선 저항을 저감할 수 있기 때문에 바람직하다. 일반적으로, 구리는 반도체 중이나 산화 실리콘막 중에서 확산하기 쉽고, 반도체 장치의 동작을 불안정하게 하고, 수율을 현저하게 저하시킬 우려가 있다. 그러나, 트랜지스터(310)에서는 소스 전극층(410a) 및 드레인 전극층(410b)과 접촉하고, 이 전극층의 구성 원소(여기에서는 구리)의 확산을 억제하기 위한 버퍼층으로서 기능하는 산화물 반도체층(408a)이 제공되기 때문에, 구리의 확산에 의한 백 채널층의 포획 준위의 영향을 저감, 바람직하게는 없앨 수 있다.
- [0116] 그 다음에, 소스 전극층(410a), 드레인 전극층(410b) 및 노출한 산화물 반도체 적층(408)을 덮도록, 절연층(412)을 형성한다(도 3의 (D) 참조).
- [0117] 절연층(412)으로서서는 플라즈마 CVD법, 스퍼터링법에 의해 형성할 수 있고, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막 등을 단층으로, 또는 적층하여 이용할 수 있다. 단, 절연층(412)으로서 산화물 절연층을 형성하면, 이 산화물 절연층에 의해 산화물 반도체 적층(408)에 산소를 공급하는 것이 가능해지기 때문에, 바람직하다.
- [0118] 절연층(412)을 형성 후, 열처리를 행해도 좋다. 열처리의 온도는 200℃ 이상이 바람직하고, 예를 들면 220℃로

하면 좋다.

[0119] 이상에 의해, 본 실시형태의 트랜지스터(310)를 형성할 수 있다.

[0120] 본 실시형태에 나타내는 트랜지스터는 소스 전극층 또는 드레인 전극층의 구성 원소가 채널에 확산되는 것을 억제하는 버퍼층으로서 기능하는 제 1 산화물 반도체층과, 채널로서 기능하는 제 2 산화물 반도체층을 포함하여 구성된다. 이것에 의해, 트랜지스터의 백 채널층에 형성될 수 있는 계면 준위의 영향을 저감할 수 있다. 또한, 본 실시형태에 나타내는 트랜지스터는 채널로서 기능하는 산화물 반도체층과 게이트 절연층과의 사이에 제공되고, 채널의 게이트 절연층측 계면의 열화를 방지하기 위한 버퍼층으로서 기능하는 제 3 산화물 반도체층을 포함하는 것이 보다 바람직하다. 제 3 산화물 반도체층을 트랜지스터에 제공함으로써, 트랜지스터의 광 열화(예를 들면, 광 부바이어스 열화)를 저감할 수 있어, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0121] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0122] (실시형태 2)

[0123] 본 실시형태에서는 실시형태 1과 다른 반도체 장치의 한 형태를 도 10의 (A) 및 도 10의 (B)를 이용하여 설명한다. 구체적으로는 실시형태 1에 나타난 트랜지스터와 게이트 절연층의 구성이 다른 트랜지스터에 대해 설명한다.

[0124] 도 10의 (A)에, 트랜지스터(320)의 구성예를 나타낸다. 도 10의 (A)에 나타내는 트랜지스터(320)는 도 2의 (A) 내지 도 2의 (D)의 트랜지스터(310)와 마찬가지로, 절연 표면을 가지는 기판(400) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층(403), 게이트 절연층(406)과, 게이트 절연층(406)과 접촉하고, 게이트 전극층(402)과 중첩하는 산화물 반도체 적층(408)과, 산화물 반도체 적층(408)과 전기적으로 접속하는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 트랜지스터(320)에서, 산화물 반도체 적층(408)은 게이트 절연층(406)에 접촉하는 산화물 반도체층(408c)과, 산화물 반도체층(408c) 위에 접촉하는 산화물 반도체층(408b)과, 산화물 반도체층(408b) 위에 접촉하고, 소스 전극층(410a) 및 드레인 전극층(410b)과 접촉하는 산화물 반도체층(408a)을 포함한다. 또한, 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고, 산화물 반도체 적층(408)과 접촉하는 절연층(412)을 트랜지스터(320)의 구성 요소로서 포함해도 좋다.

[0125] 트랜지스터(320)는 게이트 절연층으로서 게이트 전극층(402)측으로부터, 게이트 절연층(403a), 게이트 절연층(403b), 및 게이트 절연층(403c)을 포함하는 제 1 게이트 절연층(403)과 제 2 게이트 절연층(406)과의 적층 구조를 가지는 점에서, 트랜지스터(310)와 상이하다.

[0126] 단 트랜지스터(320)는 게이트 절연층을 제외하고, 트랜지스터(310)와 같은 구조를 가지고; 따라서, 트랜지스터(310)에 대한 설명을 참조할 수 있다.

[0127] 트랜지스터(320)에서, 제 1 게이트 절연층(403)으로서는 질소를 포함하는 실리콘막을 적용한다. 질소를 포함하는 실리콘막은 산화 실리콘막과 비교하여 비유전률이 높고, 동등한 정전 용량을 얻는데 필요한 막 두께가 크기 때문에; 게이트 절연층을 물리적으로 후막화할 수 있다. 따라서, 트랜지스터(320)의 절연 내압의 저하를 억제하고, 또 절연 내압을 향상시켜, 반도체 장치의 정전 파괴를 억제할 수 있다.

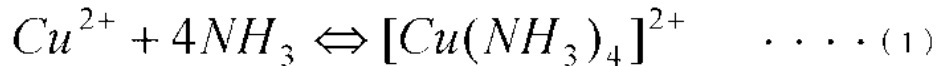
[0128] 또한, 산화물 반도체 적층(408)과 접촉하는 제 2 게이트 절연층(406)으로서는 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막 등의 산소를 포함하는 절연층을 이용한다. 제 2 게이트 절연층(406)은 화학량론적 조성보다 과잉으로 산소를 포함하는 영역(산소 과잉 영역)을 포함하는 것이 보다 바람직하다. 산화물 반도체 적층(408)과 접촉하는 절연층이 산소 과잉 영역을 포함함으로써, 산화물 반도체 적층(408)에 산소를 공급하는 것이 가능해지고, 산화물 반도체 적층(408)으로부터의 산소의 이탈을 방지함과 함께 산소 결손을 보충하는 것이 가능해지기 때문이다. 제 2 게이트 절연층(406)에 산소 과잉 영역을 제공하기 위해서는 예를 들면, 산소 분위기 하에서 제 2 게이트 절연층(406)을 형성하면 좋다. 또는 성막 후의 제 2 게이트 절연층(406)에 산소를 도입하여, 산소 과잉 영역을 제공해도 좋다.

[0129] 제 1 게이트 절연층(403)에 적용하는 질소를 포함하는 실리콘막으로서는 예를 들면, 질화 실리콘막, 질화 산화 실리콘막, 산화 질화 실리콘막을 들 수 있다. 그러나, 산소에 대한 질소의 함유량이 많을 수록 높은 비유전률을 가지기 때문에, 질화 실리콘막을 이용하는 것이 바람직하다. 또한, 산화 실리콘의 에너지 갭이 8 eV 인데 대해 질화 실리콘의 에너지 갭은 5.5 eV 로 작고, 이에 따라 고유 저항도 작기 때문에, 질화 실리콘막을 이용함으로써 보다 높은 ESD(Electro-Static Discharge) 내성을 부여할 수 있다. 또한 본 명세서 중에서 산화 질화

실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, 질화 산화 실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 막을 가리킨다.

- [0130] 게이트 전극층(402)과 접촉하는 게이트 절연층(403a)은 암모니아의 함유량이 적어도 게이트 절연층(403b)보다 낮은 질소를 포함하는 실리콘막으로 한다. 암모니아는 질소 원자상의 고립 전자쌍의 기능에 의해, 금속 착체의 배위자가 된다. 따라서, 예를 들면, 게이트 전극층(402)으로서 구리를 이용하는 경우, 암모니아의 함유량이 많은 게이트 절연층을 이 게이트 전극층과 접촉하는 양태로 제공하면, 이하 식(1)에 나타내는 반응에 의해, 구리가 게이트 절연층 중에 확산될 우려가 있다.

수학식 1



[0131]

- [0132] 트랜지스터(320)에서는 암모니아의 함유량이 낮은(적어도, 게이트 절연층(403b)보다 낮은) 게이트 절연층(403a)을 게이트 전극층(402)과 접촉하는 양태로 제공함으로써, 게이트 전극층(402)의 재료(예를 들면, 구리)가 제 1 게이트 절연층(403) 중에 확산되는 것을 억제할 수 있다. 즉, 게이트 절연층(403a)은 게이트 전극층(402)에 포함되는 금속 재료에 대한 배리어막으로서 기능할 수 있다. 게이트 절연층(403a)을 포함함으로써, 트랜지스터의 신뢰성을 보다 향상시킬 수 있다.

- [0133] 게이트 절연층(403b)은 게이트 절연층(403a)보다 두꺼운 막 두께를 가지고, 막 중 결함이 저감된 질소를 포함하는 실리콘막으로 한다. 예를 들면, 게이트 절연층(403b)의 막 두께를 300 nm 이상 400 nm 이하로 한다. 또한, 전자 스핀 공명법(ESR: Electron Spin Resonance)에 의해 측정되는 신호에서 Nc 센터(g값이 2.003)에 나타나는 신호의 스핀 밀도가, 바람직하게는 1×10^{17} spins/cm³ 이하, 보다 바람직하게는 5×10^{16} spins/cm³ 이하인 질소를 포함하는 실리콘막을 이용한다. 이와 같이, 막 중 결함이 저감된 질소를 포함하는 실리콘막을 두꺼운 막 두께(예를 들면, 300 nm 이상)로 제공함으로써, 게이트 절연층(403b)의 ESD 내성을, 예를 들면 300 V 이상으로 할 수 있다.

- [0134] 게이트 절연층(403c)은 함유 수소 농도가 저감된 질소를 포함하는 실리콘막이 이용된다. 게이트 절연층(403c)의 수소 농도는 적어도 게이트 절연층(403b)보다 낮은 농도로 한다. 예를 들면, 플라즈마 CVD법에 의해 게이트 절연층(403c)을 성막하는 경우에, 공급 가스 중에 포함되는 수소 농도를 게이트 절연층(403b)의 성막에 이용하는 공급 가스보다 저하시킴으로써, 게이트 절연층(403c)의 수소 농도를 게이트 절연층(403b)보다 저감할 수 있다. 구체적으로는 게이트 절연층(403b) 및 게이트 절연층(403c)으로서 질화 실리콘막을 형성하는 경우에는 게이트 절연층(403b) 성막을 위한 공급 가스보다 암모니아 유량을 저감하거나, 또는 암모니아를 이용하지 않고 게이트 절연층(403c)을 성막하면 좋다.

- [0135] 게이트 절연층(403c)으로서 함유 수소 농도가 저감된 질화 실리콘막을 제공함으로써, 제 2 게이트 절연층(406) 및 산화물 반도체 적층(408)에의 수소, 또는 수소 화합물(예를 들면, 물)의 혼입을 저감할 수 있다. 수소는 산화물 반도체와 결합함으로써 일부가 도너가 되고, 캐리어인 전자를 발생시켜 트랜지스터의 문턱 전압을 마이너스 방향으로 변동(시프트)시키는 요인이 된다. 따라서, 수소 농도가 저감된 질화 실리콘막을 게이트 절연층(403c)으로서 포함함으로써, 트랜지스터의 전기 특성을 안정화시킬 수 있다. 또한, 수소 농도가 저감된 질화 실리콘막을 게이트 절연층(403c)으로서 제공함으로써, 게이트 절연층(403b)에 포함되는 수소 또는 수소 화합물 등의 불순물의 산화물 반도체 적층(408)에의 확산을 방지하는 배리어막으로서의 효과도 얻을 수 있다.

- [0136] 본 실시형태에서는 제 1 게이트 절연층(403)에 포함되는 게이트 절연층(403a), 게이트 절연층(403b) 및 게이트 절연층(403c)으로서 질화 실리콘막을 이용하고; 제 2 게이트 절연층(406)으로서 산화 질화 실리콘막을 이용한다. 각 게이트 절연층은 플라즈마 CVD법에 의해 연속적으로 형성하는 것으로 한다. 구체적으로는 실란(SiH₄)과 질소(N₂)의 혼합 가스를 공급하여 게이트 절연층(403a)이 되는 질화 실리콘막을 성막한 후; 공급 가스를 실란(SiH₄), 질소(N₂) 및 암모니아(NH₃)의 혼합 가스로 전환하고, 게이트 절연층(403b)이 되는 질화 실리콘막을 성막하고; 그 후, 공급 가스를 실란(SiH₄)과 질소(N₂)의 혼합 가스로 전환하고, 게이트 절연층(403c)이 되는

질화 실리콘막을 성막하고; 그 후, 공급 가스를 실란(SiH_4) 및 일산화이질소(N_2O)로 전환하여, 제 2 게이트 절연층(406)이 되는 산화 질화 실리콘막을 성막한다.

[0137] 게이트 절연층(403a)의 막 두께는 30 nm 이상 100 nm 이하, 바람직하게는 30 nm 이상 50 nm 이하로 하는 것이 바람직하다. 트랜지스터의 정전 파괴 대책으로서 제공하는 게이트 절연층(403b)의 막 두께는 300 nm 이상 400 nm 이하로 하는 것이 바람직하다. 산화물 반도체 적층(408)에의 수소의 확산을 방지하는 배리어막으로서 기능하는 게이트 절연층(403c)의 막 두께는 25 nm 이상 150 nm 이하로 하는 것이 바람직하다. 제 2 게이트 절연층(406)의 막 두께는 25 nm 이상 100 nm 이하로 하는 것이 바람직하다. 단, 제 1 게이트 절연층(403)의 막 두께(게이트 절연층(403a), 게이트 절연층(403b) 및 게이트 절연층(403c)의 막 두께의 합계)와 제 2 게이트 절연층(406)의 막 두께의 합계를 355 nm 이상 550 nm 이하로 하도록, 각 게이트 절연층의 막 두께를 적절히 조정하는 것이 바람직하다.

[0138] 단 도 10의 (B)에 나타내는 트랜지스터(330)와 같이, 제 1 게이트 절연층(403)과 제 2 게이트 절연층(406)과의 적층으로 형성된 게이트 절연층을 산화물 반도체층(408b) 및 산화물 반도체층(408a)의 적층에 의해 형성된 산화물 반도체 적층(408)과 조합하여 이용할 수도 있다.

[0139] 본 실시형태에 나타내는 트랜지스터는 소스 전극층 또는 드레인 전극층의 구성 원소가 채널에 확산되는 것을 억제하는 버퍼층으로서 기능하는 제 1 산화물 반도체층과, 채널로서 기능하는 제 2 산화물 반도체층을 포함하여 구성된다. 이것에 의해, 트랜지스터의 백 채널측에 형성될 수 있는 계면 준위의 영향을 저감할 수 있다. 또한, 본 실시형태에 나타내는 트랜지스터는 채널로서 기능하는 산화물 반도체층과 게이트 절연층과의 사이에 제공되고, 채널의 게이트 절연층측 계면의 열화를 방지하기 위한 버퍼층으로서 기능하는 제 3 산화물 반도체층을 포함하는 것이 보다 바람직하다. 제 3 산화물 반도체층을 트랜지스터에 제공함으로써, 트랜지스터의 광 열화(예를 들면, 광 부바이어스 열화)를 저감할 수 있어, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0140] 또한, 본 실시형태에 나타내는 트랜지스터는 게이트 절연층으로서 게이트 전극층의 구성 원소(예를 들면, 구리)에 대한 배리어막으로서 기능하는 질소를 포함하는 실리콘막, 후막(예를 들면, 막 두께 300 nm)의 막 중 결합이 저감된 질소를 포함하는 실리콘막, 및, 수소 농도가 저감되어 수소에 대한 블로킹성을 가지는 질소를 포함하는 실리콘막을 포함하는 제 1 게이트 절연층과; 산소를 포함하는 제 2 게이트 절연층과의 적층 구조를 가지는 트랜지스터이다. 따라서, 본 실시형태의 트랜지스터는 전기 특성 변동이 억제되고, 또한 정전 파괴가 억제된다. 이러한 트랜지스터를 포함함으로써, 신뢰성이 높은 반도체 장치를 좋은 수율로 제공할 수 있다.

[0141] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0142] (실시형태 3)

[0143] 실시형태 1 또는 2에 나타낸 트랜지스터를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.

[0144] 도 4의 (A)에서, 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 하여 시일재(4005)가 제공되고, 기판(4006)에 의해 밀봉되어 있다. 도 4의 (A)에서는 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, IC칩, 또는 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통해 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(Flexible printed circuit)(4018a), FPC(4018b)로부터 공급된다.

[0145] 도 4의 (B) 및 도 4의 (C)에서, 기판(4001) 위에 제공된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 제공되어 있다. 또 화소부(4002)와 주사선 구동 회로(4004)의 위에 기판(4006)이 제공되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는 기판(4001)과 시일재(4005)와 기판(4006)에 의해, 표시 소자와 함께 밀봉되어 있다. 도 4의 (B) 및 도 4의 (C)에서는 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, IC칩, 또는 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 4의 (B) 및 도 4의 (C)에서는 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통해 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0146] 도 4의 (B) 및 도 4의 (C)에서는 신호선 구동 회로(4003)를 별도 형성하고, 기판(4001)에 실장하는 예를 나타내

고 있지만, 이 구성으로 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

- [0147] 단 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 4의 (A)는 COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이다. 도 4의 (B)는 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다. 도 4의 (C)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0148] 단 표시 장치란, 표시 소자가 밀봉된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 구체적으로, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 표시 장치는 그 범주에서의 다음의 모듈을 모두 포함한다: FPC 혹은 TCP가 장착된 모듈과 같은 코넥터; TCP의 끝에 프린트 배선판이 제공된 모듈; 또는 표시 소자에 COG 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0149] 기관 위에 제공된 화소부 및 주사선 구동 회로는 트랜지스터를 복수 포함하고 있고, 실시형태 1 또는 2에 나타난 트랜지스터를 적용할 수 있다.
- [0150] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 표시 장치(전자 페이퍼) 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0151] 반도체 장치의 한 형태에 대해, 도 4의 (A) 내지 도 4의 (C) 및 도 5를 이용하여 설명한다. 도 5는 도 4의 (B)의 M-N에서의 단면도에 상당한다. 도 5에서는 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타낸다.
- [0152] 단, 표시 장치는 화소부(4002)에 제공된 트랜지스터(4010)가 표시 소자와 전기적으로 접속하여 구성되고, 이 표시 소자로서는 표시를 행할 수 있으면 특별히 한정되지 않고, 다양한 표시 소자를 이용할 수 있다.
- [0153] 도 4의 (A) 내지 도 4의 (C) 및 도 5에서 나타내는 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 포함하고 있고, 접속 단자 전극(4015) 및 단자 전극(4016)은 FPC(4018)(4018a, 4018b)에 포함되는 단자와 이방성 도전층(4019)을 통하여, 전기적으로 접속되어 있다.
- [0154] 접속 단자 전극(4015)은 제 1 전극층(4034)과 같은 도전층으로 형성된다. 단자 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극층 및 드레인 전극층과 같은 도전층에서 형성된다.
- [0155] 기관(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 포함한다. 도 4의 (A) 내지 도 4의 (C) 및 도 5에서는 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다. 도 5에서는 트랜지스터(4010), 트랜지스터(4011) 위에는 절연층(4032)이 제공되어 있다.
- [0156] 트랜지스터(4010), 트랜지스터(4011)로서는 실시형태 1 또는 2에 나타난 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에서 나타난 트랜지스터(310)와 같은 구조를 가지는 트랜지스터를 적용하는 예를 나타낸다. 트랜지스터(4010), 트랜지스터(4011)는 보텀 게이트 구조의 트랜지스터이다.
- [0157] 트랜지스터(4010), 트랜지스터(4011)는 소스 전극층 또는 드레인 전극층의 구성 원소가 채널에 확산되는 것을 억제하는 버퍼층으로서 기능하는 제 1 산화물 반도체층과, 채널로서 기능하는 제 2 산화물 반도체층과, 채널로서 기능하는 산화물 반도체층과 게이트 절연층과의 사이에 제공되고, 채널의 게이트 절연층측 계면의 열화를 방지하기 위한 버퍼층으로서 기능하는 제 3 산화물 반도체층을 포함하여 구성된다. 따라서, 트랜지스터(4010), 트랜지스터(4011)는 백 채널층에 형성될 수 있는 계면 준위의 영향을 저감시킴과 동시에, 트랜지스터의 광 열화(예를 들면, 광 부바이어스 열화)를 저감시킨 신뢰성이 높은 트랜지스터이다.
- [0158] 또한, 구동 회로용의 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 보다 더 도전층을 제공해도 좋다. 도전층을 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 제공함으로써, 트랜지스터(4011)의 문턱 전압의 변화량을 보다 더 저감할 수 있다. 도전층은 전위가 트랜지스터(4011)의 게이트 전극층과 같아도 좋고, 달라도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위가 플로팅 상태여도 좋다.

- [0159] 이 도전층은 외부의 전기장을 차폐(遮蔽)하는, 즉 외부의 전기장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않게 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 도전층의 차폐 기능에 의해, 정전기 등의 외부의 전기장의 영향에 의해 트랜지스터의 전기적인 특성이 변동되는 것을 방지할 수 있다.
- [0160] 도 5에서, 액정 소자(4013)는 제 1 전극층(4034), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 단 액정층(4008)을 협지하도록 배향막으로서 기능하는 절연층(4038), 절연층(4033)이 제공되어 있다. 제 2 전극층(4031)은 기관(4006)측에 제공되고, 제 1 전극층(4034)과 제 2 전극층(4031)은 액정층(4008)을 사이에 끼우고 적층하는 구성으로 되어 있다.
- [0161] 제 1 전극층(4034), 제 2 전극층(4031)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 그라펜 등의 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다.
- [0162] 또한, 제 1 전극층(4034), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티탄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속; 또는 그 합금; 혹은 그 금속 질화물로부터 하나, 또는 복수종을 이용하여 형성할 수 있다.
- [0163] 제 1 전극층(4034), 제 2 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 고분자로서는 이른바 π 전자 공역계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 아닐린, 피롤 및 티오펜의 2종 이상으로부터 구성되는 공중합체 혹은 그 유도체 등을 들 수 있다.
- [0164] 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 모양의 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위해 제공되어 있다. 또한 구 형상의 스페이서를 이용해도 좋다.
- [0165] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이러한 액정 재료는 저분자 화합물이어도 고분자 화합물이어도 좋다. 이러한 액정 재료(액정 조성물)는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 카이럴 네마틱상, 등방상 등을 나타낸다.
- [0166] 또한, 액정층(4008)에 배향막을 이용하지 않는 블루상을 발현하는 액정 조성물을 이용해도 좋다. 이 경우, 액정층(4008)과, 제 1 전극층(4034) 및 제 2 전극층(4031)과는 접촉하는 구조가 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 액정 및 카이랄제를 혼합시킨 액정 조성물을 이용하여 발현시킬 수 있다. 블루상이 발현하는 온도 범위를 넓히기 위해, 블루상을 발현하는 액정 조성물에 중합성 모노머 및 중합 개시제 등을 첨가하고, 고분자 안정화시키는 처리를 행하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또 배향막을 제공하지 않아도 좋으므로 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 일어나는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능해진다.
- [0167] 액정 재료의 고유 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 보다 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 단 본 명세서에서의 고유 저항의 값은 20℃로 측정한 값으로 한다.
- [0168] 액정 표시 장치에 형성되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 명세서에 개시하는 산화물 반도체층을 포함하는 트랜지스터를 이용함으로써, 각 화소에서의 액정 용량에 대해 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 가지는 유지 용량을 제공하면 충분하다.
- [0169] 본 명세서에 개시하는 산화물 반도체층을 포함하는 트랜지스터는 오프 상태에서의 전류값(오프 전류값)을 낮게 제어할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과를 가진다.
- [0170] 본 명세서에 개시하는 산화물 반도체층을 포함하는 트랜지스터는 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에; 고속 구동이 가능하다. 예를 들면, 이러한 트랜지스터를 액정 표시 장치에 이용함으로써, 화소부의 스

위칭 트랜지스터와 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 또한, 화소부에서도, 이러한 트랜지스터를 이용함으로써, 고화질의 화상을 제공할 수 있다.

- [0171] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0172] 노멀리-블랙형 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 수직 배향 모드로서는 몇가지 예를 들 수 있다. 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다. 또한, VA형 액정 표시 장치에도 적용할 수 있다. VA형 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형 액정 표시 장치는 전압이 인가되어 있지 않을 때에 패널면에 대해서 액정 분자가 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누어 각각 다른 방향으로 분자가 배열되도록 되어 있는 멀티 도메인화 혹은 멀티 도메인 설계라는 방법을 이용할 수 있다.
- [0173] 표시 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 제공한다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.
- [0174] 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소는 삼색으로 한정되지 않는다 : RGB(R은 빨강, G는 초록, B는 파랑을 나타냄). 예를 들면, RGBW(W는 흰색을 나타냄); 또는 RGB에 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것; 등이 이용될 수 있다. 또한 색 요소의 도트(dot)마다 그 표시 영역의 크기가 달라도 좋다. 다만, 개시하는 발명은 컬러 표시의 표시 장치로 한정되는 것은 아니고; 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0175] 도 11의 (A) 내지 도 11의 (C)에, 도 5에 나타내는 표시 장치에서, 기관(4006)에 제공된 제 2 전극층(4031)과 전기적으로 접속하기 위한 공통 접속부(패드부)를 기관(4001) 위에 형성하는 예를 나타낸다.
- [0176] 공통 접속부는 기관(4001)과 기관(4006)을 접속하기 위한 시일재와 중첩되는 위치에 배치되고, 시일재에 포함되는 도전성 입자를 통하여 제 2 전극층(4031)과 전기적으로 접속된다. 또는 시일재와 중첩되지 않는 개소(단, 화소부를 제외함)에 공통 접속부를 제공하고, 공통 접속부와 중첩되도록 도전성 입자를 포함하는 페이스트를 시일재와는 별도 제공하여 제 2 전극층(4031)과 전기적으로 접속해도 좋다.
- [0177] 도 11의 (A)는 공통 접속부의 단면도이며, 도 11의 (B)에 나타내는 상면도의 G1-G2에 상당한다.
- [0178] 공통 전위선(491)은 게이트 절연층(4020) 위에 제공되고, 도 5에 나타내는 트랜지스터(4010), 트랜지스터(4011)의 소스 전극층 또는 드레인 전극층과 같은 재료 및 같은 공정으로 형성된다.
- [0179] 또한, 공통 전위선(491)은 절연층(4032)으로 덮이고, 절연층(4032)은 공통 전위선(491)과 중첩되는 위치에 복수의 개구부를 포함하고 있다. 이 개구부는 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층의 한쪽과 제 1 전극층(4034)을 접속하는 콘택트홀과 같은 공정으로 형성된다.
- [0180] 공통 전극(492)은 절연층(4032) 위에 제공되고, 접속 단자 전극(4015)이나, 화소부의 제 1 전극층(4034)과 같은 재료 및 같은 공정으로 형성된다.
- [0181] 이와 같이, 화소부(4002)의 스위칭 소자의 제작 공정과 공통시켜, 공통 접속부를 형성할 수 있다.
- [0182] 단 공통 전극(492)은 시일재에 포함되는 도전성 입자와 접촉하는 전극이며, 기관(4006)의 제 2 전극층(4031)과 전기적으로 접속을 행한다.
- [0183] 도 11의 (C)에 나타내는 바와 같이, 공통 전위선(491)을 트랜지스터(4010), 트랜지스터(4011)의 게이트 전극층과 같은 재료, 같은 공정으로 형성해도 좋다.
- [0184] 도 11의 (C)에 나타내는 공통 접속부에서, 공통 전위선(491)은 게이트 절연층(4020) 및 절연층(4032)의 하층에 제공되고, 게이트 절연층(4020) 및 절연층(4032)은 공통 전위선(491)과 중첩되는 위치에 복수의 개구부를 가진다. 이 개구부는 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층의 한쪽과 제 1 전극층(4034)을 접속하는 콘택트홀과 같은 공정으로 절연층(4032)을 에칭한 후, 게이트 절연층(4020)을 선택적으로 더 에칭함으로써 형성된다.

- [0185] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로 루미네선스를 이용하는 발광 소자를 이용할 수 있다. 일렉트로 루미네선스를 이용하는 발광 소자는 발광재료가 유기 화합물인지, 무기 화합물인지에 따라 구별된다. 일반적으로 전자는 유기 EL 소자, 후자는 무기 EL 소자로 불리고 있다.
- [0186] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 돌아올 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광 소자는 전류 여기형 발광 소자로 불린다. 본 실시형태에서는 발광 소자로서 유기 EL 소자를 이용하는 예를 나타낸다.
- [0187] 무기 EL 소자는 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층에 끼우고, 그것을 다시 전극에 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 전이를 이용하는 국재형 발광이다. 단 여기에서는 발광 소자로서 유기 EL 소자를 이용하여 설명한다.
- [0188] 발광 소자는 발광을 추출하기 위해 적어도 한 쌍의 전극의 한쪽이 투광성이면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 역측의 면으로부터 발광을 추출하는 상면 사출이나; 기판측의 면으로부터 발광을 추출하는 하면 사출이나; 기판측 및 기판과는 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 이용할 수 있다.
- [0189] 도 6의 (A), 도 6의 (B), 및 도 13에 표시 소자로서 발광 소자를 이용한 발광 장치의 예를 나타낸다.
- [0190] 도 6의 (A)는 발광 장치의 평면도이며, 도 6의 (A) 중의 일점 쇄선 S1-T1, S2-T2, 및 S3-T3로 절단한 단면이 도 6의 (B)에 상당한다. 도 13은 도 6의 (A)의 일점 쇄선 S4-T4로 절단한 단면도에 상당한다. 단 도 6의 (A)의 평면도에서는 전계 발광층(542) 및 제 2 전극층(543)은 생략하여 도시하지 않았다.
- [0191] 도 6의 (A) 및 도 6의 (B)에 나타내는 발광 장치는 기판(500) 위에, 트랜지스터(510), 용량 소자(520), 배선층 교차부(530)를 포함한다. 트랜지스터(510)는 발광 소자(540)와 전기적으로 접속하고 있다. 단 도 6의 (A) 및 도 6의 (B)는 기판(500)을 통과하여 발광 소자(540)로부터의 광을 추출하는 하면 사출형 구조의 발광 장치이다.
- [0192] 트랜지스터(510)로서는 실시형태 1 또는 2에 나타난 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 2에서 나타난 트랜지스터(330)와 같은 구조를 가지는 트랜지스터를 적용하는 예를 나타낸다. 트랜지스터(510)는 보텀 게이트 구조의 트랜지스터이다.
- [0193] 트랜지스터(510)는 게이트 전극층(511a), 게이트 전극층(511b); 게이트 절연층(502a), 게이트 절연층(502b), 게이트 절연층(502c)을 포함하는 게이트 절연층(502); 산화물 반도체층(512b), 산화물 반도체층(512a)을 포함하는 산화물 반도체 적층(512); 소스 전극층 또는 드레인 전극층으로서 기능하는 도전층(513a), 도전층(513b)을 포함한다. 또한, 트랜지스터(510) 위에는 절연층(525)이 형성된다.
- [0194] 용량 소자(520)는 도전층(521a), 도전층(521b), 게이트 절연층(502), 산화물 반도체층(522b), 산화물 반도체층(522a)을 포함하는 산화물 반도체 적층(522), 도전층(523)을 포함한다. 도전층(521a), 도전층(521b)과 도전층(523)에서, 게이트 절연층(502) 및 산화물 반도체 적층(522)을 끼우는 구성으로 함으로써 용량을 형성한다.
- [0195] 배선층 교차부(530)는 게이트 전극층(511a), 전극층(511b)과, 도전층(533)과의 교차부이다. 게이트 전극층(511a), 전극층(511b)과, 도전층(533)은 사이에 게이트 절연층(502)을 통하여 교차한다.
- [0196] 본 실시형태에서는 게이트 전극층(511a) 및 도전층(521a)으로서 막 두께 30 nm의 티탄막을 이용하고, 게이트 전극층(511b) 및 도전층(521b)으로서 막 두께 200 nm의 구리막을 이용한다. 따라서, 게이트 전극층은 티탄막과 구리막과의 적층 구조를 가진다.
- [0197] 트랜지스터(510)는 채널로서 기능하는 산화물 반도체층(512b)과 도전층(513a) 및 도전층(513b)의 구성 원소가 채널에 확산되는 것을 억제하는 버퍼층으로서 기능하는 산화물 반도체층(512a)을 포함하여 구성된다. 따라서, 트랜지스터(510)는 백 채널측에 형성될 수 있는 계면 준위의 영향이 저감된, 신뢰성이 높은 트랜지스터이다.
- [0198] 또한, 트랜지스터(510)는 게이트 절연층(502c)으로서 암모니아의 함유량이 저감된 구리의 배리어막으로서 기능하는 질소를 포함하는 실리콘막을 포함하고, 게이트 절연층(502a)으로서 후막(예를 들면, 막 두께 300 nm)의 막 중 결합이 저감된 질소를 포함하는 실리콘막을 포함하고, 게이트 절연층(502b)으로서 수소 농도가 저감된 질소

를 포함하는 실리콘막을 가지는 트랜지스터이다. 이러한 구성으로 함으로써, 트랜지스터(510)의 전기 특성을 양호하게 할 수 있고, 또 트랜지스터(510)의 정전 파괴를 방지할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 좋은 수율로 제공할 수 있다.

- [0199] 트랜지스터(510), 용량 소자(520), 및 배선층 교차부(530) 위에는 층간 절연층(504)이 형성된다. 층간 절연층(504) 위에서 발광 소자(540)와 중첩하는 영역에 컬러 필터층(505)이 제공되어 있다. 층간 절연층(504) 및 컬러 필터층(505) 위에는 평탄화 절연층으로서 기능하는 절연층(506)이 제공되어 있다.
- [0200] 절연층(506) 위에 제 1 전극층(541), 전계 발광층(542), 제 2 전극층(543)의 순서로 적층한 적층 구조를 포함하는 발광 소자(540)가 제공되어 있다. 발광 소자(540)와 트랜지스터(510)는 도전층(513a)에 이르는 절연층(506) 및 층간 절연층(504)에 형성된 개구에서, 제 1 전극층(541) 및 도전층(513a)이 접촉함으로써; 전기적으로 접속되어 있다. 단 제 1 전극층(541)의 일부 및 이 개구를 덮도록 격벽(507)이 제공되어 있다.
- [0201] 절연층(506)에는 막 두께 1500 nm의 감광성 아크릴막, 격벽(507)에는 막 두께 1500 nm의 감광성 폴리이미드막을 이용할 수 있다.
- [0202] 컬러 필터층(505)으로서는 예를 들면 유채색의 투광성 수지를 이용할 수 있다. 유채색 투광성 수지로서는 감광성, 비감광성 유기 수지를 이용할 수 있다. 감광성 유기 수지층을 이용하면 레지스트 마스크 수를 삭감할 수 있기 때문에, 공정이 간략화되어 바람직하다.
- [0203] 유채색은 검정, 회색, 흰색 등의 무채색을 제외한 색이다. 컬러 필터층은 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는 적색, 녹색, 청색 등을 이용할 수 있다. 또한, 시안, 마젠타, 옐로우(노랑) 등을 이용해도 좋다. "착색된 유채색의 광만을 투과한다는 것"은 컬러 필터층에서의 투과광은 그 유채색의 광의 파장에 피크를 가진다는 것이다. 컬러 필터층은 포함되는 착색 재료의 농도와 광의 투과율의 관계를 고려하여, 최적의 막 두께를 적절히 제어하면 좋다. 예를 들면, 컬러 필터층(505)의 막 두께는 1500 nm 이상 2000 nm 이하로 하면 좋다.
- [0204] 격벽(507)은 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성 수지 재료를 이용하여 제 1 전극층(541) 위에 개구부를 형성한다. 그 개구부의 측벽이 연속된 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0205] 전계 발광층(542)은 단수의 층으로 형성되어 있어도, 복수의 층이 적층되도록 형성되어 있어도 어느 쪽이든 좋다.
- [0206] 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(543) 및 격벽(507) 위에 보호막을 형성해도 좋다. 보호막으로서는 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0207] 또한, 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 발광 소자(540)를 덮는 유기 화합물을 포함하는 층을 증착법에 의해 형성해도 좋다.
- [0208] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공해도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 제공해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하고, 비침을 저감할 수 있는 안티글레어(anti-glare) 처리를 실시할 수 있다.
- [0209] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공할 수도 있다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같이 읽기 편하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 할 수 있다는 이점을 가지고 있다.
- [0210] 전기 영동 표시 장치는 다양한 형태를 가질 수 있다. 플러스의 전하를 가지는 제 1 입자와 마이너스의 전하를 가지는 제 2 입자를 포함하는 마이크로 캡슐이 용매에 복수 분산된 것을 포함한다. 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽측에 집합한 입자의 색만을 표시하는 것이다. 단 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없는 경우에 이동하지 않는다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.
- [0211] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이다. 컬러 필터나 색소를 가지는 입자를 이용함으로써 컬러 표시도 가능하다.
- [0212] 평탄화 절연층으로서 기능하는 절연층(506)은 아크릴 수지, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드,

에폭시 수지 등의, 내열성을 가지는 유기 재료를 이용하여 형성될 수 있다. 또 상기 유기 재료 외에, 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등의 저유전율 재료(low-k 재료)를 이용할 수 있다. 단 이러한 재료로 형성되는 절연층을 복수 적층시킴으로써, 절연층(506)을 형성해도 좋다.

[0213] 절연층(506)의 형성법은 특별히 한정되지 않고; 그 재료에 따라 다음의 방법이 이용될 수 있다: 스퍼터링법, 스펀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법), 스크린 인쇄, 오프셋 인쇄 등을 이용할 수 있다.

[0214] 제 1 전극층(541), 제 2 전극층(543)으로서 도 5에 나타내는 표시 장치의 제 1 전극층(4034), 제 2 전극층(4031)과 같은 재료를 이용할 수 있다.

[0215] 본 실시형태에서는 도 6의 (A) 및 도 6의 (B)에 나타내는 발광 장치는 하면 사출형이므로, 제 1 전극층(541)은 투광성, 제 2 전극층(543)은 반사성을 가진다. 따라서, 제 1 전극층(541)에 금속막을 이용하는 경우는 투광성을 유지할 수 있을 정도로 막 두께를 얇게 하면 좋고; 제 2 전극층(543)으로서 투광성을 가지는 도전층을 이용하는 경우는 반사성을 가지는 도전층을 적층하면 좋다.

[0216] 구동 회로 보호용 보호 회로를 제공해도 좋다. 보호 회로는 비선형 소자를 이용하여 형성하는 것이 바람직하다.

[0217] 이상과 같이 실시형태 1 또는 2에서 나타낸 트랜지스터를 이용함으로써, 반도체 장치는 다양한 기능을 가질 수 있다.

[0218] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0219] (실시형태 4)

[0220] 실시형태 1 또는 2에 나타낸 트랜지스터를 이용하여, 대상물의 정보를 읽어내는 이미지 센서 기능을 가지는 반도체 장치를 제작할 수 있다.

[0221] 도 7의 (A)에, 이미지 센서 기능을 가지는 반도체 장치의 일례를 나타낸다. 도 7의 (A)는 포토 센서의 등가 회로이며, 도 7의 (B)는 포토 센서의 일부를 나타내는 단면도이다.

[0222] 포토 다이오드(602)는 한쪽의 전극이 포토 다이오드 리셋 신호선(658)에, 다른 한쪽의 전극이 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)는 소스 또는 드레인의 한쪽이 포토 센서 기준 신호선(672)에, 소스 또는 드레인의 다른 한쪽이 트랜지스터(656)의 소스 또는 드레인의 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)는 게이트가 게이트 신호선(659)에, 소스 또는 드레인의 다른 한쪽이 포토 센서 출력 신호선(671)에 전기적으로 접속되어 있다.

[0223] 단 본 명세서에서의 회로도에서, 산화물 반도체층을 이용하는 트랜지스터를 명확하게 판명할 수 있도록, 산화물 반도체층을 이용하는 트랜지스터의 기호에는 "OS"라고 기재되어 있다. 도 7의 (A)에서, 트랜지스터(640), 트랜지스터(656)는 실시형태 1 또는 2에 나타낸 트랜지스터를 적용할 수 있고, 산화물 반도체층을 이용하는 트랜지스터이다. 본 실시형태에서는 실시형태 1에서 나타낸 트랜지스터(320)와 같은 구조를 가지는 트랜지스터를 이용하는 예를 나타낸다. 트랜지스터(640)는 보텀 게이트 구조의 트랜지스터이다.

[0224] 도 7의 (B)는 포토 센서에서의 포토 다이오드(602) 및 트랜지스터(640)에 나타내는 단면도이다. 절연 표면을 가지는 기판(601)(소자 기판) 위에, 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토 다이오드(602), 트랜지스터(640)의 위에는 사이에 끼워진 접착층(608)을 이용하여 기판(613)이 제공되어 있다.

[0225] 트랜지스터(640) 위에는 절연층(632), 층간 절연층(633), 층간 절연층(634)이 제공되어 있다. 포토 다이오드(602)는 층간 절연층(633) 위에 형성된 전극층(641b)과, 전극층(641b) 위에 순서대로 적층된 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)과, 층간 절연층(634) 위에 제공되고, 제 1 내지 제 3 반도체막을 통하여 전극층(641b)과 전기적으로 접속하는 전극층(642)과, 전극층(641b)과 같은 층에 제공되고, 전극층(642)과 전기적으로 접속하는 전극층(641a)을 포함하고 있다.

[0226] 전극층(641b)은 층간 절연층(634)에 형성된 도전층(643)과 전기적으로 접속하고, 전극층(642)은 전극층(641a)을 통하여 도전층(645)과 전기적으로 접속하고 있다. 도전층(645)은 트랜지스터(640)의 게이트 전극층과 전기적으로 접속하고 있고, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속하고 있다.

- [0227] 여기에서는 제 1 반도체막(606a)으로서 p형 도전형을 가지는 반도체막과, 제 2 반도체막(606b)으로서 고저항인 반도체막(i형 반도체막), 제 3 반도체막(606c)으로서 n형 도전형을 가지는 반도체막을 적층하는 pin형 포토 다이오드를 예시하고 있다.
- [0228] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 포함하는 어모퍼스 실리콘막에 의해 형성할 수 있다. 제 1 반도체막(606a)의 형성에는 13족의 불순물 원소(예를 들면 붕소(B))를 포함하는 반도체 재료 가스를 이용하고, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 이용하면 좋다. 또는 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 이용해도 좋다. 또한, 불순물 원소를 포함하지 않는 어모퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 어모퍼스 실리콘막에 불순물 원소를 도입해도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 어모퍼스 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 1 반도체막(606a)의 막 두께는 10 nm 이상 50 nm 이하가 되도록 형성하는 것이 바람직하다.
- [0229] 제 2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 어모퍼스 실리콘막에 의해 형성한다. 제 2 반도체막(606b)의 형성에는 반도체 재료 가스를 이용하여, 어모퍼스 실리콘막을 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 이용하면 좋다. 또는 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 이용해도 좋다. 제 2 반도체막(606b)의 형성은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 행해도 좋다. 제 2 반도체막(606b)의 막 두께는 200 nm 이상 1000 nm 이하가 되도록 형성하는 것이 바람직하다.
- [0230] 제 3 반도체막(606c)은 n형 반도체막이며, n형을 부여하는 불순물 원소를 포함하는 어모퍼스 실리콘막에 의해 형성한다. 제 3 반도체막(606c)의 형성에는 15족의 불순물 원소(예를 들면 인(P))를 포함하는 반도체 재료 가스를 이용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 이용하면 좋다. 또는 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 이용해도 좋다. 또한, 불순물 원소를 포함하지 않는 어모퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 어모퍼스 실리콘막에 불순물 원소를 도입해도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 어모퍼스 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 3 반도체막(606c)의 막 두께는 20 nm 이상 200 nm 이하가 되도록 형성하는 것이 바람직하다.
- [0231] 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 어모퍼스 반도체가 아닌 다결정 반도체를 이용하여 형성해도 좋고, 미결정(세미 어모퍼스(Semi Amorphous Semiconductor : SAS)) 반도체를 이용하여 형성해도 좋다.
- [0232] 광전 효과로 발생한 정공의 이동도는 전자의 이동도에 비해 작다. 따라서, pin형 포토 다이오드는 p형 반도체막층을 수광면으로 하는 것이 좋은 특성을 나타낸다. 여기에서는 pin형 포토 다이오드가 형성되는 기관(601)의 면으로부터 포토 다이오드(602)가 받는 광을 전기 신호로 변환하는 예를 나타낸다. 또한, 수광면으로 한 반도체막층과는 반대의 도전형을 가지는 반도체막층에서의 광은 외관광이 되기 때문에; 전극층은 차광성을 가지는 도전층을 이용하면 좋다. 단, n형 반도체막층을 수광면으로서 이용할 수도 있다.
- [0233] 트랜지스터(640)는 소스 전극층 또는 드레인 전극층의 구성 원소가 채널에 확산되는 것을 억제하는 버퍼층으로서 기능하는 제 1 산화물 반도체층과, 채널로서 기능하는 제 2 산화물 반도체층과, 채널로서 기능하는 산화물 반도체층과 게이트 절연층(631)과의 사이에 제공되고, 채널의 게이트 절연층(631)측 계면의 열화를 방지하기 위한 버퍼층으로서 기능하는 제 3 산화물 반도체층을 포함하여 구성된다. 따라서, 트랜지스터(640)는 백 채널층에 형성될 수 있는 계면 준위의 영향이 저감됨과 동시에, 트랜지스터의 광 열화(예를 들면, 광 부바이어스 열화)가 저감된 신뢰성이 높은 트랜지스터이다.
- [0234] 절연층(632), 층간 절연층(633), 층간 절연층(634)으로서의 절연성 재료를 이용하고, 그 재료에 따라 스퍼터링법, 플라즈마 CVD법, 스핀 코트, 딥, 스프레이 도포, 액적 도출법(잉크젯법), 인쇄법(스크린 인쇄, 오프셋 인쇄) 등을 이용하여 형성할 수 있다.
- [0235] 층간 절연층(633), 층간 절연층(634)으로서의 표면 요철을 저감하기 위한 평탄화 절연층으로서 기능하는 절연층이 바람직하다. 층간 절연층(633), 층간 절연층(634)으로서의 예를 들면 폴리이미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리이미드, 에폭시 수지 등의 내열성을 가지는 유기 절연 재료를 이용할 수 있다. 또 상기 유기 절연 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass),

BPSG(borophosphosilicate glass) 등의 단층, 또는 적층을 이용할 수 있다.

- [0236] 포토 다이오드(602)에 입사하는 광을 검출함으로써, 피검출물의 정보를 읽어낼 수 있다. 단 피검출물의 정보를 읽어낼 때에 백 라이트 등의 광원을 이용할 수 있다.
- [0237] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0238] (실시형태 5)
- [0239] 본 명세서에 개시하는 반도체 장치는 다양한 전자 기기(유기기도 포함함)에 적용할 수 있다. 전자 기기로서는 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 유기기(파칭코기, 슬롯 머신 등), 게임 하우징을 들 수 있다. 이러한 전자 기기의 구체적인 예를 도 8의 (A) 내지 도 8의 (C)에 나타낸다.
- [0240] 도 8의 (A)는 표시부를 가지는 테이블(9000)을 나타낸다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 조립되어 있고, 표시부(9003)에 의해 영상을 표시할 수 있다. 단 4개의 다리부(9002)에 의해 하우징(9001)을 지지한 구성을 나타낸다. 또한, 전력 공급을 위한 전원 코드(9005)가 하우징(9001)에 제공되어 있다.
- [0241] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9003)에 이용할 수 있고, 전자 기기에 높은 신뢰성을 부여할 수 있다.
- [0242] 표시부(9003)은 터치 입력 기능을 가지고 있다. 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써 화면을 조작하거나 정보를 입력할 수 있다. 또한 다른 가전 제품과의 통신이 가능하거나, 또는 제어를 가능하게 함으로써, 화면 조작에 의해 다른 가전 제품을 컨트롤하는 제어 장치로 해도 좋다. 예를 들면, 실시형태 3에 나타난 이미지 센서 기능을 가지는 반도체 장치를 이용하면, 표시부(9003)에 터치 입력 기능을 갖게 할 수 있다.
- [0243] 또한, 하우징(9001)에 제공된 경첩에 의해, 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있고; 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 큰 화면의 텔레비전 장치는 설치하면 자유 공간이 좁아지지 만; 테이블에 표시부가 내장되어 있으면 방의 공간을 효율적으로 이용할 수 있다.
- [0244] 도 8의 (B)는 텔레비전 장치(9100)를 나타낸다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 조립되어 있고, 표시부(9103)에 의해 영상을 표시할 수 있다. 단 여기에서는 스탠드(9105)에 의해 하우징(9101)을 지지한 구성을 나타낸다.
- [0245] 텔레비전 장치(9100)의 조작은 하우징(9101)이 구비하는 조작 스위치나, 별체의 리모콘 조작기(9110)에 의해 행할 수 있다. 리모콘 조작기(9110)가 구비하는 조작 키(9109)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9110)에 상기 리모콘 조작기(9110)로부터 출력하는 정보를 표시하는 표시부(9107)를 제공하는 구성으로 해도 좋다.
- [0246] 도 8의 (B)에 나타내는 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비하고 있다. 텔레비전 장치(9100)는 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보 통신을 행할 수도 있다.
- [0247] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9103), 표시부(9107)에 이용할 수 있고, 텔레비전 장치, 및 리모콘 조작기는 높은 신뢰성을 가질 수 있다.
- [0248] 도 8의 (C)는 컴퓨터이며, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.
- [0249] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9203)에 이용할 수 있고, 컴퓨터는 높은 신뢰성을 가질 수 있다.
- [0250] 도 9의 (A) 및 도 9의 (B)는 반으로 접을 수 있는 태블릿형 단말이다. 도 9의 (A)는 펼친 상태이며, 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잠금쇠(9033), 조작 스위치(9038)를 포함한다.

- [0251] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9631a), 표시부(9631b)에 이용할 수 있고, 태블릿형 단말은 높은 신뢰성을 가질 수 있다.
- [0252] 표시부(9631a)는 일부를 터치 패널 영역(9632a)으로 할 수 있고, 표시된 조작 키(9638)에 터치함으로써 데이터 입력을 할 수 있다. 단 표시부(9631a)에서는 일례로서 반의 영역이 표시만의 기능을 가지는 구성, 나머지 반의 영역이 터치 패널의 기능을 가지는 구성을 나타내고 있다. 하지만, 이 구성으로 한정되지 않고, 표시부(9631a)의 모든 영역이 터치 패널의 기능을 가지는 구성으로 해도 좋다. 예를 들면, 표시부(9631a) 전면을 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 이용할 수 있다.
- [0253] 표시부(9631b)에서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널 영역(9632b)으로 할 수 있다. 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되는 위치에 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼 표시할 수 있다.
- [0254] 터치 패널 영역(9632a)과 터치 패널 영역(9632b)에 대해서 동시에 터치 입력할 수도 있다.
- [0255] 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시의 방향을 전환하거나, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장되어 있는 광 센서로 검출되는 사용 시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 포함해도 좋다.
- [0256] 또한, 도 9의 (A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 나타내고 있지만 특별히 한정되지 않는다. 한쪽의 사이즈와 다른 한쪽의 사이즈가 달라도 좋고, 표시의 품질도 달라도 좋다. 예를 들면 한쪽이 다른 한쪽보다 고정밀 표시를 행할 수 있는 표시 패널로 해도 좋다.
- [0257] 도 9의 (B)는 닫은 상태이며, 태블릿형 단말은 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634)를 포함한다. 단 도 9의 (B)에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 포함하는 구성에 대해 나타내고 있다.
- [0258] 태블릿형 단말은 반으로 접을 수 있기 때문에, 미사용시에 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 뛰어나고, 장기 사용의 관점에서도 신뢰성이 뛰어난 태블릿형 단말을 제공할 수 있다.
- [0259] 그 밖에도 도 9의 (A) 및 도 9의 (B)에 나타난 태블릿형 단말은 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다.
- [0260] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의해, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 단 태양 전지(9633)는 하우징(9630)의 한 면 또는 양면에 제공할 수 있고, 배터리(9635)의 충전을 효율적으로 행하는 구성으로 할 수 있다. 또한 배터리(9635)로서는 리튬 이온 배터리를 이용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0261] 또한, 도 9의 (B)에 나타내는 충방전 제어 회로(9634)의 구성, 및 동작에 대해 도 9의 (C)에 블록도를 도시하여 설명한다. 도 9의 (C)에는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 표시부(9631)에 대해 도시하고 있다. 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)가, 도 9의 (B)에 도시하는 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0262] 우선 외광에 의해 태양 전지(9633)에 의해 발전이 되는 경우의 동작의 예에 대해 설명한다. 태양 전지로 발전한 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 이용될 때에는 스위치(SW1)를 온으로 하고, 컨버터(9637)로 표시부(9631)에 필요한 전압에 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 행하지 않을 때는 스위치(SW1)를 오프로 하고, 스위치(SW2)를 온으로 하여 배터리(9635)의 충전을 행하는 구성으로 하면 좋다.
- [0263] 여기서 태양 전지(9633)에 대해서는 발전 수단의 일례로서 나타냈지만; 특별히 한정되지 않고, 압전 소자(피에조 소자)나 열전변환 소자(페르티에 소자) 등의 다른 발전 수단에 의한 배터리(9635)의 충전을 행하는 구성이어도 좋다. 예를 들면, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또 다른 충전

수단을 조합하여 행하는 구성으로 해도 좋다.

- [0264] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0265] (실시예)
- [0266] 본 실시예에서는 산화물 반도체층을 적층시킨 트랜지스터에서, 각 산화물 반도체층에 함유되는 소스 전극층 또는 드레인 전극층의 구성 원소의 농도의 측정 결과를 나타낸다. 구체적으로는 소스 전극층 및 드레인 전극층으로서 구리막을 포함하는 전극층을 형성하고, 각 산화물 반도체층에서의 구리 농도의 측정한 결과를 나타낸다. 구리 농도의 측정에는, SSDP-SIMS(Secondary Ion Mass Spectrometry)가 이용되었다.
- [0267] 본 실시예에서, 측정에 이용한 트랜지스터의 제작 방법을 이하에 설명한다. 본 실시예에서는 실시형태 1의 트랜지스터(300)와 같은 구성을 가지는 트랜지스터를 제작했다. 이하에서는 트랜지스터(300)와 같은 부호를 이용하여 설명한다.
- [0268] 우선, 기판(400) 위에 게이트 전극층(402)으로서 막 두께 100 nm의 텅스텐막을 형성했다.
- [0269] 그 다음에, 게이트 전극층(402)을 덮는 게이트 절연층(404)으로서 플라즈마 CVD법에 의해 막 두께 50 nm의 질화 실리콘막과 막 두께 200 nm의 산화 질화 실리콘막을 연속적으로 형성했다.
- [0270] 질화 실리콘막은 플라즈마 CVD 장치의 처리실의 압력을 60 Pa으로 제어하고, 27.12 MHz의 고주파 전원으로 150 W의 전력을 공급하여, 기판 온도를 350℃으로서 실란과 질소의 혼합 가스($\text{SiH}_4 : \text{N}_2 = 50 \text{ sccm} : 5000 \text{ sccm}$)를 공급하여 성막했다. 단 이 플라즈마 CVD 장치는 전극 면적이 6000 cm^2 인 평행 평판형 플라즈마 CVD 장치이다. 또한, 산화 질화 실리콘막의 성막은 같은 처리실 내에서 압력을 40 Pa로 하고, 고주파 전원의 전력 및 기판 온도를 유지한 채로, 실란과 일산화이질소의 혼합 가스($\text{SiH}_4 : \text{N}_2\text{O} = 20 \text{ sccm} : 3000 \text{ sccm}$)를 공급하여 성막했다.
- [0271] 그 다음에, 게이트 절연층(404) 위에, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [원자수비]의 금속 산화물 타겟을 이용한 스퍼터링법에 의해, 막 두께 10 nm의 산화물 반도체층(408b)을 형성했다. 성막 조건은 산소 50% 분위기 하, 압력 0.6 Pa, 전원 전력 5 kW, 기판 온도 170℃로 했다.
- [0272] 그 후, 산화물 반도체층(408b) 위에, $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ [원자수비]의 금속 산화물 타겟을 이용한 스퍼터링법에 의해, 막 두께 30 nm의 산화물 반도체층(408a)을 형성했다. 성막 조건은 다음과 같다: 산소 50% 분위기 하, 압력 0.6 Pa, 전원 전력 5 kW, 기판 온도 170℃로 했다.
- [0273] 가공이 행해지고, 섬 형상의 산화물 반도체 적층(408)이 얻어진다. 그 후, 산화물 반도체 적층(408)을 질소 분위기 하에서 450℃, 1시간의 가열 처리를 행한 후, 질소 및 산소 분위기 하에서 450℃, 1시간의 가열 처리를 행했다.
- [0274] 그 다음에, 산화물 반도체 적층(408)에 접촉하는 소스 전극층(410a) 및 드레인 전극층(410b)을 형성했다.
- [0275] 본 실시예에서는 게이트 절연층(404) 및 산화물 반도체 적층(408) 위에, 막 두께 35 nm의 티탄막과 막 두께 200 nm의 구리막을 적층시켜, 이 티탄막 및 구리막의 일부를 선택적으로 에칭함으로써, 소스 전극층(410a) 및 드레인 전극층(410b)이 형성되었다.
- [0276] 그 후, 산화물 반도체 적층(408), 소스 전극층(410a) 및 드레인 전극층(410b)을 덮는 절연층(412)으로서 막 두께 400 nm의 산화 질화 실리콘막을, 플라즈마 CVD법에 의해 성막했다.
- [0277] 산화 질화 실리콘막의 성막 조건은 플라즈마 CVD 장치의 처리실의 압력을 200 Pa로 제어하고, 27.12 MHz의 고주파 전원으로 1500 W의 전력을 공급하고, 기판 온도를 220℃로 하여 실란과 일산화이질소의 혼합 가스($\text{SiH}_4 : \text{N}_2\text{O} = 160 \text{ sccm} : 4000 \text{ sccm}$)를 공급했다.
- [0278] 질소 및 산소 분위기 하에서 300℃, 1시간의 가열 처리를 행한 후, 평탄화막으로서 아크릴 수지막을 막 두께 $1.5 \mu\text{m}$ 로 형성했다. 이후, 질소 분위기 하에서 250℃, 1시간의 가열 처리를 행했다.
- [0279] 이상에 의해, 본 실시예의 트랜지스터를 제작했다.
- [0280] 얻어진 트랜지스터에 포함되는 산화물 반도체 적층(408)의 구리 농도를 SSDP-SIMS에 의해 측정했다. 도 12에 SIMS의 측정 결과를 나타낸다. 단 측정은 소스 전극층(410a) 및 드레인 전극층(410b)의 사이의 영역(채널이 형

성되는 영역)에 대하여 행했다.

[0281] 도 12에서, 산화물 반도체 적층(408) 내에, 소스 전극층(410a) 및 드레인 전극층(410b)의 구성 원소인 구리의 확산을 볼 수 있지만, 이 구리의 확산은 산화물 반도체층(408a) 내에 머무르고 있다. 따라서, 트랜지스터의 전류 경로(채널)로서 기능하는 산화물 반도체층(408b)에는 도달하지 않는 것이 확인되었다.

[0282] 이상으로부터, 산화물 반도체 적층(408)에서, 전류 경로가 되는 산화물 반도체층(408b)의 백 채널층에 산화물 반도체층(408a)을 제공함으로써, 이 산화물 반도체층(408a)을 소스 전극층(410a) 및 드레인 전극층(410b)의 구성 원소의 확산을 억제하기 위한 버퍼층으로서 기능시키는 것이 가능하다는 것이 나타났다. 따라서, 산화물 반도체 적층(408)을 포함하는 트랜지스터의 전기 특성의 변동을 억제할 수 있다는 것이 시사된다.

부호의 설명

[0283] 300 : 트랜지스터
 310 : 트랜지스터
 320 : 트랜지스터
 330 : 트랜지스터
 400 : 기판
 402 : 게이트 전극층
 403 : 게이트 절연층
 403a : 게이트 절연층
 403b : 게이트 절연층
 403c : 게이트 절연층
 404 : 게이트 절연층
 406 : 게이트 절연층
 408 : 산화물 반도체 적층
 408a : 산화물 반도체층
 408b : 산화물 반도체층
 408c : 산화물 반도체층
 410a : 소스 전극층
 410b : 드레인 전극층
 412 : 절연층
 491 : 공통 전위선
 492 : 공통 전극
 500 : 기판
 502 : 게이트 절연층
 502a : 게이트 절연층
 502b : 게이트 절연층
 502c : 게이트 절연층
 504 : 층간 절연층
 505 : 컬러 필터층

506 : 절연층
 507 : 격벽
 510 : 트랜지스터
 511a : 게이트 전극층
 511b : 게이트 전극층
 512 : 산화물 반도체 적층
 512a : 산화물 반도체층
 512b : 산화물 반도체층
 513a : 도전층
 513b : 도전층
 520 : 용량 소자
 521a : 도전층
 521b : 도전층
 522 : 산화물 반도체 적층
 522a : 산화물 반도체층
 522b : 산화물 반도체층
 523 : 도전층
 525 : 절연층
 530 : 배선층 교차부
 533 : 도전층
 540 : 발광 소자
 541 : 전극층
 542 : 전계 발광층
 543 : 전극층
 601 : 기판
 602 : 포토 다이오드
 606a : 반도체막
 606b : 반도체막
 606c : 반도체막
 608 : 접착층
 613 : 기판
 631 : 게이트 절연층
 632 : 절연층
 633 : 층간 절연층
 634 : 층간 절연층
 640 : 트랜지스터

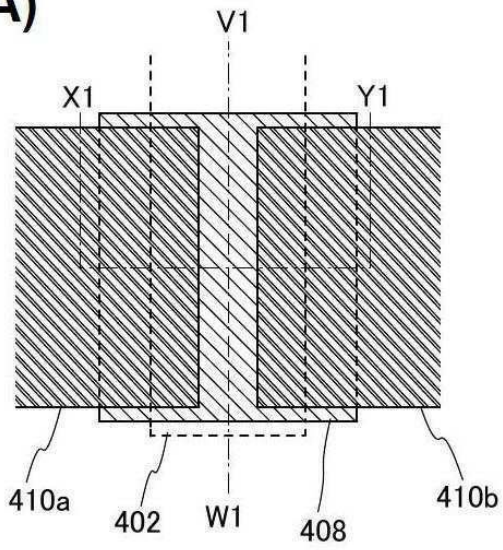
641a : 전극층
 641b : 전극층
 642 : 전극층
 643 : 도전층
 645 : 도전층
 656 : 트랜지스터
 658 : 포토 다이오드 리셋 신호선
 659 : 게이트 신호선
 671 : 포토 센서 출력 신호선
 672 : 포토 센서 기준 신호선
 4001 : 기관
 4002 : 화소부
 4003 : 신호선 구동 회로
 4004 : 주사선 구동 회로
 4005 : 시일재
 4006 : 기관
 4008 : 액정층
 4010 : 트랜지스터
 4011 : 트랜지스터
 4013 : 액정 소자
 4015 : 접속 단자 전극
 4016 : 단자 전극
 4018 : FPC
 4019 : 이방성 도전층
 4020 : 게이트 절연층
 4031 : 전극층
 4032 : 절연층
 4033 : 절연층
 4034 : 전극층
 4035 : 스페이서
 4038 : 절연층
 9000 : 테이블
 9001 : 하우징
 9002 : 다리부
 9003 : 표시부
 9004 : 표시 버튼

9005 : 전원 코드
9033 : 잠금쇠
9034 : 스위치
9035 : 전원 스위치
9036 : 스위치
9038 : 조작 스위치
9100 : 텔레비전 장치
9101 : 하우징
9103 : 표시부
9105 : 스탠드
9107 : 표시부
9109 : 조작 키
9110 : 리모콘 조작기
9201 : 본체
9202 : 하우징
9203 : 표시부
9204 : 키보드
9205 : 외부 접속 포트
9206 : 포인팅 디바이스
9630 : 하우징
9631 : 표시부
9631a : 표시부
9631b : 표시부
9632a : 영역
9632b : 영역
9633 : 태양 전지
9634 : 충방전 제어 회로
9635 : 배터리
9636 : DCDC 컨버터
9637 : 컨버터
9638 : 조작 키
9639 : 버튼

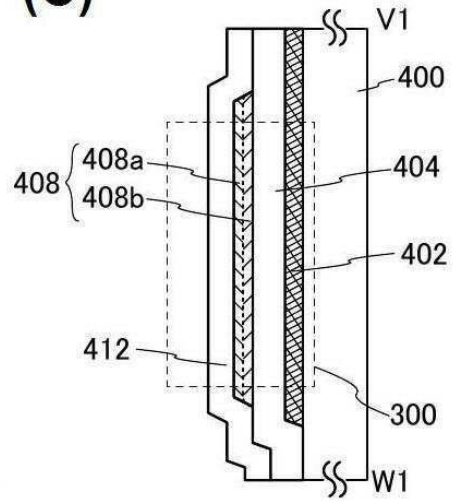
도면

도면1

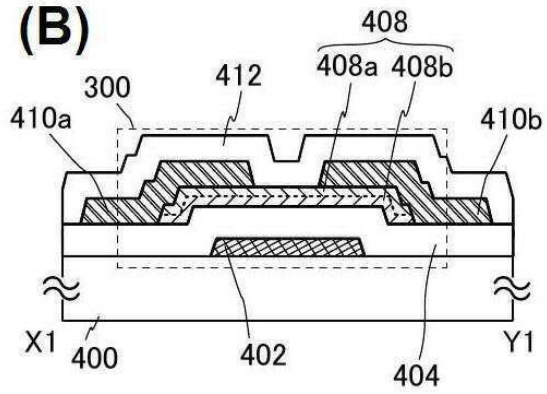
(A)



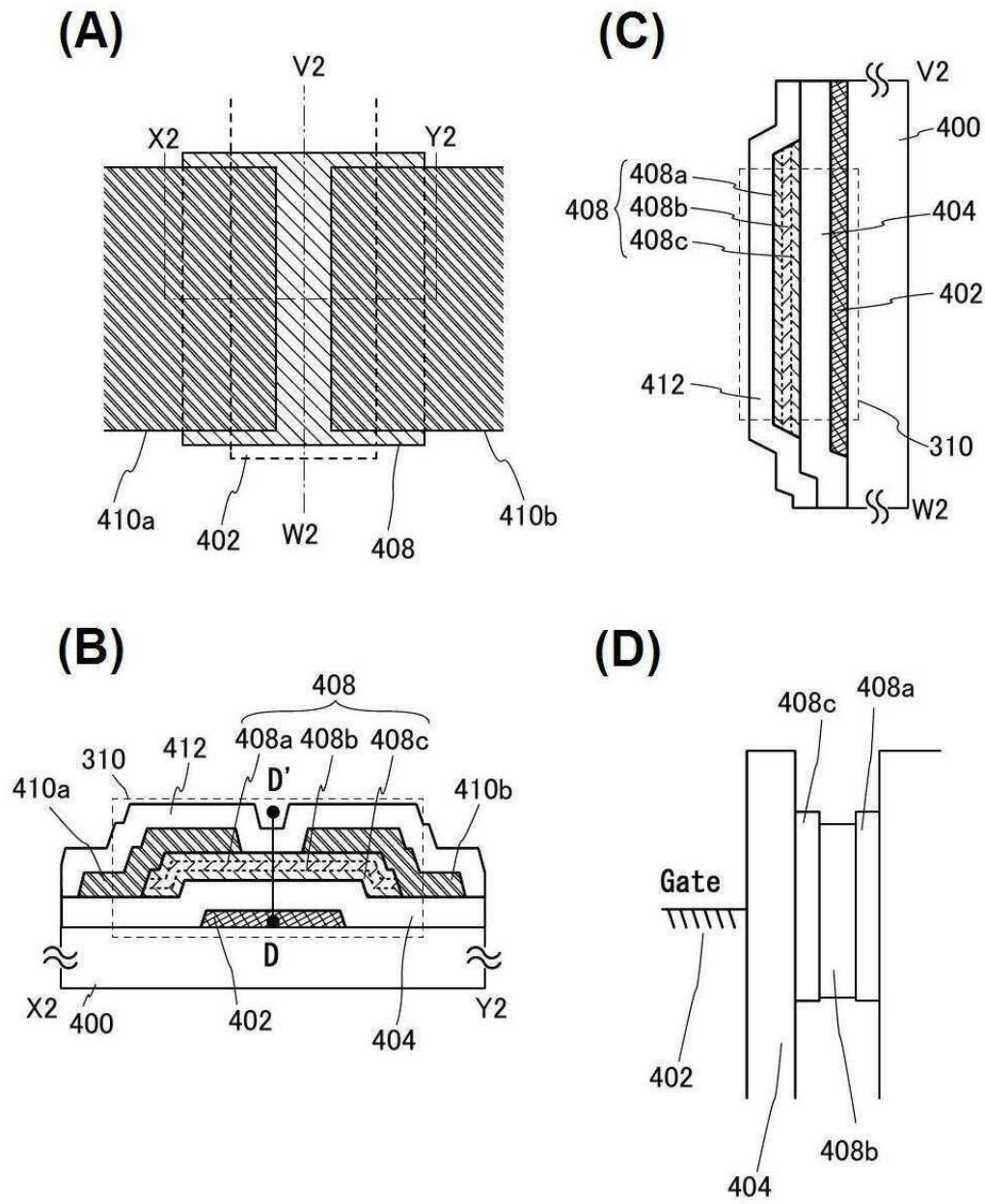
(C)



(B)

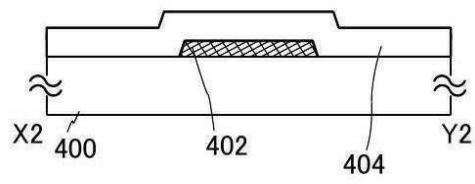


도면2

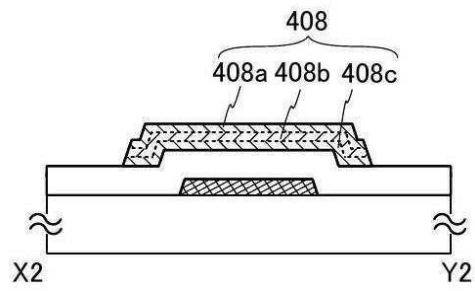


도면3

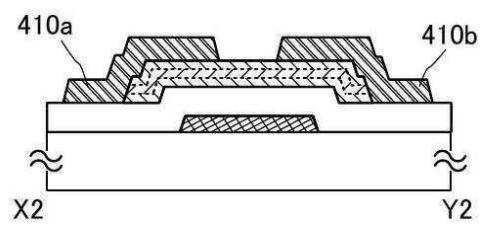
(A)



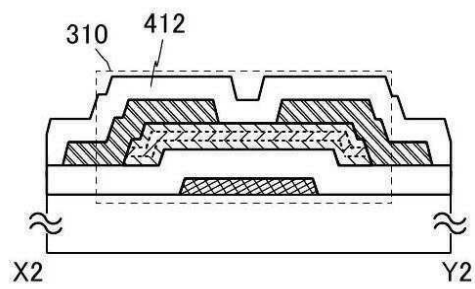
(B)



(C)

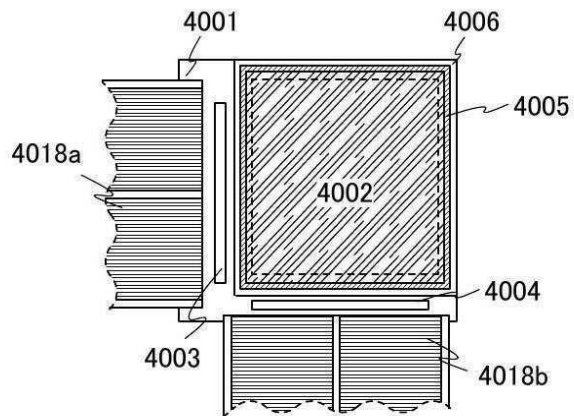


(D)

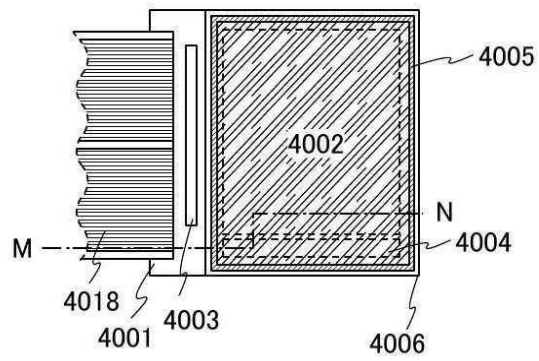


도면4

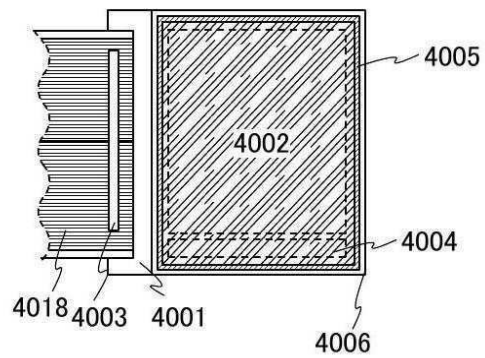
(A)



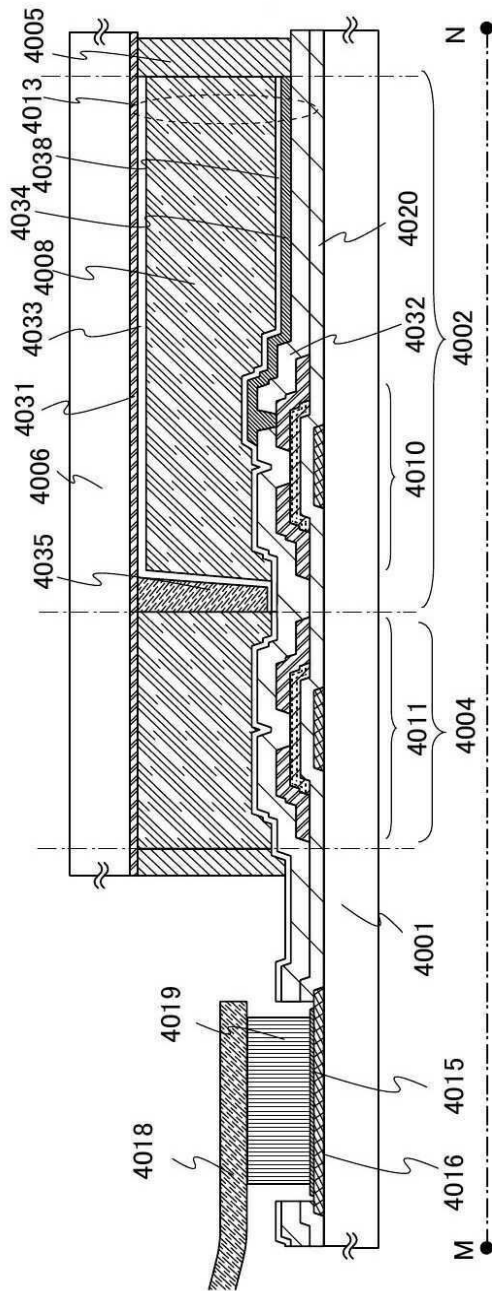
(B)



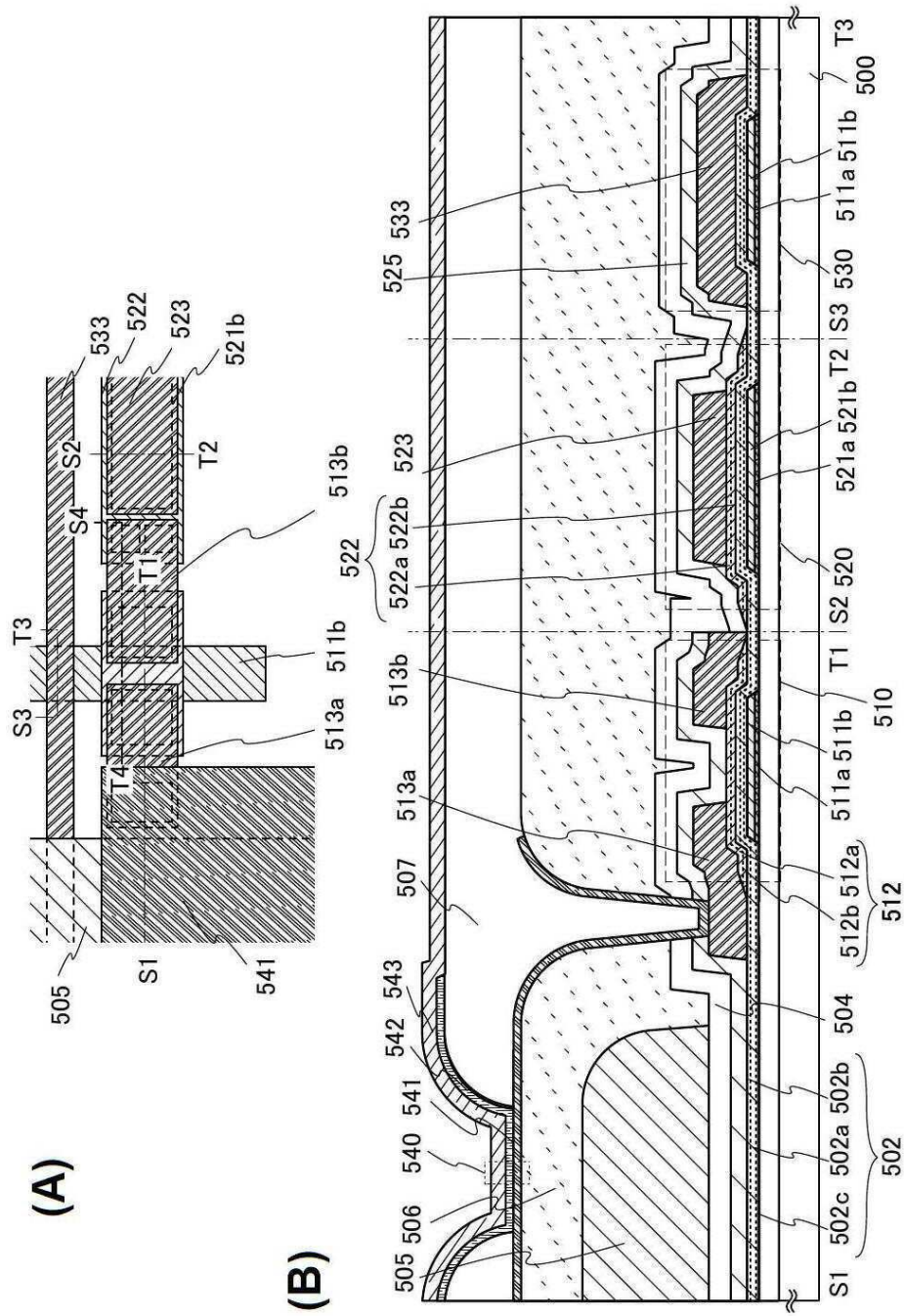
(C)



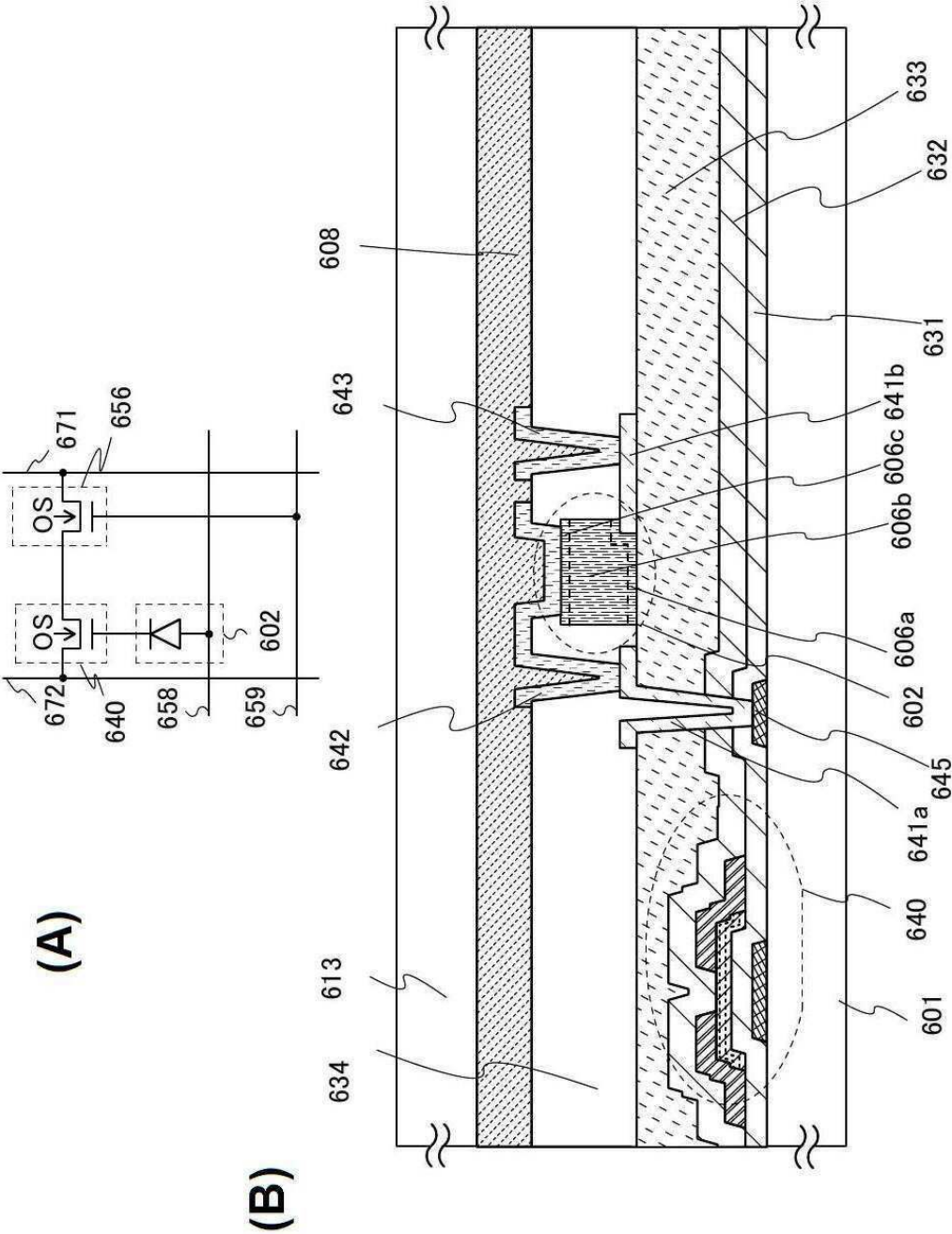
도면5



도면6

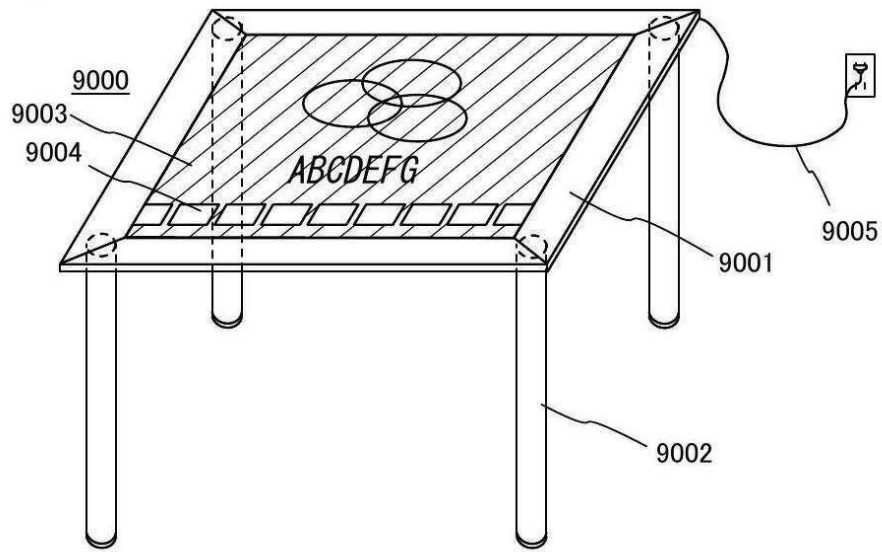


도면7

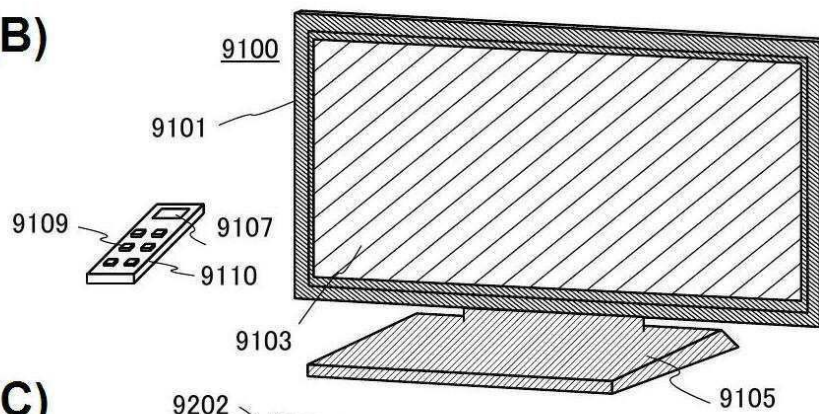


도면8

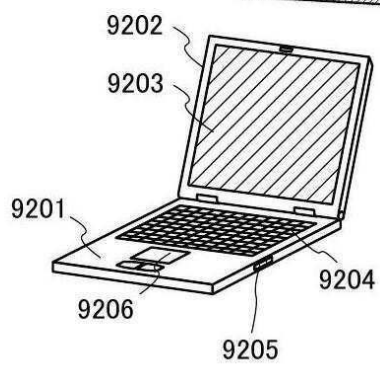
(A)



(B)

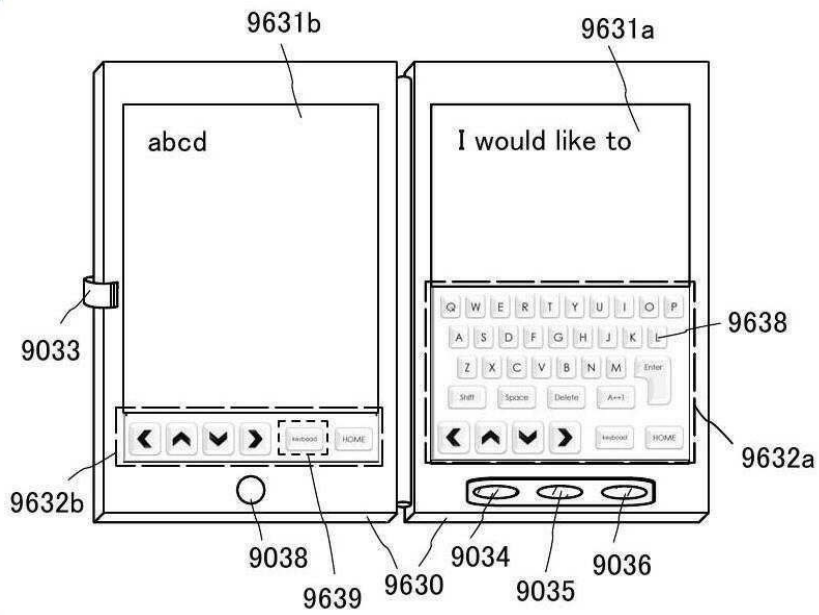


(C)

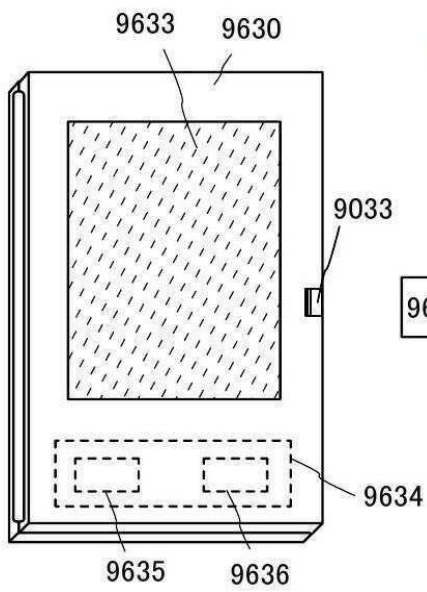


도면9

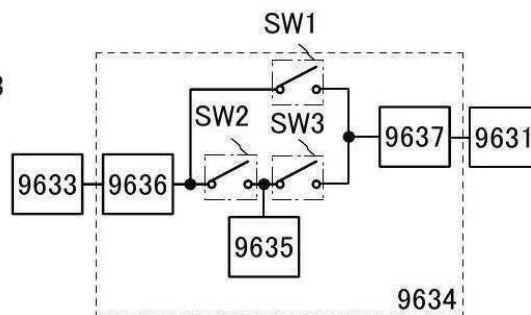
(A)



(B)

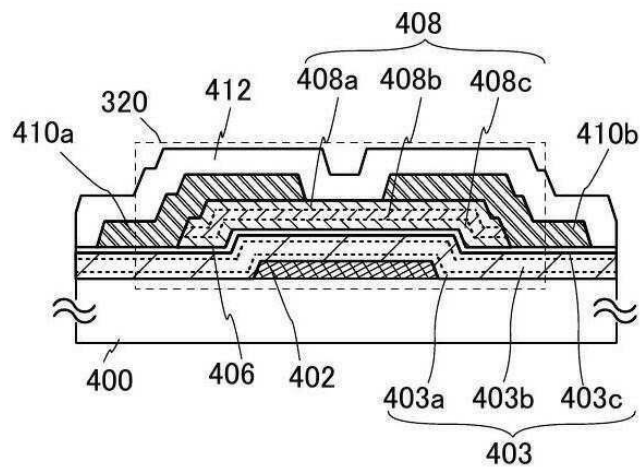


(C)

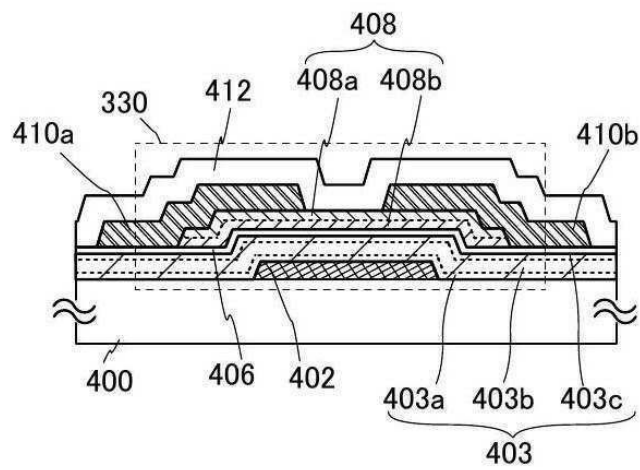


도면10

(A)

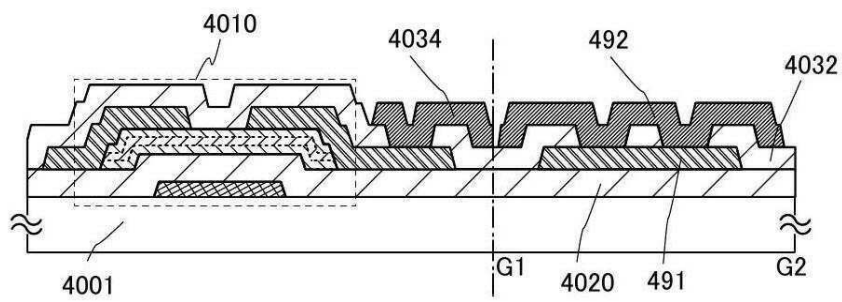


(B)

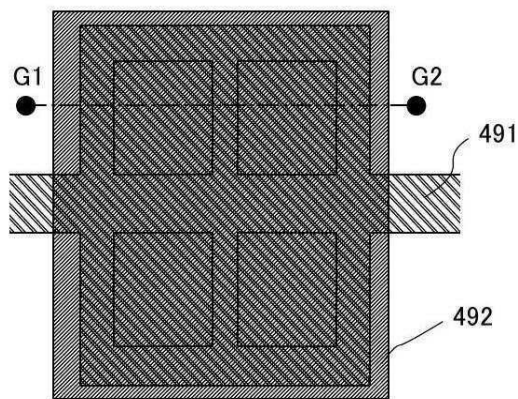


도면11

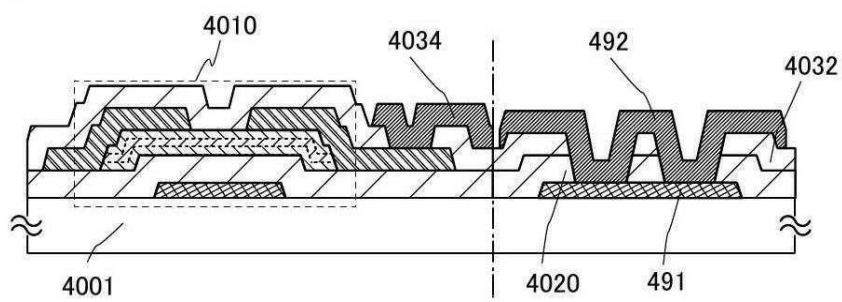
(A)



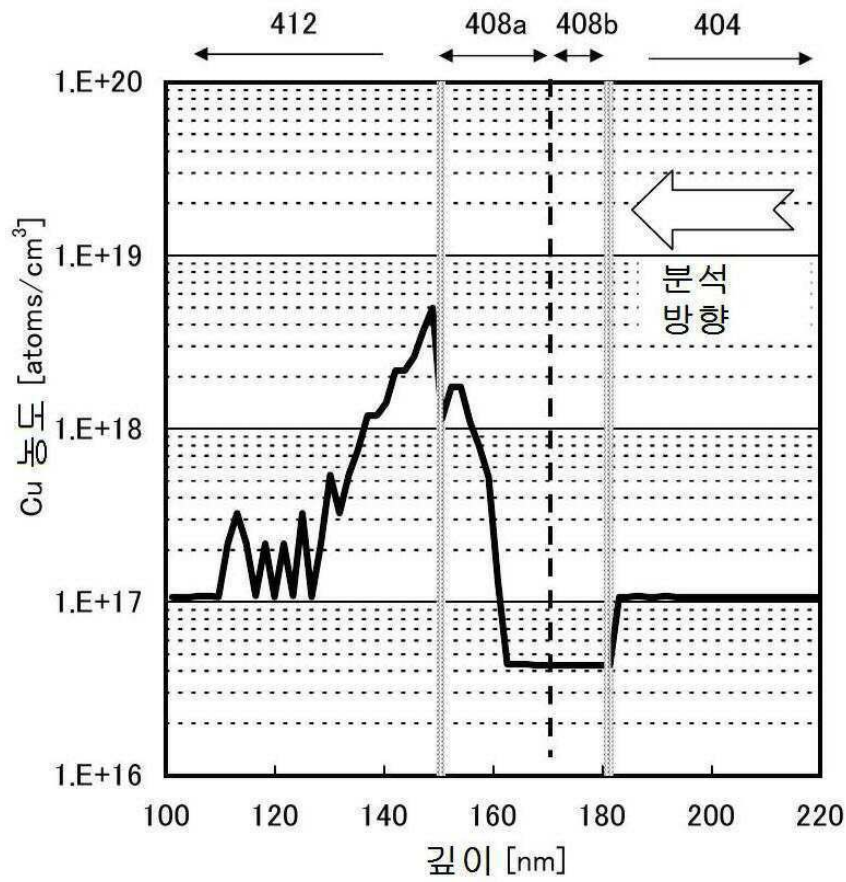
(B)



(C)



도면12



도면13

