

A1

**DEMANDE
DE BREVET D'INVENTION**

②①

N° 79 19523

⑤④ Dispositif numérique multiplexe pour commander un onduleur triphasé.

⑤① Classification internationale (Int. Cl.³). H 02 P 13/18.

②② Date de dépôt..... 30 juillet 1979.

③③ ③② ③① Priorité revendiquée :

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 7 du 13-2-1981.

⑦① Déposant : ALSTHOM-ATLANTIQUE, société anonyme, résidant en France.

⑦② Invention de : René Fert.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Dimitri Stolitza, SOSPI,
14-16, rue de la Baume, 75008 Paris.

- 1 -

La présente invention concerne un dispositif numérique multiplexé pour commander un onduleur triphasé et notamment un dispositif électronique digital de faible puissance apte à actionner les trois commutateurs de commande à thyristors de grande puissance constituant les trois phases d'un onduleur triphasé servant en particulier pour la commande d'un moteur électrique.

La commande d'un onduleur triphasé par un dispositif numérique est connue. On sait en effet selon la demande de brevet français N° 79 17 645 déposée le 6 juillet 1979 par la Demanderesse réaliser des comparaisons numériques au moyen de trois comparateurs numériques entre trois sinusoïdes numériques, déphasées de 120° l'une par rapport à l'autre et générées au moyen de trois mémoires mortes programmées et une dent de scie numérique générée également par un compteur et une mémoire morte.

On sait utiliser également trois multiplieurs disposés chacun entre la mémoire morte et le comparateur afin de faire varier l'amplitude du fondamental de la tension triphasée créée. Les sorties logiques des trois comparateurs permettent de générer des impulsions rectangulaires de largeur variable servant à commander chacune des phases d'un onduleur. Cette solution présente l'inconvénient de comporter un grand nombre d'éléments à savoir trois mémoires mortes, trois multiplieurs et trois comparateurs pour la chaîne de traitement des sinusoïdes.

Le dispositif selon la présente invention remédie à cet inconvénient. Dans celui-ci en effet le nombre des éléments comparables est réduit par suite du multiplexage à une seule mémoire morte, à un multiplexeur et à un comparateur.

La présente invention a pour objet un dispositif numérique multiplexé pour commander un onduleur triphasés comportant la génération de trois sinusoïdes numériques déphasées chacune de 120° et d'une dent de scie de fréquence triple de celle de la sinusoïde au moyen d'un premier compteur comptant le nombre binaire constitué de bits de forts poids et de bits de faibles poids caractéristiques des abscisses des paliers de ladite sinusoïde et attaquant une mémoire morte programmée pour délivrer des nombres caractéristiques de l'amplitude desdits paliers de sinusoïde à un multiplieur multipliant lesdits nombres par un nombre de consigne et d'un deuxième compteur comptant le nombre de paliers caractéristiques de ladite dent de scie numérique et attaquant

- 2 -

une mémoire morte programmée pour délivrer des nombres caractéristiques de l'amplitude desdits paliers de dent de scie, lesdits nombres multiplexés étant comparés auxdits nombres de dent de scie dans un comparateur numérique caractérisé en ce qu'entre ledit premier compteur et ladite

5 mémoire morte de sinusoïdes est disposé un multiplexeur multiplexant lesdits bits de forts poids desdits nombres caractéristiques des abscisses des paliers desdites sinusoïdes numériques sur ordre d'un compteur synchronisé par une horloge ainsi qu'une voie directe pour lesdits bits de faibles poids desdits nombres caractéristiques des

10 abscisses des paliers desdites sinusoïdes numériques et en ce qu'à la sortie dudit comparateur est disposé un démultiplexeur démultiplexant les informations en provenance dudit comparateur sur ordre dudit compteur synchronisé par une horloge et délivrant sur chacune de ses trois sorties les signaux de commande dudit onduleur triphasé.

15 En se référant aux figures schématiques 1 à 4 ci-jointes on va décrire ci-après un exemple de mise en oeuvre de la présente invention, exemple donné à titre purement illustratif et nullement limitatif. Les mêmes éléments représentés sur plusieurs de ces figures portent sur toutes celles-ci les mêmes références.

20 La figure 1 représente un schéma synoptique du dispositif selon l'invention.

La figure 2 représente un schéma synoptique du multiplexeur faisant partie de la figure 1.

La figure 3 représente un schéma synoptique du démultiplexeur

25 faisant partie de la figure 1.

La figure 4 représente un exemple de diagrammes relatifs au multiplexeur et au démultiplexeur.

Tel que représenté sur la figure 1 le dispositif entièrement numérique sert à délivrer des impulsions VL_1 , VL_2 , VL_3 pour actionner

30 les trois commutateurs à thyristors d'un onduleur triphasé non représenté.

Pour cela, une première horloge fournit des impulsions $C_S = N_S fs$ à un compteur 10 qui compte périodiquement à la fréquence fs , les nombres 0 à $N_S - 1$. Dans notre exemple, la fréquence fs est égale à 50 Hz. Le nombre N_S représente le nombre de paliers, par exemple 24, d'une

35 sinusoïde numérique de fréquence fs et qui sera générée plus loin en même temps que deux autres sinusoïdes numériques déphasées de 120° l'une par l'autre.

- 3 -

Le problème consiste par conséquent à déphaser les paliers 0 à N_S-1 c'est-à-dire 0 à 23) selon la correspondance suivante :

	Sinusoïde 1	Sinusoïde 2	Sinusoïde 3
	0	8	16
5	1	9	17
	2	10	18
	3	11	19
	"	"	"
	"	"	"
10	22	6	14
	23	7	15

Les nombres 0 à N_S-1 sont transmis sur cinq digits, deux digits de forts poids a et trois digits de faibles poids b. Ainsi le comptage de la première sinusoïde est $8a + b$, celui de la seconde est $8(a+1) + b$ celui de la troisième est $8(a+2) + b$.

Par exemple, pour transmettre les nombres décimaux 2, 10, 18 d'une même rangée, nous avons en binaire.

	a	b
2	00	010
10	01	010
18	10	010

Il en résulte que pour une même rangée de nombres caractérisant les paliers des trois sinusoïdes, il est possible de séparer les bits de forts poids a et les bits de faibles poids b, les bits de faibles poids étant transmis directement par la voie CS2 constituée de trois digits et les deux bits de forts poids a étant délivrés à un multiplexeur 11 par la voie CS1. La voie CS1 transmet les nombres décimaux 0 à 2 et la voie CS2 transmet les nombres décimaux 0 à 7. Les bits de faibles poids b ne sont pas affectés par le multiplexage. Les bits de forts poids a compris entre 0 et 2 décimaux sont modifiés par les sinusoïdes 1, 2 et 3 selon la correspondance.

5

CS1		- 4 -			CS'1
t1		0	1	2	
		0	1	2	}
1		1	2	0	
2		2	0	1	

dans laquelle t_1 représente les nombres 0 à 2 transformant CS1 en CS'1. Les nombres t_1 sont délivrés par un compteur 12, 0-2 périodique commandé par une horloge 13 synchronisée en même temps que C_s et C_d .

Le multiplexeur 11 correspondant à la table de vérité précédente
 10 CS1 - t_1 - CS'1 peut être réalisé selon le schéma de la figure 2.

Sur la figure 2 on voit un additionneur 14 aux trois entrées A (t_1) et aux deux entrées B (CS1).

Le rôle de l'additionneur 14 est de fournir sur ses sorties,
 en notation décimale, $A + B + r$, r étant la retenue utilisée pour
 15 le groupement des additionneurs.

Les deux circuits de sortie de l'additionneur 14, $A + B$ sont
 envoyés d'une part à une porte NON ET 15, d'autre part à deux portes
 NON ET 16 et 17 recevant sur chacune de leurs entrées les informations
 sortant de la porte NON ET 15. Des inverseurs 18 et 19 sont disposés
 20 respectivement aux sorties des portes NON ET 16 et 17. A la sortie
 des inverseurs 18 et 19 est délivré le nombre CS'1. Celui-ci est
 transmis sur deux digits et comporte les nombres décimaux 0 à 2.

En revenant à la figure 1 on voit que le nombre CS' de cinq
 digits (nombres décimaux 0 à 23) est constitué de deux digits CS'₁
 25 et de trois digits CS2. Le nombre CS' est délivré à une mémoire morte
 unique 20 programmée de telle sorte qu'elle sort en ordonnée les
 amplitudes S des sinusoides par exemple comprises entre 0 et 255
 correspondantes à chacun des paliers, abscisses, compris entre 0
 et 23. Les nombres S sont appliqués à un multiplieur 21 unique multipliant
 30 les nombres S par un nombre de consigne $v \leq 1$, ce nombre étant représenté
 par un mot binaire V. Les nombres multipliés VS sont appliqués à
 un comparateur numérique 22, unique, comparant le nombre VS à un
 nombre D obtenu d'une mémoire morte 23 programmée de telle sorte
 qu'elle fournit les amplitudes d'une dent de scie numérique en ordonnée
 35 pour des abscisses caractéristiques des paliers 0 à $N_d - 1$ en provenance
 d'un compteur 24 périodique à la fréquence f_d de la dent de scie
 et comptant des impulsions $C_d = N_d f_d$, N_d étant le nombre des paliers
 de la dent de scie et $f_d = 3fs$. Il en résulte que les état logiques VL1

- 5. -

en provenance du comparateur 22 seront à l'état 1 ou 0 selon que D est supérieur ou inférieur à VS. Les états logiques VLi représentant les intersections des trois sinusoïdes avec la dent de scie doivent être départagés dans un démultiplexeur 25 sur ordre de t1 compris de 0 à 2 en provenance du compteur 12. Du démultiplexeur sortent les trois signaux démultiplexés VL1, VL2, VL3.

Le schéma de la figure 3 représente le démultiplexeur 25 de la figure 1. Des monostables 26 actionnés par t1 fournissent des impulsions h1, h2, h3 à la cadence des trois sinusoïdes 0, 1, 2.

Les signaux VLi sont envoyés sur trois verrous 27, 28, 29 en parallèle qui mémorisent VLi jusqu'à ce qu'une impulsion h1, h2 ou h3 débloquent ces signaux et effectue le démultiplexage sur VL1, VL2 ou VL3.

Sur la figure 4 on voit un exemple de signaux CS1 LSB (bits de faibles poids) et MSB (bits de forts poids) passant de 0 à 1.

Les signaux t1 constitués de bits LSB et MSB ont pour valeur en nombres décimaux 012 etc.....

Selon la table de vérité CS1 - t1 les nombres CS'1 ont les valeurs décimales indiquées.

Pour le démultiplexage les signaux des monostables h1, h2, h3 sont en synchronisme avec t1. Supposons VLi ayant la forme indiquée.

La concordance des impulsions h1, et de VLi donne un changement d'état pour VL1 seulement.

On réalise ainsi le démultiplexage de chacune des informations VLi.

Les applications sont par exemple du domaine de commande des moteurs asynchrones.

- 6 -

REVENDICATIONS

- 1/ Dispositif numérique multiplexé pour commander un onduleur triphasé comportant la génération de trois sinusoïdes numériques déphasées chacune de 120° et d'une dent de scie de fréquence triple de celle de la sinusoïde au moyen d'un premier compteur comptant le nombre binaire constitué de bits de forts poids et de bits de faibles poids caractéristiques des abscisses des paliers de ladite sinusoïde et attaquant une mémoire morte programmée pour délivrer des nombres caractéristiques de l'amplitude desdits paliers de sinusoïde à un multiplieur multipliant lesdits nombres par un nombre de consigne et d'un deuxième compteur comptant le nombre de paliers caractéristiques de ladite dent de scie numérique et attaquant une mémoire morte programmée pour délivrer des nombres caractéristiques de l'amplitude desdits paliers de dent de scie, lesdits nombres multipliés étant comparés auxdits nombres de dent de scie dans un comparateur numérique caractérisé en ce qu'entre ledit premier compteur et ladite mémoire morte de sinusoïdes est disposé un multiplexeur multiplexant lesdits bits de forts poids desdits nombres caractéristiques des abscisses des paliers desdites sinusoïdes numériques sur ordre d'un compteur synchronisé par une horloge ainsi qu'une voie directe pour lesdits bits de faibles poids desdits nombres caractéristiques des abscisses des paliers desdites sinusoïdes numériques et en ce qu'à la sortie dudit comparateur est disposé un démultiplexeur démultiplexant les informations en provenance dudit comparateur sur ordre dudit compteur synchronisé par une horloge et délivrant sur chacune de ses trois sorties les signaux de commande dudit onduleur triphasé.
- 2/ Dispositif numérique multiplexé selon la revendication 1, caractérisé en ce que ledit multiplexeur obéit à la table de vérité suivante :

	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

- 3/ Dispositif selon la revendication 2, caractérisé en ce que ledit multiplexeur est constitué d'un additionneur dont les deux sorties sont réunies d'une part à une porte NON-ET 15, d'autre part à deux portes NON-ET 16 et 17 recevant également la sortie de la porte NON-ET 15, les portes NON-ET 16 et 17 étant suivies de deux inverseurs 18 et 19.

FIG. 1

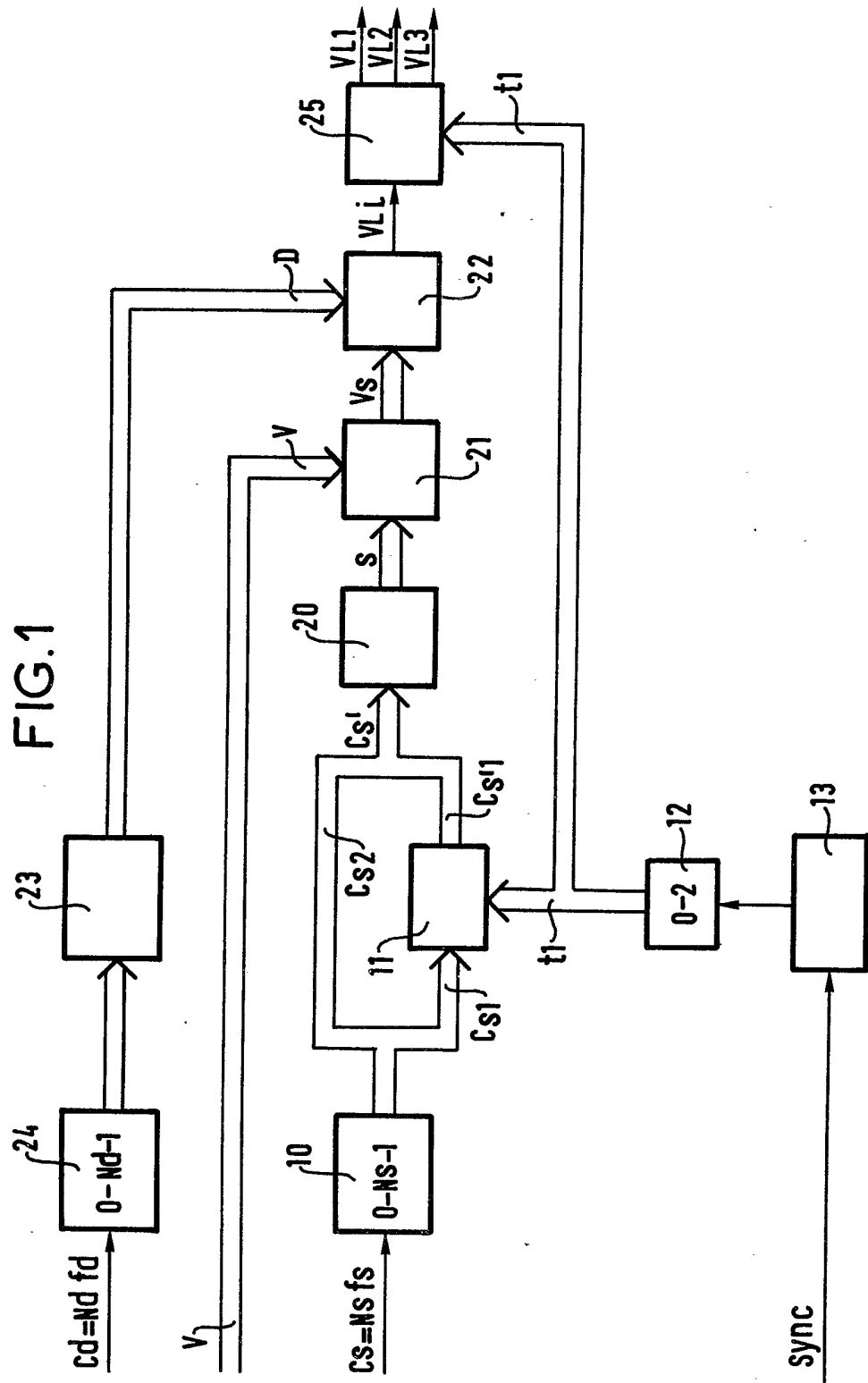


FIG. 2

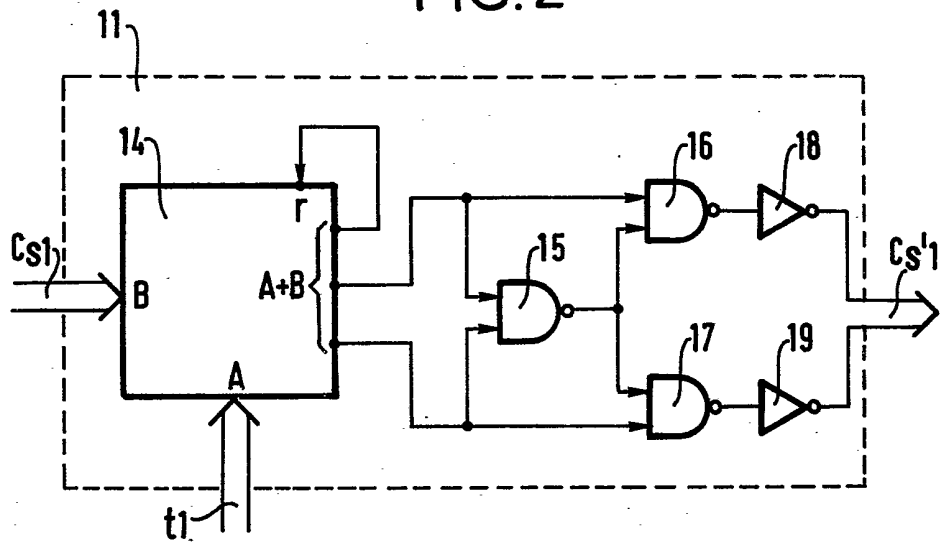


FIG. 3

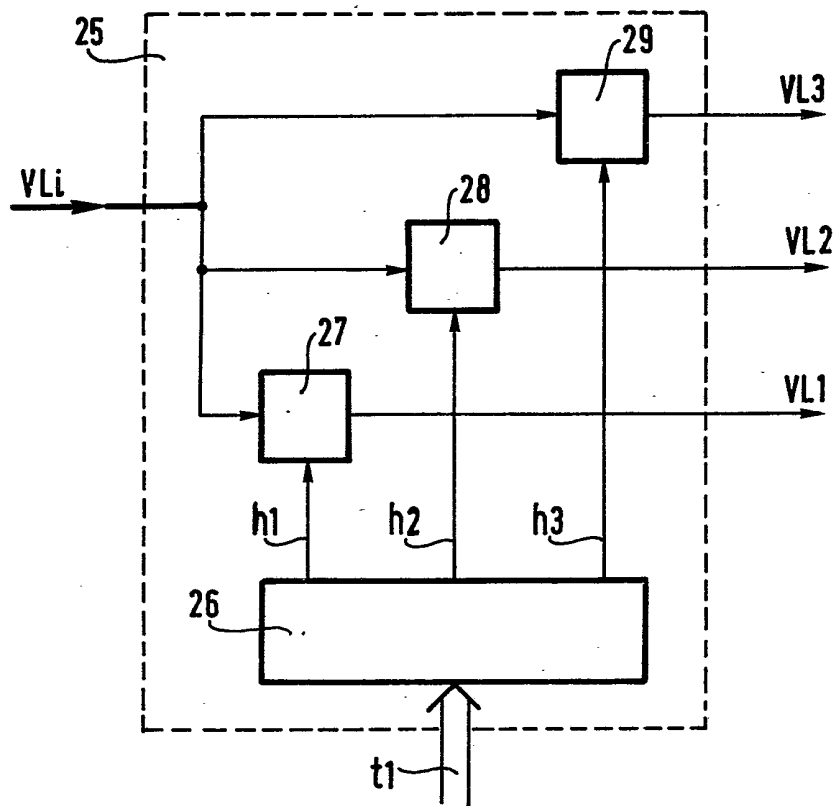


FIG. 4

