

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3668458号

(P3668458)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int. Cl.⁷

F I

G 1 1 C 29/00

G 1 1 C 29/00 6 7 1 Z

G 1 1 C 11/22

G 1 1 C 11/22 5 0 1 P

請求項の数 5 (全 6 頁)

(21) 出願番号	特願2001-532549 (P2001-532549)	(73) 特許権者	501209070
(86) (22) 出願日	平成12年10月20日 (2000.10.20)		インフィネオン テクノロジーズ アクチ
(65) 公表番号	特表2003-512696 (P2003-512696A)		エンゲゼルシャフト
(43) 公表日	平成15年4月2日 (2003.4.2)		ドイツ連邦共和国 8 1 6 6 9 ミュンヘ
(86) 国際出願番号	PCT/EP2000/010349		ン ザンクト マルティン シュトラーセ
(87) 国際公開番号	W02001/029840		5 3
(87) 国際公開日	平成13年4月26日 (2001.4.26)	(74) 代理人	100078282
審査請求日	平成14年4月22日 (2002.4.22)		弁理士 山本 秀策
(31) 優先権主張番号	99121161.6	(74) 代理人	100062409
(32) 優先日	平成11年10月22日 (1999.10.22)		弁理士 安村 高明
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100113413
			弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 強誘電性記憶容量から読み出された信号を解析するための構成

(57) 【特許請求の範囲】

【請求項 1】

強誘電性記憶容量 (C f e r r o) から読み出された信号を解析するための構成であって、該読み出された信号を増幅するための読み出し用増幅器 (1) と、該読み出し用増幅器 (1) に直列に接続された解析電子機器 (11) とを備える構成であって、

該読み出し用増幅器 (1) と該解析電子機器 (11) との間にクロック信号が入力されたカウンタ (9) が提供され、該カウンタは、該読み出し用増幅器 (1) によって増幅された該読み出された信号の該パルス幅を対応するカウンタのカウント値に変換し、該解析電子機器 (11) は、該カウンタのカウント値のレベルから、該信号が、該強誘電性記憶容量 (C f e r r o) の記憶媒体の強い正分極の領域から読み出されるのか、強い負分極の領域から読み出されるのか、または弱い分極の領域から読み出されるのかを決定することを特徴とする、構成。

【請求項 2】

前記読み出し用増幅器 (1) における前記弱い分極の領域の幅 (X) は、設定可能であることを特徴とする、請求項 1 に記載の構成。

【請求項 3】

前記信号が前記強い正分極の領域から読み出される場合には、該信号は第 1 の論理状態であると分析され、該信号が前記強い負分極の領域から読み出される場合には、該信号は第 2 の論理状態であると分析され、該信号が前記弱い分極の領域から読み出される場合には、該信号は第 3 の論理状態であると分析される、請求項 1 または 2 に記載の構成。

10

20

【請求項 4】

前記読み出し用増幅器（１）には、前記信号が前記弱い分極の領域から読み出されることを示す追加的出力（６）が提供されることを特徴とする、請求項 1～3 のいずれかに記載の構成。

【請求項 5】

前記弱い分極の領域（ X ）は、前記分極のゼロ状態に対して対称的に構成されることを特徴とする、請求項 1～4 のいずれかに記載の構成。

【発明の詳細な説明】

【0001】

本発明は、強誘電性記憶容量から読出された信号を解析するための構成に関し、読出された信号を増幅するための読出し用増幅器、および読出し用増幅器に直列接続される解析論理構成を含む。

10

【0002】

公知のように、強誘電性メモリは、記憶容量の強誘電性誘電体のヒステリシス特性に基づいて、供給電圧を印加しなくても、情報を長期間に渡って保持することができる不揮発性メモリであることが公知である。このような強誘電性メモリにおいて、情報は、強誘電性誘電体の残留分極状態の形をとって記憶される。情報は、それぞれ「１」または「０」が割当てられる正分極または負分極によって表される２つの状態で記憶され得る。

【0003】

そのようなメモリのメモリセルの読出しは、例えば、基準セルとの比較によって行なわれ、基準セルの状態は知られている必要がある。従って、例えば、２つのトランジスタおよび２つの容量（ $2T2C$ セル）からなるメモリセルの場合、基準セルは、常にメモリセルとは逆の分極を有する。

20

【0004】

強誘電性メモリに直列に接続された読出し用増幅器は、コンパレータとして作動し、読出すべきメモリセルに収容される電荷量を、読出しインパルスを印加して、基準セルの電荷量と比較する。この場合、分極が切換えられる必要があるセルはより大きい電荷を受取る。

【0005】

$2T2C$ セルを例として、メモリセルが正分極を有する場合、その基準セルは負分極を有する。メモリセルが、その後、正の読出しインパルスで読み出され、基準セルの分極は反転し、これに対してメモリセルの状態は非電荷状態で保たれる。従って、この場合、基準セルはメモリセルと比較して、より大きい電荷を収容する。これによって得られた電荷の差異は、読出し用増幅器によって評価される。

30

【0006】

強誘電性メモリにおいて、個々のセルが不十分なデータ保持特性を有するか、または、例えば、地球規模のまたは局地的な気温の上昇によって操作が試みられた場合、当該セルの誘電体は、その分極の一部を失うので、正分極および負分極を有する２つの状態からなるセルは「ゼロ」分極、いわゆるゼロ状態に向かって移動する。次に、メモリセルおよびその基準セルが、妨害または操作の試みによって、ゼロ状態である場合、評価可能な分極の差異はもはや存在せず、読出し用増幅器の出力における信号は、例えば、メモリ内容とは関係のない許容誤差等のファクタに依存して、もはや予測不可能である。

40

【0007】

従って、本発明の課題は、強誘電性記憶容量から読出された信号を解析するための構成を、個々のセルにおけるデータ保持が監視され、例えば、局地的または地球規模の熱攻撃によって試みられたデータの操作が、即座に確認され得るように改善することである。

【0008】

この課題は、冒頭で述べられたような構成の場合、本発明により、読出し用増幅器と解析論理との間に、クロック信号が入力されるカウンタが提供され、このカウンタは読出し用増幅器から読出された信号のパルス幅を対応するカウンタ値に転換し、かつ信号は、強誘

50

電性記憶容量の記憶媒体の強い正分極の領域から読出されるのか、強い負分極から読出されるのか、または弱い分極から読出されるのかを解析論理がカウンタ値のレベルから評価することによって決定される。

【0009】

本発明による構成では、従って、「第3の評価の状態」が導入され、この状態は「ゼロ状態」の両側に存在し、評価から除外され得る。セルの分極の状態が、読出しの際に、この第3の評価状態内に存在する場合、読出し用増幅器は、何の問題もなく信号を送達し得、出力データの無効を信号で送る。例えば、モニタセルを用いて、さらなる状況が評価されることによって、第3の評価状態が読出し用増幅器において確認される場合、解析論理はデータ保持の問題または操作の試みが存在するかどうかを、何の問題もなく決定し得る。

10

【0010】

便宜上、第3の評価状態の幅は「ゼロ状態」に対して対称的に設定される。

【0011】

第3の評価状態の幅が設定可能であると有利である。なぜなら、このことによって、メモリを、メモリに対して出された要求に対して最適に適応させることが可能だからである。第3の評価状態の大きい幅は、特に、操作の試みの危険が生じた場合に有利であり、そのような操作の試みの恐れがない用途の場合には、より小さい幅で十分である。

【0012】

最終的に、本発明による構成を用いて、記憶容量に1.5ビットを記憶し得ることが実現できるということにさらに留意されるべきである。なぜなら、メモリ状態は、正分極、負分極、および無分極によって表現され得るので、「ゼロ状態」は、第3の情報の状態を記憶するために利用され得るからである。しかしながら、このためには、セルを「ゼロ状態」にすることを可能にする適切な回路が必要である。これは、例えば、セルに存在するシヌソイド(sinusoidal)交流電圧の振幅が連続的に下方へ移動される減極回路を用いて可能である。

20

【0013】

以下において、本発明は図面を用いて詳細に説明される。

【0014】

図1はヒステリシス曲線を示し、ここでは電圧 $U(V)$ に依存する分極 $P(\mu C/cm^2)$ が記される。正分極 P は、例えば、論理的な「1」を意味し、負分極には「0」が割当てられる。

30

【0015】

分極のゼロ状態は、 $P=0$ で表される。ゼロ状態の両側は、そのすぐ近傍ではセルの状態が評価され得ないか、または困難であり得る。従って、本発明は、信号が送られ、その状態においては評価が行なわれない第3の評価状態 X を導入する。メモリセルを評価する場合に、領域 X からある量が取得された場合、これは、例えば、熱攻撃によってデータ操作が試みられたか、またはメモリのデータ保持特性が悪化したということを意味する。

【0016】

より詳細には、データ保持特性の喪失、またはデータ操作の試みが存在するかどうかは、メモリの現在の状態についてのさらなる情報が解析論理に供給された場合、解析論理によって確認され得る。

40

【0017】

従って、本発明による構成において重要なのは、第一に、この構成は、強誘電性セルの読出し信号を解析する際に第3の評価状態、すなわち領域 X を導入することである。

【0018】

次に、図2は、複数のレベルをとらえ得る読出し用増幅器1のブロック回路図を示す。この読出し用増幅器は、メモリセルの出力信号のための入力2、基準セルの出力信号のための入力3、およびさらなる入力4を有し、この入力4は読出し用増幅器1に供給され、この入力4によって線 $P=0$ の上部および下部の領域 X の幅が設定され得る(図1を参照)。読出し用増幅器1の、この設定可能性によって、本発明による構成は、これに対して出

50

された、例えば、操作の試みに対する高い安全性または低い安全性を伴う要求に対して最適に設定され得る。

【0019】

さらに、入力4を作動することによって、達成可能なセル分極をメモリに直接的に、すなわち「オンチップ」配置することが可能である。この最後に述べられた機能は、特に、メモリの開発段階において、広範囲にわたる監視あるいはモニタリングを容易にし得る。

【0020】

読出し用増幅器1は、さらに、出力端子5および出力端子6を有し、入力端子2、入力端子3を介して供給された信号を解析する際に、これらの信号のうちの1つが領域Xから生じていることが確認された場合、信号を発する。従って、出力データの無効を即座に信号で送ることが、問題無く可能である。

10

【0021】

次に、図3は、メモリ、すなわちメモリセル7を備える本発明による構成を示し、これに追加的読出し出力READによって読出し用増幅器1が直列接続される。この読出し用増幅器の出力端子5は、カウタイネーブル端子、すなわちカウンタ9のカウントイネーブル8と接続され、このカウンタのクロック入力端子10にクロック信号が存在する。カウンタ9は、読出し用増幅器1からの出力信号がクロックイネーブル端子8に供給される間、クロック端子10を介して供給されたクロックパルスのカウントする。取得された結果は、カウンタ9の出力端子 $D_0 \sim D_n$ を介して解析電子機器11に供給され、その後、カウンタ9によって得られた読出し用増幅器1の出力信号パルス幅 τ から、分極が領域Xで解析されたか否かを確認する。これらの解析は、図4において模式的に示され、ここでは、分極Pが横座標上に記され、値 $+P_{max}$ および値 $-P_{max}$ は、ヒステリシス曲線(図1を参照)の「ピーク」にそれぞれ割当てられた値と対応する。パルス幅が領域Xの内側に存在する場合、これは、データ保持に関する問題または操作の試みが起こったことを意味する。これに対して、パルス幅が領域Xの外側に存在する場合、データ保持に関する問題または操作の試みは存在しない。

20

【0022】

最後に、図5は、メモリセル7および読出し用増幅器1に関する具体例を示す。

【0023】

メモリセル7は、強誘電性記憶容量Cferroからなり、その容量の電極において陽極電圧PLが存在し、この容量の他の電極は、選択トランジスタTと接続され、そのゲート電極はワード線WLと接続される。選択トランジスタの出力は、ビット線BLを介して、読出し用増幅器1と接続され、この読出し用増幅器1は、通常、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタ、抵抗器、インバータならびにNANDゲートから構成される。

30

【0024】

メモリセル7は、ワード線WLの活性化によって選択される。読出し線READにスイッチが入ることによってメモリセル7は読み出される。その後、記憶容量Cferroの分極状態に依存して、端子PULSpにおいて異なった長さの負電圧インパルスが発生する。

40

【図面の簡単な説明】

【図1】 様々な分極状態を有する強誘電性メモリセルのヒステリシス曲線を示す。

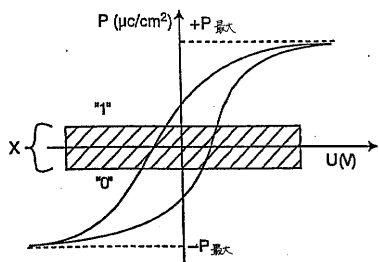
【図2】 本発明による構成で使用する読出し用増幅器を説明するための基本的回路図である。

【図3】 本発明による構成のブロック回路図である。

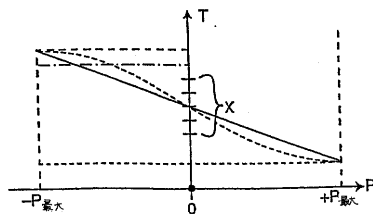
【図4】 メモリセルから読出された信号を評価する際の、読出し用増幅器の機能の仕方を説明するための図である。

【図5】 本発明による構成の具体的な回路例を示す図である。

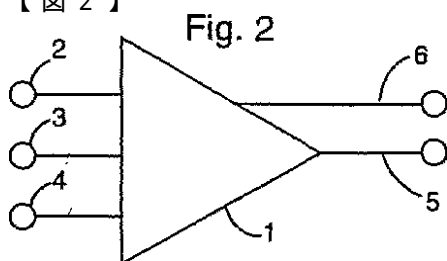
【図 1】



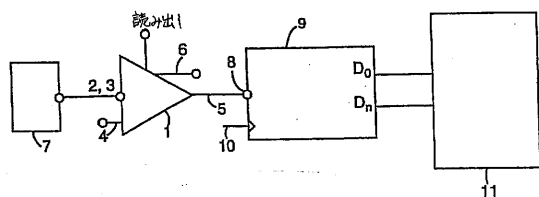
【図 4】



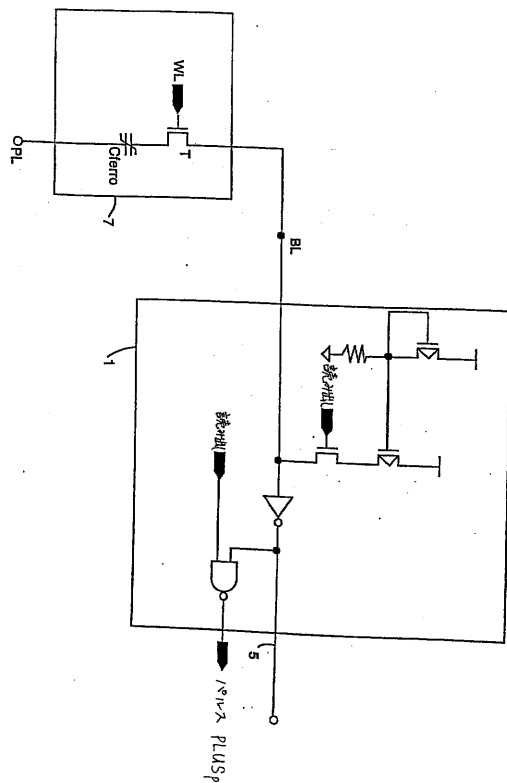
【図 2】



【図 3】



【図 5】



フロントページの続き

- (72)発明者 ブリュックルマイアー, エリック ロジャー
ドイツ国 ミュンヘン 8 0 6 3 4, ヴェンドル-ディートリヒ-シュトラーセ 5
- (72)発明者 ボル, ミヒャエル
ドイツ国 ミュンヘン 8 1 6 7 1, ヘクトゼーシュトラーセ 13ベ-
- (72)発明者 シュラーゲー, トビアス
オーストリア国 アー-8062 クンベルク, マイアーヘーファーシュトラーセ 12

審査官 小松 正

(56)参考文献 特開平11-223650(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 29/00

G11C 11/22