

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年11月8日(2018.11.8)

【公開番号】特開2017-139308(P2017-139308A)

【公開日】平成29年8月10日(2017.8.10)

【年通号数】公開・登録公報2017-030

【出願番号】特願2016-18589(P2016-18589)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/115 (2017.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

H 0 1 L 27/08 1 0 2 C

H 0 1 L 27/08 3 2 1 D

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 29/58 G

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成30年9月21日(2018.9.21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【 0 0 0 9 】

一実施の形態である半導体装置は、メタルゲート電極の側壁に接する絶縁膜を窒化シリコン膜により構成し、スプリットゲート型の MONOS メモリのメモリゲート電極の下の電荷蓄積膜の側壁に接する絶縁膜を酸化シリコン膜により構成するものである。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 0

【補正方法】変更

【補正の内容】

【 0 0 1 0 】

また、他の実施の形態である半導体装置の製造方法は、第 1 ゲート電極および第 2 ゲート電極のそれぞれ側壁を覆うように、窒化シリコン膜および第 1 酸化シリコン膜を順に形成した後、第 1 ゲート電極の側壁を覆う第 1 酸化シリコン膜を除去し、その後、第 1 ゲート電極および第 2 ゲート電極のそれぞれの側壁を覆う第 2 酸化シリコン膜を形成するものである。これにより、第 1 ゲート電極の側壁を覆う窒化シリコン膜および第 2 酸化シリコ

ン膜からなる第 1 サイドウォールと、第 2 ゲート電極の側壁を覆う窒化シリコン膜、第 1 酸化シリコン膜および第 2 酸化シリコン膜からなる第 2 サイドウォールとを形成する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

【図 1】実施の形態 1 である半導体装置の製造工程中の断面図である。

【図 2】図 1 に続く半導体装置の製造工程中の断面図である。

【図 3】図 2 に続く半導体装置の製造工程中の断面図である。

【図 4】図 3 に続く半導体装置の製造工程中の断面図である。

【図 5】図 4 の一部を拡大して示す断面図である。

【図 6】図 5 に続く半導体装置の製造工程中の断面図である。

【図 7】図 6 に続く半導体装置の製造工程中の断面図である。

【図 8】図 7 に続く半導体装置の製造工程中の断面図である。

【図 9】図 8 に続く半導体装置の製造工程中の断面図である。

【図 10】図 9 に続く半導体装置の製造工程中の断面図である。

【図 11】図 10 に続く半導体装置の製造工程中の断面図である。

【図 12】図 11 に続く半導体装置の製造工程中の断面図である。

【図 13】図 12 に続く半導体装置の製造工程中の断面図である。

【図 14】図 13 に続く半導体装置の製造工程中の断面図である。

【図 15】図 14 に続く半導体装置の製造工程中の断面図である。

【図 16】図 15 に続く半導体装置の製造工程中の断面図である。

【図 17】図 16 に続く半導体装置の製造工程中の断面図である。

【図 18】図 17 に続く半導体装置の製造工程中の断面図である。

【図 19】図 18 に続く半導体装置の製造工程中の断面図である。

【図 20】図 19 に続く半導体装置の製造工程中の断面図である。

【図 21】図 20 に続く半導体装置の製造工程中の断面図である。

【図 22】図 21 に続く半導体装置の製造工程中の断面図である。

【図 23】図 22 に続く半導体装置の製造工程中の断面図である。

【図 24】図 23 に続く半導体装置の製造工程中の断面図である。

【図 25】図 24 に続く半導体装置の製造工程中の断面図である。

【図 26】図 25 に続く半導体装置の製造工程中の断面図である。

【図 27】図 26 に続く半導体装置の製造工程中の断面図である。

【図 28】図 27 に続く半導体装置の製造工程中の断面図である。

【図 29】図 28 の一部を拡大して示す断面図である。

【図 30】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図 31】実施の形態 1 である半導体装置の変形例 1 の製造工程中の断面図である。

【図 32】図 31 に続く半導体装置の製造工程中の断面図である。

【図 33】図 32 に続く半導体装置の製造工程中の断面図である。

【図 34】図 33 に続く半導体装置の製造工程中の断面図である。

【図 35】図 34 に続く半導体装置の製造工程中の断面図である。

【図 36】図 35 に続く半導体装置の製造工程中の断面図である。

【図 37】図 36 に続く半導体装置の製造工程中の断面図である。

【図 38】図 37 に続く半導体装置の製造工程中の断面図である。

【図 39】図 38 に続く半導体装置の製造工程中の断面図である。

【図 40】図 39 に続く半導体装置の製造工程中の断面図である。

【図 41】図 40 に続く半導体装置の製造工程中の断面図である。

- 【図 4 2】図 4 1 に続く半導体装置の製造工程中の断面図である。
- 【図 4 3】図 4 2 に続く半導体装置の製造工程中の断面図である。
- 【図 4 4】図 4 3 の一部を拡大して示す断面図である。
- 【図 4 5】実施の形態 1 である半導体装置の変形例 1 の断面図である。
- 【図 4 6】実施の形態 1 である半導体装置の変形例 2 の製造工程中の断面図である。
- 【図 4 7】図 4 6 に続く半導体装置の製造工程中の断面図である。
- 【図 4 8】図 4 7 に続く半導体装置の製造工程中の断面図である。
- 【図 4 9】図 4 8 に続く半導体装置の製造工程中の断面図である。
- 【図 5 0】図 4 9 に続く半導体装置の製造工程中の断面図である。
- 【図 5 1】図 5 0 に続く半導体装置の製造工程中の断面図である。
- 【図 5 2】図 5 1 の一部を拡大して示す断面図である。
- 【図 5 3】実施の形態 2 である半導体装置の製造工程中の断面図である。
- 【図 5 4】図 5 3 に続く半導体装置の製造工程中の断面図である。
- 【図 5 5】図 5 4 に続く半導体装置の製造工程中の断面図である。
- 【図 5 6】図 5 5 の一部を拡大して示す断面図である。
- 【図 5 7】実施の形態 2 である半導体装置の断面図である。
- 【図 5 8】実施の形態 2 である半導体装置の変形例 1 の製造工程中の断面図である。
- 【図 5 9】図 5 8 の一部を拡大して示す断面図である。
- 【図 6 0】実施の形態 2 である半導体装置の変形例 2 の製造工程中の断面図である。
- 【図 6 1】図 6 0 の一部を拡大して示す断面図である。
- 【図 6 2】比較例である半導体装置の製造工程中の断面図である。
- 【図 6 3】図 6 2 に続く半導体装置の製造工程中の断面図である。
- 【図 6 4】図 6 3 に続く半導体装置の製造工程中の断面図である。
- 【図 6 5】図 6 4 に続く半導体装置の製造工程中の断面図である。
- 【図 6 6】図 6 5 に続く半導体装置の製造工程中の断面図である。
- 【図 6 7】図 6 6 に続く半導体装置の製造工程中の断面図である。
- 【図 6 8】比較例である半導体装置の製造工程中の断面図である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 3

【補正方法】変更

【補正の内容】

【0 0 5 3】

ここでは、窒化シリコン膜 N T 3 の膜厚 a は例えば 1 5 n m であり、酸化シリコン膜 O X 4 の膜厚 b は例えば 2 0 n m である。窒化シリコン膜 N T 3 の膜厚 a は、酸化シリコン膜 O X 4 をサイドウォール状に加工するエッチバック工程（図 2 1 参照）において半導体基板 S B の主面を露出しない程度の大きさを要するため、例えば 1 0 n m 以上の大きさが必要である。