

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年11月8日(2018.11.8)

【公開番号】特開2017-139308(P2017-139308A)

【公開日】平成29年8月10日(2017.8.10)

【年通号数】公開・登録公報2017-030

【出願番号】特願2016-18589(P2016-18589)

【国際特許分類】

H 01 L 21/8234 (2006.01)

H 01 L 27/088 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 27/115 (2017.01)

H 01 L 21/336 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

H 01 L 27/10 (2006.01)

【F I】

H 01 L 27/08 1 0 2 C

H 01 L 27/08 3 2 1 D

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

H 01 L 29/58 G

H 01 L 27/10 4 6 1

【手続補正書】

【提出日】平成30年9月21日(2018.9.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

—実施の形態である半導体装置は、メタルゲート電極の側壁に接する絶縁膜を窒化シリコン膜により構成し、スプリットゲート型のMONOSメモリのメモリゲート電極の下の電荷蓄積膜の側壁に接する絶縁膜を酸化シリコン膜により構成するものである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

また、他の実施の形態である半導体装置の製造方法は、第1ゲート電極および第2ゲート電極のそれぞれ側壁を覆うように、窒化シリコン膜および第1酸化シリコン膜を順に形成した後、第1ゲート電極の側壁を覆う第1酸化シリコン膜を除去し、その後、第1ゲート電極および第2ゲート電極のそれぞれの側壁を覆う第2酸化シリコン膜を形成するものである。これにより、第1ゲート電極の側壁を覆う窒化シリコン膜および第2酸化シリコ

ン膜からなる第1サイドウォールと、第2ゲート電極の側壁を覆う窒化シリコン膜、第1酸化シリコン膜および第2酸化シリコン膜からなる第2サイドウォールとを形成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

【図1】実施の形態1である半導体装置の製造工程中の断面図である。

【図2】図1に続く半導体装置の製造工程中の断面図である。

【図3】図2に続く半導体装置の製造工程中の断面図である。

【図4】図3に続く半導体装置の製造工程中の断面図である。

【図5】図4の一部を拡大して示す断面図である。

【図6】図5に続く半導体装置の製造工程中の断面図である。

【図7】図6に続く半導体装置の製造工程中の断面図である。

【図8】図7に続く半導体装置の製造工程中の断面図である。

【図9】図8に続く半導体装置の製造工程中の断面図である。

【図10】図9に続く半導体装置の製造工程中の断面図である。

【図11】図10に続く半導体装置の製造工程中の断面図である。

【図12】図11に続く半導体装置の製造工程中の断面図である。

【図13】図12に続く半導体装置の製造工程中の断面図である。

【図14】図13に続く半導体装置の製造工程中の断面図である。

【図15】図14に続く半導体装置の製造工程中の断面図である。

【図16】図15に続く半導体装置の製造工程中の断面図である。

【図17】図16に続く半導体装置の製造工程中の断面図である。

【図18】図17に続く半導体装置の製造工程中の断面図である。

【図19】図18に続く半導体装置の製造工程中の断面図である。

【図20】図19に続く半導体装置の製造工程中の断面図である。

【図21】図20に続く半導体装置の製造工程中の断面図である。

【図22】図21に続く半導体装置の製造工程中の断面図である。

【図23】図22に続く半導体装置の製造工程中の断面図である。

【図24】図23に続く半導体装置の製造工程中の断面図である。

【図25】図24に続く半導体装置の製造工程中の断面図である。

【図26】図25に続く半導体装置の製造工程中の断面図である。

【図27】図26に続く半導体装置の製造工程中の断面図である。

【図28】図27に続く半導体装置の製造工程中の断面図である。

【図29】図28の一部を拡大して示す断面図である。

【図30】「書き込み」、「消去」および「読み出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図31】実施の形態1である半導体装置の変形例1の製造工程中の断面図である。

【図32】図31に続く半導体装置の製造工程中の断面図である。

【図33】図32に続く半導体装置の製造工程中の断面図である。

【図34】図33に続く半導体装置の製造工程中の断面図である。

【図35】図34に続く半導体装置の製造工程中の断面図である。

【図36】図35に続く半導体装置の製造工程中の断面図である。

【図37】図36に続く半導体装置の製造工程中の断面図である。

【図38】図37に続く半導体装置の製造工程中の断面図である。

【図39】図38に続く半導体装置の製造工程中の断面図である。

【図40】図39に続く半導体装置の製造工程中の断面図である。

【図41】図40に続く半導体装置の製造工程中の断面図である。

- 【図42】図41に続く半導体装置の製造工程中の断面図である。
- 【図43】図42に続く半導体装置の製造工程中の断面図である。
- 【図44】図43の一部を拡大して示す断面図である。
- 【図45】実施の形態1である半導体装置の変形例1の断面図である。
- 【図46】実施の形態1である半導体装置の変形例2の製造工程中の断面図である。
- 【図47】図46に続く半導体装置の製造工程中の断面図である。
- 【図48】図47に続く半導体装置の製造工程中の断面図である。
- 【図49】図48に続く半導体装置の製造工程中の断面図である。
- 【図50】図49に続く半導体装置の製造工程中の断面図である。
- 【図51】図50に続く半導体装置の製造工程中の断面図である。
- 【図52】図51の一部を拡大して示す断面図である。
- 【図53】実施の形態2である半導体装置の製造工程中の断面図である。
- 【図54】図53に続く半導体装置の製造工程中の断面図である。
- 【図55】図54に続く半導体装置の製造工程中の断面図である。
- 【図56】図55の一部を拡大して示す断面図である。
- 【図57】実施の形態2である半導体装置の断面図である。
- 【図58】実施の形態2である半導体装置の変形例1の製造工程中の断面図である。
- 【図59】図58の一部を拡大して示す断面図である。
- 【図60】実施の形態2である半導体装置の変形例2の製造工程中の断面図である。
- 【図61】図60の一部を拡大して示す断面図である。
- 【図62】比較例である半導体装置の製造工程中の断面図である。
- 【図63】図62に続く半導体装置の製造工程中の断面図である。
- 【図64】図63に続く半導体装置の製造工程中の断面図である。
- 【図65】図64に続く半導体装置の製造工程中の断面図である。
- 【図66】図65に続く半導体装置の製造工程中の断面図である。
- 【図67】図66に続く半導体装置の製造工程中の断面図である。
- 【図68】比較例である半導体装置の製造工程中の断面図である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

ここでは、窒化シリコン膜NT3の膜厚aは例えば15nmであり、酸化シリコン膜OX4の膜厚bは例えば20nmである。窒化シリコン膜NT3の膜厚aは、酸化シリコン膜OX4をサイドウォール状に加工するエッチバック工程(図21参照)において半導体基板SBの正面を露出しない程度の大きさを要するため、例えば10nm以上の大きさが必要である。