



(12) 发明专利

(10) 授权公告号 CN 102134054 B

(45) 授权公告日 2013.06.12

(21) 申请号 201010172538.2

WO 2007018813 A2, 2007.02.15, 全文.

(22) 申请日 2010.05.07

CN 101559916 A, 2009.10.21, 全文.

(30) 优先权数据

US 6458615 B1, 2002.10.01, 全文.

12/691,754 2010.01.22 US

JP 2004223710 A, 2004.08.12, 全文.

(73) 专利权人 鑫创科技股份有限公司

US 5316979 A, 1994.05.31, 全文.

地址 中国台湾新竹县

审查员 严恺

(72) 发明人 谢聪敏 李建兴 刘志成

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

B81C 1/00 (2006.01)

H04R 31/00 (2006.01)

(56) 对比文件

US 2004207074 A1, 2004.10.21, 全文.

EP 1087445 A1, 2001.03.28, 全文.

US 7524767 B2, 2009.04.28, 全文.

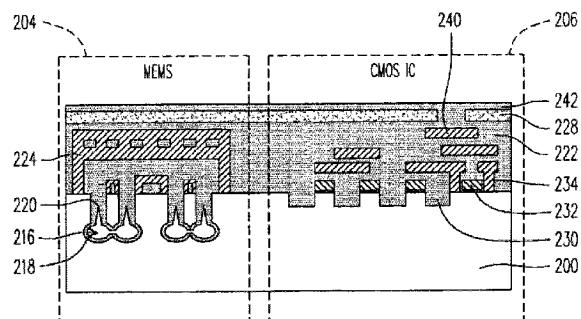
权利要求书4页 说明书10页 附图26页

(54) 发明名称

用于制造微机电系统装置的方法

(57) 摘要

一种用于制造 MEMS 装置的方法，其包含：提供单晶体衬底，其具有第一表面和第二表面且具有 MEMS 区和 IC 区；在第一表面上在 MEMS 区中形成 SCS 质量块；在衬底的第一表面上形成结构介电层，其中结构介电层的介电部件填充于围绕 MEMS 区中的 SCS 质量块的空间中，IC 区具有电路结构，所述电路结构具有形成于结构介电层中的互连结构；通过蚀刻工艺在第二表面上将单晶体衬底图案化以暴露填充于围绕 SCS 质量块的空间中的介电部件的一部分；至少对填充于围绕 SCS 质量块的空间中的介电部分执行各向同性蚀刻工艺。暴露 SCS 质量块以释放 MEMS 结构。



1. 一种用于制造微机电系统 (MEMS) 装置的方法, 其包括 :

提供单晶体衬底, 其具有第一表面和第二表面且具有 MEMS 区和集成电路 (IC) 区;

在所述衬底的所述第一表面上在所述 MEMS 区中形成多个单晶体结构质量块;

在所述衬底的所述第一表面上形成结构介电层, 其中所述结构介电层具有介电部件且以所述介电部件填充围绕所述 MEMS 区中的所述单晶体结构质量块的空间, 其中所述 IC 区具有电路结构, 所述电路结构具有形成于所述结构介电层中的互连结构;

通过蚀刻工艺在所述第二表面上将所述单晶体衬底图案化, 以暴露填充于围绕所述单晶体结构质量块的所述空间中的所述介电部件的一部分; 以及

至少对填充于围绕所述单晶体结构质量块的所述空间中的所述介电部件执行各向同性蚀刻工艺, 其中暴露所述单晶体结构质量块以释放 MEMS 结构。

2. 根据权利要求 1 所述的用于制造 MEMS 装置的方法, 其特征在于所述形成所述质量块的步骤包括 :

在所述衬底的所述第一表面上以任意形状形成对应于所述单晶体结构质量块的第一掩模层, 其中所述第一掩模层在所述 MEMS 区处具有多个第一开口图案以暴露所述衬底;

以所述第一掩模层作为蚀刻掩模来蚀刻所述衬底以形成具有深度的多个沟槽, 以在所述衬底上产生具有所述任意形状的所述单晶体结构质量块;

在所述沟槽的侧壁和所述第一掩模层的所述第一开口图案上形成介电间隔件以作为第二掩模; 以及

用所述第一掩模和所述第二掩模执行各向同性蚀刻工艺以移除所述衬底的一部分, 其中所述单晶体结构质量块的至少一部分相对于所述衬底悬置以在所述单晶体结构质量块中形成悬置梁结构, 其中所述单晶体结构质量块的一部分保留在所述衬底上。

3. 根据权利要求 2 所述的用于制造 MEMS 装置的方法, 所述在所述沟槽的所述侧壁上形成所述介电间隔件的步骤包括 :

在所述衬底上以共形形状形成介电层; 以及

对所述介电层执行回蚀工艺, 其中所述介电层的残余部分变为所述介电间隔件。

4. 根据权利要求 2 所述的用于制造 MEMS 装置的方法, 其特征在于所述沟槽具有根据既定的 MEMS 结构的几何形状。

5. 根据权利要求 1 所述的用于制造 MEMS 装置的方法, 其特征在于所述形成所述单晶体结构质量块的步骤包括 :

在所述衬底的所述第一表面上以任意形状形成对应于所述单晶体结构质量块的第一掩模层, 其中所述第一掩模层在所述 MEMS 区处具有多个第一开口图案以暴露所述衬底;

以所述第一掩模层作为蚀刻掩模来蚀刻所述衬底以形成具有深度的多个沟槽, 以产生具有任意形状的所述单晶体结构质量块;

在所述沟槽的侧壁上形成夹层间隔件以作为第二掩模, 其中所述夹层间隔件具有嵌入在所述介电间隔件中的导电间隔件; 以及

用所述第一掩模和所述第二掩模执行各向同性蚀刻工艺以移除所述衬底的一部分, 其中所述单晶体结构质量块的至少一部分相对于所述衬底悬置以在所述单晶体结构质量块中形成悬置梁结构, 其中所述单晶体结构质量块的一部分保留在所述衬底上。

6. 根据权利要求 5 所述的用于制造 MEMS 装置的方法, 其特征在于所述形成所述夹层间

隔件的步骤包括：

在所述衬底上以共形形状形成电介质；
在所述衬底上以共形形状形成导电层；以及
对所述导电层执行回蚀工艺。

7. 根据权利要求 6 所述的用于制造 MEMS 装置的方法，其特征在于在执行所述回蚀工艺之后，所述导电间隔件保留在所述沟槽的所述侧壁上。

8. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其进一步包括在执行所述各向同性蚀刻工艺之前形成可润湿层以在所述第二表面处覆盖所述衬底的暴露部分。

9. 根据权利要求 8 所述的用于制造 MEMS 装置的方法，其特征在于所述各向同性蚀刻工艺是湿式蚀刻工艺且在所述湿式蚀刻工艺中具有湿蚀刻剂，其中所述可润湿层与所述湿蚀刻剂反应，或所述可润湿层被所述湿蚀刻剂润湿所润湿的表面。

10. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于所述各向同性蚀刻工艺包括气相蚀刻。

11. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于所述将所述单晶体衬底图案化的步骤包括：

在所述衬底的所述第二表面上形成硬掩模层；
将所述硬掩模层图案化以具有开口以在所述 MEMS 区处暴露所述衬底；
在所述硬掩模层以及所述衬底的一部分上在所述开口内形成蚀刻掩模层；
以所述蚀刻掩模层作为掩模对所述衬底执行第一各向异性蚀刻工艺以暴露所述介电层中的所述介电部件的一部分；
移除所述蚀刻掩模层；
以所述硬掩模层作为掩模对所述衬底执行第二各向同性蚀刻工艺，其中将所述衬底的在所述开口内被暴露的部分移除一部分以具有较低的表面水平。

12. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于在所述执行所述各向同性蚀刻工艺的步骤中，所有所述空间接合为接合的单个空间。

13. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于在所述通过所述蚀刻工艺在所述单晶体衬底的所述第二表面上将所述单晶体衬底图案化的步骤中包括：

在所述衬底的所述第二表面上形成蚀刻掩模层，其中所述蚀刻掩模层在所述 MEMS 区处具有开口以暴露所述衬底的所述第二表面；以及

用所述蚀刻掩模层对所述衬底执行各向异性蚀刻工艺以暴露填充于围绕所述单晶体结构质量块的所述空间中的所述介电部件。

14. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于在所述形成所述结构介电层的步骤中，所述衬底的所述第一表面上的所述结构介电层包括盖在所述 MEMS 区中的所述质量块上的机械强度结构层，

其中在所述执行所述各向同性蚀刻工艺的步骤中，移除填充于围绕所述单晶体结构质量块的所述空间中且在所述机械强度结构层下方的所述介电部件的一部分，

其中暴露所述机械强度结构层和所述质量块以释放所述 MEMS 结构，其中所述衬底的经蚀刻部分、填充于围绕所述单晶体结构质量块的所述空间中且在所述机械强度结构层下方的所述介电部件的一部分形成腔室。

15. 根据权利要求 14 所述的用于制造 MEMS 装置的方法，其进一步包括在所述衬底上在所述单晶体衬底的所述第二表面上用以覆盖所述腔室的盖层，以便形成气密腔室。

16. 根据权利要求 14 所述的用于制造 MEMS 装置的方法，其特征在于形成于所述结构介电层中的所述机械强度结构层包括栅格结构层和立在所述衬底上的侧壁层。

17. 根据权利要求 14 所述的用于制造 MEMS 装置的方法，其特征在于形成于所述结构介电层中的所述机械强度结构层包括多个导电层和由所述导电层封闭的一介电层。

18. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于在所述形成所述结构介电层的步骤中，所述衬底的所述第一表面上的所述结构介电层包括位于所述 MEMS 区中的所述单晶体结构质量块上的隔膜结构层，
其中在所述执行所述各向同性蚀刻工艺的步骤中，移除填充于围绕所述单晶体结构质量块的所述空间中且在所述隔膜结构层两侧的所述介电部件的一部分以释放所述 MEMS 结构，

其中所述隔膜结构层的末端部分保留在所述结构介电层中且暴露所述隔膜结构层的中心部分，

其中所述衬底的经蚀刻部分、填充于围绕所述单晶体结构质量块的所述空间中且在所述隔膜结构层下方的所述介电部件的一部分形成腔室。

19. 根据权利要求 18 所述的用于制造 MEMS 装置的方法，其特征在于连接所述腔室中的所述单晶体结构质量块以形成具有多个通风孔的单晶体结构板，其中所述通风孔连接所述隔膜结构层下方的空间和由所述衬底的所述经蚀刻部分产生的空间。

20. 根据权利要求 18 所述的用于制造 MEMS 装置的方法，其特征在于所述隔膜结构层包括由导电层封闭的波纹状介电层。

21. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于形成所述单晶体结构质量块包括：

在所述衬底的所述第一表面上形成具有任意形状的对应于所述单晶体结构质量块的第一掩模层，其中所述第一掩模层在所述 MEMS 区处具有多个第一开口图案以暴露所述衬底；以及

以所述第一掩模层作为蚀刻掩模来蚀刻所述衬底以形成具有深度的多个沟槽，以产生具有所述任意形状的所述单晶体结构质量块。

22. 根据权利要求 21 所述的用于制造 MEMS 装置的方法，其特征在于在所述通过所述第二表面上的所述蚀刻工艺将所述单晶体衬底图案化的步骤中将所述单晶体结构质量块的一部分相对于所述衬底悬置以形成悬置梁结构，其中所述质量块的一部分保留在所述衬底上。

23. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其特征在于所述形成所述单晶体结构质量块的步骤包括：

在所述衬底的所述第一表面上形成具有任意形状的对应于所述单晶体结构质量块的第一掩模层，其中所述第一掩模层在所述 MEMS 区处具有多个第一开口图案以暴露所述衬底；

以所述第一掩模层作为蚀刻掩模来蚀刻所述衬底以形成具有深度的多个沟槽，以产生具有所述任意形状的所述单晶体结构质量块；

在所述沟槽的侧壁上形成介电层；以及

在所述介电层上形成多个导电间隔件；其中所述单晶体结构质量块包括所述侧壁上的所述导电间隔件。

24. 根据权利要求 23 所述的用于制造 MEMS 装置的方法，其特征在于所述形成所述导电间隔件的步骤包括：

在所述衬底上以共形形状形成介电层；

在所述衬底上以共形形状形成导电层；以及

对所述导电层执行回蚀工艺，其中所述导电层的残余部分形成所述导电间隔件。

25. 根据权利要求 24 所述的用于制造 MEMS 装置的方法，其特征在于在执行所述回蚀工艺之后，所述导电间隔件保留在所述沟槽的所述侧壁上。

26. 根据权利要求 23 所述的用于制造 MEMS 装置的方法，其特征在于在所述对所述单晶体衬底的所述第二表面执行所述蚀刻工艺的步骤中将所述单晶体结构质量块的一部分相对于所述衬底悬置以形成悬置梁结构，其中所述单晶体结构质量块的一部分保留在所述衬底上。

27. 根据权利要求 1 所述的用于制造 MEMS 装置的方法，其进一步包括位于所述结构介电层和所述电路结构的输出垫结构上的保护堆叠层。

28. 根据权利要求 27 所述的用于制造 MEMS 装置的方法，其进一步包括对所述保护堆叠层执行回蚀工艺以暴露所述结构介电层中的所述电路结构的所述输出垫结构。

29. 一种用于制造微机电系统 (MEMS) 装置的方法，其包括：

提供具有第一表面和第二表面的衬底；

在所述衬底的所述第一表面上形成 MEMS 结构，

在所述衬底的所述第一表面上形成结构介电层，其中所述结构介电层具有介电部件，且以所述介电部件填充围绕所述 MEMS 结构的空间；

通过蚀刻工艺从所述衬底的所述第二表面将所述衬底图案化以暴露填充于围绕所述 MEMS 结构的所述空间中的所述介电部件的一部分；

形成可润湿层以在所述第二表面处覆盖所述衬底的暴露部分；以及

至少对填充于围绕所述 MEMS 结构的所述空间中的所述介电部件执行蚀刻工艺，其中暴露且释放所述 MEMS 结构，其中所述蚀刻工艺包括使用湿蚀刻剂的各向同性蚀刻工艺，其中通过所述各向同性蚀刻从所述衬底的第二侧移除围绕所述 MEMS 结构的所述空间中的所述介电部件的至少一部分。

30. 根据权利要求 29 所述的用于制造 MEMS 装置的方法，其特征在于所述可润湿层与所述湿蚀刻剂反应且在所述各向同性蚀刻工艺期间被蚀刻。

31. 根据权利要求 29 所述的用于制造 MEMS 装置的方法，其特征在于所述可润湿层具有由所述湿蚀刻剂润湿的表面，且在所述各向同性蚀刻工艺期间不被蚀刻。

32. 根据权利要求 29 所述的用于制造 MEMS 装置的方法，其特征在于所述可润湿层至少覆盖通过所述图案化工艺从所述衬底的所述第二侧形成的暴露表面。

33. 根据权利要求 29 所述的用于制造 MEMS 装置的方法，其特征在于所述 MEMS 结构包括隔膜，其中通过使用所述湿蚀刻剂的所述各向同性蚀刻来移除在所述隔膜下方的所述介电部件。

用于制造微机电系统装置的方法

技术领域

[0001] 本发明涉及微机电系统 (microelectromechanical system, MEMS) 装置。更具体来说，本发明涉及用于制造具有用于 MEMS 结构的单晶体结构 (singlecrystal structure, SCS) 的 CMOS MEMS 装置的方法。

背景技术

[0002] MEMS 装置已经在各种应用中提出。然而，MEMS 装置通常安放在开放环境中。由于 MEMS 装置的 MEMS 结构对环境空气敏感，因此开放环境中的操作可能拾取噪声。于是提出了气密 MEMS 装置。

[0003] 气密 MEMS 封装具有若干性质，包含将 MEMS 与外部环境隔离。举例来说，可通过为 MEMS 形成真空环境来避免空气阻尼和热噪声。另外，气密弯度可保护 MEMS 装置免受 EM 干扰，且制造具有高性能和低成本的小尺寸 MEMS 装置以便于推广。气密 MEMS 封装的应用包含加速计、陀螺仪、谐振器或 RF MEMS 组件。

[0004] 对于当前的气密 MEMS 产品，MEMS 和感测元件被制造在单独的衬底上。图 1A 是说明常规气密 MEMS 装置的横截面图。在图 1A 中，常规气密 MEMS 装置包含下部衬底 100、中间衬底 102 以及顶部衬底 104。下部衬底 100 经图案化以具有凹入空间 106 和具有连接垫 114 作为感测 IC 的 CMOS 电路。中间衬底 102 制造为具有通风孔 110 的 MEMS 结构。顶部衬底 104 制造为如同具有凹入空间 108 的帽。中间衬底 102 通过粘附环 (adhering rings) 112 与底部衬底 100 和顶部衬底 104 粘附。因此，具有通风孔 110 的凹入空间 106 和 108 形成气密腔室。

[0005] 然而，此常规工艺具有一些缺陷，包含高成本、由于三个元件封装成一装置而引起的产品产率 (production yield) 问题，以及 MEMS 与感测 IC 的结合的寄生效应。

[0006] 除了用于 MEMS 装置的气密腔室以外，MEMS 结构中的机械质量也是重要的。对于集成电路 (integrated circuit, IC) 衬底中的 MEMS 的当前工艺，MEMS 结构通常由集成电路的互连中所使用的金属层和介电层形成。然而，如果使用 CMOS 的互连层作为 MEMS 结构，那么机械质量不稳定。举例来说，残余应力可在单个芯片内或芯片之间显著不同。

[0007] 图 1B 是说明另一常规气密 MEMS 装置的横截面图。在图 1B 中，存在形成于衬底 120 上的若干装置结构，包含 MEMS 结构 132 和 CMOS 电路 134。在此结构中，若干金属层 124-128 嵌入在介电层 122 中以充当互连件，同时还在介电层 122 中形成具有多晶硅结构 130 的 MEMS 结构 132。换句话说，在与 CMOS 电路 134 的互连层相同的工艺中形成 MEMS 结构 132，通常，残余应力可在单个芯片内或芯片之间不同。这造成机械质量不稳定。

[0008] 当制造具有单晶体结构的 CMOS MEMS 装置时，需要进一步关注和开发制造。

发明内容

[0009] 本发明提供一种用于制造 MEMS 装置的方法。所述 MEMS 装置可基于单晶体结构 (SCS)。

[0010] 在本发明的一方面中，一种用于制造 MEMS 装置的方法包含：提供衬底，其具有第一表面和第二表面且具有 MEMS 区和集成电路 (IC) 区。随后在所述衬底的所述第一表面上在所述 MEMS 区中形成多个 SCS (单晶体结构) 质量块。在所述衬底的所述第一表面上形成结构介电层。所述结构介电层具有介电部件。以所述介电部件填充围绕所述 MEMS 区中的 SCS 质量块的空间。所述 IC 区具有电路结构，所述电路结构具有形成于所述结构介电层中的互连结构。至少对填充于围绕所述 SCS 质量块的所述空间中的所述介电部件执行各向同性蚀刻工艺。其中暴露所述 SCS 质量块以释放 MEMS 结构。

[0011] 在本发明的一方面中，一种用于制造 MEMS 装置的方法，所述 MEMS 装置具有第一表面和第二表面且具有 MEMS 区和集成电路 (IC) 区。随后在所述衬底的所述第一表面上形成 MEMS 结构。在所述衬底的所述第一表面上形成结构介电层。所述结构介电层具有介电部件且以所述介电部件填充围绕所述 MEMS 结构的空间。通过蚀刻工艺从所述衬底的所述第二表面将所述衬底图案化以暴露填充于围绕所述 MEMS 结构的所述空间中的所述介电部件的一部分。形成可润湿薄层以在所述第二表面处覆盖所述衬底的暴露部分。对填充于围绕所述 MEMS 结构的所述空间中的所述介电部件执行至少蚀刻工艺。通过蚀刻工艺暴露且释放所述 MEMS 结构，其中所述蚀刻工艺包括使用湿蚀刻剂的各向同性蚀刻工艺，且通过所述各向同性蚀刻从所述衬底的第二侧移除围绕所述 MEMS 结构的所述空间中的所述介电部件的至少一部分。

[0012] 应了解，上述一般描述和以下详细描述是示范性的，且希望提供对所主张的本发明的进一步解释。

附图说明

[0013] 附图提供对本发明的进一步理解，且附图并入本说明书且构成本说明书的一部分。附图说明本发明的实施例，且连同描述内容一起用以解释本发明的原理。

[0014] 图 1A-1B 是说明具有 SCS MEMS 结构的一些常规气密 MEMS 装置的横截面图。

[0015] 图 2A-2J 是示意性地说明根据本发明实施例中的一个实施例的用于具有 SCS MEMS 结构的 MEMS 装置的制造工艺的横截面图。

[0016] 图 3A-3K 是示意性地说明根据本发明实施例中的一个实施例的用于具有 SCS MEMS 结构的 MEMS 装置的制造工艺的横截面图。

[0017] 图 4A-4E 是示意性地说明根据本发明实施例的用以释放 MEMS 结构的工艺的横截面图。

[0018] 图 5A-5E 是示意性地说明根据本发明实施例中的一个实施例的用以释放 MEMS 结构的工艺的横截面图。

[0019] 图 6 是示意性地说明根据本发明实施例中的一个实施例的用以释放 MEMS 结构的工艺的横截面图。

[0020] 图 7 是示意性地说明根据本发明实施例中的一个实施例的用以释放 MEMS 结构的工艺的横截面图。

[0021] 图 8A-8K 是示意性地说明根据本发明实施例中的一个实施例的用于具有 SCS MEMS 结构的 MEMS 装置的制造工艺的横截面图。

[0022] 图 9 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的

工艺的横截面图。

[0023] 图 10 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的工艺的横截面图。

[0024] 图 11 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的工艺的横截面图。

[0025] 图 12 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的工艺的横截面图。

[0026] 图 13 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的工艺的横截面图。

[0027] 图 14 是示意性地说明根据本发明实施例中的一个实施例的用以形成气密腔室的工艺的横截面图。

[0028] 图 15 是示意性地说明本发明关注的在蚀刻下的 MEMS 结构的横截面图。

[0029] 图 16A-16D 描述根据本发明实施例中的一个实施例的经由硅中的孔、腔或通道将蚀刻剂送到电介质的方式。

[0030] 图 17A-17D 是示意性地说明根据本发明实施例中的一个实施例的具有用于 CMOS MEMS 麦克风应用的 SCS MEMS 结构的 MEMS 装置的制造工艺的横截面图。

具体实施方式

[0031] 在本发明中，提出若干用于制造 MEMS 装置的方法。MEMS 装置是基于单晶体结构而制造。而且，具有气密腔室的 MEMS 或对环境开放的 MEMS 也是基于单晶体结构而制造。

[0032] 通常，SCS (单晶体结构) 的制造用于互补金属氧化物半导体 (complementary metal-oxide-semiconductor, CMOS) 集成电路的制造中。然而，可通过 SCS 的方式形成 MEMS 装置。本发明提出用于 MEMS 装置的制造方法。而且，根据若干实施例，MEMS 装置容易形成有嵌入式气密腔室。基本上，例如 MEMS 装置的 SCS 可在衬底的前侧上从硅衬底悬置。或者，MEMS 装置的 SCS 可在衬底的后侧上从硅衬底悬置。另外，额外电极可能能够形成于 SCS 的侧壁上以增加用于 MEMS 电容感测的电容。

[0033] 在 SCS 中制造的 MEMS 装置可具有稳定的机械质量。硅芯片在制造期间受到良好控制。另外，具有气密腔室的 MEMS 装置可将 MEMS 结构与外部环境的干扰隔离。甚至，可为 MEMS 装置形成气密腔室内的真空环境以避免空气阻尼和空气热噪声的干扰。具有气密腔室的 MEMS 装置可具有各种应用，例如加速计、陀螺仪、谐振器、开关、RF MEMS 组件、…、等等。

[0034] 除此之外，对于暴露于环境以感测声信号或空气压力的一些 MEMS (例如，MEMS 麦克风或压力传感器) 来说，此 MEMS 结构具有一个可移动隔膜和刚性背板以形成用于电容感测的电容器。可在 SCS 的工艺中制造电容器的背板，而可移动隔膜是由 CMOS 电路的互连中所使用的导电层和介电层形成。

[0035] 可通过包含若干工艺来完成在 CMOS IC 中以 SCS 方式释放 MEMS 结构。举例来说，使用湿式或气相蚀刻剂 (气相 HF) 的各向同性蚀刻可用以移除围绕 SCS 的介电层。衬底的前侧上的 CMOS 电路由保护层保护。覆盖 MEMS 的密封结构介电层可保护 CMOS 电路免于释放期间的损坏。在暴露的硅表面上沉积氧化物层以引导湿蚀刻剂经过硅孔、通道或腔且到达介电层 (例如氧化硅)，随后执行湿式各向同性蚀刻工艺以释放 MEMS。

[0036] 此外,可通过在衬底底部上形成盖以形成气密腔室来实现用于 MEMS 装置的嵌入式气密腔室。可在气密腔室的形成之前或之后暴露金属垫。

[0037] 提供若干实施例以用于描述本发明。然而,本发明不限于所提供的实施例,且所提供的实施例可适当地彼此组合。

[0038] 图 2A-2J 是示意性地说明根据本发明实施例中的一个实施例的用于 MEMS 装置的制造工艺的横截面图。在图 2A 中,提供衬底 200。衬底 200 可为用于 SCS 制造的单晶体硅衬底。衬底 200 已经配置以具有 MEMS 区 204 和 IC 区 206。MEMS 区 204 经保留以用于制造 MEMS 装置,且 IC 区 206 经保留以用于制造必需的 IC,例如 CMOS IC。随后,在图 2B 中,在衬底 200 上形成硬掩模层 202。硬掩模层 202 例如为氮化硅,其比氧化硅硬。硬掩模层 202 通过(例如)光刻工艺和蚀刻工艺而被图案化,以在 MEMS 区 204 中形成若干开口图案 208 以暴露衬底 200。开口图案 208 具有根据稍后形成的 MEMS 结构的几何形状。

[0039] 在图 2C 中,具有开口图案 208 的硬掩模层 202 用作蚀刻掩模,随后可在衬底上执行各向异性蚀刻工艺以形成具有预定深度的沟槽 210。可将一些沟槽布置为群组。在此实例中,将两个邻近沟槽视为群组。

[0040] 在图 2D 中,在衬底上形成薄介电层 212,其与衬底上现存的结构共形。薄介电层 212 还覆盖沟槽 210 的侧壁。薄介电层 212 例如可为氧化硅。

[0041] 在图 2E 中,可执行回蚀工艺以移除薄介电层 212。然而,薄介电层 212 的残余部分变为介电间隔件 214,其保留在沟槽 210 的侧壁和硬掩模层 202 上。沟槽 210 仍暴露衬底 200。

[0042] 在图 2F 中,执行各向同性蚀刻工艺(例如以 SF6 作为蚀刻剂的 RIE 工艺)以蚀刻衬底 200 的硅材料,其中具有介电间隔件 214 的硬掩模层 202 用作蚀刻掩模。各向同性蚀刻工艺造成底切效应且形成自由空间 216。由于同一群组中的邻近两个沟槽相当靠近,因此自由空间 216 在同一群组中接合。自由空间 216 将稍后制成 MEMS 结构的质量块中的悬置梁。间隔件 214 保护硅衬底 200 免于在此蚀刻工艺中被蚀刻。

[0043] 在图 2G 中,通过例如氧化硅的热氧化而在空间 216 的暴露表面上形成表面介电层 218。在图 2H 中,将介电层 220 填充到沟槽 210 中,使得介电层 220 与介电间隔件和表面电介质 218 合并为集成介电层。由于沟槽具有较窄宽度,因此可能不会在空间 216 中完全填充介电层。这在后续工艺中来看不是问题。当将电介质 220 填充到沟槽中时,介电材料首先沉积在衬底上。在将电介质填充到沟槽中之后,执行化学机械抛光(chemical mechanical polishing, CMP)以将介电层平面化且暴露硬掩模层。

[0044] 在图 2I 中,在衬底上形成结构介电层。此处,如半导体制造中已知,层或通孔中的导电结构以及 CMOS 电路是基于逐步骤地使用若干介电层的 CMOS 制造工艺来制造的。结构介电层表示嵌入在介电层中的必需的电路结构。在 MEMS 区 204 中,MEMS 结构可形成为包含具有位于衬底 200 上的悬置梁结构的质量块,且机械强度结构层 224 可形成为嵌入在介电层 222 中。机械强度结构层 224 是例如金属或多晶硅等导电材料,且用以抵抗制造期间的压力。机械强度结构层 224 也可具有立在衬底 200 上的侧壁部分和具有充分机械强度的栅格状结构(grid-like structure)。在 CMOS IC 区 206 中,按照正常的 CMOS 制造来制造若干电路结构。电路结构可包含例如隔离沟槽(isolation trench)230、MOS 晶体管的栅极电极 232、互连件 234 以及 I/O 垫 240。另外,保护堆叠层可包含硬掩模层 226 和顶部钝化

层 228。氮化硅材料或任何适当材料的保护堆叠层可至少保护衬底的表面免于例如在蚀刻工艺期间损坏。在图 2J 中,或者,保护堆叠层可例如仅使用保护层 228 以及位于保护层 228 上且覆盖垫 240 的介电层 242。至此,已制造 MEMS 结构和 CMOS IC,但 MEMS 结构仍未释放。依据如何释放 MEMS 结构,制造工艺可具有不同的方式。

[0045] 图 3A-3J 是示意性地说明根据本发明实施例中的一个实施例的用于 MEMS 装置的制造工艺的横截面图。在图 3A 中,提供衬底 300。衬底 300 可为用于 SCS 制造的单晶体硅衬底。衬底 300 已经配置以具有 MEMS 区 304 和 IC 区 306。MEMS 区 304 经保留以用于制造 MEMS 装置,且 IC 区 306 经保留以用于制造必需的 IC,例如 CMOS IC。随后,在图 3B 中,在衬底 300 上形成硬掩模层 302。硬掩模层 302 例如为氮化硅,其比氧化硅硬。硬掩模层 302 通过例如光刻工艺和蚀刻工艺而被图案化,以在 MEMS 区 304 中形成若干开口图案 308 以暴露衬底 300。开口图案 308 具有根据稍后形成的 MEMS 结构的几何形状。

[0046] 在图 3C 中,具有开口图案 308 的硬掩模层 302 用作蚀刻掩模,随后可在衬底上执行各向异性蚀刻工艺以形成具有预定深度的沟槽 310。沟槽 310 的宽度和沟槽 310 之间的间隙是取决于 MEMS 结构既定用途的设计选择。

[0047] 在图 3D 中,在衬底上形成薄介电层 312,其与衬底上现存的结构共形。薄介电层 312 还覆盖沟槽 310 的侧壁。薄介电层 312 可例如为氧化硅。在衬底上,例如在薄介电层 312 上沉积导电层 314。导电层 314 还与衬底 300 的顶部现存结构共形。导电层 314 可为例如多晶硅。

[0048] 在图 3E(a) 中,执行回蚀工艺以移除导电层 314。导电层 314 的残余部分变为沟槽 310 的侧壁上的间隔件 314。图 3E(b) 是俯视图,其中在切割线 I-I 处的横截面图类似于图 3E(a) 中的结构。图 3E(b) 的俯视图中的介电层 312 恰好展示间隔件部分。可见,MEMS 结构的衬底从外围来看可例如是 T 形状。随后形成悬置梁结构 321,同时端部充当锚 323,以便固持悬置梁结构 321。然而,这不是仅有的选择,而是取决于如何设计 MEMS 结构。换句话说,衬底上的 MEMS 结构具有相对于衬底的悬置梁结构。

[0049] 在图 3F 中,以共形方式在衬底 300 上形成另一薄介电层,例如氧化硅层 316。沟槽 310 中的薄介电层还覆盖导电间隔件 314 和介电层 312。在图 3G 中,执行回蚀工艺以移除介电层 312 和 316 的水平部分。介电层 312 和 316 的残余部分形成夹层间隔件,其具有嵌入在介电间隔件中的导电间隔件 314。

[0050] 在图 3H 中,执行各向同性蚀刻工艺以蚀刻沟槽 310 下方的衬底。换句话说,衬底被底切以形成自由空间 318。各向同性蚀刻工艺可例如为使用蚀刻剂 SF6 的 RIE。由于夹层间隔件保护沟槽的侧壁,因此仅沟槽下方的衬底被移除。在此实施例中,间隔件 318 在单个空间中接合。在图 3I 中,执行热氧化以在硅衬底的暴露表面上在空间 318 内形成表面介电层 319。

[0051] 在图 3J 中,展示不同切割线中的额外横截面图。在图 3J(a) 中,存在分别展示于图 3J(b) 和图 3J(c) 中的相对于图 3E 中的俯视图的两条切割线 X1-X1 和 Y1-Y1。在图 3J(b) 中,其类似于图 3I,但对应地展示悬置结构 321。在图 3J(c) 中,切割线 Y1-Y1 处的横截面结构也展示悬置结构 321。换句话说,悬置结构 321 可由锚 323 固持。

[0052] 在图 3K 中,在衬底上形成结构介电层。此处,如半导体制造中已知,层或通孔中的导电结构以及 CMOS 电路是基于逐步骤地使用若干介电层的 CMOS 制造工艺来制造的。结构

介电层表示嵌入在介电层中的必需的电路结构。在 MEMS 区 304 中,在此实施例中,MEMS 结构的悬置结构可恰好从衬底 300 开始,且机械强度结构层 324 可形成嵌入在介电层 322 中。机械强度结构层 324 是例如金属或多晶硅等导电材料,且用以抵抗制造期间的压力。机械强度结构层 324 也可具有立在衬底 300 上的侧壁部分和具有充分机械强度的栅格状结构。在 CMOS IC 区 306 中,按照正常的 CMOS 制造来制造若干电路结构。电路结构可包含例如隔离沟槽 332、MOS 晶体管的栅极电极 232、互连件 234 以及 I/O 垫 328。另外,保护堆叠层可包含硬掩模层 326 和顶部钝化层 330。氮化硅材料或任何适当材料的保护堆叠层可至少保护衬底的表面免于例如在蚀刻工艺期间损坏。

[0053] 或者类似于在图 2J 中,保护堆叠层可例如仅使用保护层 330 来替换硬掩模层 326,且介电层 342 保留在保护层 330 上以用于覆盖垫 328。至此,已制造 MEMS 结构和 CMOS IC,但 MEMS 结构仍未释放。取决于如何释放 MEMS 结构,制造工艺可具有不同的方式。

[0054] 结构介电层已从衬底的一侧密封腔室。MEMS 结构仍嵌入在整个结构中,仍未释放。图 4A-4E 是示意性地说明根据本发明实施例的释放 MEMS 结构的工艺的横截面图。在图 4A 中,取得图 2I 中的结构作为用于释放 MEMS 结构的开始阶段,在衬底 200 上从另一侧(也称为背侧)形成蚀刻掩模层 350。蚀刻掩模层 350 例如为光致抗蚀剂层且具有开口 352 的图案以暴露衬底。开口 352 对应于沟槽群组。

[0055] 在图 4B 中,执行各向异性蚀刻工艺 354 以从背侧在开口 352 处蚀刻衬底 200,其中蚀刻掩模层 350 用作蚀刻掩模。各向异性蚀刻工艺 354 蚀刻衬底 200 且在 MEMS 区 204 处在介电层 218 的介电表面上停止。

[0056] 在图 4C 中,在剥离光致抗蚀剂层 350 之后,进一步从衬底 200 的背侧对暴露的介电层 318 执行用于介电材料的各向同性蚀刻工艺 355。由于各向同性蚀刻工艺 355 是用于选择性地蚀刻介电材料,因此各向同性蚀刻工艺 355 不蚀刻硅衬底。因此,结构介电层中的介电部分 222 被蚀刻,且暴露导电材料中的机械强度结构层 324。在此实例中,还暴露衬底 200 上的质量块。在此实例中,各向同性蚀刻工艺是气相蚀刻工艺,使得如箭头展示的蚀刻方向可沿水平方向进行以对介电材料进行各向同性蚀刻。

[0057] 然而,各向同性蚀刻工艺也可为例如湿式蚀刻。在图 4D 中,由于经由窄沟槽蚀刻介电材料 222,因此蚀刻性能可能并不有效。因为在此实例中将湿式蚀刻作为各向同性蚀刻工艺以便具有较好的蚀刻效率,因此可在以湿式蚀刻执行各向同性蚀刻工艺之前在衬底 200 上共形地形成牺牲氧化物层 351。牺牲氧化物层 351 是用于湿蚀刻剂的可润湿层,且厚度与结构形状相比相对薄,例如约 1 微米。牺牲氧化物层 351 的蚀刻效应可帮助湿蚀刻剂更容易地流动到沟槽中,如图 16A-16D 中将描述。在图 4D 的实施例中,从硬掩模层 226、介电层 242 以及钝化层 228 形成保护堆叠层。然而,在图 4E 中,也可从钝化层 228 和介电层 242 形成保护堆叠层。还可使用用于各向同性蚀刻工艺的蚀刻掩模层 351。换句话说,可适当进行实施例彼此的组合。

[0058] 图 15 是示意性地说明本发明关注的在蚀刻下的 MEMS 结构的常规结构的横截面图。由于 MEMS 结构需要经由窄孔执行湿式蚀刻工艺以释放 MEMS 悬置梁,因此湿式工艺可具有由于因气泡造成的停止而引起的问题。在图 15 中,其展示气泡如何阻止湿蚀刻剂进入介电层以释放 MEMS 结构。对于一般的结构,例如在背侧的硅衬底 622 具有开口以用于经由通风孔或通道 624 蚀刻介电层 620。一般来说,用于电介质 620(例如,氧化硅)的蚀刻的湿

蚀刻剂 628 是稀释的 HF (HF+H₂O) 或通过 NH₄F+HF+H₂O 缓冲的氧化物蚀刻 (buffered oxide etch, BOE)。然而,对于 MEMS 应用的许多情况,此作为用以蚀刻氧化硅的蚀刻剂的蚀刻溶液必须经过硅表面且到达硅层。遗憾的是,硅表面对于这些蚀刻溶液是疏水性的。因此,如果将经由硅通风孔腔 6204 或通道蚀刻氧化硅层,那么在将样本浸没缓冲的氧化物蚀刻溶液 (BOE) 或稀释的 HF 中时,非常容易在孔或通道中形成气泡 626,且阻止蚀刻剂到达氧化硅。
[0059] 图 16A-16D 描述根据本发明实施例中的一个实施例的经由硅中的孔、腔或通道将蚀刻剂送到电介质的方式。在图 16A 中,为了经由衬底 602 的沟槽 606 蚀刻介电层 600,在湿式蚀刻工艺之前在衬底 602 上形成氧化硅层 608。因为氧化物非常容易与缓冲的氧化物蚀刻溶液或稀释的 HF 反应,所以蚀刻剂容易润湿氧化物的表面。而且,氧化硅是亲水性的。通过使用此方式,硅孔、腔或通道中的气泡可容易逸出,而无需在蚀刻溶液中添加特殊配方。

[0060] 在图 16B 中,将湿蚀刻剂 612 施加于衬底 602 的腔。在此情形中,由于氧化硅层 608 的作用,可容易被排出气泡 614。在图 16C 中,在施加湿蚀刻剂 612 片刻之后,湿蚀刻剂 612 可与硅层 608 反应,且顺畅地进入沟槽以开始蚀刻结构介电层 600 中的介电材料。在图 16D 中,因此,将结构介电层 600 中的氧化硅层 608 和介电部分 616 蚀刻掉且蚀刻工艺在导电层 610 上停止。

[0061] 图 5A-5E 是示意性地说明根据本发明实施例中的一个实施例的用以释放 MEMS 结构的工艺的横截面图。为了具有用于 MEMS 结构的多个高度水平,可以不同方式蚀刻衬底。在图 5A 中,在衬底 200 上形成初级硬掩模层 360。在硬掩模层 360 上形成具有开口的光致抗蚀剂层 362。在以光致抗蚀剂层 362 作为蚀刻掩模来蚀刻硬掩模层 360 之后,将硬掩模层 362 图案化以具有开口 364 来暴露衬底 200。开口 364 具有对应于沟槽的区。

[0062] 在图 5B 中,在衬底 200 上在开口 364 内形成另一光致抗蚀剂层 362a。先前的光致抗蚀剂层 362 可能仍在或存在新的光致抗蚀剂层。仍暴露衬底 200 的在开口 364 内的一部分。随后执行各向异性蚀刻工艺 366 以从暴露的表面蚀刻衬底 200。因此,各向异性蚀刻工艺 366 用于选择性地蚀刻硅衬底且在介电层 218 上停止。

[0063] 在图 5C 中,剥离光致抗蚀剂层 362,但硬掩模层 3600 仍保留以充当衬底 200 的蚀刻掩模。执行用于硅衬底 200 的另一各向异性蚀刻工艺 368。因此,各向异性蚀刻工艺 368 中的衬底部分 300a 经蚀刻而具有不同的高度水平。

[0064] 在图 5D 中,执行另一各向同性蚀刻工艺 370 以蚀刻介电材料。因此,释放 MEMS 结构且还暴露机械强度结构层 324。针对此实例,MEMS 结构的质量块包含处于两个水平中的衬底的一部分。各向同性蚀刻工艺 370 可为气相蚀刻。

[0065] 在图 5E 中,如图 15A-15D 中论述,各向同性蚀刻工艺 370 也可为湿式蚀刻。在湿式蚀刻中,可在衬底 200 上形成氧化硅层 361。氧化硅层 361 的作用与先前描述相同,用于帮助湿蚀刻剂进入窄沟槽,以便蚀刻结构介电层中的电介质 222。

[0066] 图 6 是示意性地说明根据本发明实施例中的一个实施例的释放 MEMS 结构的工艺的横截面图。在图 6 中对于具有单个层级的替代结构,其可通过先前工艺形成。然而,所释放的 MEMS 结构的衬底部分 384 具有所述层级。作为选择,质量块 382 可依据实际需要而位于衬底部分 384 上。腔室 380 形成,但还没有被密封为气密腔室。稍后将描述用以密封腔室的封装工艺。

[0067] 图 7 是示意性地说明根据本发明实施例中的一个实施例的用以释放 MEMS 结构的

工艺的横截面图。在图 7 中,结构是图 3J 中的结构的后续工艺。如先前描述,作为蚀刻掩模的光致抗蚀剂层可从背侧形成于衬底 300 上。光致抗蚀剂层在 MEMS 区 304 中具有对应于将释放的 MEMS 结构的开口。对作为蚀刻掩模的光致抗蚀剂层执行各向异性蚀刻工艺,移除介电材料直到释放 MEMS 结构且暴露机械强度结构层 324 且形成腔室 390。介电间隔件 392 和导电间隔件 394 保留在沟槽的侧壁上。形成腔室 390,但还没有被密封为气密腔室。稍后将描述用以密封腔室的封装工艺。

[0068] 如上文描述,可在不同工艺中形成 MEMS 结构以具有所要结构。然而,制造原理是相同的,即,可形成处于 MEMS 区的具有嵌入式结构(包含导电电路结构和机械强度结构层)的结构介电层,同时可在 CMOS IC 区形成 CMOS IC。导电电路结构可包含例如电容和互连件。CMOS IC 区可形成有必需的 CMOS IC。结构介电层还从顶侧密封腔室。

[0069] 图 8A-8K 是示意性地说明根据本发明实施例中的一个实施例的用于具有嵌入式气密腔室的 MEMS 装置的制造工艺的横截面图。在图 8A 中,提供衬底 400。衬底 400 可为用于 SCS 制造的单晶体硅衬底。衬底 400 已经配置以具有 MEMS 区 402 和 IC 区 440。MEMS 区 402 经保留以用于制造 MEMS 装置,且 IC 区 440 经保留以用于制造必需的 IC,例如 CMOS IC。随后,在图 8B 中,在衬底 400 上形成硬掩模层 404。硬掩模层 404 例如为氮化硅,其比氧化硅硬。硬掩模层 404 通过例如光刻工艺和蚀刻工艺而被图案化,以在 MEMS 区 402 中形成若干开口图案 405 以暴露衬底 400。开口图案 405 具有根据稍后形成的 MEMS 结构的几何形状。

[0070] 在图 8C 中,具有开口图案 406 的硬掩模层 404 用作蚀刻掩模,随后可在衬底 400 上执行各向异性蚀刻工艺以形成具有预定深度的沟槽 406。沟槽 406 的宽度和沟槽 406 之间的间隙是取决于 MEMS 结构既定用途的设计选择。

[0071] 在图 8D 中,在衬底 400 上形成呈共形形状的薄介电层 408(例如氧化硅)。介电层 408 覆盖沟槽 406 的侧壁。在图 8E 中,在介电层 408 上形成呈保形形状的导电层 410。导电层 410 可例如为多晶硅。在图 8F(a) 中,在导电层 410 上执行回蚀工艺以移除水平部分。导电层 410 的残余部分变为沟槽 406 的侧壁上的介电层 408 上的导电间隔件。在图 8F(b) 中,其为在线 I-I 处切割的图 8F(a) 中的结构的俯视图的一部分,其中未展示介电层 408 的水平部分,而是仅展示间隔件。可见,MEMS 结构的衬底 400 从外围来看可例如是 T 形状。另外,悬置梁 321 由锚 323 固持,如图 8F 中的俯视图所示。然而,这不是仅有的选择,而是取决于如何设计 MEMS 结构。换句话说,MEMS 结构在质量块中具有悬置结构。

[0072] 在图 8G 中,以介电层 412 填充沟槽 406。当将把电介质 412 填充到沟槽 406 中时,介电材料首先沉积在衬底 400 上。在将电介质 412 填充到沟槽 406 中之后,执行化学机械抛光 (CMP) 以将介电层平面化且暴露硬掩模层 404。

[0073] 在图 8H 中,如先前描述,在衬底 400 上形成结构介电层。此处,如半导体制造中已知,层或通孔中的导电结构以及 CMOS 电路是基于逐步骤地使用若干介电层的 CMOS 制造工艺来制造的。结构介电层表示嵌入在介电层中的必需的电路结构。在 MEMS 区 402 中,在此实施例中,MEMS 结构的悬置结构恰好从衬底 400 开始,且机械强度结构层 409 可形成为嵌入在介电层 422 中。机械强度结构层 409 是例如金属或多晶硅等导电材料,且用以抵抗制造期间的压力。机械强度结构层 409 也可具有立在衬底 400 上的侧壁部分和具有充分机械强度的栅格状结构。在 CMOS IC 区 440 中,按照正常的 CMOS 制造来制造若干电路结构。电

路结构可包含例如隔离沟槽 416、MOS 晶体管的栅极电极 420、互连件 420 以及 I/O 垫 426。另外，保护堆叠层可包含硬掩模层 422 和顶部钝化层 430。氮化硅材料或任何适当材料的保护堆叠层可至少保护衬底的表面免于例如在蚀刻工艺期间损坏。

[0074] 在图 8I 中，在衬底上形成用作蚀刻掩模的光致抗蚀剂层 442。光致抗蚀剂层 442 在 MEMS 区 402 处具有对应于 MEMS 结构的开口。在图 8J 中，在移除或保留光致抗蚀剂层 442 之后，执行各向同性蚀刻工艺 448 以蚀刻介电部分。因此，形成腔室 450。具有间隔件 408 和 410 的衬底部分 444 仍保留。在此阶段释放 MEMS 结构。还形成腔室 450，但还没有被密封为气密腔室。各向同性蚀刻工艺是例如气相蚀刻。然而，也可使用湿式蚀刻。

[0075] 在图 8K 中，当采用湿式蚀刻工艺以便具有较好的蚀刻效率时，可在衬底上从背侧形成牺牲介电层 443，使得介电层 443 连接到填充在沟槽中的介电层。随后，可执行湿式蚀刻工艺。然而，用于湿式蚀刻的介电层 443 不是绝对必需的。

[0076] 在释放 MEMS 结构且形成前侧已被密封的腔室之后，将通过封装工艺密封腔室的另一侧。图 9-14 是示意性地说明根据本发明实施例的用以形成气密腔室的工艺的横截面图。在图 9 中，取先前实施例中的一个结构，且 MEMS 结构 500 表示已形成和释放的任何 MEMS 结构。如先前描述的结构介电层具有嵌入式 CMOS IC 和处于 MEMS 区的机械强度结构层 224。然而，可在密封腔室之前暴露 I/O 垫。可通过移除保护层和介电层但给硬掩模层 226 留下开口以暴露 I/O 垫 240，来暴露 I/O 垫 240。

[0077] 在图 10 中，通过例如粘合层 502 在衬底 200 上形成盖层 504，其完全封闭腔室的外围。然而，这不是仅有的选择。可使用任何合适的封装工艺。在从另一侧在衬底 200 上形成盖层 504 之后，腔室被密封为气密腔室 506。

[0078] 在图 11 中，或者，在腔室通过具有粘合层 502 的盖层 504 被密封为气密腔室 506 之后打开 I/O 垫。换句话说，介电层 242 仍覆盖 I/O 垫 240。

[0079] 在图 12 中，基于图 8J 中的结构，可蚀刻掉保护层和介电层以暴露 I/O 垫 240。随后，通过具有粘合层 502 的盖层 504 将腔室密封为气密腔室 506。

[0080] 在图 13 中，对于基于图 2J 的结构，当将盖层 504 封装到衬底 200 以用于气密腔室 506 时，保护层 228 和介电层 242 保留。

[0081] 在图 14 中，或者，可移除介电层 242，且保护层 228 具有开口以暴露 I/O 垫 240。随后，具有粘合层 502 的盖层 504 形成气密腔室 506。

[0082] 在其它应用中，当在麦克风的应用中使用 MEMS 结构时，制造工艺可仍基于与先前描述相同的制造原理。图 17A-17D 是示意性地说明根据本发明实施例中的一个实施例的具有用于 CMOS MEMS 麦克风应用的 SCS MEMS 结构的 MEMS 装置的制造工艺的横截面图。制造工艺也可基于图 17A 所示的结构。结构介电层 706 形成于具有 MEMS 区 700 和 CMOS 电路区 702 的衬底 690 上。在衬底上，如先前描述，表面介电层 705 位于硅衬底 690 的暴露表面上，处于空间 704 内。介电层 714 形成于衬底 690 上。将例如用于麦克风的 MEMS 隔膜 708 等若干元件嵌入介电层 714 中，其随后称为结构介电层 706。在 CMOS 电路区 702 中，介电层 714 嵌入有 CMOS IC 的若干装置元件，例如隔离沟槽 710、栅极电极 712、互连件 716、蚀刻停止层 718、金属垫 718、…、等等。另外，还可在介电层 714 上形成另一介电层 722 作为结构介电层 706 的一部分。

[0083] 在图 17B 中，在衬底 690 的背侧上形成例如光致抗蚀剂层等蚀刻掩模层 724。蚀刻

掩模层 724 在 MEMS 区 700 处具有开口以暴露衬底。随后，从衬底 690 的背侧执行用于硅材料的各向异性蚀刻工艺以形成开口 726 而暴露表面介电层 705。在图 17C 中，移除蚀刻掩模层 724。在衬底 690 的暴露表面上形成薄氧化硅层 728。然而，作为替代，氧化硅层可直接沉积在衬底 690 上。如先前描述，此氧化硅层对于使用例如缓冲的氧化物蚀刻 (BOE) 或稀释的 HF 的湿蚀刻剂的后续湿式蚀刻工艺是有帮助的。

[0084] 在图 17D 中，关于氧化硅层 728，从衬底 690 的两侧执行湿式蚀刻工艺，如箭头所示。因此，蚀刻介电材料且在 MEMS 区 700 处暴露 MEMS 隔膜 708。因此，衬底 690 中的空间 724 和介电层 714 中的空间经连接以形成用于麦克风的腔室。还移除结构介电层 706 的顶部上的介电层 722，但还暴露蚀刻停止层 718。还暴露金属垫 720，因为蚀刻停止层 718 也具有对应于金属垫 720 的开口。

[0085] 在上述蚀刻工艺中，由于氧化硅层 728 的帮助，使用蚀刻剂进行的各向同性蚀刻工艺（例如湿式蚀刻工艺）可较容易地经由窄通风孔进入空间 730。蚀刻停止层 718 还在蚀刻工艺期间用作保护层。

[0086] 所属领域的技术人员将明白，在不脱离本发明范围或精神的情况下可对本发明的结构做出各种修改和变化。鉴于前述描述内容，希望本发明涵盖处于权利要求书及其等同物的范围内的对本发明的修改和变化。

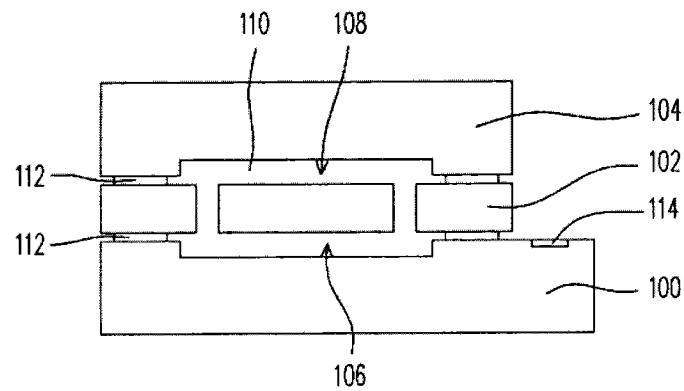


图 1A

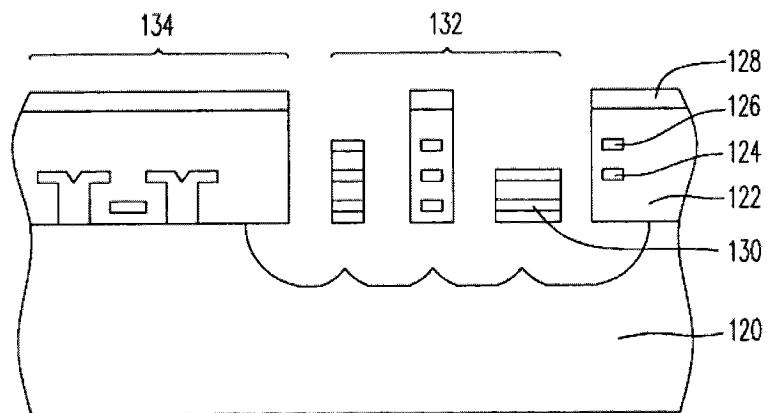


图 1B

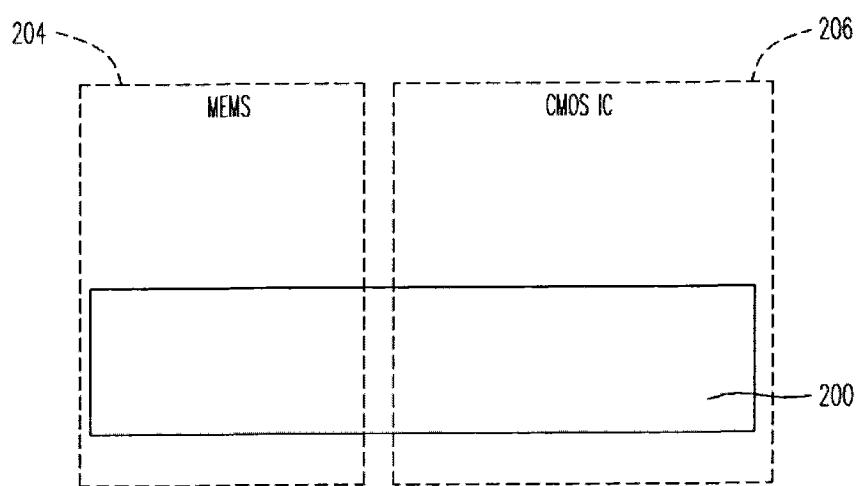


图 2A

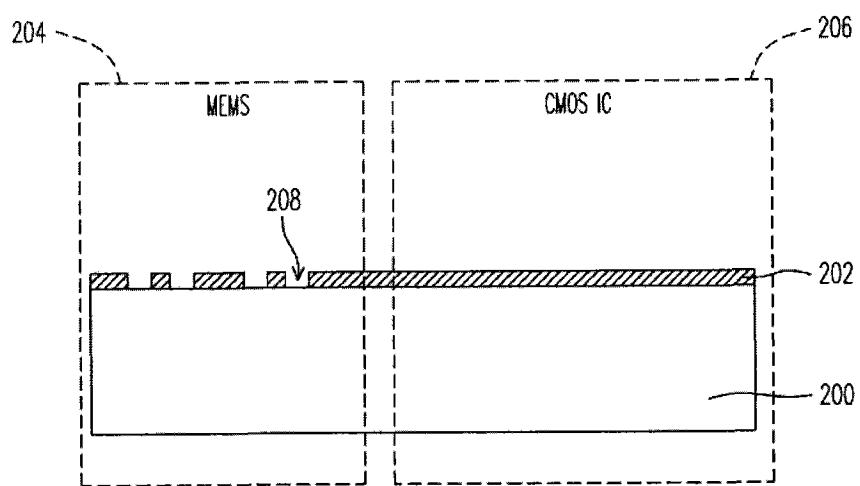


图 2B

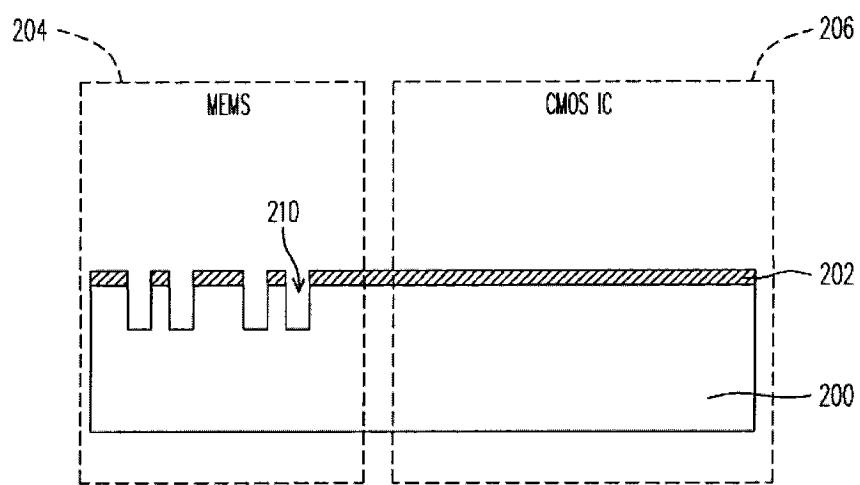


图 2C

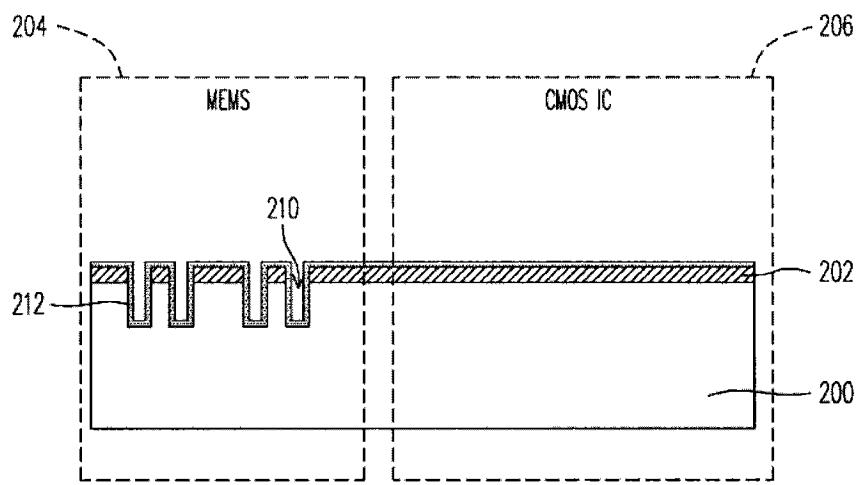


图 2D

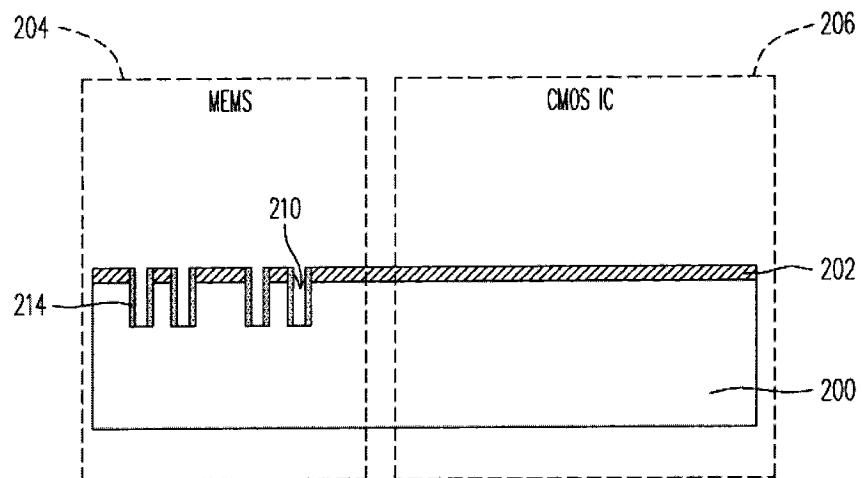


图 2E

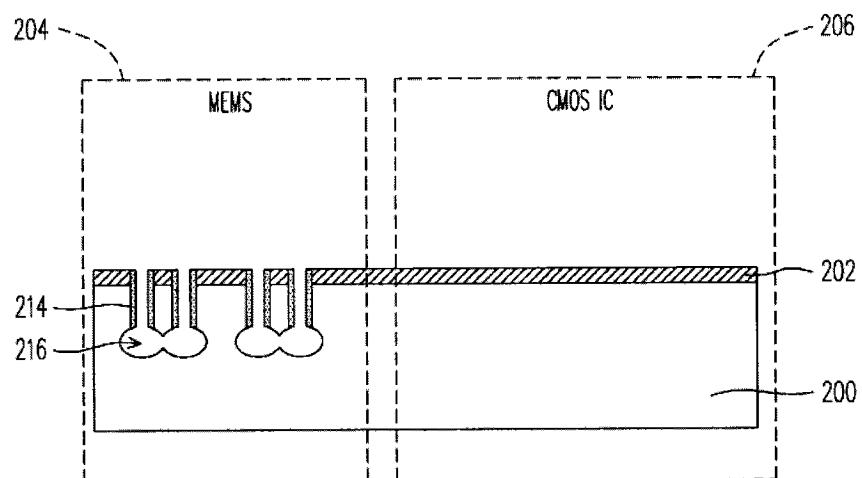


图 2F

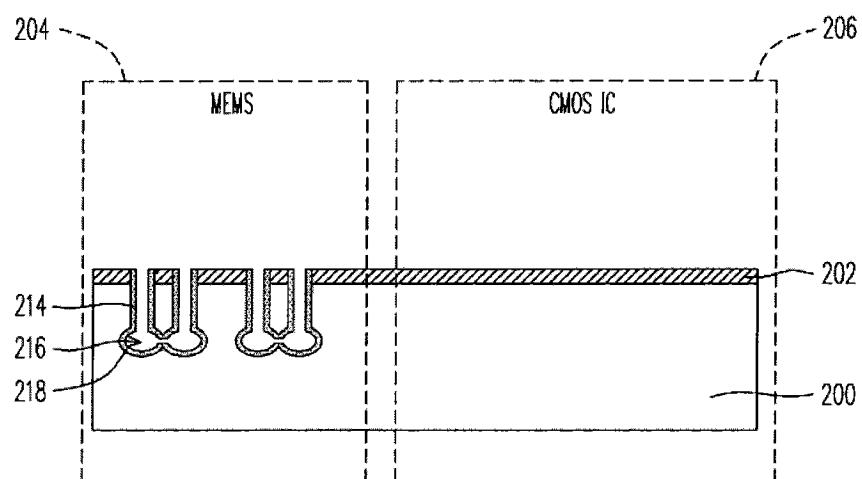


图 2G

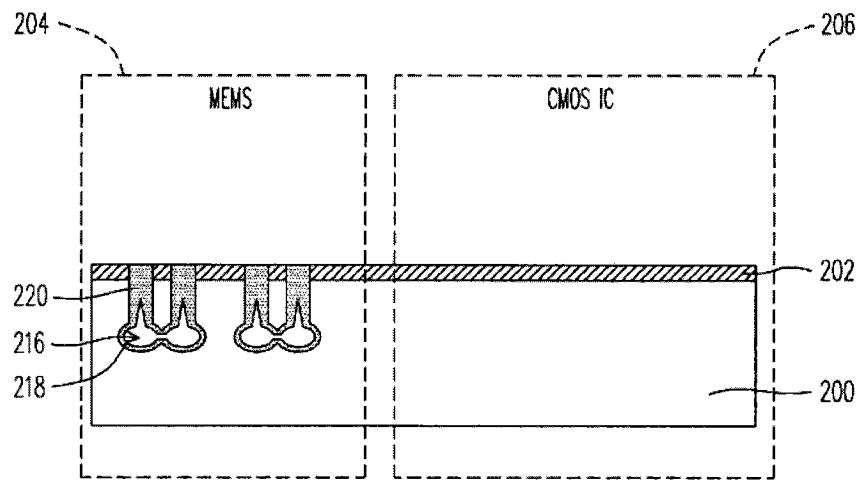


图 2H

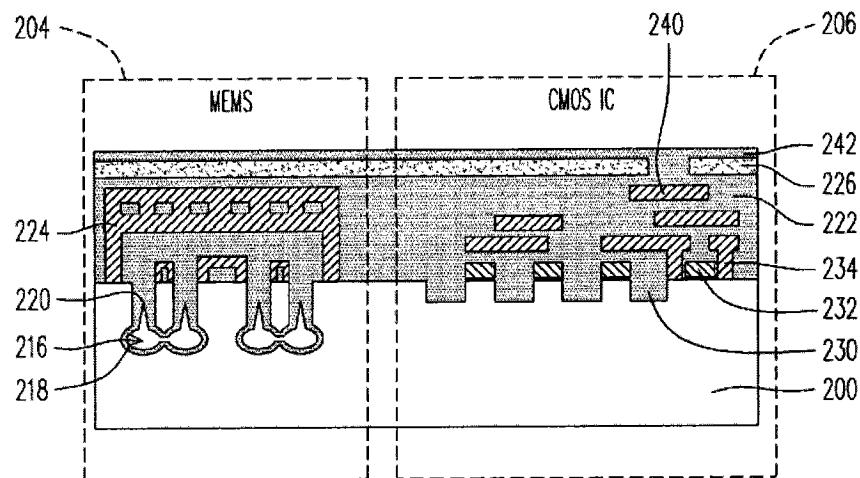


图 2I

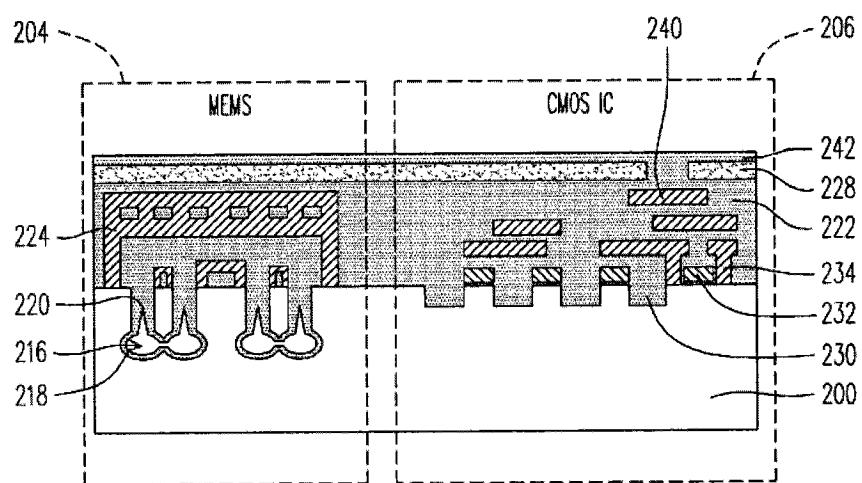


图 2J

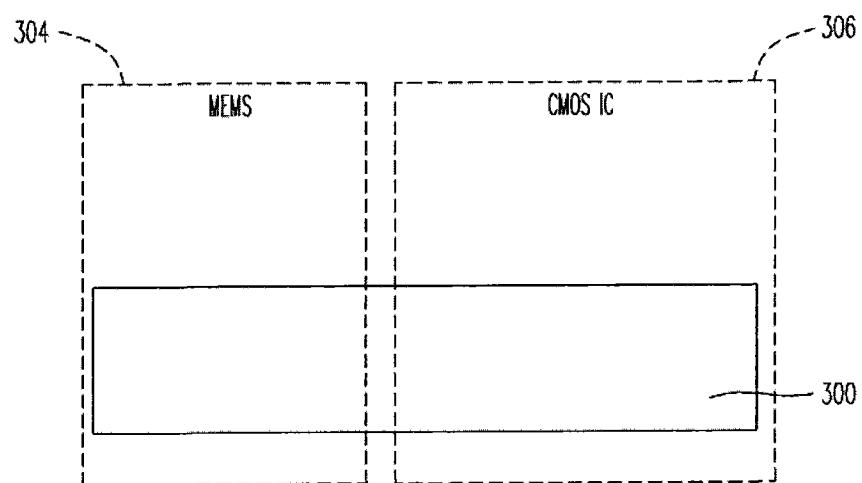


图 3A

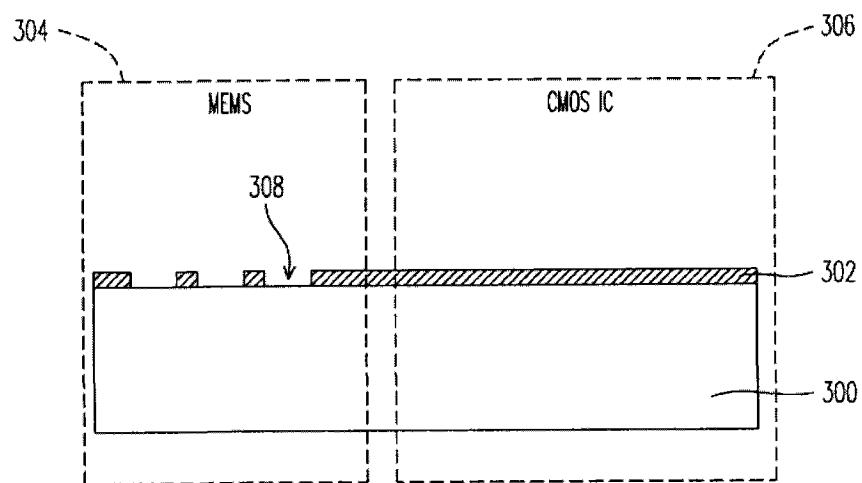


图 3B

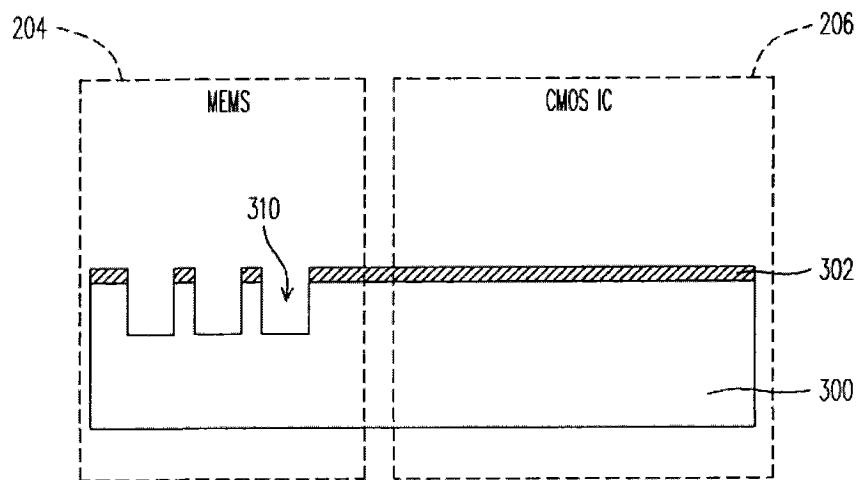


图 3C

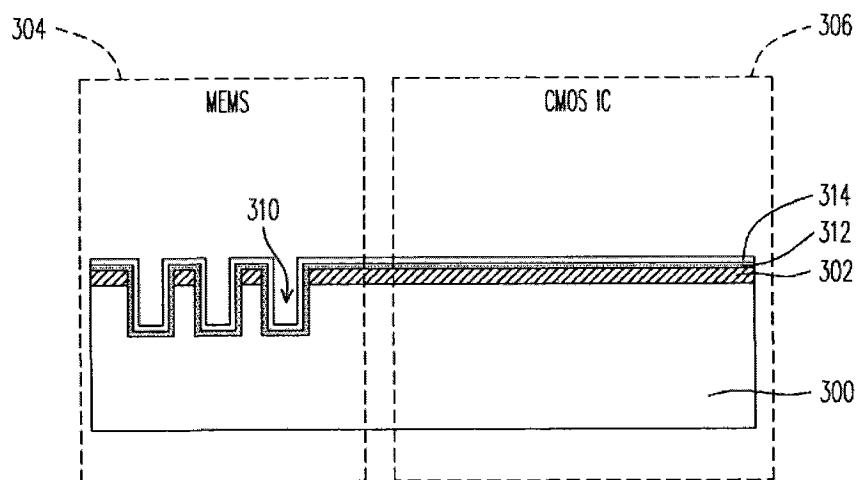


图 3D

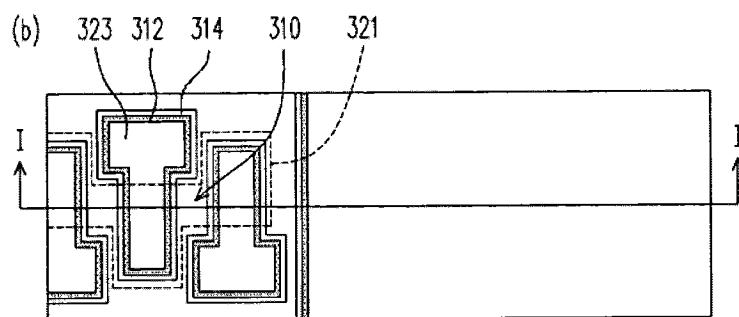
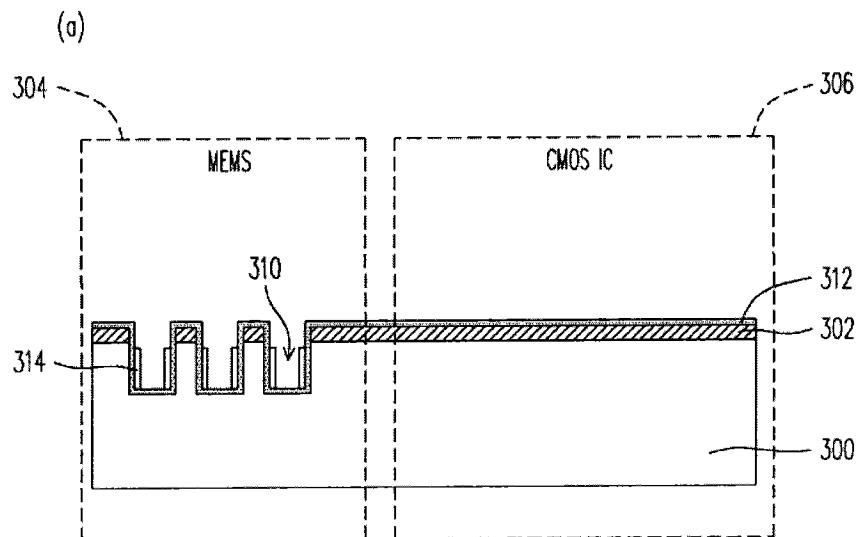


图 3E

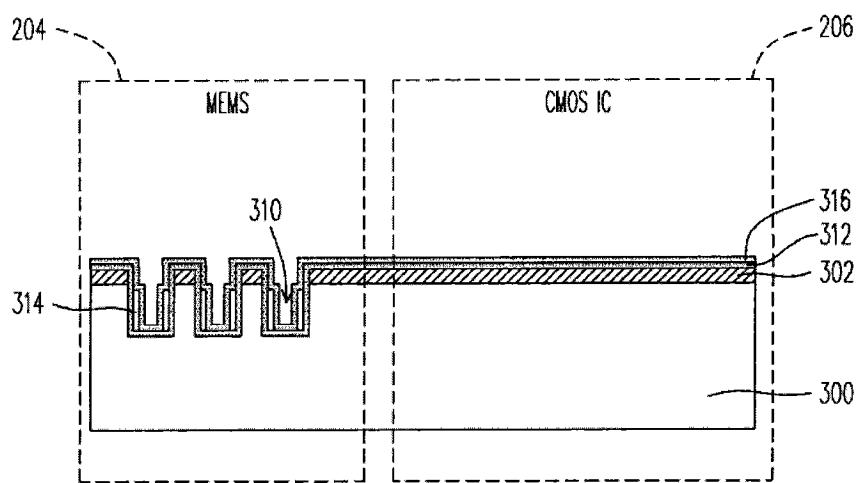


图 3F

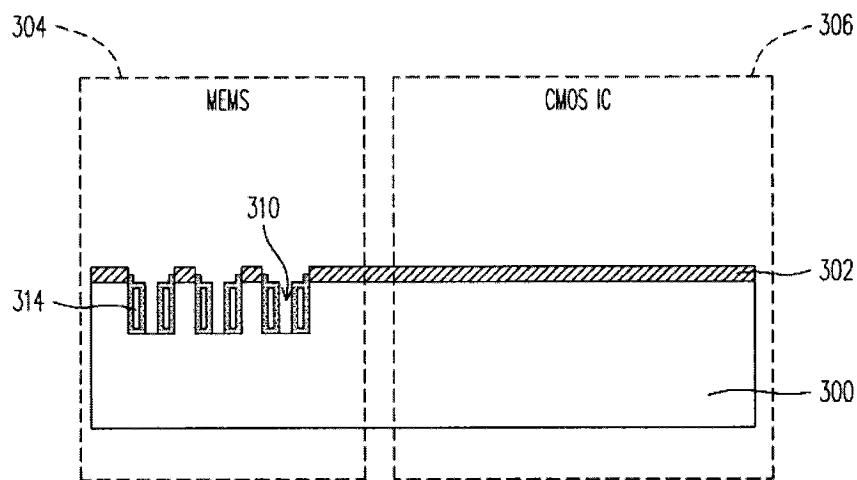


图 3G

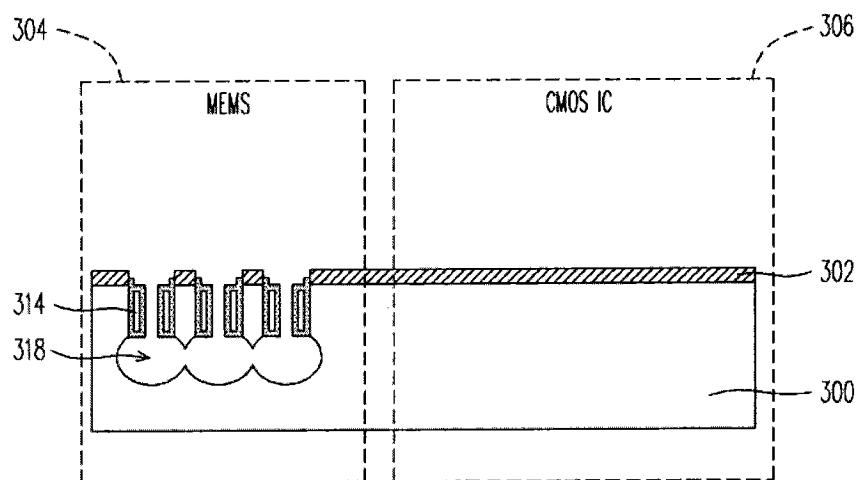


图 3H

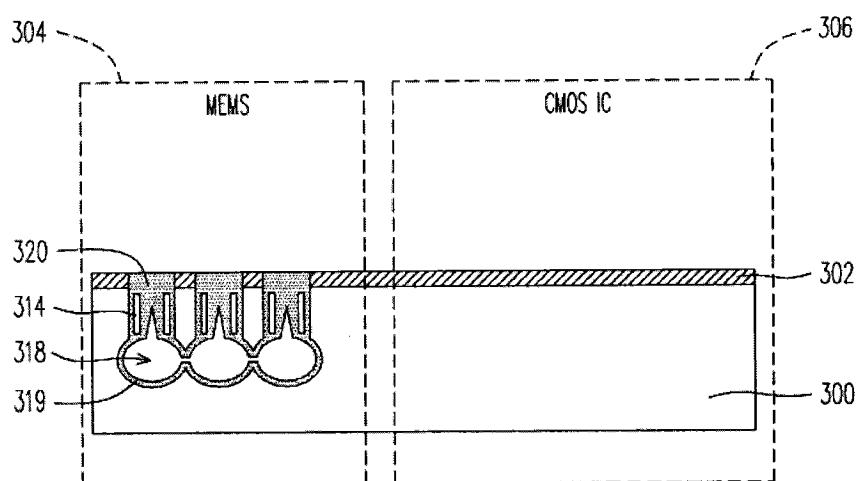


图 3I

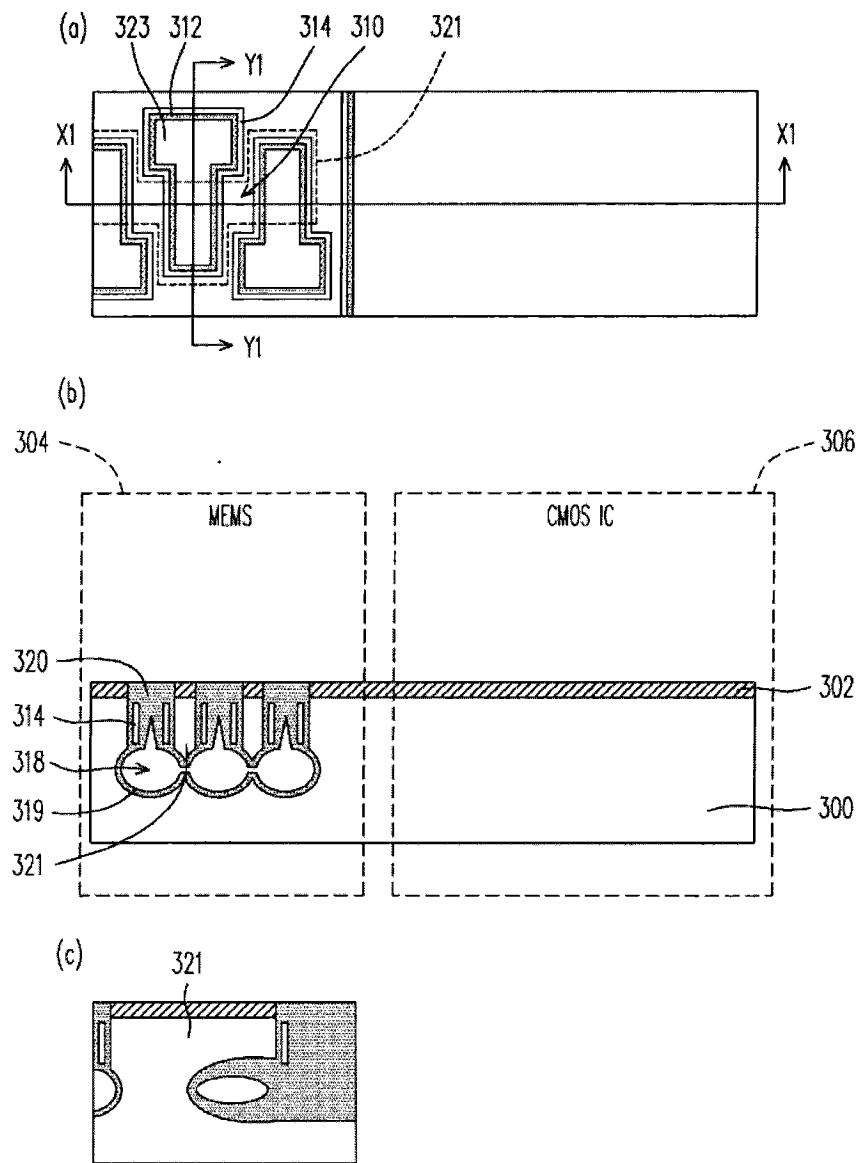


图 3J

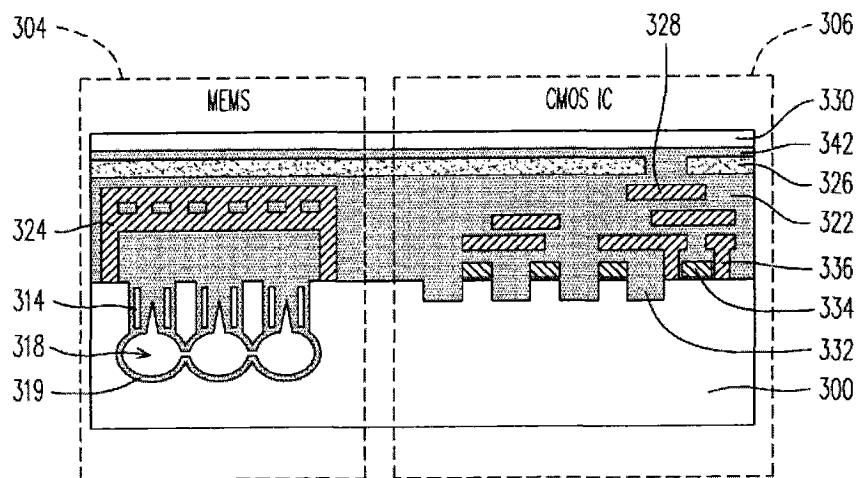


图 3K

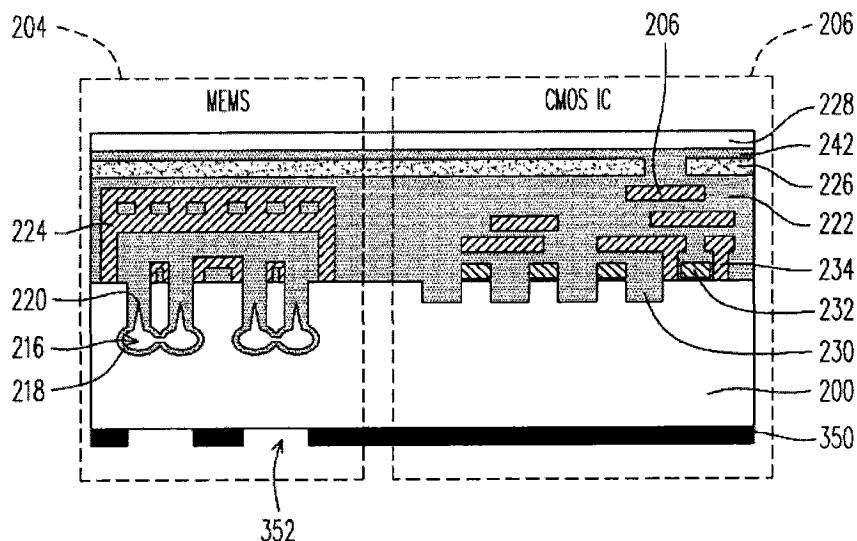


图 4A

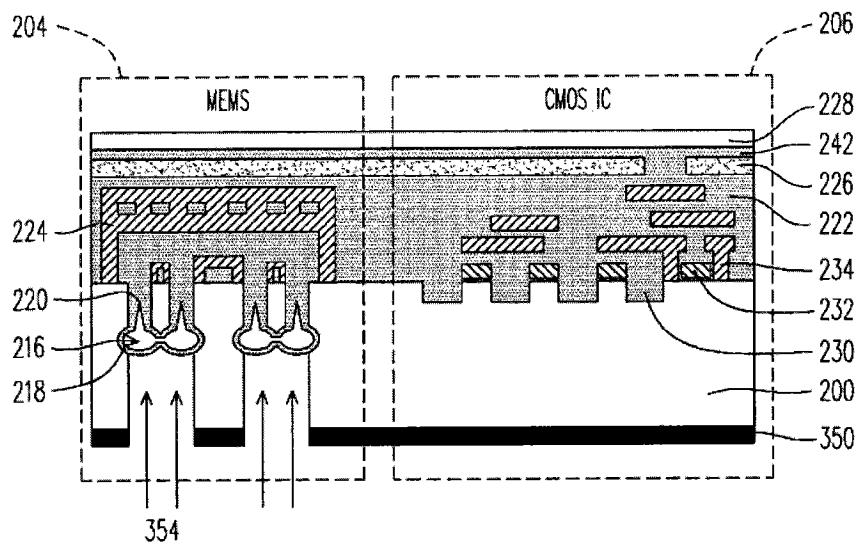


图 4B

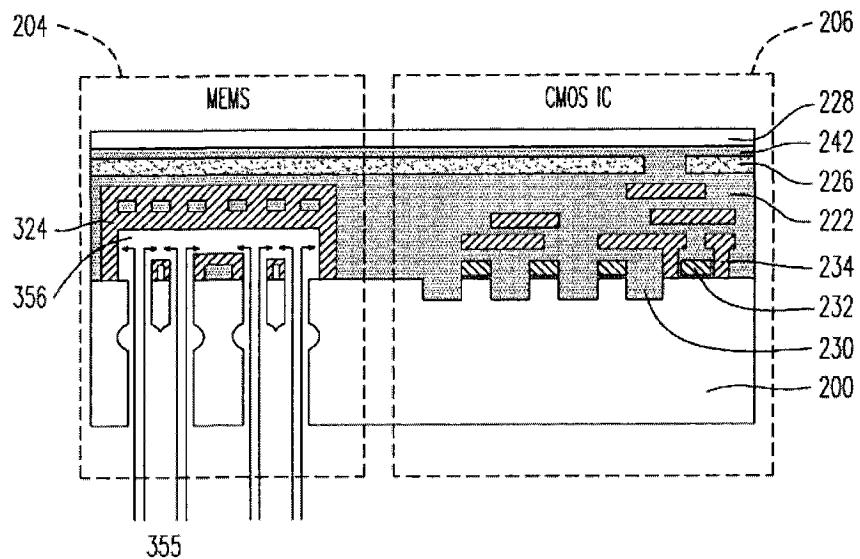


图 4C

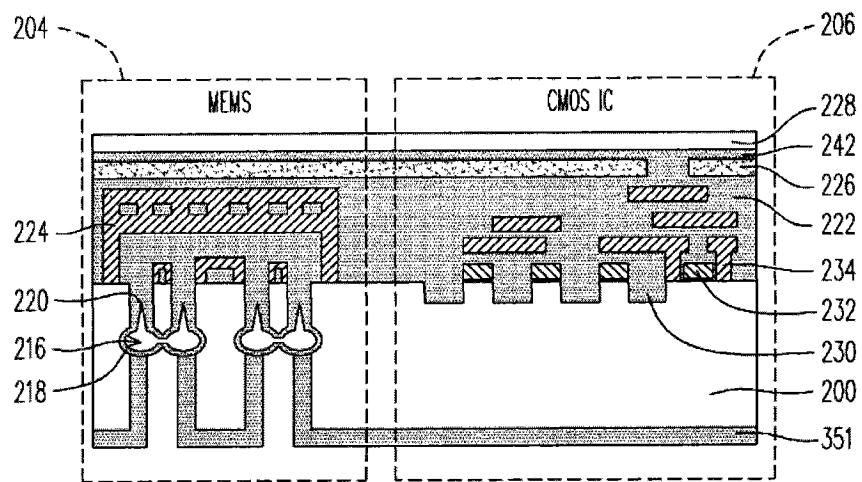


图 4D

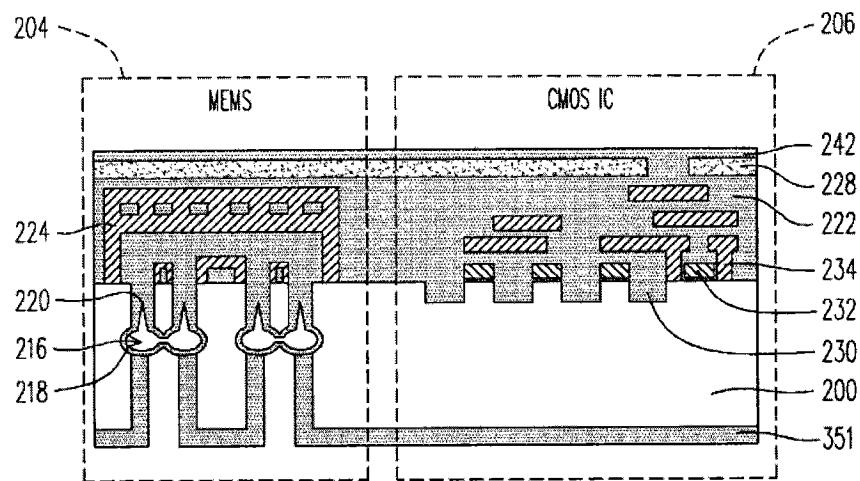


图 4E

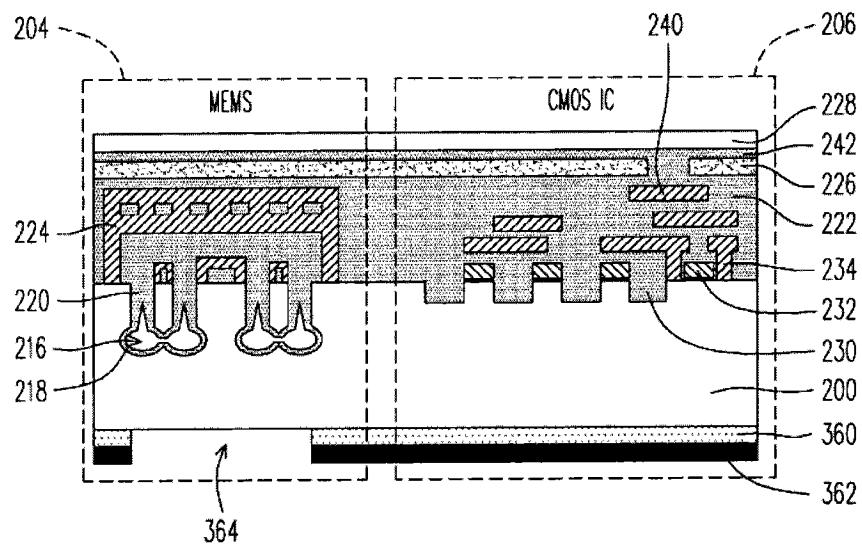


图 5A

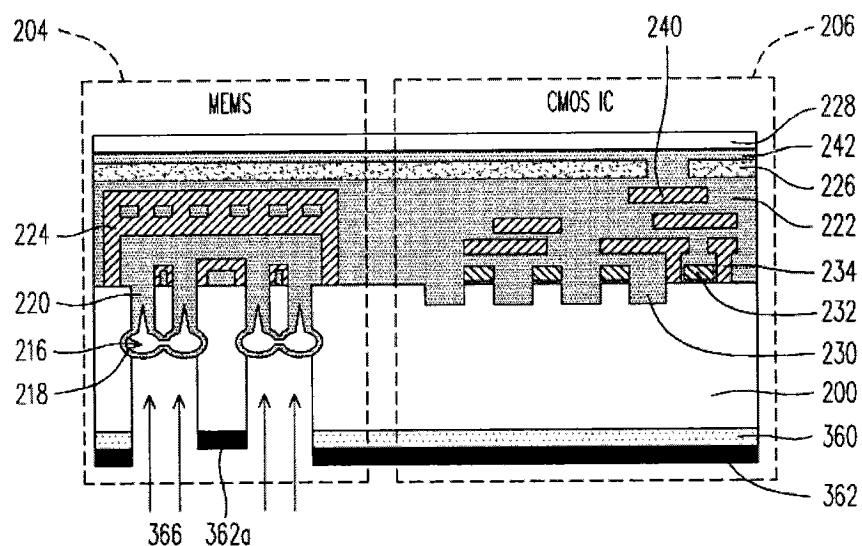


图 5B

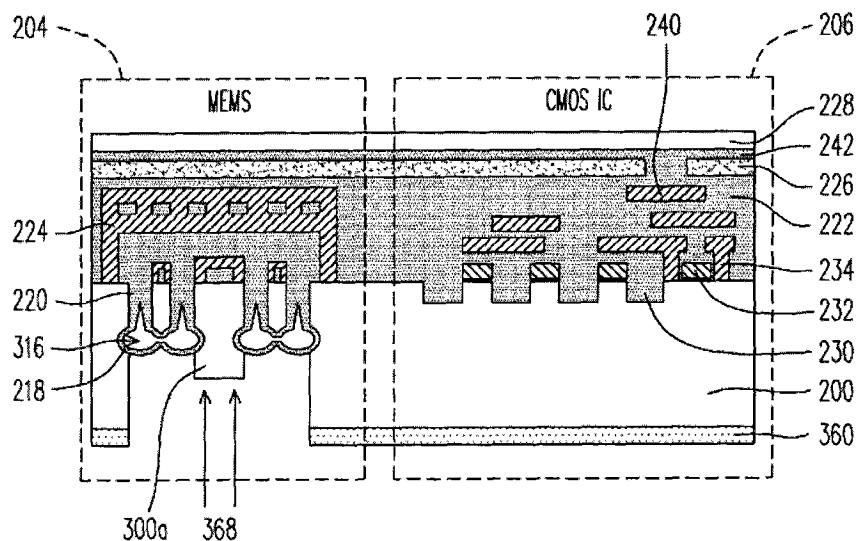


图 5C

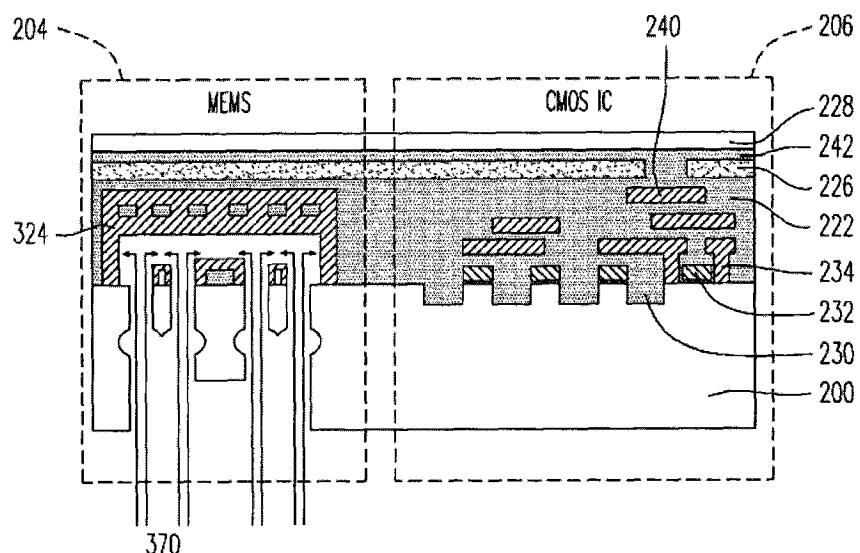


图 5D

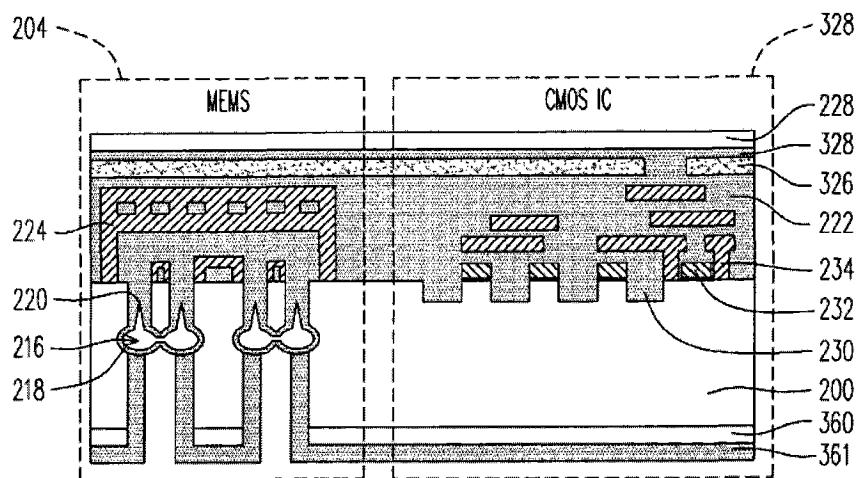


图 5E

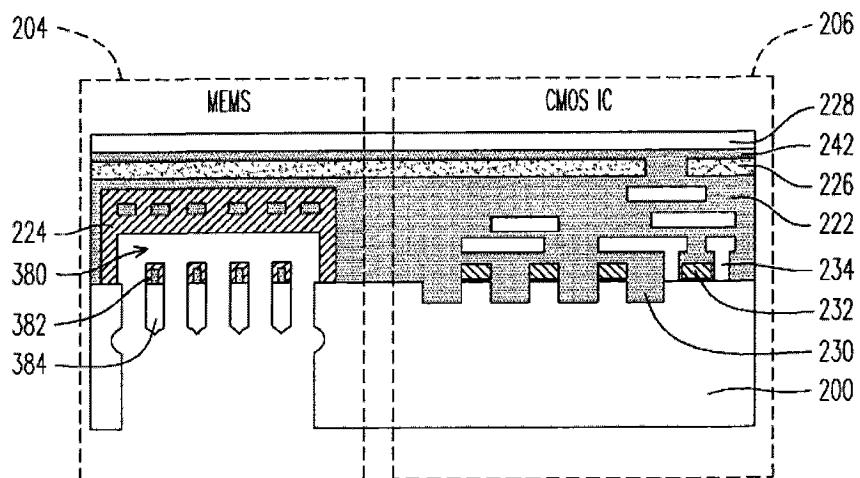


图 6

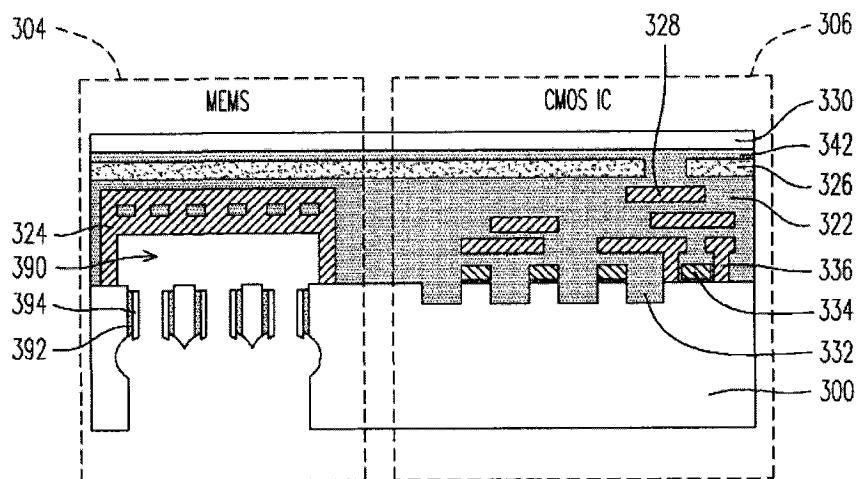


图 7

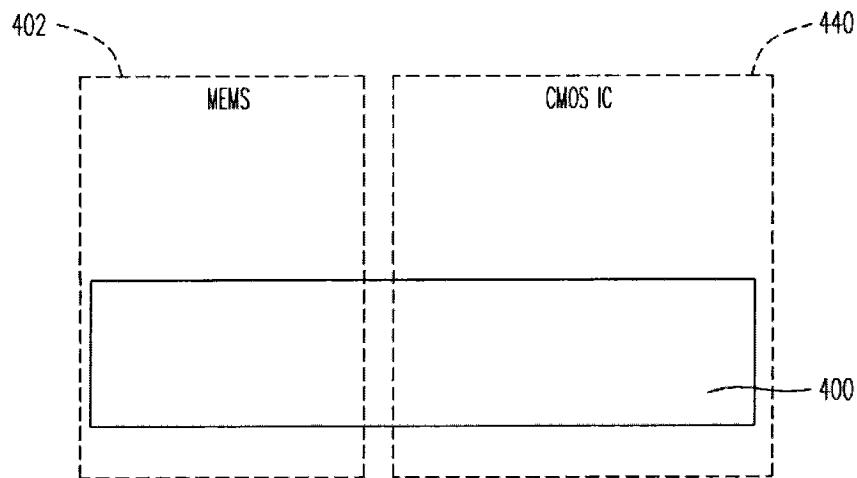


图 8A

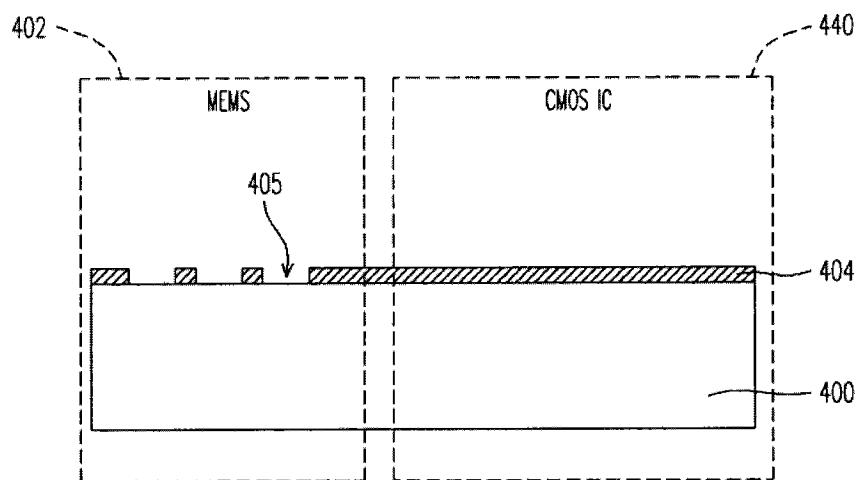


图 8B

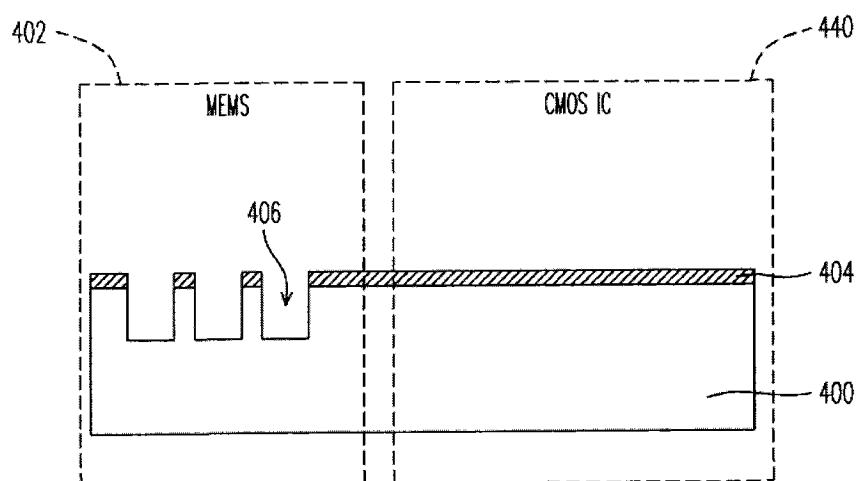


图 8C

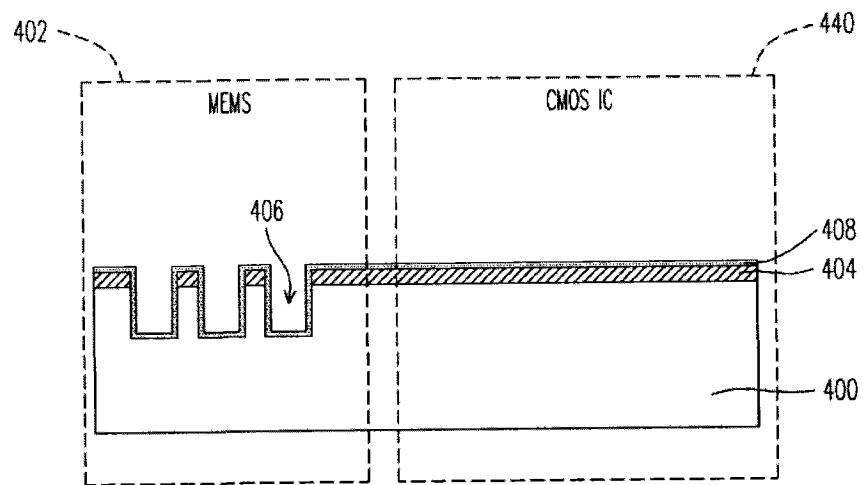


图 8D

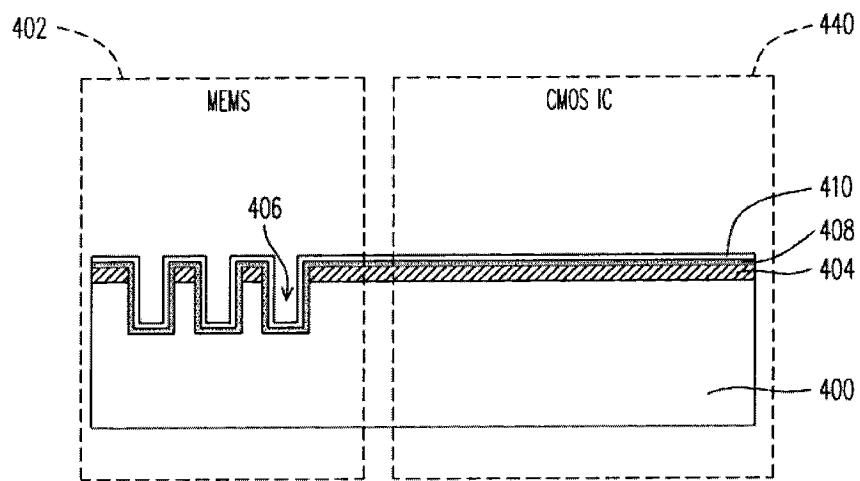


图 8E

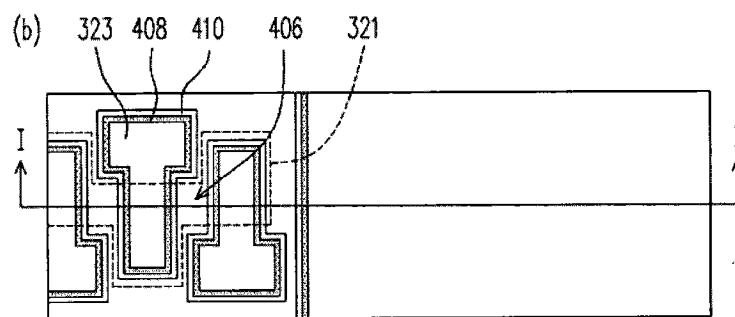
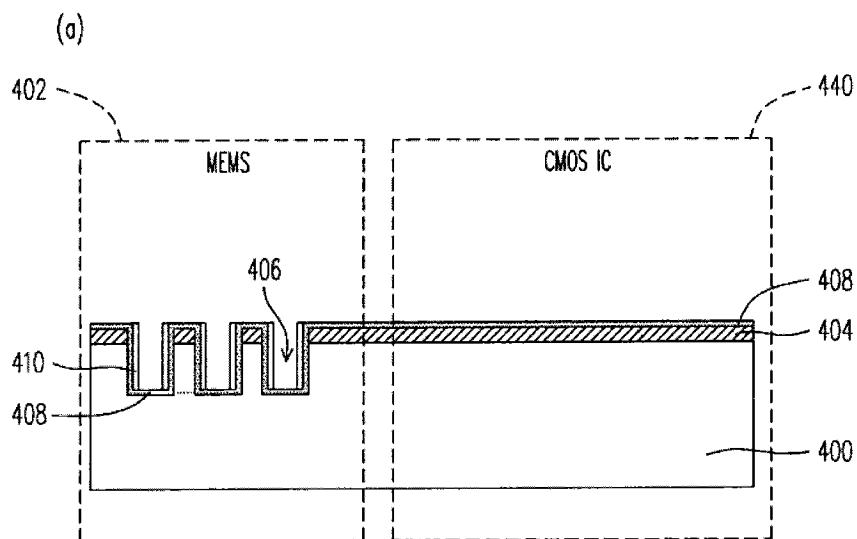


图 8F

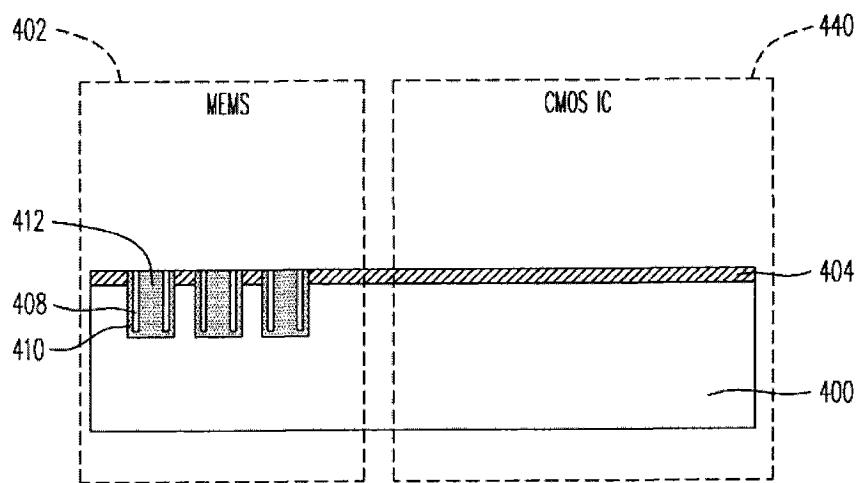


图 8G

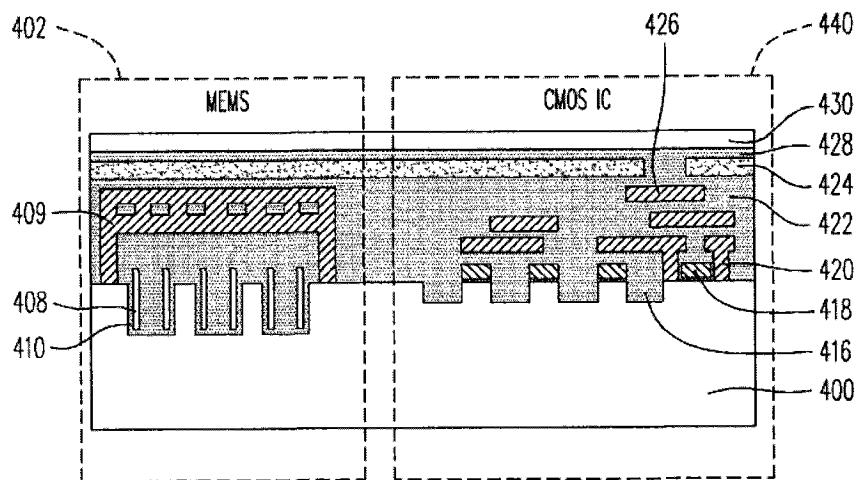


图 8H

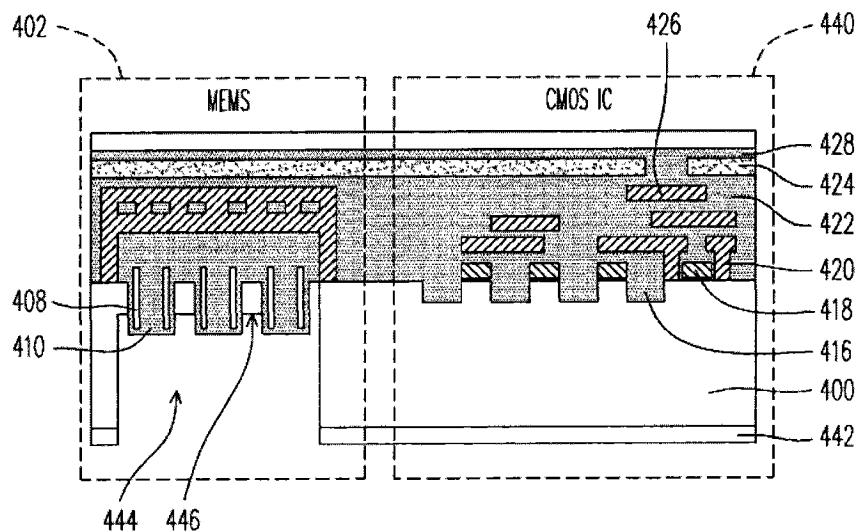


图 8I

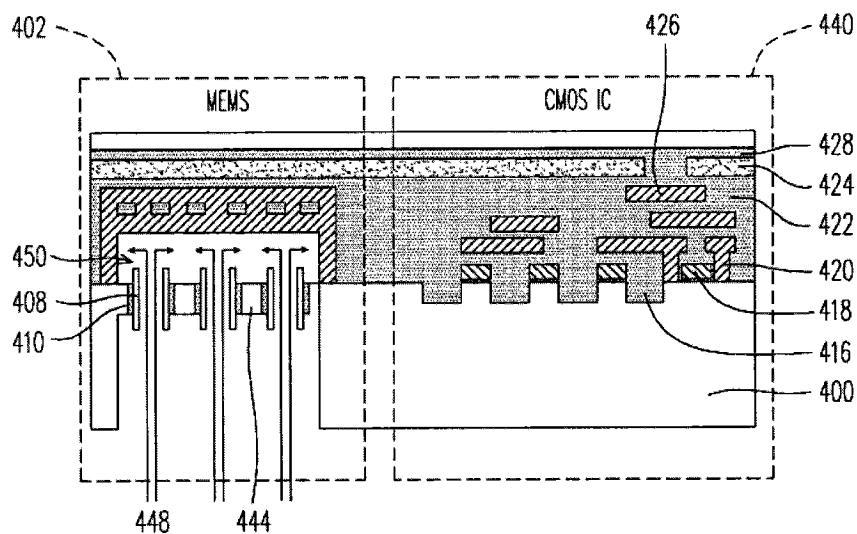


图 8J

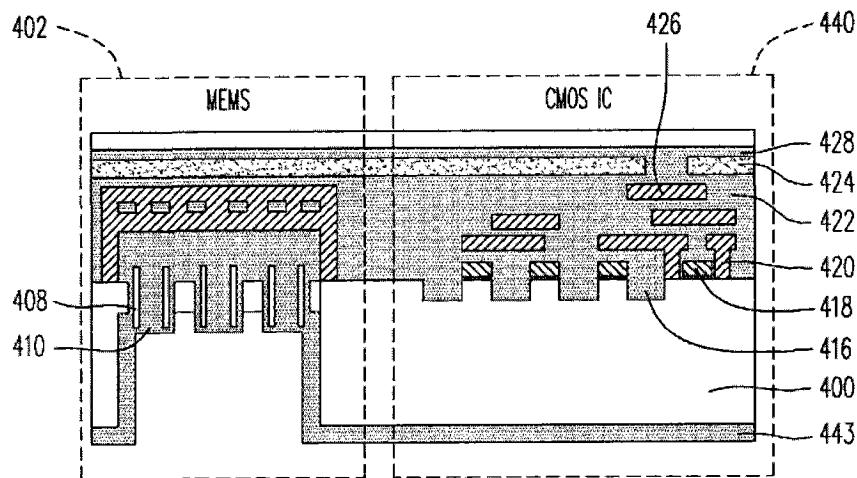


图 8K

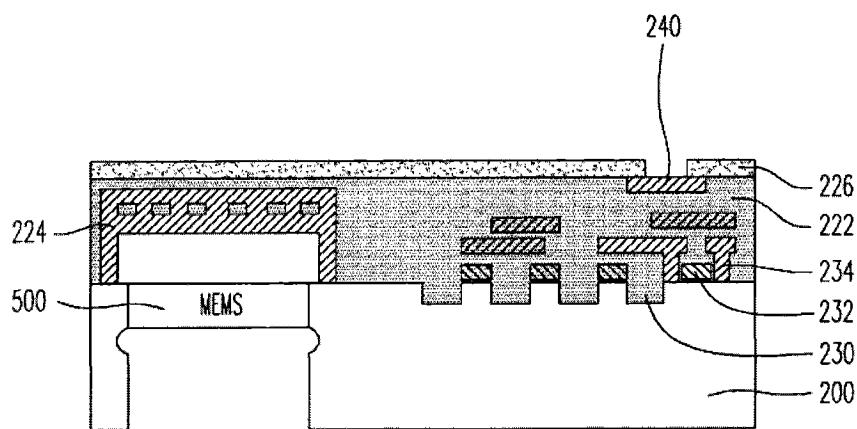


图 9

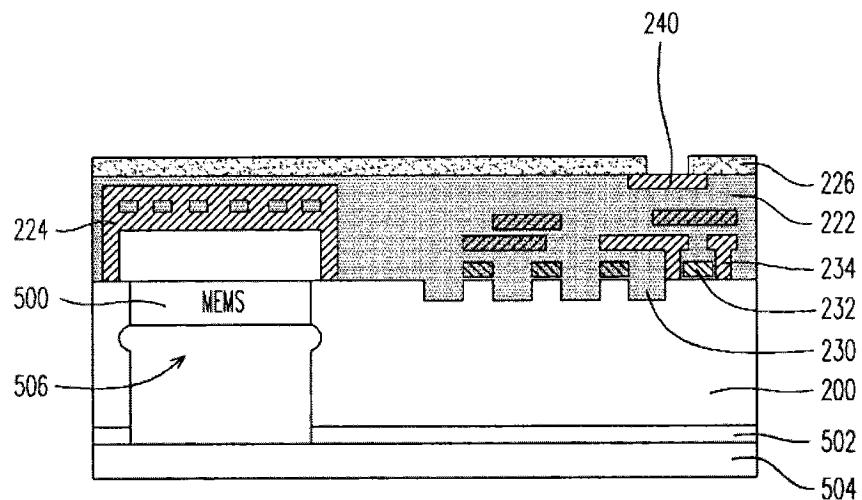


图 10

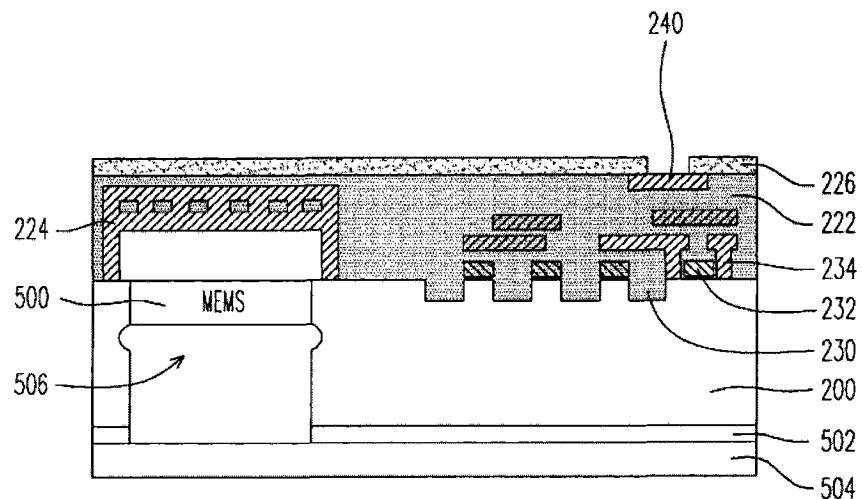


图 11

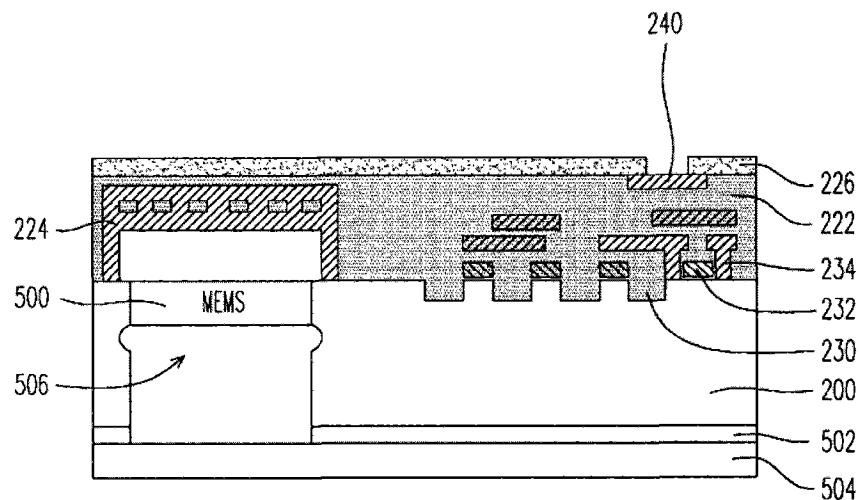


图 12

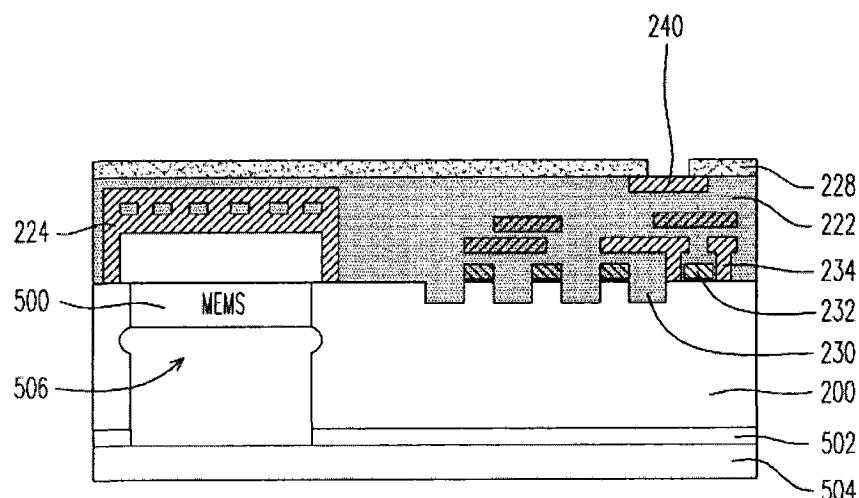


图 13

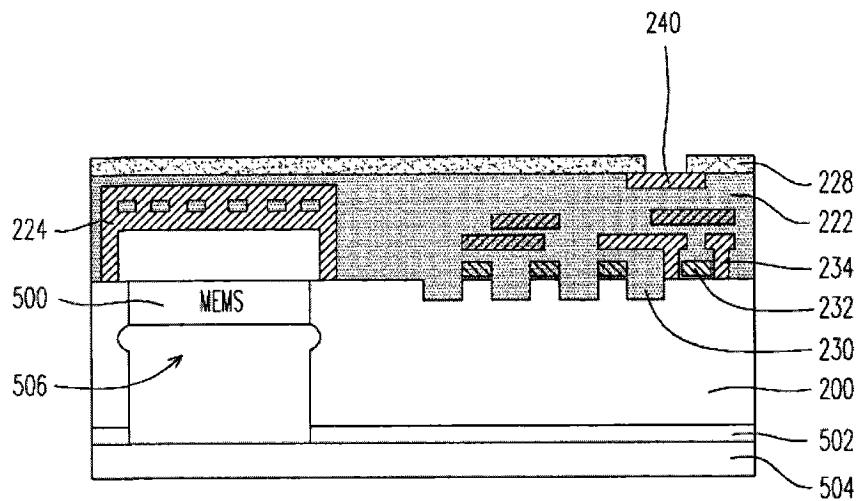


图 14

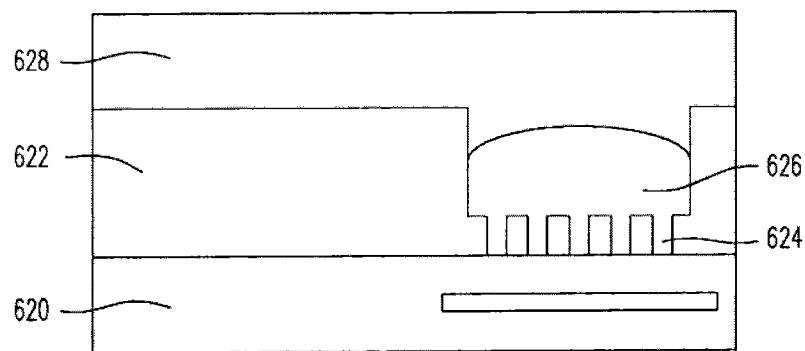


图 15

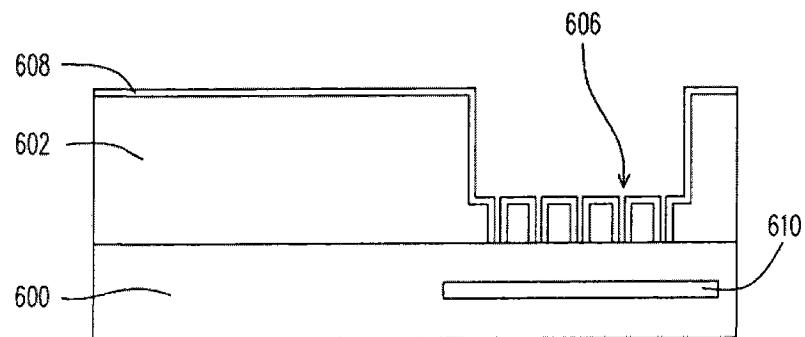


图 16A

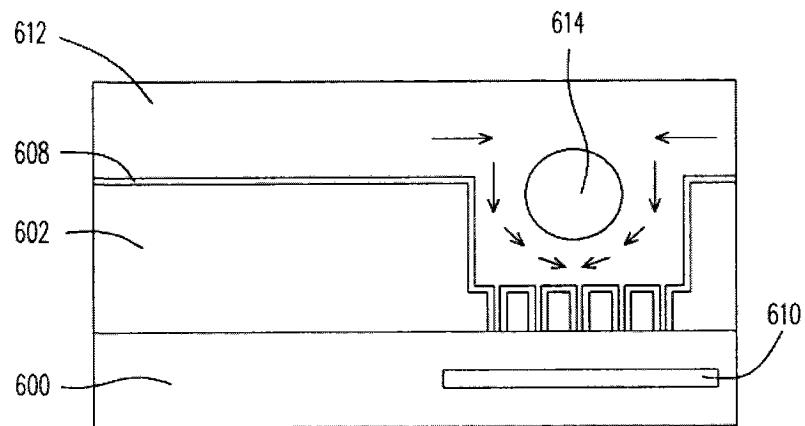


图 16B

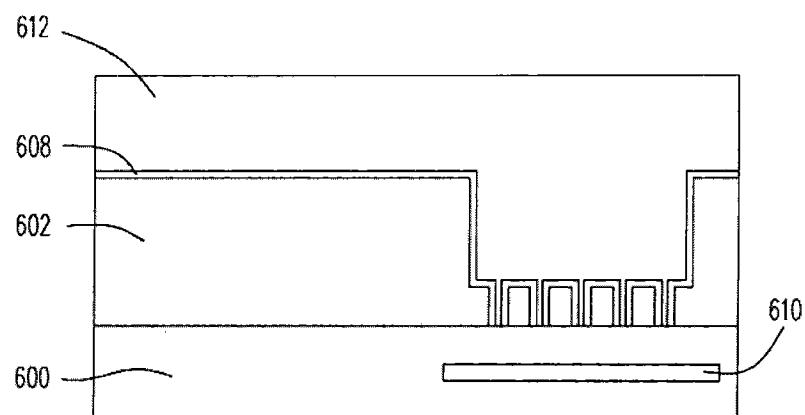


图 16C

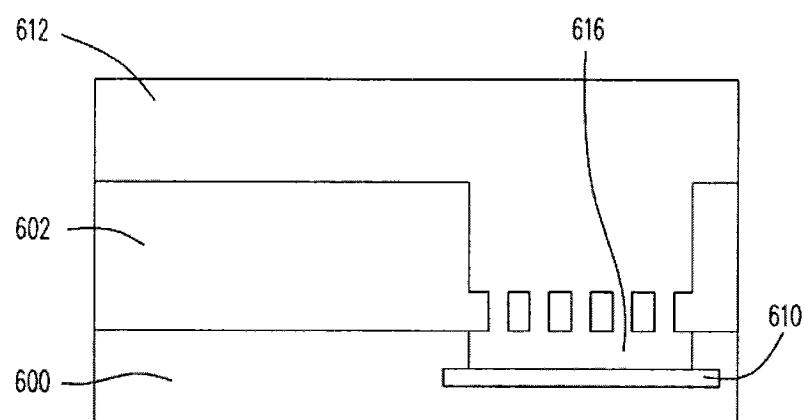


图 16D

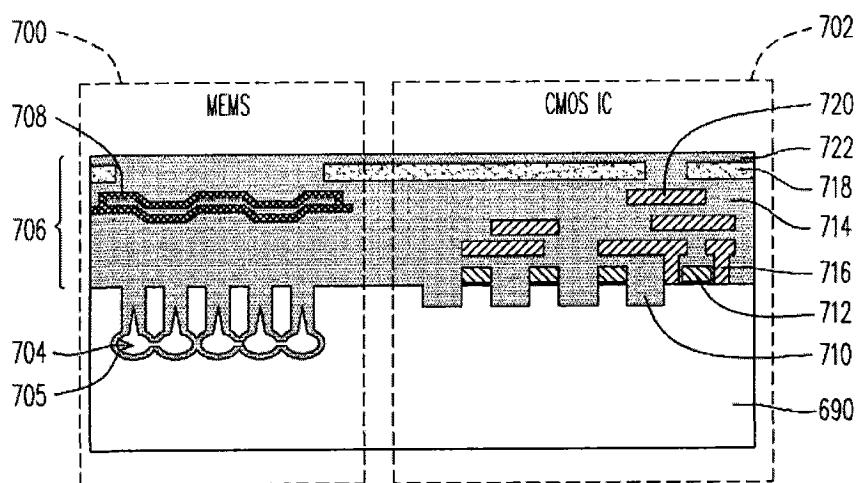


图 17A

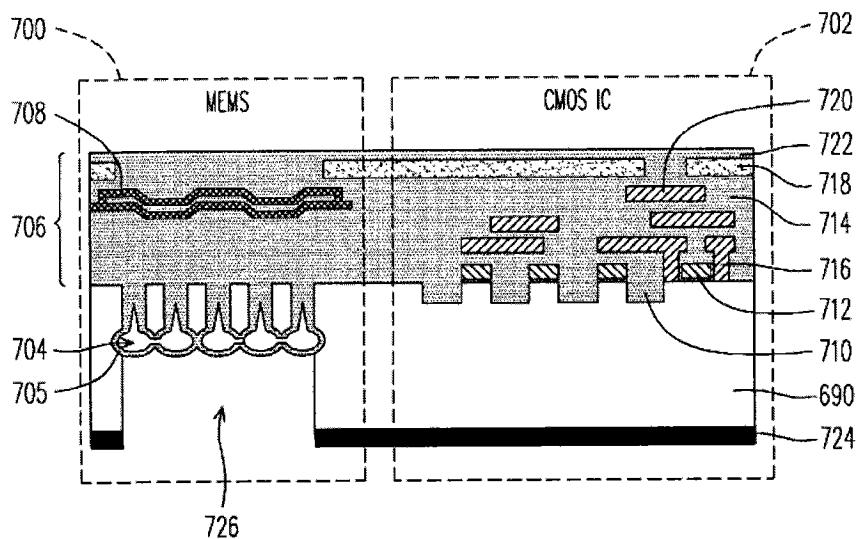


图 17B

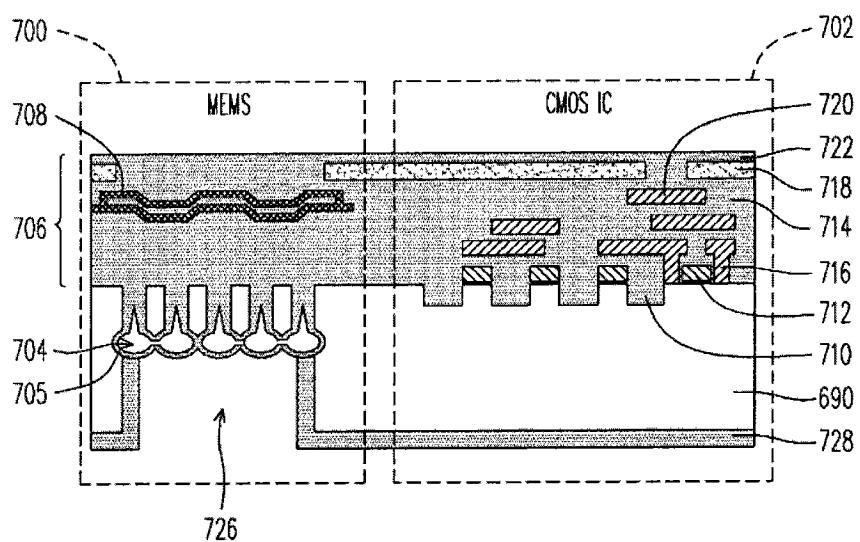


图 17C

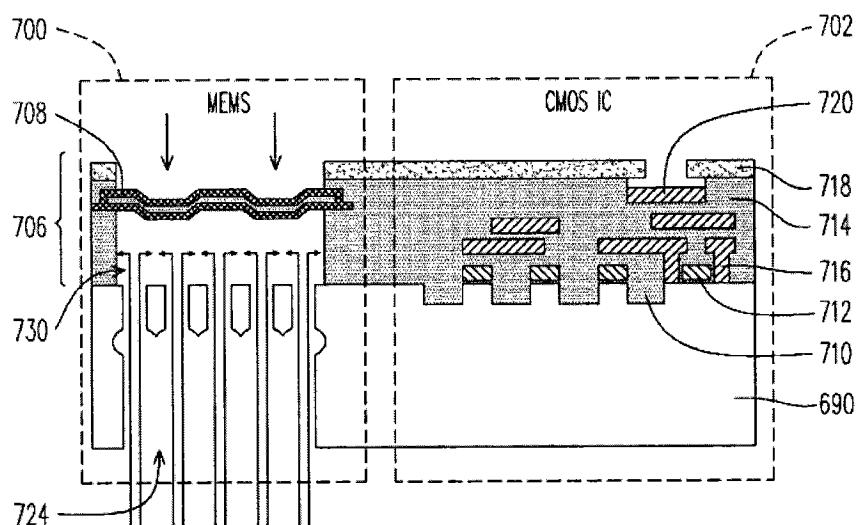


图 17D