(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4550805号
(P4550805)
(45)発行日　平成22年9月22日(2010.9.22)　(24)登録日　平成22年7月16日(2010.7.16)

(51)Int.Cl.　F I
H03K 3/84 (2006.01)　H03K 3/84 Z

請求項の数 14 (全 19 頁)

(21)出願番号	特願2006-504752 (P2006-504752)
(86)(22)出願日	平成16年3月19日 (2004.3.19)
(65)公表番号	特表2006-521729 (P2006-521729A)
(43)公表日	平成18年9月21日 (2006.9.21)
(86)国際出願番号	PCT/EP2004/002903
(87)国際公開番号	WO2004/086620
(87)国際公開日	平成16年10月7日 (2004.10.7)
審査請求日	平成19年3月13日 (2007.3.13)
(31)優先権主張番号	03006905.8
(32)優先日	平成15年3月26日 (2003.3.26)
(33)優先権主張国	欧州特許庁 (EP)
(31)優先権主張番号	60/459,448
(32)優先日	平成15年3月31日 (2003.3.31)
(33)優先権主張国	米国 (US)

(73)特許権者　598036300
テレフオンアクチーボラゲット　エル　エム　エリクソン (パブル)
スウェーデン国　ストックホルム　エス－１６４　８３
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治

最終頁に続く

(54)【発明の名称】ランダムシーケンス発生器

(57)【特許請求の範囲】
【請求項１】
ランダムなシーケンスのビット列を生成する機器（１０）であって、
雑音源（１１）に接続され、雑音信号を受信する入力端子（４０９）と、
少なくとも１つの発振器増幅器（４００ａ、４００ｂ、４００ｃ）と、
前記発振器増幅器に接続された差動増幅器（５００）とを含む発振手段（１３）を有し、
前記各発振器増幅器（４００ａ、４００ｂ、４００ｃ）は、
増幅手段（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）と、
前記増幅手段と電源とに接続されたカスコードされたトランジスタを有する負荷（３０１ａ、３０１ｂ、３０２ａ、３０２ｂ；４０１ａ、４０１ｂ、４０２ａ、４０２ｂ）と、
接地手段（ＧＮＤ）と、
前記増幅手段と前記接地手段とに接続されたテール電流源（３０４ａ、３０４ｂ；４０４ａ、４０４ｂ）とを有し、
前記増幅手段は、ＮＭＯＳトランジスタを有し、
前記カスコードされたトランジスタは、ＰＭＯＳトランジスタを有し、
前記負荷（３０１ａ、３０１ｂ、３０２ａ、３０２ｂ；４０１ａ、４０１ｂ、４０２ａ、４０２ｂ）は、前記増幅手段を干渉信号から保護するように適合され、
前記テール電流源は、ＮＭＯＳトランジスタを有し、

前記増幅手段（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）の前記ＮＭＯＳトランジスタの幅と長さの比（Ｚ）は、前記テール電流源（３０４ａ、３０４ｂ；４０４ａ、４０４ｂ）の前記ＮＭＯＳトランジスタの幅と長さの比の少なくとも３倍であり、
前記負荷の第２のトランジスタのペア（３０２ａ、３０２ｂ；４０２ａ、４０２ｂ）の幅と長さの比（Ｚ）は、前記負荷の第１のトランジスタのペア（３０１ａ、３０１ｂ；４０１ａ、４０１ｂ）の幅と長さの比の少なくとも３倍であることを特徴とする機器。
【請求項２】
前記発振器増幅器（４００ａ、４００ｂ、４００ｃ）の数は３以上の奇数であり、
該増幅器は直列接続されていることを特徴とする請求項１に記載の機器。
【請求項３】
前記増幅手段は共通ソース増幅器（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）を有することを特徴とする請求項１又は２に記載の機器。
【請求項４】
前記共通ソース増幅器は異なる形態のトランジスタ（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）を有することを特徴とする請求項３に記載の機器。
【請求項５】
前記カスコードされたトランジスタは前記増幅手段（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）に接続された抵抗として動作することを特徴とする請求項１に記載の機器。
【請求項６】
前記テール電流源（３０４ａ、３０４ｂ；４０４ａ、４０４ｂ）は前記増幅手段（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）と前記接地手段とに接続されて共通モードフィードバックを提供することを特徴とする請求項１乃至５のいずれか１項に記載の機器。
【請求項７】
前記増幅手段の前記ＮＭＯＳトランジスタ（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）の幅と長さの比（Ｚ）は、前記テール電流源（３０４ａ、３０４ｂ；４０４ａ、４０４ｂ）の前記ＮＭＯＳトランジスタの幅と長さの比の少なくとも３倍から１０倍の間であり、
前記負荷の前記第２のトランジスタのペア（３０２ａ、３０２ｂ；４０２ａ、４０２ｂ）の幅と長さの比は、前記負荷の第１のトランジスタのペア（３０１ａ、３０１ｂ；４０１ａ、４０１ｂ）の幅と長さの比の少なくとも３倍から１０倍の間であることを特徴とする請求項１に記載の機器。
【請求項８】
前記増幅手段の前記ＮＭＯＳトランジスタ（３０３ａ、３０３ｂ；４０３ａ、４０３ｂ）と前記第２のトランジスタのペア（３０２ａ、３０２ｂ；４０２ａ、４０２ｂ）のトランジスタの幅（Ｗ）は、２．５～１２５μｍの範囲にあり、
前記トランジスタの長さ（Ｌ）は、０．２５～１２．５μｍの範囲にあり、
前記テール電流源の前記ＮＭＯＳトランジスタ（３０４ａ、３０４ｂ；４０４ａ、４０４ｂ）と前記負荷の第１のトランジスタのペア（３０１ａ、３０１ｂ；４０１ａ、４０１ｂ）の前記トランジスタの幅（Ｗ）と長さ（Ｌ）は夫々、０．２５～１２．５μｍの範囲にあることを特徴とする請求項１又は７に記載の機器。
【請求項９】
前記機器は電圧制御発振器（ＶＣＯ）であることを特徴とする請求項１乃至８のいずれか１項に記載の機器。
【請求項１０】
前記機器は電流制御発振器（ＣＣＯ）であることを特徴とする請求項１乃至８のいずれか１項に記載の機器。
【請求項１１】
請求項１乃至１０のいずれか１項に記載のランダムなシーケンスを生成する機器（１０）を有する電子装置（１）。
【請求項１２】

前記機器は、移動体無線端末、ページャ、コミュニケータ、電子手帳、或いはスマートフォンであることを特徴とする請求項１１に記載の電子装置。
【請求項１３】
前記電子装置は、移動体電話（１）であることを特徴とする請求項１１に記載の電子装置。
【請求項１４】
請求項１乃至１０のいずれか１項に記載のランダムなシーケンスを生成する機器（１０）を有する集積回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はランダムなビットシーケンスを生成する機器に関するものである。具体的には、本発明は雑音信号がフィードされたとき真にランダムなビットシーケンスを提供するために干渉信号から保護される発振手段に関するものである。
【背景技術】
【０００２】
乱数やランダムなビットには通常、フィードバックシフトレジスタにより生成される擬似ランダム（ＰＮ）タイプのものがある。そのようなＰＮシーケンスは予知可能な結果であるか、或いは循環的なものであるが、十分に長いサイクルであれば、ランダムな時間間隔でスナップショットをとるときには、ランダムであるように見える。そのＰＮ生成器に真にランダム値を適用することにより、そのＰＮコードはより良い統計的な性質をもつであろう。そのような適用は、例えば、原理的にはランダムである熱的雑音から生成される。回路的な不完全さのため、熱的雑音は、擬似信号やクロック・フィードスルーのようなサイクルを含み、ランダム生成器としての単独使用に対して最適なものよりも短く雑音を再現してしまうであろう。熱的雑音源とシフトレジスタとを組み合わせ、更なる信号処理を行なうことにより、より良い結果を得ることができる。
【０００３】
雑音のでる機器は通常、増幅された熱的雑音源、雑音発振器、或いはカオティックなフィードバック回路から成り立っている。その熱的雑音は、高オーム抵抗或いは逆バイアスＰＮ接合（ここでは、ある破壊のメカニズムがしばしば利用される）から生じるものである。発振器は通常は、周波数安定性に欠けるため、し張発振器を基本とするか或いはリング発振器である。
【０００４】
非特許文献１はアナログ／デジタルランダム雑音源を開示している。大きな抵抗が熱的雑音発生器として利用される。その抵抗は弱い雑音を増幅するオペアンプに結合される。ここで、その増幅された雑音信号は比較器の非反転の入力側とその比較器の反転入力側とにローパスフィルタを介してフィードされ、ＤＣ成分と低周波数成分とを除去する。その比較器は、雑音入力信号に基づいてデジタルランダム出力を生成する。
【０００５】
非特許文献２は乱数発生器を開示している。雑音源とローパスフィルタと（１／ｆ）フィルタとを含む雑音源の機器からの雑音は増幅され、リミッタを介してサンプル・ホールド回路の入力に、最終的にはランダム出力を生成する電流制御発振器にフィードされる。２つの５０Ωのｎ井戸型（n-well）の入力抵抗が用いられる、予知可能なレベルの熱的雑音を発生する。
【非特許文献１】Ｗ．テモティ・ホルマン（W. Timothy Holman）、Ｊ．アルビン・コノリー（J. Alvin Conolly）、アーマッド　Ｂ．ドウラタバディ（Ahmad B. Dowlatabadi）著、「内蔵アナログ／デジタルランダム雑音源（An Integrated Analog/Digital Random Noise Source）」、ＩＥＥＥトランザクション回路及びシステムＩ：基本理論と応用（IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications）、１９９７年６月、第４４巻第６号、５２１～５２８頁

【非特許文献２】クレイグ　Ｓ．ペトリ（Craig. S. Petrie）、Ｊ．アルビン・コノリー（J. Alvin Conolly）著、「暗号化に適用される雑音ベースのＩＣ乱数発生器（A Noise-based IC Random Number Generator for Applications in Cryptography）」、ＩＥＥＥトランザクション回路及びシステムＩ：基本理論と応用（IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications）、２０００年５月、第４７巻第５号、６１５～６２１頁

【発明の開示】

【発明が解決しようとする課題】

【０００６】

公知の従来技術に従う解決策では、オペアンプを用いる。ここで、そのアンプのサイズは高雑音／干渉比のためには設計されておらず、むしろ、電流、駆動能力、固有雑音などの従来のサイズパラメータに関して設計されている。また、干渉から雑音発生器を保護する備えはない。

【０００７】

上述の解決策では熱的雑音の発生があると都合が悪い。その方法はデジタルＣＭＯＳ技術に対しては適したものではない。抵抗値が高くなければならず、そのことは、集積回路にそれらが実装されるなら、その面積が大きくなることを意味し、その結果、基板と他の容量結合した干渉を拾い上げる傾向を生み出してしまう。さらに、全てのＣＭＯＳ技術が適切な抵抗を備える訳ではない。雑音源として用いられる逆バイアスのＰＮ接合はしばしば、雑音を増幅するためにキャリアの倍増に頼るものであり、その結果、雑音レベルが高くなる。そのレベルは広い雑音バンド幅をもつ雑音である。残念なことに、十分に低い破壊電圧をもつ適切な接合は標準的なデジタルＡＳＩＣ技術においては利用可能となっていない。

【課題を解決するための手段】

【０００８】

発明の要約

本発明の目的は、高い雑音－干渉比をもつ真にランダムなシーケンスビット列を生成する機器を提供することである。

【０００９】

高い雑音－干渉比をもつランダムなシーケンスを生成する機器は、上記目的を達成する雑音信号を受信する入力端子を含む発振手段を有する。本発明に従う機器は、その発振器の増幅手段が干渉信号から保護される。その発振手段の増幅手段は、サプライ（V_{dd}）と前記増幅手段とに接続された負荷と、前記増幅手段と接地手段とに接続されたテール電流源とによって干渉信号から保護される。好適な実施例では、奇数の数の発振器増幅器が、ランダムなシーケンスのビット列を生成する差動増幅器と直列接続される。１つの代表的な実施例では、第１及び第２の増幅器に接続された雑音増幅器をもつ増幅器のチェインが前記発振手段のバイアス源として利用される。その発振手段のバイアスを変調することに応じて、前記発振手段は真にランダムな出力を生成する。

【００１０】

本発明の更に別の目的は、真にランダムなシーケンスのビット列を生成する機器を有する集積回路を提供することにある。

【００１１】

この目的は高い雑音－干渉比をもつランダムなシーケンスのビット列を生成し、発振手段を有する機器を有する集積回路により達成される。さらに、その機器の全ての構成要素は標準的なＣＭＯＳ技術を用いて実装されても良い。ここで、その発振手段は干渉信号から保護されており、サプライの誘導される干渉を抑止する。

【００１２】

本発明の更に別の目的は、真にランダムなシーケンスのビット列を生成する機器を有する電子装置を提供することにある。

【００１３】

この目的は、本発明に従う高い雑音－干渉比をもつ電子装置によって達成され、その装置は負荷とテール電流源とにより干渉信号から保護される発振手段を有する。さらにその上、本発明に従えば、雑音はその発振手段のバイアス源として利用される。

【００１４】

本発明の利点とは、高い雑音－干渉比が備えられ、真にランダムなシーケンスが生成されることにある。抵抗やキャパシタを含む、本発明に従う機器の全ての回路ブロックはＣＭＯＳ技術により備えられる。全ての耐性が緩和され、相対的なマッチングだけが重要であり、オンチップ実装と両立できるものにしている。

【００１５】

本発明に従う機器の最適なサイズにより、増幅器チェインの差動構造が誘導される干渉の共通モードを最小にするという利点をもつ。さらに、その負荷を正しいサプライに接続し、カスコードＰＭＯＳ負荷とＮＭＯＳテール電流源とを採用することによりV_{dd}から接地へのインピーダンス経路を最大にすることで、サプライ、接地、及び基板からの結合経路を最小にする。さらに、雑音増幅器に対する同じ基本的な（最適な機器サイズをもつ）増幅器セルと増幅器の少なくとも１つの増幅器セルとを利用することで、結果として内部段での結合抵抗を必要とはしないという利点があり、これは雑音レベルを、結果的には雑音－干渉比をさらに高めることになる。

【００１６】

本発明の更に好適な特徴は請求の範囲の従属項で定義される。

【００１７】

なお、“有する／有している”という用語がこの明細書で用いられるとき、それは、陳述される特徴、数値、工程、構成要素の存在を特定するためにとられているのであるが、そのことが１つ以上の他の特徴、数値、工程、構成要素、それらのグループの存在や付加を排除するものではないことを強調しておく。

【００１８】

本発明の実施例や種々の他の特徴は添付図面を参照しながら詳細に説明する。

【発明を実施するための最良の形態】

【００１９】

図１は移動体電話１として実施された電子装置を図示しており、その装置に本発明が採用される。しかしながら、本発明は移動体電話１によって限定されるものではなく、ランダムなシーケンスのビット列を生成する機器を用いるどんな電子機器にも実施できる。移動体電話１は、例えば、移動体通信ネットワークを介して他の電子装置と通信を行なう種々の回路を有している。その電子装置はまた、移動体無線端末、ページャ、電子手帳やスマートフォンなどのコミュニケータとしても実現されても良い。機密保護された通信を提供するため、移動体電話１は暗号化と復号化夫々に利用される暗号化ブロックを有している。その結果、移動体電話１はそれ自体では公知である暗号化機能を提供するように適合されている。ランダムなシーケンスのビット列を生成する機器は本発明の１実施例に従ったものであり、暗号化ブロックのような他の機能ブロックとともに集積回路として備えられ、移動体電話１内に組み込まれるＡＳＩＣ（特定用途向け集積回路）を形成する。

【００２０】

図２は本発明に従うランダムなシーケンスのビット列を生成する機器１０の原理を図示している。代表的な実施例では、機器１０は増幅器１２の入力端子に接続された出力端子を有する雑音源１１に接続されている。増幅器１２の出力端子は、例えば、電圧制御発振器（ＶＣＯ）のような、多くのジッタを伴い移動体電話１のクロックシステムに独立な周波数で連続的なビットストリームを生成する本発明に従う機器の発振手段１３の入力端子に接続されている。発振手段１３の出力は、ローファンアウト（low-fanout）バッファのようなバッファ１４の入力に接続されている。

【００２１】

代表的な雑音源１１は弱い広帯域の雑音信号を生成し、それは増幅器１２により増幅されて、例えば、１００ｍV_{RMS}のような特定の電圧に近づく。しかしながら、この値は重

要なものではなく、各特定の構成において試され評価されなければならないものである。本発明の１実施例に従う増幅器１２によって増幅された雑音が用いられて、後で更に説明するように発振手段１３を変調する。発振手段１３は結果として多くのジッタをもち移動体電話１のクロックシステムに独立な周波数で連続的なビットストリームを生成する。発振手段１３が接続されるバッファ１４はそのビットストリームをバッファする。

【００２２】

図３は本発明に従うランダムシーケンスを生成する機器１０の詳細な実施例を図示している。代表的な雑音源１１は雑音増幅器セル１００を有し、増幅器１２は夫々がＤＣ結合された第１および第２のカスケード増幅器セル２００、３００を有している。本発明の発振手段１３は３つの発振器増幅器４００ａ、４００ｂ、４００ｃ、及び１つの差動増幅器５００を有し、それらは干渉信号から保護され、以下に説明するように高い雑音－干渉比を提供している。また、雑音源１１はフィードバックフィルタ１５と、第１と第２の出力端子を有し夫々、第１及び第２のバイアス$bias_1$、$bias_2$を供給するバイアス手段１６とに接続されている。

【００２３】

本発明に従えば、例えば、増幅された熱的雑音源、雑音発振器、或いは熱的で高い雑音－干渉比をもつ１／ｆ雑音を生成するカオティックフィードバック回路のような雑音源からの雑音信号がランダムシーケンスを生成する機器にフィードされる。高抵抗或いはツェナーダイオードが備えられて熱的雑音を生成する。本発明の代表的な実施例に従えば、ＭＯＳトランジスタからの内部雑音が熱的雑音を生成する雑音源１１として用いられる。また、以下に説明するような代表的な雑音源１１の次段の増幅器からの１／ｆ雑音が用いられて更に雑音源１１の雑音特性を改善する。しかしながら、その内部雑音はとても微弱であり、$\upsilon_n^2 \sim kT/C_{gs}$である。ここで、ｋはボルツマン定数、Ｔは絶対温度、C_{gs}はトランジスタのゲート－ソース間のキャパシタンスである。また、真にランダムなビットシーケンスを提供するために、その雑音源は干渉クロック信号から保護されていなければならない。そのクロック信号はサプライ及びバイアスラインを介して、そして、ランダムシーケンス発生器が組み込まれるＡＳＩＣの基板を通して雑音源に入り込むかもしれない。

【００２４】

ＭＯＳトランジスタで利用可能な低雑音レベルのために、増幅器１２は雑音源１１により発生した雑音を増幅する。増幅器１２は、数多くの増幅器セル２００、３００を有している増幅器のチェインを用いて雑音を増大させることによりその増幅を成し遂げる。その増幅器セルは雑音源１１と同じタイプであることが好ましい。雑音源１１は現実には以下に説明するように入力信号をもたない増幅器である。雑音源１１の全ての構成要素を構築することは可能であり、増幅器１２は次に説明するように同じ基本増幅器セル６００の周囲に構築されても良い。

【００２５】

図４は本発明の基本増幅器セル６００を図示している。ここで、増幅デバイス、従って雑音減は干渉信号から保護されている。ＭＯＳトランジスタそれ自身は増幅デバイスとして用いられる。その内部雑音は非常に微弱なので、高電力利得の増幅器が好ましい。それ故に、本発明に従えば共通ソース増幅器が用いられる。なぜなら、これが最大の電力利得が得られる構成であるからである。ＭＯＳトランジスタは集積回路上では非常に小さなものであり、干渉信号や場はその増幅デバイスに隣接するデバイスに対して同じ大きさと方向性がある。その増幅デバイスの異なる形態を用いることにより、そのような干渉は共通モード（ＣＭ）信号として現れ、それは次に説明するように回路とレイアウト対称性を最適化することにより抑制される。

【００２６】

図４に示す基本増幅器セル６００は、第１のトランジスタペア６０１ａ、６０１ｂ、第２のトランジスタペア６０２ａ、６０２ｂ、第３のトランジスタペア６０３ａ、６０３ｂ、そして、第４のトランジスタ６０４ａ、６０４ｂを有している。本発明の１実施例に従う第１及び第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂはＰＭＯＳ

デバイスであり、共通ソース増幅器の負荷として作用する。第３及び第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂは、１実施例としてはＮＭＯＳデバイスであり、第３のトランジスタペア６０３ａ、６０３ｂが共通ソース増幅器、第４のトランジスタペア６０４ａ、６０４ｂがテール電流源である。

【００２７】

ＰＭＯＳトランジスタ６０１ａ、６０１ｂ、６０２ａ、６０２ｂは共通のバイアスを用い、第１のトランジスタペア６０１ａ、６０１ｂのゲートが第１のバイアス端子６０７ａを介して第１のバイアス$bias_1$に接続され、第２のトランジスタペア６０２ａ、６０２ｂのゲートが第２のバイアス端子６０７ｂを介して第２のバイアス$bias_2$に接続される。第１のトランジスタペア６０１ａ、６０１ｂのソースとバルクとはサプライ（V_{dd}）に接続される。第１のトランジスタペア６０１ａ、６０１ｂのドレインは、第２のトランジスタペア６０２ａ、６０２ｂのソースに夫々接続される。

【００２８】

第２のトランジスタペア６０２ａ、６０２ｂのドレインは、第３のトランジスタペア６０３ａ、６０３ｂのドレインに夫々、そして第４のトランジスタペア６０４ａ、６０４ｂのソースに夫々接続される。第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂのバルクは、基本増幅器セル６００が実装される基板のような接地手段に接続される。第３のトランジスタペア６０３ａ、６０３ｂのソースは第４のトランジスタペア６０４ａ、６０４ｂのドレインに夫々接続される。また、第３のトランジスタペア６０３ａ、６０３ｂのソースは回路短絡される。第４のトランジスタペア６０４ａ、６０４ｂのソースは接地手段に接続される。第４のトランジスタペア６０４ａ、６０４ｂのゲートは第２のトランジスタペア６０２ａ、６０２ｂのドレインに夫々接続され、また第１と第２の出力端子６０５ａ、６０５ｂに夫々接続される。第３のトランジスタペア６０３ａ、６０３ｂのゲートは第１と第２の出力端子６０６ａ、６０６ｂに夫々接続される。

【００２９】

共通モードリジェクション比（ＣＭＲＲ）と電力サプライリジェクション比（ＰＳＲＲ）とを最大化するために、基本増幅器セル６００の差動増幅器、即ち、第３のトランジスタペア６０３ａ、６０３ｂと、テール電流源、即ち、第４のトランジスタペア６０４ａ、６０４ｂとが接地手段に接続される。前記テール電流源はＮＭＯＳテール電流源６０４ａ、６０４ｂを適切な静止点に設定する共通モードフィードバックを提供する。それ故に、第３のトランジスタペア６０３ａ、６０３ｂからV_{dd}への非常に高いインピーダンスパス（負荷）をもつことは極めて重大なことである。図４の実施例において、第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂのカスコードＰＭＯＳトランジスタがこの負荷を備える。集積回路では、サプライ電圧がより大きなスパイクさえもともなって１０～１００ｍＶのオーダで干渉信号を搬送することは避けられない。負荷のインピーダンスを最大にすることにより、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂのＮＭＯＳトランジスタに入力するV_{dd}による誘導干渉電流は最小にされる。本発明の好適な実施例によれば、カスコードＰＭＯＳ負荷が選択される。

【００３０】

V_{dd}に接続される第１のトランジスタペア６０１ａ、６０１ｂのＰＭＯＳトランジスタ間のミスマッチは、図４に示されるように、第１と第２のトランジスタペアのカスコード結合により除去される。ここで、その負荷インピーダンスは最小にされる。それ故に、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂに入る干渉電流は最小になる。

【００３１】

代替実施例では、基本増幅器セル６００の極性が変更され、第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂはＮＭＯＳトランジスタにより置換され、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂはＰＭＯＳトランジスタにより置換される。

【００３２】

別の実施例では、基本増幅器セル６００のトランジスタがバイポーラ接合トランジスタ（ＢＪＴ）として備えられる。さらに別の実施例では、テール電流源が抵抗として備えられても良い。テール電流源に抵抗を備えることは動作点が不安定になる原因となるかもしれない。それ故に、付加的なバイアス手段（不図示）が備えられ、抵抗がテール電流源を提供するために利用されるときには、その静止点を制御する。また、代替実施例では、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂの負荷が抵抗（不図示）によって備えられる。

【００３３】

さらに別の代替実施例では、第１のトランジスタペア６０１ａ、６０１ｂのトランジスタ間のミスマッチがそれらのドレイン端子（不図示）を短絡することにより除去される。その結果、第１のトランジスタペア６０１ａ、６０１ｂに入力するV_{dd}からの干渉は前記トランジスタを等位相的に通過する、ここでは、それらのドレインポテンシャルはもしそれらが完全にマッチさせられるなら等しくなる。それ故に、第１のトランジスタペア６０１ａ、６０１ｂのドレイン間の回路短絡が設けられても良い。前記回路短絡は必然的に第１のトランジスタペア６０１ａ、６０１ｂ間の何らかのミスマッチが第２のトランジスタペア６０２ａ、６０２ｂに対して目に見えるものはならないことになる。差分信号に関して、ドレインポテンシャルは前記ドレインの回路短絡がないなら等しくはならず、そのドレインに信号接地は提供されない。しかしながら、回路短絡を設けることで差分信号に関する仮の接地点が備えられ、これによりその差分出力のインピーダンス、従って差分負荷インピーダンス利得が低められる。第１のトランジスタペア６０１ａ、６０１ｂのドレインを回路短絡することにより前記トランジスタ間のミスマッチを扱った後に、第２のトランジスタペア６０２ａ、６０２ｂの残り２つのＰＭＯＳトランジスタと、第３のトランジスタペア６０３ａ、６０３ｂのＮＭＯＳトランジスタとの間のミスマッチが制限された共通モードリジェクション比（ＣＭＲＲ）として残される。共通モードの観点からすると、負荷インピーダンスは並列接続から損害を被るのではなく、上述のように差分負荷インピーダンスがそうなのである。第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂのトランジスタが並列接続である、即ち、６０１ａが６０１ｂに並列で、６０２ａが６０２ｂに並列であると、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂのＮＭＯＳトランジスタは、第１のトランジスタペア６０１ａ、６０１ｂのドレインが回路短絡されるとき（不図示）、低周波数の負荷、$g_{ds603}+g_{ds602}$の夫々を経験する。しかしながら、第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂが図４に示される実施例のように接続されるとき、その負荷は大雑把には$g_{ds603}+g_{ds602}\cdot g_{ds601}/g_{m602}$となり、その結果、より高い差分利得が得られる。なお、g_mがトランジスタのトランスコンダクタンスである。気づくべきことであるが、本発明の別の実施例に従えば（不図示）、負荷、即ち、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂのＮＭＯＳトランジスタの第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂには抵抗が備えられる。

【００３４】

テール電流源、即ち、第４のトランジスタペア６０４ａ、６０４ｂのゲートを出力端子６０５ａ、６０５ｂに（そして結果的には、第２のトランジスタペア６０２ａ、６０２ｂのドレインへと）接続することで通常、強制的に前記第４のトランジスタペアを３極管領域に移すことになる。しかしながら、第３と第４のトランジスタペア６０３ａ、６０３ｂ、６０４ａ、６０４ｂの間の長さと幅の比を適切に定めることにより、第４のトランジスタ６０４ａ、６０４ｂは、第３のトランジスタペアのバックゲート効果が考慮されるときでさえも、ほとんど５極管領域にいることになるであろう。また、それらのトランジスタの回りにいくつかの基板コンタクトを付加し、レイアウトの対称性を最大にすることにより、ＣＭＲＲは接地と基板との間の干渉が回路短絡されるが十分に高いものとなるであろう。好適な実施例に従えば、基本増幅器セル６００のＰＭＯＳトランジスタとＮＭＯＳトランジスタとは同じように寸法が決められてバイアスを単純化する。それ故に、トランジスタの寸法決め、即ち、幅と長さの比（Ｚ）は好適な実施例によれば、次のように備えら

れる。

【００３５】

$Z_{602}／Z_{601}＝Z_{603}／Z_{604}～１０$　　（式１）

しかしながら、別の実施例では、その関係は、それが実質的に１より大きい、好適には３より大きい限り、異なっていても良い。もし、上記の関係が合致しないなら、基本増幅器セルのトランジスタ６０１ａ～６０４ｂは、接地手段或いはV_{dd}（即ち、第１のトランジスタペア６０１ａ、６０１ｂ、及び第４のトランジスタペア６０４ａ、６０４ｂ）に接続されたそれらのトランジスタを強制的により低いインピーダンスを備える線形領域へと移さないなら、共通のバイアスをもつことはできない。しかしながら、他の実施例においては、寸法決めの他の関係は１０より大きく、依然として共通のバイアスを用いることもできる。比“１０”は以下にさらに議論する理由のために選択されている。また、さらに別の実施例では、スプリットバイアスが備えられる。この場合には、必ずしも上記の関係を満たす必要はない。

【００３６】

$\upsilon_n^2～kT／C$であり、C_{gs603}は第３のトランジスタペア６０３ａ、６０３ｂのゲート－ソース間のキャパシタンスであるが、キャパシタンスＣ～C_{gs603}であるので、そのトランジスタをできる限り小さく保ち、その干渉を低く維持する一方、依然として十分に良好なマッチングを得ることが好ましい。さらに、出力端子６０５ａ、６０５ｂは夫々、$C_{gd603}＋C_{gd602}＋C'_{gs603}$により負荷が与えられる。ここで、$C'_{gs603}$は同じようにしてサイズが決められる次段の入力キャパシタンスである。また、基本増幅器セル６００のＰＭＯＳトランジスタ６０１ａ、６０１ｂ、６０２ａ、６０２ｂの寸法を最小にし、第３のトランジスタペア６０３ａ、６０３ｂに入る干渉を最小にすることには利点がある。

【００３７】

本発明によれば、雑音レベルを最大にすることに加えて、雑音／干渉比（$i_n^2／i_I^2$）を最大にする、即ち、干渉信号をできる限り低く保つことが好ましい。その雑音レベルは以下のように近似される。

【００３８】

$i_n^2～（kT／C_{gs}）g_m^2$　　（式２）

ここで、

$g_m^2～[\mu C_{ox}（W／L）（V_{gs}－V_T）]^2～2\mu C_{ox}（W／L）I_{ds}$　　（式３ａ）

$C_{gs}＝2WLC_{ox}／3$　　（式３ｂ）

である。

【００３９】

式２、式３ａ、式３ｂを組み合わせると、次の式が得られる。

【００４０】

$i_n^2～3kT・2\mu C_{ox}WI_{ds}／2WLC_{ox}L＝3kT\mu I_{ds}／L^2$　　（式４）

ここで、雑音レベルはトランジスタのチャネル長（Ｌ）と静止電流（I_{ds}）との関数として表される。上記の式において、C_{ox}は酸化キャパシタンスを表し、ｋはボルツマン定数であり、Ｔは絶対温度であり、μは移動度であり、Ｗはトランジスタのチャネル幅であり、V_Tは閾値電圧であり、V_{gs}はゲート－ソース電圧である。（式２）～（式４）から分かるように、ゲートオーバドライブ電圧（$V_{gs}－V_T$）を増加させると、トランスコンダクタンスを増加させ（式３ａ）、次に、雑音電流を増加させる（式２）。

【００４１】

基本増幅器セル６００に入る干渉と次に説明する雑音源１１とは、シングルエンデッドノイズ結合とミスマッチの積に比例するであろう。シングルエンデッドノイズ結合は、V_{dd}、接地手段などの干渉源と信号ノードとの間のインピーダンスに依存している。カスコードされた第１と第２のトランジスタペア６０１ａ、６０１ｂ、６０２ａ、６０２ｂの形態選択を利用してインピーダンスを最大にし、上述した（式１）に従う機器の寸法決めを備えることで負荷インピーダンスを最大にし、シングルエンデッドノイズ結合を最小にするであろう。

【００４２】
基本増幅器セル６００のミスマッチ部分は干渉をできるだけ低く保つために重要である。トランジスタの実際のチャネル長（Ｌ）とチャネル幅（Ｗ）とは技術にも依存するものであるが、（式１）に従う基本増幅器セル６００の構成要素間の比を維持することにより、その性能は技術の変化やバイアス条件に対して十分に耐え得るものであろう。本発明の１実施例に従えば、次の特性をもつＣＭＯＳ集積回路が基本増幅器セル６００のために利用される。

【００４３】
σ_{VT}～２ｎＶ／√（Ｗ・L_{eff}）　　（式５）
ρ_{KP}～０．０２ｐｐｍ／√（Ｗ・L_{eff}）　　（式６）
L_{eff}＝Ｌ－０．０８５μｍ　　（式７）
ここで、σ_{VT}は閾値電圧ミスマッチ、ρ_{KP}は利得ミスマッチ、L_{eff}は電気的チャネル長である。

【００４４】
（式５）～（式７）を利用することにより、相対的静止電流I_{ds}のミスマッチは以下のように近似される。

【００４５】
σ_{gm}^2～$\sigma_{KP}^2+\sigma_{VT}^2/(V_{gs}-V_T)^2$
＝｛１／（Ｗ・L_{eff}）｝［（２％μｍ）^{2}＋（２ｍＶμｍ／$V_{gs}-V_T$）^{2}］　　（式８）
$V_{gs}-V_T$が１００ｍＶであると、利得（ＫＰ）と閾値電圧（V_T）ミスマッチは同じサイズである。これは基本増幅器セル６００の最低の有用な動作点である。なぜなら、与えられた電流についての余りにも短いチャネル長（Ｌ）が低いゲートオーバドライブ電圧（$V_E=V_{gs}-V_T$）を減少させるので、ミスマッチは$V_E=V_{gs}-V_T$で劣化し、従って、I_{ds}ミスマッチを増加させることになる（式（８）を参照）。より低いゲートオーバドライブ電圧では、V_{gs}とV_Tとは凡そ同じサイズであり、V_Tの変動が原因となるV_Eの相対的な変動もより大きい。それ故に、低いゲートオーバドライブ電圧はトランスコンダクタンスを低め、次に雑音レベルを低め、静止電流のミスマッチを増加させる。

【００４６】
干渉電流i_Iはミスマッチσに比例する。それ故に、雑音／干渉比は次のように定義される。

【００４７】
$i_n^2/i_I^2 \propto 3kT\mu I_{ds}/(L^2\sigma^2) \propto I_{ds}W/L$　　（式９）
これは、与えれたバイアス電流収支I_{ds}に関して、その機器を短くそして幅広くする必要があることを示している。好適な実施例では、$V_E=V_{gs}-V_T$が１００ｍＶであるが、その電流はトランジスタの適当なチャネル幅を選択することにより設定される。

【００４８】
最小長のトランジスタは非常に高い出力コンダクタンス（低オープン回路電圧利得）をもつ。それ故に、その機器を最小チャネル長の数整数倍にそのサイズを保つことが好ましい。上記のことに基づくなら、基本増幅器セル６００のサイズは１実施例に従えば、以下のようになる。

【００４９】
$Z_{603}=Z_{602}$＝２５μｍ／２．５μｍ＝１０、
$Z_{604}=Z_{601}$＝２．５μｍ／２．５μｍ＝１　　（式１０）
式（１０）に従えば、２．５μｍのチャネル長をもつ寸法にすることで、その結果、σ_{VT}～０．２５ｍＶの閾値電圧のミスマッチ、σ_{KP}～０．２５％のトランスコンダクタンスのミスマッチとなる。上記のことに従えば、１００ｍＶを超えるゲートオーバドライブ電圧（$V_E=V_{gs}-V_T$）があると、これはＣＭ信号の約４０ｄＢの減衰に対応する。気づくように、本発明の他の実施例に従えば、トランジスタのより大きな面積があり得る。しかしながら、より大きなゲート面積はまた、雑音レベルを低下させる。

【００５０】
他の実施例では、基本増幅器セルのサイズは次の範囲内にあるように選択される。
【００５１】
W603＝W602＝２．５～１２５μｍ
Ｌ603＝Ｌ602＝０．２５～１２．５μｍ
W601＝W604＝０．２５～１２．５μｍ
Ｌ601＝Ｌ604＝０．２５～１２．５μｍ
ここで、Ｗはトランジスタの幅であり、Ｌはトランジスタの長さである。
【００５２】
動作的には接地手段に対してＡＣ的に接続される入力をもつ基本増幅器セル６００は、代表的な雑音源１１として利用される雑音増幅器１００を形成する。
【００５３】
別の実施例では、基本増幅器セル６００の入力は固定ポテンシャルに対してＤＣ的に基準となる入力をもち、雑音増幅器１００を形成する。
【００５４】
基本増幅器セル６００のＭＯＳトランジスタの内部雑音は、接地手段に対してＡＣ的に基本増幅器セル６００の入力端子６０６ａ、６０６ｂを回路短絡することにより熱的雑音として用いられる。図５には、代表的な雑音増幅器１００が示されている。雑音増幅器１００は上記の変形をして基本増幅器セル６００に対応している。それ故に、基本増幅器セル６００と雑音増幅器１００と同様の構成要素が同じ番号で示されている。その結果、基本増幅器セル６００の第１のトランジスタペア６０１ａ、６０１ｂが雑音増幅器１００の第１のトランジスタペア１０１ａ、１０１ｂに対応するなどとなる。雑音増幅器１００の入力端子１０６ａ、１０６ｂを接地手段に接続することにより、出力端子１０５ａ、１０５ｂ夫々は雑音電流i_n^2～４ｋＴＢg_m～（ｋＴ／C_{gs}）g_m^2～（３／８）ｋＴC_{ox}（$V_{gs}-V_T$）２Z^2／Ａを生成する。ここで、Ｂは雑音バンド幅、Ｚはチャネルの幅と長さの比、Ａはチャネル面積である。その結果、機器が小さくなればなるほど、C_{gs}も小さくなり、生成される雑音レベルもより大きくなる。しかしながら、上述したように、マッチングは低いゲートオーバドライブ電圧で劣化するので、余りにも小さい機器のサイズはミスマッチの原因となる。
【００５５】
増幅器１２は２つのカスケード増幅器セル２００、３００を有している。第１の増幅器セル２００のデザインは上述した基本増幅器セル６００に対応し、第２の増幅器３００は次にさらに説明する差分増幅器である。第１の増幅器セル２００の詳細は図６ａに開示されている。雑音増幅器１００に関連して上述したように、基本増幅器セル６００と増幅器セル２００の同様の構成要素が同じ番号によって示されている。雑音増幅器１００の出力端子１０５ａ、１０５ｂが第１の増幅器セル２００の入力端子２０６ａ、２０６ｂに夫々接続されている。さらに、雑音増幅器１００と第１の増幅器２００とは、基本増幅器セル６００に関して上述のように、同じバイアス、$bias_1$、$bias_2$を用いる。
【００５６】
次段の増幅器２００、３００による雑音源１１の負荷は雑音をあまりにも多く減少させることはない。このことは、基本増幅器セル６００に関して上述したように、第１と第２の増幅器２００、３００のサイズが実質的に雑音増幅器１００のそれと類似しているために達成される。
【００５７】
図６ｂは第２の増幅器３００の１実施例の詳細なデザインを図示している。差分増幅器である第２の増幅器３００と基本利得セル６００の同様の構成要素は同じ番号で示されている。その結果、基本増幅器セル６００の第１のトランジスタペア６０１ａ、６０１ｂは、第２の増幅器３００などにおける等価なもの３０１ａ、３０１ｂをもっている。第１の増幅器セル２００の出力端子２０５ａ、２０５ｂは第２の増幅器３００の第１と第２の入力端子３０６ａ、３０６ｂに夫々接続されている。基本増幅器セル６００と第２の増幅器

セル３００との間の違いは次の通りである。以下に検討はしないが第２の増幅器セル３００の全ての構成要素と接続とは基本増幅器セル６００に対応している。

【００５８】

ただ第１のバイアス$bias_1$だけが、バイアス端子３０７を介して第２の増幅器セル３００に、即ち、第１のトランジスタペア３０１ａ、３０１ｂのゲートに接続されている。さらに、第２のトランジスタペア３０２ａ、３０２ｂの間の接続は異なっている。トランジスタ３０２ｂのゲートはトランジスタ３０２ａのドレインに接続され、トランジスタ３０２ａのゲートはトランジスタ３０４ａのゲートと自分自身のドレインに接続されている。また、ただ１つの出力端子３０５が備えられ、それはトランジスタ３０２ｂのドレインとトランジスタ３０３ｂのドレインとの間のコネクションに接続される。

【００５９】

本発明の１つの特徴に従えば、差分オフセットを補償することはその差分利得を最大にするために好ましい。その結果、出力雑音レベル、ＣＭＲＲ、及びＰＳＲＲ（電力供給リジェクション比）もまた最小化される。図３に示した実施例では、ＤＣ結合構造が選択されて差分オフセットを補償し差分利得を最大にする。ＣＭ利得は１未満、即ち、安定であるために、負或いは１より小さくされなければならないので、代表的な雑音源１１は第１及び第２の増幅器セル２００、３００でカスケードされて、負の差分利得をもつチェインを形成する。ＣＭ利得＞１である増幅器回路はＣＭ電圧に関して不安定であろうし、位相を同じにして自己発振し始める。即ち、静止点は変化し、差分信号がゼロとなる原因となる。

【００６０】

ＤＣ補償フィードバックループが備えられ、第１の増幅器２００の出力端子２０５ａ、２０５ｂはフィードバックフィルタ１５を介して雑音増幅器１００の入力端子１０６ａ、１０６ｂに接続される。

【００６１】

フィードバックフィルタ１５の原理は図７に示されている。フィードバックフィルタ１５は接地手段と第１の抵抗R_1に接続された大容量のキャパシタC_pを有している。抵抗R_1は、第２のキャパシタC_zに並列に接続された第２の抵抗R_2に直列に接続される。第２の抵抗R_2と第２のキャパシタC_zとはフィルタ１５の入力端子ｉに結合された第３の抵抗R_3に直列接続される。フィルタ１５の出力端子ｏは第１と第２の抵抗R_1、R_2との間のコネクションに接続される。

【００６２】

フィードバックフィルタ１５は２つの極とゼロ点とをもつ。低周波数の極時定数は$\tau_{p1}=(R_3+R_2)C_p$により支配され、対応するゼロ点は$\tau_{z1}=R_1C_p$により支配される。位相補償を与えるために、C_zが備えられて高周波のファントムゼロを挿入する。低周波数の極はＤＣ利得を１に設定し、そのＤＣオフセットは最小化される。増幅器の差分構造によって備えられる低いオフセットのために、雑音増幅器１００と第１の増幅器２００だけがＤＣフィードバックループの内側にある。これにより、周波数補償を単純にする一方、依然として出力オフセットをもっともな値、上述のように１００ｍＶのオーダで保持する。気づかれるように、雑音利得は低い周波数の極のためにＤＣフィードバックによって影響を受けない。

【００６３】

図８は第１と第２のフィルタ７００ａと７００ｂを有するフィードバックフィルタ１５の１実施例を図示している。各フィルタ７００ａ、７００ｂは、パストランジスタとゲートキャパシタのチェインに基づいている。カスケードになった５つの長いチャネルトランジスタである、R_3に対応する７０１ａと７０１ｂ、R_2に対応する７０２ａと７０２ｂ、R_1に対応する７０３がＭＯＳトランジスタで備えられている。ここで、前記トランジスタはＰＭＯＳトランジスタとして備えられる。トランジスタ７０１ａ、７０１ｂ、７０２ａ、７０２ｂ、７０３のバルクはV_{dd}に接続され、それらのゲートは接地手段に接続される。トランジスタ７０１ａのソースは入力端子７０４に接続される。トランジスタ７０１

ａのドレインはトランジスタ７０１ｂのソースに接続され、トランジスタ７０１ｂのドレインはトランジスタ７０２ａのソースに接続され、トランジスタ７０２ａのドレインはトランジスタ７０２ｂのソースに接続され、トランジスタ７０２ｂのドレインはトランジスタ７０３のソースに接続される。さらに、キャパシタC_zに対応するキャパシタ７０５の第１の端子は、トランジスタ７０１ｂのドレインとトランジスタ７０２ａのソースとの間のコネクションに接続され、そして、キャパシタ７０５の第２の端子はトランジスタ７０２ｂのドレインとトランジスタ７０３のソースとの間のコネクションと、出力端子７０６とに接続される。

【００６４】

フィルタキャパシタC_pは、ＭＯＳトランジスタを用いた５つのトランジスタ７０７ａ～７０７ｅのチェインから構築される。ここで、前記トランジスタ７０７ａ～７０７ｅはＮＭＯＳトランジスタで備えられる。トランジスタ７０７ａ～７０７ｅのソース、バルク、ドレインは夫々、接地手段に接続される。また、前記トランジスタ７０５ａ～７０５ｅのゲートはトランジスタ７０３のドレインに接続される。前記トランジスタ７０５ａ～７０５ｅのドレインは図８に見られるように、次段のトランジスタのソースに接続される。

【００６５】

長いチャネルをもつトランジスタ７０１ａ、７０１ｂ、７０２ａ、７０２ｂ、７０３は第１の増幅器セル２００の出力段の負荷を最小にし、フィルタ時定数を最大にするようにサイズが決められたＰＭＯＳデバイスとして実現される。ＭＯＳモデルは、長いチャネルトランジスタに対する出力コンダクタンスを扱うのが得意ではないので、いくつかのトランジスタは例えば、R_2、R_3、C_pをモデル化するために用いられる。また、トランジスタにおける分散効果モデルのいくつかは失われてしまうであろう。それ故に、出力コンダクタンスのモデル化をあまり強調しないように、そして、モデル化された分散ゲート効果のいくつかを得るために、いくつかのトランジスタが用いられる。気づかれているように、異なる数のパスデバイスが本発明の他の実施例では用いられても良い。大きな信号レベルでは、そのフィルタは強い二次成分をもち非線形となろう。しかしながら、この非線形性は増幅器セル１００、２００のＣＭフィードバックにより抑制されるであろう。

【００６６】

フィルタキャパシタC_pは図８の実施例では、キャパシタＱをあまりにも低くしないように並列接続された５つの広いＮＭＯＳトランジスタ７０７ａ～７０７ｅにより備えられる。トランジスタ７０５ａ～７０５ｅのチャネル面積は１実施例では凡そＡ＝５２５μｍ・５μｍ＝６２５ｐm^2であり、それは約６．２５ｐＦのキャパシタサイズに対応する。

【００６７】

別の実施例では、フィルタ７００ａ、７００ｂ夫々のいずれかのＰＭＯＳトランジスタはＮＭＯＳトランジスタで置換され、いずれかのＮＭＯＳトランジスタはＰＭＯＳトランジスタで置換される。ここで、そのフィルタの極性は切替えられる。

【００６８】

第１のフィードバックフィルタ７００ａの入力端子７０４は第１の増幅器セル２００の第２の出力端子２０５ｂに接続される。第１のフィルタ７００ａの出力端子７０６は雑音増幅器１００の第１の入力端子１０６ａに接続される。第２のフィードバックフィルタ７００ｂの入力端子７０４は第１の増幅器セル２００の第１の出力端子２０５ａに接続され、第２のフィードバックフィルタ７００ｂの出力端子７０６は雑音増幅器１００の第２の入力端子１０６ａに接続される。フィードバックフィルタ７００ａ、７００ｂを雑音増幅器１００の入力端子１０６ａ、１０６ｂに接続することで、フィルタキャパシタC_p、即ち、トランジスタ７０７ａ～７０７ｅを介して接地手段に対してＡＣ的になっている前記入力端子の回路短絡を提供する。

【００６９】

２つの平衡型ＤＣフィードバックフィルタ７００ａ、７００ｂを備えることで雑音増幅器を非常に高速に整定させる。増幅器の動作点（電圧）の共通モード成分はその大きな時定数（$\tau_{p1}=(R_3+R_2)C_p$）のために整定が遅いが、雑音増幅器１００と第１の増幅

器２００との間の対称性のために、その雑音はその共通モード成分が整定するずいぶん前に利用可能である。前記増幅器の共通モードフィードバックは、そのフィードバックフィルタが整定していないが、そこからの出力信号をもっともなレベルで保持する。また、第１の増幅器セル２００は整定の必要はなく、常にアクティブな領域にいるであろう。フィードバックフィルタの整定は同位相的であり、同位相的な整定の変動はフィードバックフィルタ７００ａ、７００ｂの整定期間に第１の増幅器セル２００の出力端子２０５ａ、２０５ｂで提供される。それ故に、差動増幅器３００によって抽出された整定の変動による入力信号変動の間の差は、その整定が不安定であるが、第２の増幅器３００の出力端子３０５で増幅された雑音信号を提供するのに用いられる。本発明の代替実施例で提供される典型的なシングルＤＣフィードバックフィルタはこのことを達成しない。さらに、本発明に従う発振手段１３は、雑音源１１と発振手段１３が切り替わるとすぐに発振を開始する。その発振手段１３の内部雑音は増幅器の変動差と共に用いられ、フィードバックフィルタ７００ａ、７００ｂが整定する前にその発振手段を変調する。さらに、差動フィードバックは雑音増幅器１００と第１の増幅器セル２００の十分な共通モードリジェクションを必要とするか、或いは交差結合（cross-coupled）フィードバック（第１の増幅器セル２００の第１の出力端子は第２のフィルタ７００ｂを介して雑音増幅器１００の第２の入力端子１０６ｂに接続されることと、その逆のこと）のために不安定になり、その結果、ポジティブな共通モードフィードバック（しかし、ループ利得＜＜１）となるであろう。

【００７０】

キャパシタC_zを用いたファントムゼロ補償を提供することにより、ＤＣフィードバックループ内に雑音増幅器１００と第１の増幅器セル２００とだけを含むことが可能になる一方、ローパスフィルタのような何らかのフォワードパス利得整形を挿入することなく依然として十分な安定化マージンを維持することができる。このことは、より高い出力雑音レベルに寄与する雑音増幅器の利得と雑音バンド幅とを最大にする。また、第２の増幅器３００からの全ての１／ｆ雑音が、前記増幅器がフィードバックフィルタ１５の外側にあるために、次段の発振手段１３にフィードされ、さらに雑音／干渉比を改善する。

【００７１】

図３には、ＶＣＯとして実施された本発明に従う発振手段１３の１実施例が示されている。リング発振器はノイズ特性が良くない、即ち、高い雑音レベルのために知られているが、本発明に従えば、望ましいものであるので、発振手段１３はリング発振器の構造をもっている。発振手段１３は奇数の数の発振器増幅器４００ａ、４００ｂ、４００ｃ、即ち、この実施例では３つ、そして、上述した差動増幅器３００に対応する差動増幅器５００を有している。気づかれるように、代替実施例では発振手段１３は電流入力をもつ電流制御発振器として備えられ、増幅器１２には電流出力端子が備えられる。差動増幅器５００の出力端子は、前記増幅器により生成されるランダムなシーケンスのビット列を提供し、前記シーケンスはバッファ１４においてバッファされる。

【００７２】

図９は発振器増幅器４００ａの１実施例の詳細なデザインを図示している。発振器増幅器４００ｂと４００ｃとは発振器増幅器４００ａに対応している。それ故に、次には、発振器増幅器４００ａだけが開示される。発振器増幅器４００ａはいくらかの変形がなされた基本増幅器セル６００に基づいている。それ故に、基本増幅器セル６００と発振器増幅器４００ａの同じ構成要素は同じ数字で示され、同様のデザインをもっている。結果的に、基本増幅器セル６００の第１のトランジスタペア６０１ａ、６０１ｂは発振器増幅器４００ａの第１のトランジスタペア４０１ａ、４０１ｂに対応し、基本増幅器セル６００の第２のトランジスタペア６０２ａ、６０２ｂは発振器増幅器４００ａの第２のトランジスタペア４０２ａ、４０２ｂに対応するなどである。結果的に、その発振器増幅器の増幅手段（４０３ａ、４０３ｂ）は、負荷（４０１ａ、４０１ｂ、４０２ａ、４０２ｂ）とテール電流源（４０４ａ、４０４ｂ）による干渉信号から保護される。しかしながら、基本増幅器６００と発振器増幅器４００ａとの間にはいくらかの相違がある。スプリットバイアスを提供するために、発振器増幅器４００ａには第１と第２のバイアシングデバイス４０

８ａ、４０８ｂが備えられる。１実施例に従えば、前記バイアシングデバイスはＰＭＯＳトランジスタとして備えられる。第１のバイアシングデバイス４０８ａのゲートはバイアス端子４０７ａを介して第１のバイアス$bias_1$に接続され、前記トランジスタのソースとバルクとはV_{dd}に接続され、そして、そのドレインはトランジスタ４０１ａのドレインとトランジスタ４０２ａのソースとの間のコネクションに接続される。また、トランジスタ４０１ｂのゲートは第１のバイアス$bias_1$に接続される。第２のバイアシングデバイス４０８ｂのゲートは第３のバイアス端子４０９を介して第３のバイアス$bias_3$に接続され、前記トランジスタのソースとバルクとはV_{dd}に接続され、そして、そのドレインはトランジスタ４０１ｂのドレインとトランジスタ４０２ｂのソースとの間のコネクションに接続される。また、トランジスタ４０１ａのゲートは第３のバイアス$bias_3$に接続される。発振器増幅器４００ａの全ての他の接続は基本増幅器セル６００に従うコネクションに対応する。

【００７３】

発振器増幅器４００ａのテール電流源４０４ａ、４０４ｂは前記増幅器を強制的に異なって発振させる低利得のＣＭを提供する。奇数の数の発振器増幅器４００ａ～４００ｃ（即ち、この場合には３つ）を使用することで、上述のようにＣＭ利得が負であると仮定すると、ＣＭ安定性を保証する。しかしながら、もし、第３の発振器増幅器４００ｃの出力端子４０５ａ、４０５ｂと第１の発振器増幅器４００ａの入力端子４０６ａ、４０６ｂとの間に備えられるフィードバック接続が交差接続されてファントムネガティブフィードバックを提供するなら、偶数の数の発振器増幅器が差動的な意味では作用することに気づくべきである。交差接続から生じる同位相の寄生電圧はテール電流源４０４ａ、４０４ｂにより抑止されるであろう。しかしながら、フィードバック接続４５０ａ、４５０ｂが交差接続されるとき、そのフィードバックループは、奇数の増幅段或いは偶数の増幅段があるに係らず、不安定な動作点（即ち、それはVdd或いは接地にラッチする）をもつであろう。それ故に、発振手段１３の好適な実施例に従えば、奇数の数の発振器増幅器が選択されている。

【００７４】

本発明の特徴は、雑音信号が発振手段１３のチューニングを提供するバイアス電圧$bias_3$を変化させるのに用いられることにある。発振器増幅器４００ａ、４００ｂ、４００ｃに適切なバイアス（$bias_1$、$bias_2$）があれば、バイアス電圧$bias_3$は、第１と第２の増幅器セル２００、３００の入力と出力の電圧静止点と同じ公称値をもつべきである。発振手段１３は$bias_3$の全ての可能な設定に対して発振し、ゼロだけ或いは１だけが長く続くシーケンスを提供しないようにランダムな出力ビットストリームを保証することは重要である。また、もし発振手段１３がバイアス$bias_3$の全ての可能な設定のために発振しないなら、例えば、整定時間が悪い影響を受けるかもしれない。雑音増幅器１００からの増幅された雑音である第２の増幅器３００の出力は、代表的な実施例では、バイアス$bias_3$として用いられる。第２の増幅器３００の出力端子３０５は、バイアス$bias_3$の変調を与える発振器増幅器４００ａ～４００ｃの第３のバイアス端子４０９に接続される。

【００７５】

バイアス手段１６の第１の出力端子１７は第１のバイアス電圧$bias_1$を提供し、第２の出力端子１８は第２のバイアス電圧$bias_2$を提供する。バイアス手段１６の第１の出力端子１７は雑音増幅器１００の第１のバイアス入力端子、第１と第２の増幅器セル２００、３００、発振器増幅器４００ａ～４００ｃ、差動増幅器５００に接続される。バイアス手段１６の第２の出力端子１８は雑音増幅器１００の第２のバイアス入力端子、第１と第２の増幅器セル２００、３００、発振器増幅器４００ａ～４００ｃに接続される。バイアス手段１６は安定したバイアス$bias_1$、$bias_2$を提供する増幅セルとして類似のデバイスサイズをもつ集積回路として備えられても良い。バイアス手段１６の具体的な構成は、適切な第１と第２のバイアス$bias_1$、$bias_2$が備えられる限り、異なるデザインによって提供されても良い。しかしながら、もし、バイアス手段１６が同じ集積回路で雑音信号を生成するデバイス１０とともに備えられるなら、それは好ましい。

【００７６】
以上、本発明を好適な実施例と代替実施例について説明した。しかしながら、本発明は上述した特定の実施例によって限定されるものではなく、添付した請求の範囲の独立請求項によって最も良く定義されるものである。

【図面の簡単な説明】

【００７７】
【図１】ランダムなシーケンスのビット列を生成する装置を有する移動体電話を図示している。
【図２】代表的な雑音源に接続された発振手段を有するランダムなシーケンスのビット列を生成する機器の原理を図示している。
【図３】図２に従うランダムなシーケンスのビット列を生成する機器の１実施例の詳細を図示している。
【図４】本発明に従う基本増幅器セルを図示している。
【図５】雑音増幅器として実施される雑音源の１実施例の詳細を図示している。
【図６ａ】図２の増幅器の第１の増幅器セルの１実施例の詳細を図示している。
【図６ｂ】図２の増幅器の第２の増幅器セルの１実施例の詳細を図示している。
【図７】本発明に含まれるＤＣ補償フィードバックフィルタの原理を図示している。
【図８】図７のフィードバックフィルタの１実施例のより詳細を図示している。
【図９】図２の発振手段の発振器増幅器の１実施例の詳細を図示している。

【図１】

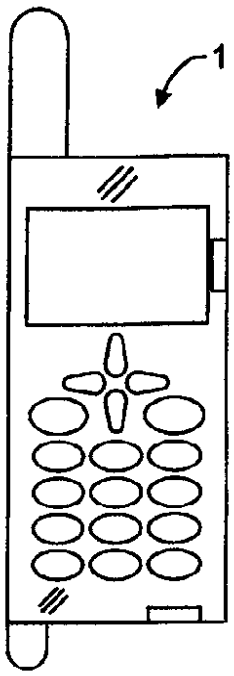


Fig. 1

【図２】

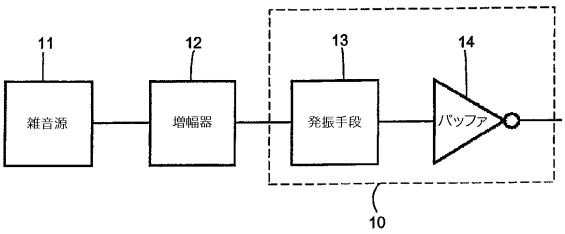


Fig. 2

【図３】

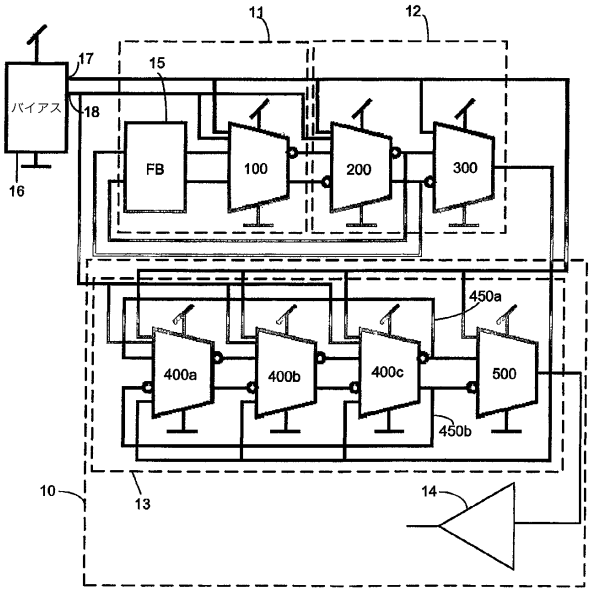


Fig. 3

【図４】

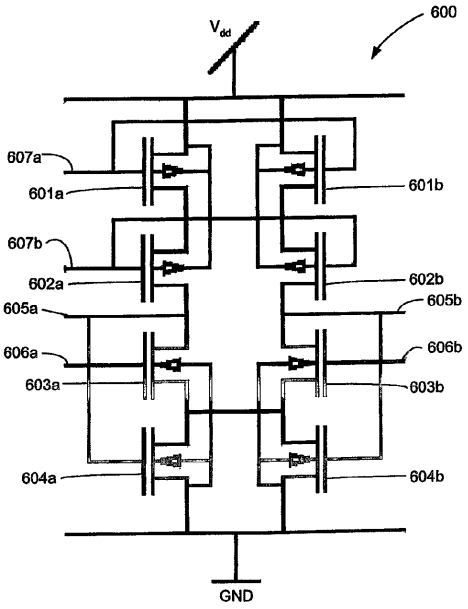


Fig. 4

【図５】

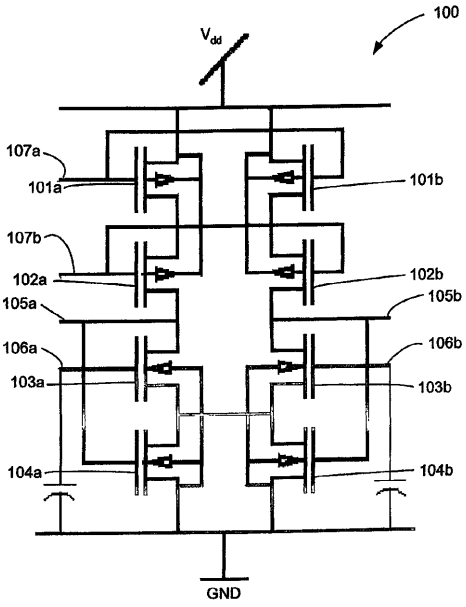


Fig. 5

【図６ａ】

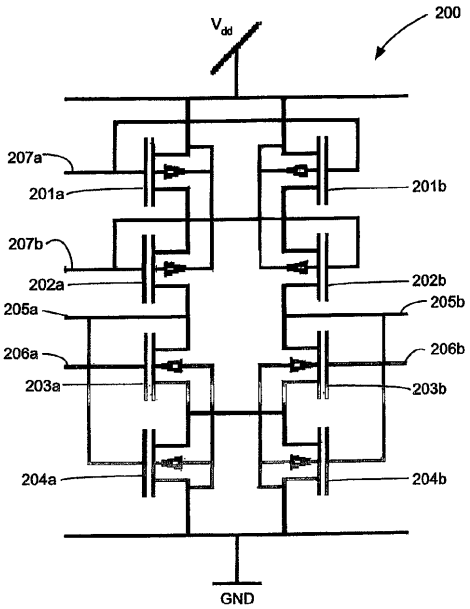


Fig. 6a

【図６ｂ】

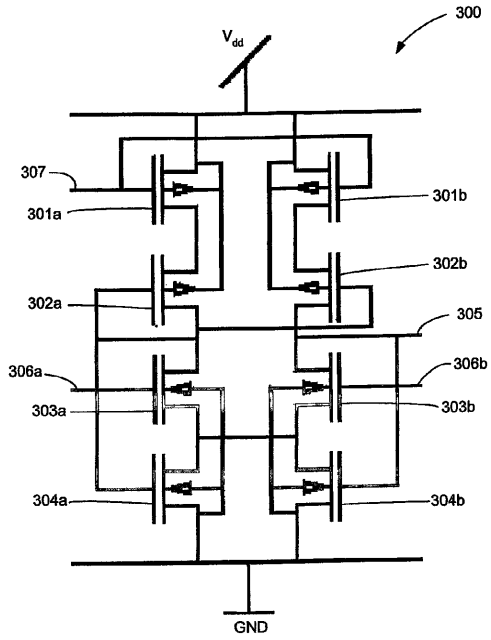


Fig. 6b

【図７】

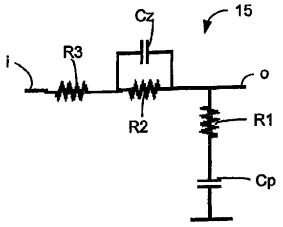


Fig. 7

【図８】

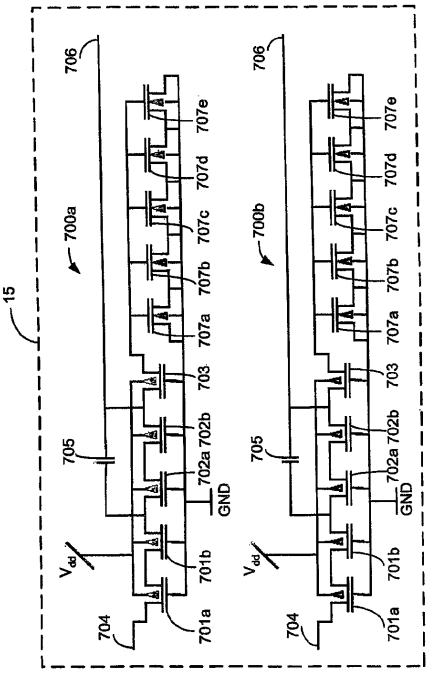


Fig. 8

【図９】

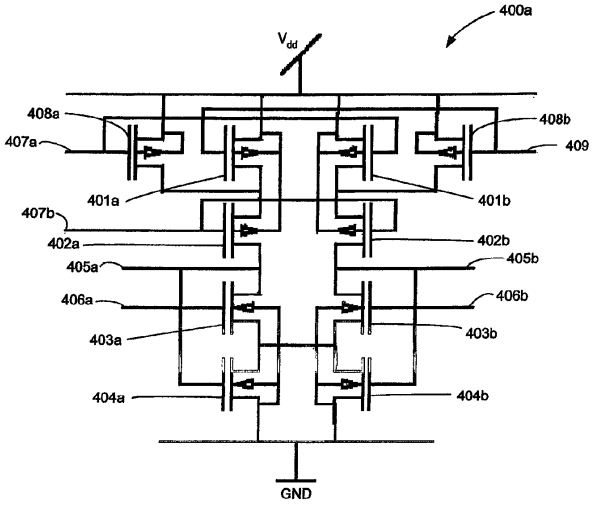


Fig. 9

フロントページの続き

(72)発明者　マッティソン，　スヴェン
スウェーデン国　ビャレッド　エス－２３７　３６，　エスタンヴェグ　３

審査官　栗栖　正和

(56)参考文献　米国特許第０６４９２８４３（ＵＳ，Ｂ１）
特開昭６２－０７１３１０（ＪＰ，Ａ）
特開２００１－３３１３０６（ＪＰ，Ａ）
特開平１０－２０９８２１（ＪＰ，Ａ）
米国特許第０６０６１７０２（ＵＳ，Ａ）
米国特許第０６１４７５５２（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K　3/64-3/86