

(43) 国際公開日
2017 年 1 月 5 日(05.01.2017)



(10) 国際公開番号

WO 2017/002431 A1

(51) 国際特許分類:
H03M 1/38 (2006.01) H03M 1/12 (2006.01)

(21) 国際出願番号: PCT/JP2016/062244

(22) 国際出願日: 2016 年 4 月 18 日(18.04.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-129539 2015 年 6 月 29 日(29.06.2015) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).

(72) 発明者: 瀬上 雅博 (SEGAMI, Masahiro); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿 3-3-2 京王新

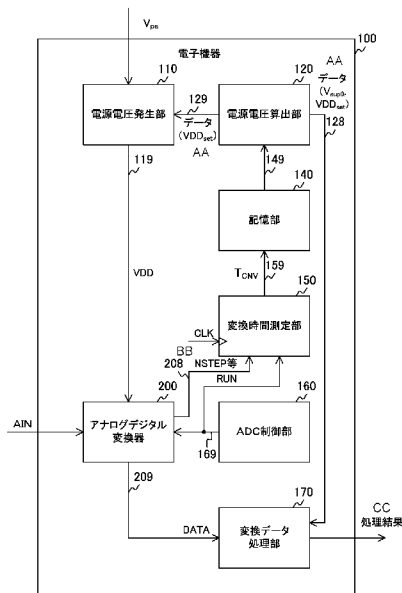
宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

〔続葉有〕

(54) 発明の名称：システム、アナログデジタル変換器、および、システムの制御方法



(57) Abstract: The purpose of the present invention is to reduce power consumption of a successive approximation type analog-to-digital converter. A system is provided with an analog-to-digital converter and a power supply voltage generation unit. In this system provided with the analog-to-digital converter and the power supply voltage generation unit, the analog-to-digital converter compares an analog signal and a reference signal and outputs number-of-times information indicating the number of times of this comparison. In the system, the power supply voltage generation unit generates power supply voltage on the basis of the number-of-times information outputted by the analog-to-digital converter and supplies the power supply voltage to the analog-to-digital converter.

(57) 要約: 逐次比較型のアナログデジタル変換器の消費電力を低減する。システムは、アナログデジタル変換器と、電源電圧発生部を具備する。このアナログデジタル変換器と、電源電圧発生部を具備するシステムにおいて、アナログデジタル変換器は、アナログ信号と参照信号とを比較して当該比較回数を示す回数情報ナを出力する。また、システムにおいて、電源電圧発生部は、アナログ信号と変換器により出力された回数情報に基づいて電源電圧を生成してアナログデジタル変換器に供給する。

100 Electronic device
110 Power supply voltage generation unit
120 Power supply voltage calculation unit
140 Storage unit
150 Conversion time measurement unit
160 ADC control unit
170 Conversion data processing unit
200 Analog-to-digital converter
AA Data
BB NSTEP, etc.
CC Processing result

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

システム、アナログデジタル変換器、および、システムの制御方法

技術分野

[0001] 本技術は、システム、アナログデジタル変換器、および、システムの制御方法に関する。詳しくは、アナログ信号を参照信号と逐次比較してデジタル信号に変換するシステム、アナログデジタル変換器、および、システムの制御方法に関する。

背景技術

[0002] 従来より、カメラ、音響機器や計測装置などの各種の電子機器において、アナログ信号をデジタル信号に変換する目的でアナログデジタル変換器（A D C : Analog to Digital Converter）が設けられている。このA D Cには様々な種類のものがあるが、特に消費電力や回路規模が小さいことから、逐次比較型A D Cが広く用いられている。

[0003] 上述の逐次比較型A D Cには、コンパレータ、論理回路およびD A C（Digital to Analog Converter）などが設けられる（例えば、非特許文献1参照）。この逐次比較型A D Cにおいてコンパレータは、変換対象の入力電圧 V_{in} とD A Cからの参照電圧 V_{DAC} とを比較する。論理回路は、その比較結果に基づいてD A Cを制御して、参照電圧 V_{DAC} を昇圧または降圧させる。この比較器による比較とD A Cによる参照電圧の調整とは、A D Cの分解能と同じ回数に亘って交互に実行される。

先行技術文献

非特許文献

[0004] 非特許文献1：Shuo-Wei Michael Chen et al., A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13- μ m CMOS, IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL.41.NO.12, DECEMBER 2006.

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述の逐次比較型ADCでは、電源電圧を低くするほど、逐次比較型ADC内の回路の動作速度のばらつきが大きくなる。このばらつきを考慮して、逐次比較型ADCの電源電圧について一定のマージンを確保しなければならず、誤動作の生じない必要最小限の値に消費電力を低下させることが困難になるという問題がある。

[0006] 本技術はこのような状況に鑑みて生み出されたものであり、逐次比較型のアナログデジタル変換器の消費電力を低減することを目的とする。

課題を解決するための手段

[0007] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、アナログ信号と参照信号とを比較して当該比較回数を示す回数情報を出力するアナログデジタル変換器と、上記回数情報に基づいて電源電圧を生成して上記アナログデジタル変換器に供給する電源電圧発生部とを具備するシステム、および、その制御方法である。これにより、回数情報に基づいて生成された電源電圧がアナログデジタル変換器に供給されるという作用をもたらす。

[0008] また、この第1の側面において、上記アナログ信号がサンプリングされたときから上記回数情報の示す上記比較回数が一定回数に達するまでの変換時間を測定する変換時間測定部をさらに具備し、上記電源電圧発生部は、上記測定された変換時間に応じた上記電源電圧を生成し、上記アナログデジタル変換器は、上記アナログ信号と上記参照信号とを比較して上記比較結果を生成する比較器と、上記比較結果が生成されるたびに当該比較結果を保持して当該保持値を示す信号をデジタル信号として出力するデジタル信号保持部と、上記デジタル信号に基づいて上記参照信号の値を変更して上記比較器に供給する参照信号供給部と、上記回数情報を出力する回数情報出力部とを備えてもよい。これにより、測定された変換時間に応じた電源電圧が生成されるという作用をもたらす。

[0009] また、この第1の側面において、上記回数情報出力部は、上記アナログ信

号がサンプリングされたときから所定のサンプリング周期が経過するまでの期間に亘って上記回数情報を出し、上記変換時間測定部は、上記比較回数が上記一定回数に達する前に上記サンプリング周期が経過した場合には上記サンプリング周期内の上記比較回数と上記所定のサンプリング周期とから上記変換時間を求めてもよい。これにより、比較回数が一定回数に達する前にサンプリング周期が経過した場合に比較回数とサンプリング周期とから変換時間が求められるという作用をもたらす。

[0010] また、この第1の側面において、上記電源電圧発生部は、上記変換時間が長いほど高い上記電源電圧を生成してもよい。これにより、変換時間が長いほど高い電圧に電源電圧が生成されるという作用をもたらす。

[0011] また、この第1の側面において、上記変換時間と所定の目標時間との差分を求めて当該差分から上記電源電圧の設定値を算出する電源電圧算出部をさらに具備し、上記電源電圧発生部は、上記設定値に従って上記電源電圧を生成してもよい。これにより、変換時間と目標時間との差分から電源電圧の設定値が算出されるという作用をもたらす。

[0012] また、この第1の側面において、所定の電圧制御周期内において測定された上記変換時間のそれぞれを保持する変換時間保持部をさらに具備し、上記電源電圧算出部は、上記保持された変換時間のそれぞれの統計量を上記所定の電圧制御周期が経過するたびに算出して当該統計量と上記所定の目標時間との差分を求めてもよい。

[0013] また、この第1の側面において、上記変換時間保持部は、上記変換時間のそれぞれに対応付けて上記デジタル信号をさらに保持し、上記電源電圧算出部は、特定の値の上記デジタル信号に対して上記特定の値以外のデジタル信号より小さい重み係数を決定して当該重み係数により上記変換時間の重み付け演算を行ってもよい。これにより、電源電圧が、重み付け演算された変換時間に応じた電圧に制御されるという作用をもたらす。

[0014] また、この第1の側面において、上記電源電圧発生部は、上記参照信号供給部以外に電源電圧を供給してもよい。これにより、参照信号供給部以外に

電源電圧が供給されるという作用をもたらす。

[0015] また、この第1の側面において、上記電源電圧の値に基づいて上記変換データを補正する変換データ処理部をさらに具備してもよい。これにより、電源電圧の値に基づいて変換データが補正されるという作用をもたらす。

[0016] また、この第1の側面において、上記電源電圧発生部は、複数の上記アナログデジタル変換器のそれぞれの電源電圧を生成してもよい。これにより、複数のアナログデジタル変換器のそれぞれの電源電圧が生成されるという作用をもたらす。

[0017] また、この第1の側面において、上記比較器、上記デジタル信号保持部、上記参照信号供給部および上記回数情報出力部は、アナログデジタル変換チップに設けられ、上記変換時間測定部は、制御チップに設けられてもよい。これにより、アナログデジタル変換チップに設けられた比較器の電源電圧が、変換時間に応じた電圧に制御されるという作用をもたらす。

[0018] また、この第1の側面において、上記アナログデジタル変換チップは、アナログデジタル変換器格納筐体に設けられ、上記制御チップは、制御部格納筐体に設けられてもよい。これにより、アナログデジタル変換器格納筐体に設けられた比較器の電源電圧が、変換時間に応じた電圧に制御されるという作用をもたらす。

[0019] また、この第1の側面において、上記アナログ信号を生成するセンサと、上記生成されたアナログ信号をサンプリングして保持するサンプルホールド回路とをさらに具備し、上記サンプルホールド回路は、上記アナログデジタル変換チップに設けられ、上記アナログデジタル変換チップは、上記センサに接続され、上記センサは、上記アナログデジタル変換器格納筐体に設けられてもよい。これにより、センサにより生成されたアナログ信号がサンプリングされるという作用をもたらす。

[0020] また、この第1の側面において、上記デジタル信号をシリアル信号に変換して上記制御部格納筐体に送信する伝送インターフェースをさらに具備してもよい。これにより、デジタル信号がシリアル信号に変換して伝送されると

いう作用をもたらす。

[0021] また、この第1の側面において、上記デジタル信号を上記制御部格納筐体に非接触で送信する処理と上記電源電圧の制御量を示す制御信号を上記制御部格納筐体から非接触で受信する処理とを行う非接触伝送インターフェースをさらに具備してもよい。これにより、デジタル信号および制御信号が非接触で送受信されるという作用をもたらす。

[0022] また、この第1の側面において、上記非接触伝送インターフェースは、上記制御部格納筐体から上記アナログデジタル変換器格納筐体の消費電力に応じた電力の交流信号を非接触で受電して上記比較器に供給してもよい。これにより、電力が非接触で受電されるという作用をもたらす。

[0023] また、この第1の側面において、上記非接触伝送インターフェースは、上記制御信号が搬送波に重畳された上記交流信号を非接触で上記制御部格納筐体から受信し、上記搬送波に基づいて生成した新たな交流信号に上記デジタル信号を重畳して上記制御部格納筐体に送信してもよい。これにより、制御信号またはデジタル信号が重畳された交流信号が送受信されるという作用をもたらす。

[0024] また、この第1の側面において、上記電源電圧発生部は、上記アナログ信号のサンプリングが指示されたときから上記比較回数が所定回数に達するまでの供給期間に亘って上記電源電圧を供給し、上記供給期間以外の期間において上記電源電圧の供給を停止し、上記一定回数は上記所定回数を超えなくてもよい。これにより、供給期間内に電源電圧が供給され、供給期間外の期間において電源電圧の供給が停止するという作用をもたらす。

[0025] また、本技術の第2の側面は、アナログ信号と参照信号とを比較して比較結果を生成する比較器と、上記比較結果が生成されるたびに当該比較結果を保持して上記比較結果からなるデジタル信号を出力するデジタル信号保持部と、上記デジタル信号に基づいて上記参照信号の値を変更して上記比較器に供給する参照信号供給部と、上記アナログ信号が比較された回数を比較回数として示す回数情報を出力する回数情報出力部とを具備するアナログデジタ

ル変換器である。これにより、アナログ信号が比較された回数を比較回数として示す回数情報がデジタル信号とともに出力されるという作用をもたらす。

発明の効果

[0026] 本技術によれば、逐次比較型のアナログデジタル変換器の消費電力を低減することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0027] [図1]第1の実施の形態における電子機器の一構成例を示すブロック図である。

[図2]第1の実施の形態におけるアナログデジタル変換器の一構成例を示すブロック図である。

[図3]第1の実施の形態における、E O Cを外部出力するアナログデジタル変換器の一構成例を示すブロック図である。

[図4]第1の実施の形態における比較器の一構成例を示す回路図である。

[図5]第1の実施の形態における比較器の動作の一例を示す図である。

[図6]第1の実施の形態におけるレジスタの動作の一例を示す図である。

[図7]第1の実施の形態における変換時間測定部の動作の一例を示す図である。

[図8]第1の実施の形態におけるアナログデジタル変換器の動作の一例を示すタイミングチャートである。

[図9]第1の実施の形態における時間の経過に伴う参照電圧の調整過程の一例を示すグラフである。

[図10]第1の実施の形態におけるアナログデジタル変換器の動作の詳細を示すタイミングチャートである。

[図11]第1の実施の形態における電源電圧が高いときの電子機器の動作の一例を示すタイミングチャートである。

[図12]第1の実施の形態における電源電圧が高いときの変換データの一例を示す図である。

[図13]第1の実施の形態における計時終了タイミングを変更したときの電子機器の動作の一例を示すタイミングチャートである。

[図14]第1の実施の形態における電源電圧が低いときの電子機器の動作の一例を示すタイミングチャートである。

[図15]第1の実施の形態における電源電圧が低いときの変換データの一例を示す図である。

[図16]第1の実施の形態における電子機器の動作の一例を示すフローチャートである。

[図17]第1の実施の形態における量子化処理の一例を示すフローチャートである。

[図18]第1の実施の形態の第1の変形例におけるアナログデジタル変換器の一構成例を示すブロック図である。

[図19]第1の実施の形態の第2の変形例における電子機器の一構成例を示すブロック図である。

[図20]第1の実施の形態の第2の変形例における電子機器の動作の一例を示すフローチャートである。

[図21]第2の実施の形態における電子機器の一構成例を示すブロック図である。

[図22]第2の実施の形態における電源電圧算出部の一構成例を示すブロック図である。

[図23]第2の実施の形態における記憶部に保持されるデータの一例を示す図である。

[図24]第2の実施の形態におけるアナログ信号と変換データとの間の関係の一例を示すグラフである。

[図25]第3の実施の形態における電子機器の一構成例を示すブロック図である。

[図26]第4の実施の形態における電子機器の一構成例を示すブロック図である。

[図27]第5の実施の形態における電子回路システムの一構成例を示すブロック図である。

[図28]第6の実施の形態における電子回路システムの一構成例を示すブロック図である。

[図29]第6の実施の形態における制御部格納筐体の一構成例を示すブロック図である。

[図30]第7の実施の形態における電子回路システムの一構成例を示すブロック図である。

[図31]第7の実施の形態における制御部格納筐体の一構成例を示すブロック図である。

[図32]第8の実施の形態における電子回路システムの一構成例を示すブロック図である。

[図33]第8の実施の形態における制御部格納筐体の一構成例を示すブロック図である。

発明を実施するための形態

[0028] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（変換時間に応じた電圧に制御する例）
2. 第2の実施の形態（重み付け演算した変換時間に応じた電圧に制御する例）
3. 第3の実施の形態（複数のADCの電源電圧を変換時間に応じて制御する例）
4. 第4の実施の形態（複数のチップからなる電子機器において変換時間に応じた電圧に制御する例）
5. 第5の実施の形態（複数の筐体からなる電子回路システムにおいて変換時間に応じた電圧に制御する例）

6. 第6の実施の形態（センサを内蔵した筐体の電源電圧を変換時間に
応じた電圧に制御する例）

7. 第7の実施の形態（シリアル信号を送受信し、変換時間に
応じた電圧に制御する例）

8. 第8の実施の形態（電力およびデータを非接触で伝送し、変換
時間に
応じた電圧に制御する例）

[0029] <1. 第1の実施の形態>

[電子機器の構成例]

図1は、第1の実施の形態における電子機器100の一構成例を示すブ
ロック図である。この電子機器100は、電源電圧発生部110、電源電圧算
出部120、記憶部140、変換時間測定部150、ADC制御部160、
変換データ処理部170およびアナログデジタル変換器200を備える。こ
れらの回路は、例えば、同一の半導体チップに搭載される。

[0030] アナログデジタル変換器200は、入力されたアナログ信号A | Nをデジ
タルの変換データDATAにAD（Analog to Digital）変換するものである
。このアナログデジタル変換器200は、ADC制御部160から開始指示
信号RUNが供給されるたびに、アナログ信号A | Nをサンプリングして変
換データDATAにAD変換する。このAD変換において、アナログデジタ
ル変換器200は、サンプリングしたアナログ信号A | Nと、内部で生成し
た参照信号とをN回（Nは整数）比較し、比較するたびに1ビットの比較結
果を生成する。そして、アナログデジタル変換器200は、それらの比較結
果からなるNビットのデータを変換データDATAとして生成し、変換デー
タ処理部170に信号線209を介して供給する。ここで、Nは、AD変換
の分解能と呼ばれるものであり、AD変換されたデジタル信号のビット数を
示す。

[0031] また、アナログデジタル変換器200は、アナログ信号A | Nと参照信号
とが比較されるたびに計数値を計数する。アナログデジタル変換器200は
、その計数値を示す比較カウンタ値NSTEPと、そのNSTEPを取り込

むためのタイミング信号NRDYとを生成する。アナログデジタル変換器200は、これらを含む回数情報を変換時間測定部150に信号線208を介して供給する。

[0032] ADC制御部160は、アナログデジタル変換器200を制御するものである。このADC制御部160は、ユーザや外部の機器によりAD変換が指示されると、所定のサンプリング周期 T_{sp} が経過するたびに開始指示信号RUNを生成してアナログデジタル変換器200と変換時間測定部150とに信号線169を介して供給する。

[0033] 変換時間測定部150は、アナログ信号AINがサンプリングされたときから、アナログ信号と参照信号との比較回数が一定の設定回数Sに達するまでの時間を変換時間 T_{CNV} として測定するものである。この変換時間測定部150は、比較カウンタ値NSTEPをタイミング信号NRDYに同期して取り込む。そして、変換時間測定部150は、比較カウンタ値NSTEPが設定回数Sに対応する値になるまでの時間を変換時間 T_{CNV} として測定し、その変換時間 T_{CNV} を信号線159を介して記憶部140に供給する。ここで、設定回数Sには、アナログデジタル変換器200の分解能(N)以下の値が設定される。例えば、分解能Nが16ビットである場合、Sに16が設定される。また、変換時間 T_{CNV} の単位は、例えば、マイクロ秒(μs)である。

[0034] なお、アナログデジタル変換器200は、計数値(NSTEP)およびタイミング信号(NRDY)の両方を含む回数情報を出力しているが、一方のみを含む回数情報を出力する構成としてもよい。タイミング信号NRDYのみを出力する場合には、変換時間測定部150が、そのタイミング信号NRDYの出力回数を計数して比較回数を取得し、その回数が設定回数Sになるまでの時間を測定すればよい。

[0035] 記憶部140は、一定数の変換時間 T_{CNV} を保持するものである。なお、記憶部140は、特許請求の範囲に記載の変換時間保持部の一例である。

[0036] 電源電圧算出部120は、変換時間 T_{CNV} から電圧制御量 ΔV を算出するものである。この電源電圧算出部120は、所定の電圧制御周期が経過するた

びに記憶部 140 から、その周期内で測定された変換時間 T_{CNV} を全てまたは間引いて読み出し、それらの統計量 T_{STAT} （例えば、移動平均値）を算出する。ここで、電圧制御周期は、アナログデジタル変換器 200 の電源電圧を制御する周期であり、例えば、サンプリング周期以上の値に設定される。

[0037] そして、電源電圧算出部 120 は、その統計量（ T_{STAT} ）と所定の目標時間 T_{TAG} とから、次の式により電圧制御量 ΔV を算出する。ここで、目標時間 T_{TAG} は、サンプリング周期 T_{spi} 以下の値であり、その単位は、例えば、マイクロ秒（ μs ）である。

$$\Delta T = T_{STAT} - T_{TAG} \quad \dots \text{式 1}$$

$$\Delta V = f(\Delta T) \quad \dots \text{式 2}$$

上式において、 $f()$ は ΔT に対する積分要素と比例要素を持つ関数である。なお目標とする制御特性に応じて微分要素やむだ時間要素や非線形要素を加えて設計することも可能である。また、 $f()$ は入力値（ ΔT ）に対し負の相関で値を返す関数であり、 ΔT が正、即ち変換時間の統計量 T_{STAT} が目標時間 T_{TAG} より大きい場合には ΔV が更新前より小さい値になるように設定される。一例として、 ΔT に対する積分要素出力が 0 の場合、 ΔT が +0.1 マイクロ秒であれば、 ΔV に -0.1 ボルトが設定され、 ΔT が -0.1 マイクロ秒であれば、 ΔV に +0.1 ボルトが設定される。電圧制御量 ΔV はシステムに設定されている初期電圧 V_{sup0} に加算され、次の式に示す電源電圧設定値 VDD_{set} を生成する。

$$VDD_{set} = V_{sup0} + \Delta V \quad \dots \text{式 3}$$

電源電圧算出部 120 は電源電圧設定値 VDD_{set} を示すデータを電源電圧発生部 110 に信号線 129 を介して供給する。

[0038] また、電源電圧算出部 120 は、算出した電源電圧設定値 VDD_{set} と電源電圧の初期電圧 V_{sup0} とを示すデータを変換データ処理部 170 に信号線 128 を介して供給する。 VDD_{set} および V_{sup0} の単位は、例えばボルト（V）である。

[0039] 電源電圧発生部 110 は、アナログデジタル変換器 200 の電源電圧 V_D

Dを電源電圧設定値 VDD_{set} にしたがって生成して供給する。

[0040] 電源電圧発生部110に供給する大元の電源 V_{ps} は、商用電源を整流して得た直流であってもよいし、二次電池や一次電池であってもよい。

[0041] 式1乃至式3により、変換時間 T_{CNV} の平均値 T_{AVG} が長いほど、高い電圧に電源電圧 VDD が制御される。この制御により、変換時間 T_{CNV} がサンプリング周期 T_{spl} 以下の値(T_{TAG})になるとき、すなわちサンプリング周期内に量子化が完了するときの電圧に電源電圧 VDD が調整される。したがって、電源電圧発生部110は、サンプリング周期 T_{spl} 内に量子化が完了する最小限の電圧に電源電圧 VDD を低下させることができる。これにより、アナログデジタル変換器200の消費電力を必要最小限に低下させることができる。

[0042] 変換データ処理部170は、変換データ $DATA$ に対して、符号化処理や、誤差の補正処理などの所定の処理を行うものである。

[0043] アナログデジタル変換器200の電源電圧 VDD が変動すると、一般にアナログデジタル変換器200の変換ゲインも変動する。ここで、変換ゲインは、アナログ信号の値に対する、デジタル信号($DATA$)の値の比率を示す。電源電圧 VDD を ΔV により制御したときの変換ゲイン G_a は、例えば、次の式により変化する。

$$G_a = G_{a0} \times V_{sup0} / VDD_{set} \quad \dots \text{式4}$$

上式において、 G_{a0} は、電源電圧 VDD を制御しない場合のデフォルトの変換ゲインを示し、この例では変換ゲインは電源電圧に反比例する。

[0044] 変換ゲインが式4に基づいて変化する場合、変換データ処理部170は、次の式により変換データ $DATA$ に対して補正を行い、補正後の変換データ $DATA_{correct}$ を算出する。変換データ処理部170は、補正した変換データ $DATA_{correct}$ を処理結果として出力する。

$$DATA_{correct} = DATA \times VDD_{set} / V_{sup0} \quad \dots \text{式5}$$

[0045] ここで、補正前の変換データ $DATA$ は、アナログ信号 AIN の電圧 V_{in} に変換ゲイン G_a を乗じた値であるため、次の式が成立する。

$$\begin{aligned} DATA &= V_{in} \times G_a \\ &= V_{in} \times G_{a0} \times V_{sup0} / VDD_{set} \end{aligned} \quad \dots \text{式 6}$$

[0046] 式6を式5に代入すると、次の式が得られる。

$$DATA_{correct} = V_{in} \times G_{a0} \quad \dots \text{式 7}$$

上式に示すように、補正によって、電源電圧VDDの変動に依存しない変換データDATA_{correct}が得られる。これにより、動的に電源電圧を制御した電子機器100において、安定な変換ゲインを得ることができる。なお、変換ゲインの電源電圧依存性は式4に表される関係に限定せず任意の特性をとることができ、それに対する補償特性も式5の代わりに適切に設計可能である。

[0047] [アナログデジタル変換器の構成例]

図2は、第1の実施の形態におけるアナログデジタル変換器200の一構成例を示すブロック図である。このアナログデジタル変換器200は、サンプルホールド回路210、比較器220、ラッチ回路230、レジスタ250、DA変換器260、XOR（排他的論理和）ゲート270、ステートマシン280を備える。また、ステートマシン280は、カウンタ281およびシーケンサ282を備える。

[0048] サンプルホールド回路210は、開始指示信号RUNが供給されるとアナログ信号AINをサンプリングして保持するものである。このサンプルホールド回路210は、保持したアナログ信号AINをサンプルホールド信号SHOUTとして比較器220の非反転入力端子（+）に供給する。

[0049] 比較器220は、比較器制御信号CMPに従ってサンプルホールド信号SHOUTと、DA変換器260からの参照信号DAOUTとの値（例えば、電圧値）を比較するものである。以下、サンプルホールド信号SHOUTの電圧を「入力電圧」と称し、参照信号DAOUTの電圧を「参照電圧」と称する。比較器220は、比較器制御信号CMPがハイレベルである場合に比較結果を示す差動信号をラッチ回路230およびXORゲート270に供給する。この差動信号は、互いに位相の異なる正相信号COMPおよび逆相

信号COMP Nを含む。一方、比較器制御信号CMPがローレベルである場合に比較器220は、正相信号COMP Pおよび逆相信号COMP Nをいずれもハイレベルにして出力する。

[0050] ラッチ回路230は、比較器220からの差動信号の示す1ビットの情報を保持するものである。このラッチ回路230はセット端子S、リセット端子Rおよび出力端子Qを備える。セット端子Sには正相信号COMP Pが入力され、リセット端子Rには逆相信号COMP Nが入力される。ラッチ回路230は、セット端子Sがハイレベルでリセット端子Rがローレベルである場合に「1」を保持し、その保持値の値のラッチ信号SROUTを出力端子Qからレジスタ250へ出力する。一方、セット端子Sがローレベルで、リセット端子Rがハイレベルである場合に、ラッチ回路230は、「0」のラッチ信号SROUTを出力端子Qから出力する。また、セット端子Sおよびリセット端子Rがいずれもハイレベルである場合にラッチ回路230は、出力端子Qの状態を保持する。

[0051] なお、本構成例においては、比較器制御信号CMPの論理レベルに関わらず、比較器220の正相信号COMP Pおよび逆相信号COMP Nが共にローレベルになることはないとする、XORゲート270はNANDゲートで置換できる。

[0052] また、本構成例において、比較器制御信号CMPがローレベルである場合に比較器220が、正相信号COMP Pおよび逆相信号COMP Nの両方をハイレベルにしているが、これらを両方ともローレベルにして、ラッチ回路230の入力の論理極性を逆とする構成をとることもできる。この場合に比較器制御信号CMPの論理レベルに関わらず、比較器220の正相信号COMP Pおよび逆相信号COMP Nが共にハイレベルになることはないとする、XORゲート270はORゲートで置換できる。

[0053] レジスタ250は、ライト制御信号rWRITEおよび比較カウンタ値NSTEPに従ってラッチ出力信号SROUTを保持するものである。このレジスタ250は、N個のフリップフロップを備え、それらのフリップフロップ

プにNビットの変換データDATAを保持する。

[0054] 開始指示信号RUNが供給された場合にレジスタ250は、保持する変換データDATAを初期データにリセットする。例えば、変換データDATAは、最上位ビット（MSB：Most Significant Bit）が「1」で、残りの全ビットが「0」の初期データにリセットされる。

[0055] また、ライト制御信号rWRITEの立上リエッジに同期してレジスタ250は、変換データDATAのうち比較カウンタ値NSTEPに対応する桁のビットをラッチ信号SROUTにより更新する。例えば、変換データのうちMSBから（N-1-NSTEP）桁目のビットがラッチ出力信号SROUTにより更新される。例えば、比較カウンタ値NSTEPが「N-1」であれば、MSBが更新される。比較カウンタ値NSTEPが「N-2」であれば、MSBの次のビットが更新される。

[0056] そして、レジスタ250は、変換データDATAを更新するたびに更新後の変換データDATAを変換データ処理部170とDA変換器260とに出力する。また、ライト制御信号rWRITEの立上リエッジ以外の期間においてレジスタ250は、変換データDATAの状態を保持する。なお、レジスタ250は、特許請求の範囲に記載のデジタル信号保持部の一例である。

[0057] DA変換器260は、レジスタ250から変換データDATAが出力されるたびに、変換データDATAに基づいて参照信号DAOUTの値を更新するものである。このDA変換器260は、変換データDATAが初期データである場合に、 $1/2 \times V_{FS}$ の参照信号DAOUTを出力する。ここで V_{FS} は、DA変換器260の振幅レベルの最大である。

[0058] また、変換データDATAにおいてMSBからk（kは0乃至N-1の整数）ビット目が「1」に更新されると、次の式により参照信号DAOUTの値を $V_{DAOUT\ k}$ に更新する。

$$V_{DAOUT\ k} = V_{DAOUT\ k-1} + (1/2)^{k+1} \times V_{FS} \quad \cdots \text{式8}$$

上式において、 $V_{DAOUT\ k-1}$ は、前回の参照電圧である。

[0059] 一方、変換データDATAのkビット目が「0」に更新されると、DA変

換器 260 は、次の式により参照電圧を $V_{DAOUT\ k}$ に更新する。なお、DA 変換器 260 は、特許請求の範囲に記載の参照信号供給部の一例である。

$$V_{DAOUT\ k} = V_{DAOUT\ k-1} - (1/2)^{k+1} \times V_{FS} \quad \dots \text{式 9}$$

例えば、MSB が初期データ「1」から「0」に更新されると、 $1/2 \times V_{FS}$ を $1/4 \times V_{FS}$ 下降させた $1/4 \times V_{FS}$ が次の参照電圧 $V_{DAOUT\ 1}$ として供給される。なお、DA 変換器 260 は、特許請求の範囲に記載の参照信号供給部の一例である。

[0060] このように、アナログ信号を参照信号と逐次比較するアナログデジタル変換器 200 は、一般に逐次比較型の ADC と呼ばれる。

[0061] XOR ゲート 270 は、正相信号 COMP P と逆相信号 COMP N との排他的論理和の信号をステップ制御信号 READY として生成するものである。この XOR ゲート 270 は、ステップ制御信号 READY をシーケンサ 282 に供給する。

[0062] 本例では、比較器 220 は差動信号を出力し、XOR ゲート 270 がステップ制御信号 READY を発生する構成をとっているが、比較器 220 がシングルエンド信号の比較結果と同時に比較完了信号を出力し、比較完了信号がステップ制御信号 READY を置き換える構成をとることも可能である。その際には XOR ゲート 270 は不要または、単に遅延合わせや論理極性合わせの目的でバッファまたはインバータに置換することも可能である。

[0063] シーケンサ 282 は、比較器 220、レジスタ 250、カウンタ 281 を制御するものである。このシーケンサ 282 は、ステップ制御信号 READY をカウンタ 281 に供給して計数を制御するとともに、そのステップ制御信号 READY を反転した信号をライト制御信号 rWRITE としてレジスタ 250 に供給する。また、シーケンサ 282 は、開始指示信号 RUN をサンプルホールド回路 210 およびレジスタ 250 およびカウンタ 281 に供給する。

[0064] また、シーケンサ 282 は、開始指示信号 RUN が供給されたときから、N 回の比較が完了するとき（例えば、NSTEP が「0」のとき）までの期

間に亘って、N個のパルスと比較制御信号CMPとして生成する。この比較制御信号CMPは、パルスジェネレータなどにより開始指示信号RUNの立ち下がリエッジとステップ制御信号READYの立ち上がりエッジに基づいて生成される。シーケンサ282は、比較制御信号CMPを比較器220に供給する。

[0065] カウンタ281は、ステップ制御信号READYに同期して、比較カウンタ値NSTEPを計数するものである。この比較カウンタ値NSTEPは、比較器220において、サンプルホールド信号SHOUTが比較された回数を示す。また、カウンタ281は、開始指示信号RUNが供給されると、比較カウンタ値NSTEPを初期値（例えば、N）にリセットする。そして、カウンタ281は、ステップ制御信号READYに同期して比較カウンタ値NSTEPをデクリメントして、更新した比較カウンタ値NSTEPをレジスタ250およびシーケンサ282に供給する。また、カウンタ281は、ステップ制御信号READYに同期してタイミング信号NRDYを生成し、比較カウンタ値NSTEPとともに変換時間測定部150に供給する。なお、カウンタ281は、特許請求の範囲に記載の回数情報出力部の一例である。

[0066] なお、カウンタ281は、比較カウンタ値NSTEPをそのまま出力しているが、符号化して符号化データを出力してもよい。この場合には、変換時間測定部150が、その符号化データを復号して処理すればよい。また、ステップ制御信号READYに同期して比較カウンタ値NSTEPを減少させるダウンカウンタをカウンタ281として用いているが、ダウンカウンタの代わりに、比較カウンタ値NSTEPを増加させるアップカウンタを用いてもよい。

[0067] また、シーケンサ282は、図3に例示するように、N回の比較が完了したときに変換終了信号EOCをさらに外部出力してもよい。

[0068] 上述したように、開始指示信号RUNが供給された後は、アナログデジタル変換器200内で生成したタイミング信号（CMP）に同期して比較器2

20が動作して変換データDATAが生成される。このように、内部で生成したタイミング信号に同期して動作するアナログデジタル変換器200は、自己タイミング型のADCと呼ばれる。

[0069] [比較器の構成例]

図4は、第1の実施の形態における比較器220の一構成例を示す回路図である。この比較器220は、トランジスタ221乃至229を備える。トランジスタ221乃至224はP型のMOS（Metal-Oxide-Semiconductor）トランジスタ、トランジスタ225乃至229はN型のMOSトランジスタを表す。

[0070] トランジスタ221乃至224のソースには電源電圧VDDが印加される。トランジスタ221、224および229のゲートはシーケンサ282に接続される。また、トランジスタ227のゲートはサンプルホールド回路210に接続され、トランジスタ228のゲートはDA変換器260に接続される。

[0071] トランジスタ222および225のゲートとトランジスタ223および224のドレインとが、トランジスタ226のドレインとラッチ回路230のセット端子Sに接続される。また、トランジスタ221および222のドレインとトランジスタ223および226のゲートとが、トランジスタ225のドレインとラッチ回路230のリセット端子Rとに接続される。トランジスタ225のソースはトランジスタ227のドレインに接続され、トランジスタ226のソースはトランジスタ228のドレインに接続される。また、トランジスタ227および228のソースは、トランジスタ229のドレインに接続され、トランジスタ229のソースは接地端子に接続される。

[0072] このような構成により、比較器制御信号CMPが「0」である場合に、いずれもハイレベルの正相信号COMP Pおよび逆相信号COMP Nが出力される。一方、比較器制御信号CMPが「1」であれば、サンプルホールド信号SHOUTと参照信号DAOUTとの比較結果を示す差動信号（COMP PおよびCOMP N）が出力される。

[0073] [比較器の動作例]

図5は、第1の実施の形態における比較器220の動作の一例を示す図である。この比較器220は、比較器制御信号CMPが「0」である場合に、サンプルホールド信号の値に関わらずに、ハイレベルの正相信号COMP Pおよび逆相信号COMP Nを出力する。

[0074] また、比較器制御信号CMPが「1」である場合に比較器220は、サンプルホールド信号SHOUTの電圧（入力電圧）と参照信号DAOUTの電圧（参照電圧）とを比較する。入力電圧が参照電圧より高ければ、比較器220は、ハイレベルの正相信号COMP Pとローレベルの逆相信号COMP Nとを出力する。一方、入力電圧が参照電圧以下であれば、比較器220は、ローレベルの正相信号COMP Pとハイレベルの逆相信号COMP Nとを出力する。

[0075] 図6は、第1の実施の形態におけるレジスタ250の動作の一例を示す図である。まずレジスタ250を構成するN個のフリップフロップは、開始指示信号RUNがハイレベルで所定の値に初期化される。

[0076] 次に開始指示信号RUNがローレベルのとき、ライト制御信号rWRITEがローレベルからハイレベルに遷移する立ち上がりエッジにおいて、レジスタ250は、比較カウンタ値NSTEPを参照し、変換データDATAのうちNSTEPに対応する桁のビットをラッチ出力信号SROUTにより更新する。それ以外の期間にはレジスタ250を構成するN個のフリップフロップのそれぞれの状態を保持する。

[0077] [変換時間測定部の動作例]

図7は、第1の実施の形態における変換時間測定部150の動作の一例を示す図である。この変換時間測定部150は、開始指示信号RUNが立ち下がったときに変換時間の計時を開始する。変換時間の計測において、変換時間測定部150は、例えば、一定周波数のクロック信号CLKに同期して、計測時間を示すタイマカウンタ値TIMを計数する。

[0078] 開始指示信号RUNがローレベルで、比較カウンタ値NSTEPが設定回

数Sを示す値（例えば、0）以外の値である場合に変換時間測定部150は、タイマカウンタ値TIMの計数（すなわち、計時）を継続する。また、比較カウンタ値NSTEPが設定回数Sを示す値（例えば、0）である場合に、変換時間測定部150は、計時を終了し、計測時間（タイマカウンタ値TIM）を変換時間として出力する。

[0079] また、開始指示信号RUNが立ち上りの際に比較カウンタ値NSTEPが設定回数Sを示す値（例えば、0）でなければ、変換時間測定部150は、計時を終了する。そして、変換時間測定部150は、直前の比較カウンタ値NSTEPから次の式を用いて変換時間 T_{CNV} を算出し、出力する。

$$T_{CNV} = \{ S / (S - NSTEP) \} \times T_{spl} \quad \dots \text{式10}$$

上式において T_{spl} は、サンプリング周期を示し、単位は、例えば、マイクロ秒（ μs ）である。

[0080] 例えば、設定回数Sが分解能と同一値「16」で、開始指示信号RUNが立ち上がったときのNSTEPが「1」の値であった場合には、 $(16 / 15) \times T_{spl}$ が変換時間 T_{CNV} として算出される。

[0081] [アナログデジタル変換器の動作例]

図8は、第1の実施の形態におけるアナログデジタル変換器200の動作の一例を示すタイミングチャートである。タイミング t_0 において開始指示信号RUNが入力されると、サンプルホールド回路210は、そのアナログ信号AINをサンプリングして保持し、サンプルホールド信号SHOUTを生成する。同図において、一点鎖線はアナログ信号AINの軌跡を示し、実線はサンプルホールド信号SHOUTの軌跡を示す。

[0082] また、タイミング t_0 の直後に、比較カウンタ値NSTEPは初期値Nにリセットされ、変換データDATAは初期データにリセットされる。

[0083] タイミング t_0 の後のタイミング t_1 において開始指示信号RUNが立ち下ると、比較器220は、入力電圧（SHOUT）と参照電圧（DAOUT）とを比較して、差動信号（COMP PおよびCOMP N）を生成する。XORゲート270は、差動信号からステップ制御信号READYを生成し、

ラッチ回路230は、差動信号の示す比較結果を保持してラッチ出力信号SROUTを出力する。そして、シーケンサ282は、ステップ制御信号READYを反転してライト制御信号rWRITEを生成する。

[0084] カウンタ281は、ステップ制御信号READYに従って比較カウンタ値NSTEPを「N-1」に更新する。レジスタ250は、ライト制御信号rWRITEに従って変換データDATAのMSBをラッチ出力信号SROUTにより B_{N-1} に更新する。

[0085] レジスタ250によりMSBが更新されたタイミング t_2 においてDA変換器260は、参照信号DAOUTを、そのMSBに基づいて調整する。

[0086] タイミング t_3 において参照信号DAOUTの調整が完了すると、比較器220は、入力電圧(SHOUT)と参照電圧(DAOUT)とを比較して、差動信号を再度生成する。XORゲート270は、差動信号からステップ制御信号READYを生成し、ラッチ回路230は、差動信号の示す比較結果を保持してラッチ出力信号SROUTを出力する。カウンタ281は、ステップ制御信号READYに従って比較カウンタ値NSTEPを「N-2」に更新し、レジスタ250は、ライト制御信号rWRITEに従って変換データDATA内のMSBの次のビットをラッチ出力信号SROUTにより B_{N-2} に更新する。

[0087] レジスタ250においてMSBの次のビットが B_{N-2} に更新されたタイミング t_4 においてDA変換器260は、参照信号DAOUTを、その B_{N-2} に基づいて調整する。

[0088] 以下、同様に比較器220による比較と、DA変換器260による参照信号DAOUTの調整とが交互に行われる。

[0089] 図9は、第1の実施の形態における時間の経過に伴う参照電圧の調整過程の一例を示すグラフである。同図において、縦軸はサンプルホールド信号SHOUTおよび参照信号DAOUTの電圧を示し、横軸は時間を示す。

[0090] タイミング t_0 において開始指示信号RUNが入力されると、変換データDATAは初期データに初期化され、参照電圧(DAOUT)は $1/2 V_{FS}$ に

初期化される。ここで、入力電圧（SHOUT）が参照電圧（ $1/2 V_{FS}$ ）より低いと、タイミング t_2 において変換データDATAのMSBは「0」に更新される。また、DA変換器260は、更新されたMSBに基づいて参照信号DAOUTを $1/4 V_{FS}$ 減少させる。

[0091] 入力電圧が、更新後の参照電圧（ $1/4 V_{FS}$ ）より高いと、タイミング t_4 においてMSBから1ビット目が「1」に更新される。また、DA変換器260は、更新されたビット（「1」）に基づいて参照電圧を $1/8 V_{FS}$ 増加させて $3/8 V_{FS}$ にする。

[0092] そして、入力電圧が、更新後の参照電圧（ $3/8 V_{FS}$ ）より低いと、タイミング t_4 においてMSBから2ビット目が「0」に更新される。また、DA変換器260は、更新されたビット（「0」）に基づいて参照電圧を $1/16 V_{FS}$ 減少させる。

[0093] 以下、同様に入力電圧と参照電圧との比較結果に基づいて参照電圧が増減され、それらの比較結果からなる変換データDATAが生成される。

[0094] 図10は、第1の実施の形態におけるアナログデジタル変換器200の動作の詳細を示すタイミングチャートである。タイミング t_0 において開始指示信号RUNが入力されると、比較カウンタ値NSTEPは初期値Nにリセットされ、変換データDATAは初期データにリセットされる。同図において $DATA_{N-1}$ は、変換データDATAのMSBを示す。

[0095] タイミング t_0 の後のタイミング t_1 において開始指示信号RUNが立ち下ると、比較器220は、差動信号（COMP PおよびCOMP N）を生成する。XORゲート270は、 t_1 から TC_{N-1} が経過したときに差動信号からステップ制御信号READYを生成し、ラッチ回路230は、差動信号の示す比較結果を保持してラッチ出力信号SROUTを出力する。そして、シーケンサ282は、ステップ制御信号READYを反転してライト制御信号rWRITEを生成する。ここで、 TC_{N-1} は、比較器220の比較時間を表す。この比較時間は、比較器220の差動入力の振幅が小さいときには指数関数的に増大する成分を含む。

[0096] カウンタ281は、ステップ制御信号READYに従って比較カウンタ値NSTEPを「N-1」に更新し、レジスタ250は、ライト制御信号rWRRITEに従って変換データDATAのMSBをラッチ出力信号SROUTにより B_{N-1} に更新する。

[0097] タイミング t_1 から TC_{N-1} およびTD1が経過したタイミング t_2 においてDA変換器260は、参照信号DAOUTを、そのMSBに基づいて調整する。そして、タイミング t_2 からTD2が経過した t_3 において参照信号DAOUTの調整が完了する。ここで、TD1およびTD2は、シーケンサ282が、遅延素子からなるディレイラインなどを用いて発生させた固定値である。

[0098] 図11は、第1の実施の形態における電源電圧が高いときの電子機器100の動作の一例を示すタイミングチャートである。タイミング t_0 において開始指示信号RUNが入力されると、サンプルホールド回路210は、そのアナログ信号AINをサンプルホールドする。そして、タイミング t_1 において開始指示信号RUNが立ち下ると、比較器220は、入力電圧(SHOUT)と参照電圧(DAOUT)とを比較する。その比較結果によりMSBが更新されたタイミング t_2 においてDA変換器260は、参照信号DAOUTを、そのMSBに基づいて調整する。

[0099] タイミング t_3 において参照信号DAOUTの調整が完了すると、比較器220は、入力電圧(SHOUT)と参照電圧(DAOUT)とを再度比較する。その比較結果によりMSBの次のビットが更新されたタイミング t_4 においてDA変換器260は、参照信号DAOUTを、そのビットに基づいて調整する。

[0100] 以下、同様に比較器220による比較と、DA変換器260による参照信号DAOUTの調整とが交互に行われる。そして、タイミング t_0 からサンプリング周期 $t_{s.p.1}$ が経過する前のタイミング t_{EOC} において比較カウンタ値NSTEPが「0」に更新され、AD変換が終了する。

[0101] 変換時間測定部150は、アナログ信号AINがサンプリングされたタイ

ミング t_1 において計時を開始する。そして、変換時間測定部 150 は、タイミング信号 $NRDY$ に同期して比較カウンタ値 $NSTEP$ を取り込む。例えば、タイミング信号 $NRDY$ がハイレベルに立ち上がったタイミングで比較カウンタ値 $NSTEP$ が取り込まれる。そして比較カウンタ値 $NSTEP$ 「0」を取り込んだタイミング t_{EOC} において計時を終了する。このように、変換時間測定部 150 は、タイミング信号 $NRDY$ に同期して制御されたタイミングで比較カウンタ値 $NSTEP$ を取り込むことにより、ステートマシン 280 で $NSTEP$ にグリッチが発生するタイミングを避けて比較カウンタ値 $NSTEP$ を取り込むことができる。

[0102] そして、変換時間測定部 150 は、計測した時間を変換時間 T_{CNV} として出力する。この変換時間 T_{CNV} は、 N 回の比較のそれぞれに要した時間 (TC_{N-1} など) と、 N 個の $TD1$ および $TD2$ とからなる。前者は、図 10 で前述したように比較器 220 の比較時間であり、後者はシーケンサ 282 で発生させた固定の遅延時間である。

[0103] ここで、電源電圧 VDD が低いほど、図 4 に例示した比較器 220 内のトランジスタ (221 等) のゲートソース間電圧 V_{GS} が低くなり、その V_{GS} の低下によりドレイン電流 I_d のばらつきが大きくなる。特に、 V_{GS} が、閾値電圧 V_{th} より低くなるサブスレッショルド領域において、 I_d の変動が非サブスレッショルド領域よりも大きくなる。このドレイン電流 I_d の変動により、トランジスタの動作時間が変動し、そのトランジスタを備える比較器 220 の比較時間が変動する。つまり、電源電圧 VDD が低いほど、比較器 220 の比較時間のばらつきが大きくなり、その比較時間を含む変換時間 T_{CNV} のばらつきが大きくなる。ばらついた T_{CNV} がサンプリング周期より長くなると、AD変換がサンプリング周期内に完了せずに変換データ $DATA$ の誤差が急激に増大する。

[0104] そこで、電源電圧発生部 110 は、測定された変換時間 T_{CNV} が長いほど高い電圧に電源電圧 VDD を制御する。これにより、変換時間 T_{CNV} のばらつきが減少して、サンプリング周期内に AD 変換が完了し、変換データ $DATA$

において誤差が許容値以下になる。

- [0105] 仮に、特許文献1のように、変換時間 T_{CNV} を測定しない場合、変換時間 T_{CNV} のばらつきによる誤差が許容値を超えないようにアナログデジタル変換器200の電源電圧 VDD を十分に高い値にする必要がある。このため、アナログデジタル変換器200の消費電力を、必要最小限に低減することが困難である。
- [0106] これに対して、電子機器100は、変換時間 T_{CNV} を測定し、その変換時間 T_{CNV} に応じた電圧に電源電圧 VDD を制御するため、誤差が許容値を超えない最小限の値にアナログデジタル変換器200の消費電力を低減することができる。
- [0107] 図12は、第1の実施の形態における電源電圧が高いときの変換データDATAの一例を示す図である。タイミング t_0 において開始指示信号RUNが入力されると、変換データDATAは、左端のMSBのみが「1」の初期データにリセットされる。タイミング t_1 において開始指示信号RUNが立ち下ると、比較器220は、入力電圧(SHOUT)と参照電圧(DAOUT)とを比較する。その比較結果によりMSBが例えば「0」に更新される。そして、DA変換器260は、更新後のMSBに基づいて参照信号DAOUTを調整する。
- [0108] タイミング t_3 において参照信号DAOUTの調整が完了すると、比較器220は、入力電圧(SHOUT)と参照電圧(DAOUT)とを再度比較する。その比較結果によりMSBの次のビットが例えば「1」に更新される。そして、DA変換器260は、更新後のビットに基づいて参照信号DAOUTを調整する。
- [0109] 電源電圧が比較的高い場合には、タイミング t_0 からサンプリング周期 t_{sp} が経過する前のタイミング t_{EOC} において全ビットが比較結果により更新され、AD変換が終了する。この場合、変換時間測定部150は、タイミング t_1 から t_{EOC} までの時間を計測して変換時間 T_{CNV} として出力し、電源電圧発生部110は、変換時間 T_{CNV} に応じた電圧に電源電圧 VDD を制御する。

[0110] なお、変換時間測定部 150 は、アナログ信号の比較回数が分解能 N であるとき、すなわち比較カウンタ値 $NSTEP$ が「0」のとき (t_{EOC}) に計時を終了しているが、この構成に限定されない。図 13 に例示するように、変換時間測定部 150 は、アナログ信号の比較回数が分解能 N 未満の所定値（例えば、15）であるとき、すなわち比較カウンタ値 $NSTEP$ が「1」のとき (t_{s0}) に計時を終了してもよい。

[0111] 図 14 は、第 1 の実施の形態における電源電圧が低いときの電子機器 100 の動作の一例を示すタイミングチャートである。前述したように電源電圧 VDD が低いほど、比較器 220 および DA 変換器 260 の動作時間のばらつきが大きくなる。このばらつきにより、タイミング t_0 からサンプリング周期 T_{sPl} が経過したタイミング t_s において、 N 回の比較が完了していないものとする。

[0112] この場合に変換時間測定部 150 は、タイミング t_s で計時を終了し、その直前の比較カウンタ値 $NSTEP$ から、式 10 を用いて変換時間 T_{CNV} を算出する。このようにアナログデジタル変換器 200 が比較カウンタ値 $NSTEP$ を出力することにより、変換時間測定部 150 は、サンプリング周期内に変換が完了しない場合であっても $NSTEP$ から変換時間 T_{CNV} を推定することができる。

[0113] 図 15 は、第 1 の実施の形態における電源電圧が低いときの変換データ DATA の一例を示す図である。前述したように電源電圧が比較的低い場合には、変換時間 T_{CNV} のばらつきが大きくなり、タイミング t_0 からサンプリング周期 t_{sPl} 内に AD 変換が完了しないことがある。例えば、タイミング t_0 からサンプリング周期 t_{sPl} が経過した時点 (t_s) においても変換データ DATA の最下位ビット (LSB : Least Significant Bit) が更新されず、初期値のままになる。この場合に変換時間測定部 150 は、タイミング t_s で計時を終了し、その直前の比較カウンタ値 $NSTEP$ から、式 10 を用いて変換時間 T_{CNV} を算出する。

[0114] 図 16 は、第 1 の実施の形態における電子機器 100 の動作の一例を示す

フローチャートである。この動作は、電子機器100に対してAD変換が指示されたときに開始する。電子機器100は、アナログ信号AINを変換データDATAに変換する量子化処理を行う（ステップS910）。また、電子機器100は、変換時間 T_{CNV} を測定する（ステップS901）。

[0115] そして、電子機器100は、サンプリング周期が経過したか否かを判断する（ステップS902）。サンプリング周期が経過していない場合（ステップS902：No）、電子機器100は、ステップS902を繰り返す。

[0116] 一方、サンプリング周期が経過した場合（ステップS902：Yes）、電子機器100は、電圧制御周期が経過したか否かを判断する（ステップS903）。電圧制御周期が経過した場合（ステップS903：Yes）、電子機器100は、変換時間 T_{CNV} の統計量から、電圧制御量 ΔV を算出し（ステップS904）、その電圧制御量 ΔV により電源電圧VDDを制御する（ステップS905）。

[0117] 電圧制御周期が経過していない場合（ステップS903：No）、または、ステップS905の後に電子機器100は、ステップS910以降を繰り返す。

[0118] 図17は、第1の実施の形態における量子化処理の一例を示すフローチャートである。アナログデジタル変換器200は、アナログ信号AINをサンプリングして保持し（ステップS911）、入力電圧と参照電圧とを比較する（ステップS912）。アナログデジタル変換器200は、比較カウンタ値NSTEPを減分し（ステップS913）、レジスタ250を比較結果により更新する（ステップS914）。

[0119] そして、アナログデジタル変換器200は、参照電圧を比較結果に基づいて増減し（ステップS915）、N回の比較が完了したか否かを判断する（ステップS916）。サンプリング周期が経過していない条件の下、（図16：ステップS902：No）、N回の比較が完了していない場合（ステップS916：No）、アナログデジタル変換器200は、ステップS912以降を繰り返す。

[0120] N回の比較が完了した場合（ステップS916：Yes）、または、サンプリング周期が経過した場合（図16：ステップS902：Yes）、アナログデジタル変換器200は、量子化処理を終了する。

[0121] このように、本技術の第1の実施の形態によれば、電子機器100は、アナログ信号が比較された回数が一定回数に達するまでの時間を測定し、その時間に応じた電圧に電源電圧VDDを制御するため、電源電圧VDDを最小限の値に低下させることができる。これにより、アナログデジタル変換器200の消費電力を低下させることができる。

[0122] [第1の変形例]

上述の第1の実施の形態では、電源電圧発生部110は、アナログデジタル変換器200内の比較器220やDA変換器260などの全ての回路の電源電圧を制御していた。この内、変換時間の変動に寄与が小さい部分には別途発生する定電圧電源を利用することも可能である。この第1の変形例の電子機器100は、アナログデジタル変換器200内の一部の回路の電源電圧のみを制御する点において第1の実施の形態と異なる。

[0123] 図18は、第1の実施の形態の第1の変形例におけるアナログデジタル変換器200の一構成例を示すブロック図である。第1の変形例のアナログデジタル変換器200は、電圧発生部240をさらに備える点において第1の実施の形態と異なる。

[0124] 電圧発生部240は、電源電圧VDD'を発生してグランド電圧とともにDA変換器260に供給するものである。また、第1の変形例の電源電圧発生部110は、アナログデジタル変換器200内のDA変換器260以外の回路への電源電圧VDDのみを制御する。なお、電圧発生部240をアナログデジタル変換器200の内部に設けているが、外部に設けてもよい。また、電圧発生部240はDA変換器260のみに電源供給しているが、それ以外にも変換時間の変動に寄与が小さい部分に電源供給してもよい。

[0125] このように、第1の変形例によれば、DA変換器の電源電圧VDD'がVDD制御に寄らず一定になり、式4に示したVDD制御に起因するアナログデ

デジタル変換器 200 の変換ゲインの変動が発生しないため、式 5 に示す変換ゲインの補償を不要にできる。

[0126] [第 2 の変形例]

上述の第 1 の実施の形態では、電源電圧発生部 110 は、アナログデジタル変換器 200 に対し、連続して電源電圧 VDD を供給していた。しかし、消費電力を低減する観点から、電源電圧発生部 110 は、間欠的に電源電圧 VDD を供給してもよい。この第 2 の変形例の電源電圧発生部は、間欠的に電源電圧 VDD を供給する点において第 1 の実施の形態と異なる。

[0127] 図 19 は、第 1 の実施の形態の第 2 の変形例における電子機器 100 の一構成例を示すブロック図である。この第 2 の変形例の電子機器 100 は、電源電圧発生部 110 の代わりに電源電圧発生部 111 を備える点において第 1 の実施の形態と異なる。

[0128] また、第 2 の変形例のアナログデジタル変換器 200 は、比較カウンタ値 NSTEP およびタイミング信号 NRDY を電源電圧発生部 111 にさらに供給する。第 2 の変形例の ADC 制御部 160 は、開始指示信号 RUN を電源電圧発生部 111 にさらに供給する。

[0129] 電源電圧発生部 111 は、開始指示信号 RUN が立ち上がったときにアナログデジタル変換器 200 に電源を投入する。そして、電源電圧発生部 111 は、サンプリング周期内において、比較回数が最大値 N になったとき、すなわち比較カウンタ値 NSTEP が「0」に遷移したことを検出したらアナログデジタル変換器 200 の電源を遮断する。ただし、サンプリング周期が経過したタイミングで比較カウンタ値 NSTEP が「0」になっていなければ、電源供給が継続される。

[0130] 図 20 は、第 1 の実施の形態の第 2 の変形例における電子機器 100 の動作の一例を示すタイミングチャートである。タイミング t_0 において開始指示信号 RUN が立ち上がると、電源電圧発生部 111 は、アナログデジタル変換器 200 への電源電圧 VDD の供給を開始する。そして、タイミング t_{EOC} において比較カウンタ値 NSTEP が「0」に遷移したことを検出したら電

源電圧発生部 111 は、電源電圧 VDD の供給を停止する。

[0131] このように、本技術の第 2 の変形例によれば、電源電圧発生部 111 は、タイミング t_0 から、NSTEP が「0」に遷移したことを検出するまでの期間において電源を供給し、その期間外は電源供給を停止するため、消費電力を低減することができる。

[0132] < 2. 第 2 の実施の形態 >

上述の第 1 の実施の形態では、電源電圧算出部 120 は、変換時間 T_{CNV} の平均値に基づいて電源電圧 VDD を制御していた。しかし、変換データ DATA が許容範囲以上の誤差を含んでいる場合には、そのときに測定される変換時間 T_{CNV} は異常に大きな値をとる可能性が高く、その値を用いると電源電圧 VDD が適切な値に制御されないおそれがある。第 2 の実施の形態の電子機器 100 は、変換時間 T_{CNV} の異常値の影響を軽減した点において第 1 の実施の形態と異なる。

[0133] 図 21 は、第 2 の実施の形態における電子機器 100 の一構成例を示すブロック図である。この第 2 の実施の形態の電子機器 100 は、電源電圧算出部 120 の代わりに電源電圧算出部 130 を備え、記憶部 140 の代わりに記憶部 141 を備える点において第 1 の実施の形態と異なる。

[0134] また、第 2 の実施の形態の変換データ処理部 170 は、変換データ DATA を記憶部 141 にさらに供給する。記憶部 141 は、変換時間 T_{CNV} が測定されるたびに、変換時間 T_{CNV} と、そのときの変換データ DATA とを対応付けて保持する。

[0135] 電源電圧算出部 130 は、変換データ DATA に基づいて重み係数を決定し、その重み係数により変換時間 T_{CNV} を重み付け演算して統計量（例えば、重み付け平均値）を求める。そして、電源電圧算出部 130 は、その統計量に応じた電圧制御量 ΔV を算出する。

[0136] 図 22 は、第 2 の実施の形態における電源電圧算出部 130 の一構成例を示すブロック図である。この電源電圧算出部 130 は、電圧設定部 131、重み付け平均演算部 132 および重み係数決定部 133 を備える。

[0137] 重み係数決定部 133 は、変換データ DATA に基づいて重み係数を決定するものである。電圧制御周期が経過するたびに重み係数決定部 133 は、その周期内に生成された変換データ DATA を記憶部 141 から読み出す。そして、重み係数決定部 133 は、変換データ DATA ごとに、重み係数を決定する。

[0138] ここで、一般に比較器 220 は、反転入力端子 (+) の電圧 (SHOUT) と反転入力端子 (-) の電圧 (DAOUT) とが略一致した場合に出力が不定となる。この現象はメタステーブルと呼ばれる。比較器 220 でメタステーブルが発生すると、一般的なデジタル回路技術で構成する後段のラッチ回路 230 以降が誤動作して、変換データ DATA が回路構成に依存する特定の値に張り付く危険性がある。そこで、重み係数決定部 133 は、メタステーブル起因の誤動作で生じる可能性のある変換データ DATA については、小さな重み係数を決定する。

[0139] 重み平均演算部 132 は、変換時間 T_{CNV} の重み付け平均を算出するものである。この重み平均演算部 132 は、電圧制御周期が経過するたびに、その周期内に測定された変換時間 T_{CNV} を記憶部 141 から読み出し、重み係数決定部 133 が決定した重み係数を使用して T_{CNV} の重み付け平均を算出する。重み平均演算部 132 は、算出した重み付け平均 T_{AVG} を電圧設定部 131 に供給する。

[0140] 電圧設定部 131 は、重み付け平均 T_{AVG} から電圧制御量 ΔV を算出して電源電圧設定値 VDD_{set} を設定するものである。この電圧設定部 131 は、式 1 および式 2 を使用して電圧制御量 ΔV を算出する。電圧設定部 131 は、その ΔV から求めた電源電圧設定値 VDD_{set} を示すデータを電源電圧発生部 110 に供給し、電源電圧設定値 VDD_{set} および初期電圧 V_{sup0} を示すデータを電源電圧発生部 110 および変換データ処理部 170 に供給する。

[0141] 図 23 は、第 2 の実施の形態における記憶部 141 に保持されるデータの一例を示す図である。記憶部 141 には、変換時間 T_{CNV} に対応付けて、変換データ DATA が保持される。例えば、変換時間 T_{CNV1} が測定されたときに

、変換データ $DATA_1$ が生成された場合に、変換時間 T_{CNV1} に対応付けて変換データ $DATA_1$ が保持される。また、変換時間 T_{CNV2} が測定されたときに、変換データ $DATA_2$ が生成された場合に、変換時間 T_{CNV2} に対応付けて変換データ $DATA_2$ が保持される。

[0142] 図24は、第2の実施の形態におけるアナログ信号と変換データとの間の関係の一例を示すグラフである。同図における縦軸は、変換データ $DATA$ の値を示し、横軸は、入力電圧 V_{in} を示す。

[0143] この例では、入力電圧 V_{in} が、上位ビットの比較をするための参照電圧と異なる値（例えば、 V_{in1} ）である場合、入力電圧 V_{in} は、一定の変換ゲインにより変換データ $DATA$ （例えば、 $DATA_1$ ）に変換される。しかし、入力電圧 V_{in} が、上位ビットの比較をするための参照電圧と略一致する場合にはメタステーブルが生じ易い。例えば、最初の比較における参照電圧 V_{th1} や、2回目の比較における参照電圧 V_{th2} または V_{th3} などと同一の入力電圧が入力されると、メタステーブルが生じてしまう。この場合には、アナログデジタル変換器200が誤動作して、回路構成に依存する特定の値（ $E1$ 、 $E2$ 等）を出力してしまう。この、誤動作が疑われる変換データ $E1$ や $E2$ を伴う変換時間 T_{CNV} に対しては比較的小さな重み係数を選択して、これらの重み係数により重み付け平均を行う。

[0144] このように、本技術の第2の実施の形態によれば、電子機器100は、メタステーブルによる誤動作の結果で生じた可能性をもつ変換データに対し、重み係数を小さくして変換時間の重み付け演算を行うため、メタステーブルに起因する誤差の影響を軽減することができる。

[0145] <3. 第3の実施の形態>

上述の第1の実施の形態では、電源電圧発生部110は、1つのアナログデジタル変換器200の電源電圧を制御していたが、複数のアナログデジタル変換器200の電源電圧を制御することもできる。この第3の実施の形態の電源電圧発生部110は、複数のアナログデジタル変換器200の電源電圧を制御する点において第1の実施の形態と異なる。

- [0146] 図25は、第3の実施の形態における電子機器100の一構成例を示すブロック図である。この第3の実施の形態の電子機器100は、1つのアナログデジタル変換器200の代わりに、M個（Mは2以上の整数）のアナログデジタル変換器200からなるアナログデジタル変換部205を備える点において第1の実施の形態と異なる。
- [0147] 第3の実施の形態のADC制御部160は、開始指示信号をM個のアナログデジタル変換器200に供給してAD変換を開始させる。ADC制御部160は、M個のアナログデジタル変換器200に同時にAD変換を開始させてもよいし、それぞれ異なるタイミングでAD変換を開始させてもよい。
- [0148] M個のアナログデジタル変換器200のそれぞれは、変換データを変換データ処理部170に供給し、回数情報（比較カウンタ値およびタイミング信号）を変換時間測定部150に供給する。
- [0149] また、第3の実施の形態の変換時間測定部150は、M個の比較カウンタ値からM個の変換時間を算出する。変換時間測定部150は、これらのM個の変換時間の統計量（平均値や最大値）STを記憶部140に保持させる。
- [0150] 第3の実施の形態の電源電圧発生部110は、電源電圧周期内に算出された統計量STのそれぞれの統計量（ T_{AVG} ）を算出し、第1の実施の形態と同様の方法により電圧制御量を算出する。第3の実施の形態の電源電圧発生部110は、M個のアナログデジタル変換器200の電源電圧を一括して制御する。
- [0151] なお、電源電圧発生部110は、M個のアナログデジタル変換器200の電源電圧を一括して制御しているが、アナログデジタル変換器200ごとに、個別に電源電圧を制御してもよい。この場合に変換時間測定部150は、M個の変換時間の統計量を算出せずに、それぞれの時間をアナログデジタル変換器200ごとに記憶部140に保持させ、電源電圧算出部120は、アナログデジタル変換器200ごとに、個別に電圧制御量を算出する。
- [0152] ただし、M個のアナログデジタル変換器200が同一のチップに搭載されている場合には、プロセスおよび温度の条件が概ね同一になるため、最適な

動作電圧も略同一になる。このため、同一のチップ上にM個のアナログデジタル変換器200が設けられている場合には電源電圧発生部110が、M個のアナログデジタル変換器200の電源電圧を一括して制御することが望ましい。

[0153] このように、本技術の第3の実施の形態によれば、電源電圧発生部110は、複数のアナログデジタル変換器200の電源電圧を変換時間に応じた値に制御するため、複数のアナログデジタル変換器200の消費電力を低下させることができる。

[0154] <4. 第4の実施の形態>

上述の第1の実施の形態では、電子機器100において、ADC制御部160やアナログデジタル変換器などの各回路を同一の半導体チップに設けていたが、これらを複数の半導体チップに分散して設けてもよい。この第4の実施の形態の電子機器100は、複数の半導体チップに分散して回路が設けられている点において第1の実施の形態と異なる。

[0155] 図26は、第4の実施の形態における電子機器100の一構成例を示すブロック図である。この電子機器100は、AD変換チップ101および制御チップ102を備える。このAD変換チップ101には、電源電圧発生部110およびアナログデジタル変換器200が設けられる。また、制御チップ102には、電源電圧算出部120、記憶部140、変換時間測定部150、ADC制御部160および変換データ処理部170が設けられる。また、AD変換チップ101および制御チップ102は、同一の筐体に格納される。

[0156] このように、本技術の第4の実施の形態によれば、複数の半導体チップに回路を分散して設けたため、複数の半導体チップを備えた電子機器100において消費電力を低減することができる。

[0157] <5. 第5の実施の形態>

上述の第4の実施の形態では、AD変換チップ101および制御チップ102を同一の筐体に格納していたが、これらを異なる筐体に格納してもよい。

。この第5の実施の形態の電子回路システムは、AD変換チップ101および制御チップ102のそれぞれを異なる筐体に格納した点において第4の実施の形態と異なる。

[0158] 図27は、第5の実施の形態における電子回路システムの一構成例を示すブロック図である。この電子回路システムは、ADC格納筐体103および制御部格納筐体104を備える。このADC格納筐体103にはAD変換チップ101が格納され、制御部格納筐体104には制御チップ102が格納される。

[0159] ADC格納筐体103および制御部格納筐体104は、信号線127、168、206および207により接続される。電源電圧算出部120は、信号線127を介して電源電圧発生部110に電源電圧設定値 $V_{DD_{set}}$ を示すデータを送信し、アナログデジタル変換器200は、信号線206を介して回数情報（NSTEP等）を変換時間測定部150に送信する。また、ADC制御部160は、信号線168を介してアナログデジタル変換器200に開始指示信号RUNを送信し、アナログデジタル変換器200は、信号線207を介して変換データ処理部170に変換データDATAを送信する。

[0160] 電源電圧発生部110への電圧（ V_{PS} ）を供給する電源回路は、図27において省略されている。この電源回路は、ADC格納筐体103内に設けてもよいし、制御部格納筐体104内に設けてもよい。

[0161] このように、本技術の第5の実施の形態によれば、AD変換チップ101および制御チップ102のそれぞれを異なる筐体に格納したため、複数の筐体を備える電子回路システムにおいて消費電力を低減することができる。

[0162] <6. 第6の実施の形態>

上述の第5の実施の形態では、ADC格納筐体103の外部で生成されたアナログ信号をアナログデジタル変換器200がAD変換していたが、ADC格納筐体103の内部で生成したアナログ信号をAD変換することもできる。この第6の実施の形態の電源電圧発生部110は、アナログデジタル変換器200が、ADC格納筐体103の内部で生成したアナログ信号をAD

変換する点において第5の実施の形態と異なる。

[0163] 図28は、第6の実施の形態における電子回路システムの一構成例を示すブロック図である。第6の実施の形態のADC格納筐体103は、センサアレイ305およびAD変換チップ101を備える。このセンサアレイ305は、M個のセンサ300を備える。また、AD変換チップ101は、M個のアナログデジタル変換器200を備える。これらのM個のアナログデジタル変換器200は、センサ300と1対1で接続される。なお、電子回路システムは、センサ300およびアナログデジタル変換器200の組をM組備えているが、1組のみ備える構成であってもよい。

[0164] センサ300は、温度、光量、または、音量などの所定の物理量を測定するものである。このセンサ300は、測定値を示すアナログ信号を、対応するアナログデジタル変換器200へ送信する。

[0165] また、ADC格納筐体103と制御部格納筐体104とは、信号線117、118、168、206および207により接続される。

[0166] 図29は、第6の実施の形態における制御部格納筐体104の一構成例を示すブロック図である。この制御部格納筐体104には、制御チップ102が設けられる。第6の実施の形態の制御チップ102は、電源電圧発生部110をさらに備える点において第1の実施の形態と異なる。この電源電圧発生部110は、信号線117を介してセンサアレイ305に電源電圧を供給し、信号線118を介してAD変換チップ101に電源電圧を供給する。

[0167] なお、第6の実施の形態では電源電圧発生部110を制御部格納筐体104に設けているが、第5の実施の形態と同様に、ADC格納筐体103に設けてもよい。

[0168] このように、本技術の第6の実施の形態によれば、センサ300を内蔵したADC格納筐体103の電源電圧を電圧制御部110が制御するため、センサ300を内蔵した筐体において消費電力を低減することができる。

[0169] <7. 第7の実施の形態>

上述の第6の実施の形態では、ADC格納筐体103と制御部格納筐体1

04との間で比較カウンタ値および変換データなどの信号をパラレル形式で伝送していた。しかし、これらの信号のデータ量が多くなるほど信号線の本数が増加するおそれがある。この第7の実施の形態の電子回路システムは、筐体間の信号線の本数を削減した点において第6の実施の形態と異なる。

[0170] 図30は、第7の実施の形態における電子回路システムの一構成例を示すブロック図である。この第7の実施の形態の電子回路システムは、ADC格納筐体103に伝送インターフェース310をさらに格納した点において第1の実施の形態と異なる。

[0171] 伝送インターフェース310は、パラレル信号をシリアル信号に変換する機能と、シリアル信号をパラレル信号に変換する機能を持つ。この伝送インターフェース310は、変換データDATAや比較カウンタ値NSTEPなどのパラレル信号をAD変換チップ101から受け取り、そのパラレル信号をシリアル信号に変換する。そして、伝送インターフェース310は、そのシリアル信号を信号線319を介して制御部格納筐体104に送信する。また、伝送インターフェース310は、開始指示信号RUNを制御部格納筐体104から信号線319を介して受信し、AD変換チップ101に供給する。

[0172] また、ADC格納筐体103と制御部格納筐体104とは、信号線116、117、118および319により接続される。

[0173] 図31は、第7の実施の形態における制御部格納筐体104の一構成例を示すブロック図である。第7の実施の形態の制御部格納筐体104は、伝送インターフェース180および制御チップ102を備える。

[0174] 伝送インターフェース180は、パラレル信号をシリアル信号に変換する機能と、シリアル信号をパラレル信号に変換する機能を持つ。この伝送インターフェース180は、ADC格納筐体103から信号線319を介してシリアル信号を受信し、そのシリアル信号を、変換データDATAや比較カウンタ値NSTEPなどのパラレル信号に変換する。伝送インターフェース180は、変換データDATA等を制御チップ102に供給する。また、伝送

インターフェース 180 は、開始指示信号 RUN を制御チップ 102 から受け取り、その信号を信号線 319 を介して ADC 格納筐体 103 に送信する。

[0175] また、第 7 の実施の形態の電源電圧発生部 110 は、信号線 116、117 および 118 を介して、伝送インターフェース 310、センサアレイ 305 および AD 変換チップ 101 に電源電圧を供給する。

[0176] なお、第 7 の実施の形態では電源電圧発生部 110 を制御部格納筐体 104 に設けているが、第 5 の実施の形態と同様に、ADC 格納筐体 103 に設けてもよい。この場合において伝送インターフェース 180 は、電圧制御量を示すパラレルの制御信号をシリアル信号に変換して ADC 格納筐体 103 に送信してもよい。

[0177] このように、本技術の第 7 の実施の形態によれば、伝送インターフェース 310 がパラレル信号をシリアル信号に変換して制御部格納筐体 104 へ送信するため、筐体間でパラレル信号を送受信する場合よりも信号線の本数を削減することができる。

[0178] < 8. 第 8 の実施の形態 >

上述の第 7 の実施の形態では、ADC 格納筐体 103 および制御部格納筐体 104 は、電力およびデータを有線で送受信していたが、これらを非接触で伝送してもよい。第 8 の実施の形態の電子回路システムは、筐体間で電力およびデータを非接触で送受信する点において第 7 の実施の形態と異なる。

[0179] 図 32 は、第 8 の実施の形態における電子回路システムの一構成例を示すブロック図である。第 8 の実施の形態の ADC 格納筐体 103 は、伝送インターフェース 310 の代わりに非接触伝送インターフェース 320 を備える点において第 7 の実施の形態と異なる。また、第 8 の実施の形態の AD 変換チップ 101 は、電源電圧発生部 110 およびアナログデジタル変換部 205 を備える。このアナログデジタル変換部 205 には、M 個のアナログデジタル変換器 200 が設けられる。

[0180] 非接触伝送インターフェース 320 は、電力およびデータを非接触で伝送

するものである。この非接触伝送インターフェース320は、制御信号および開始指示信号RUNが搬送波に重畳された交流信号を制御部格納筐体104から非接触で受信する。そして、非接触伝送インターフェース320は、復調により交流信号から制御信号および開始指示信号RUNを取り出し、受信した電力に応じた電圧 V_{sup0} とともにAD変換チップ101に供給する。

[0181] また、非接触伝送インターフェース320は、受信した交流信号から搬送波を抽出し、その搬送波に基づいて交流信号を生成する。そして、非接触伝送インターフェース320は、AD変換チップ101からの比較カウンタ値NSTEP、タイミング信号NRDYおよび変換データDATAを、生成した交流信号に重畳して非接触で制御部格納筐体104に送信する。

[0182] 非接触伝送インターフェース320において非接触で電力およびデータを伝送する方式としては、電磁誘導方式、電磁界共鳴方式、電界結合方式などの各種の方式を用いることができる。また、各種の伝送方式において、Qi（登録商標）規格、PMA（Power Matters Alliance）規格、A4WP規格、NFC（Near Field Communication）規格などの各種の規格を用いることができる。

[0183] 図33は、第8の実施の形態における制御部格納筐体104の一構成例を示すブロック図である。第8の実施の形態の制御部格納筐体104は、電源電圧発生部110を備えず、伝送インターフェース180の代わりに非接触伝送インターフェース190を備える点において第7の実施の形態と異なる。

[0184] 非接触伝送インターフェース190は、電力およびデータを非接触で伝送するものである。この非接触伝送インターフェース190は、データ（ VDD_{set} ）を重畳した交流信号をADC格納筐体103に非接触で送信し、また、交流信号をADC格納筐体103から非接触で受信して、比較カウンタ値NSTEP等を取り出す。

[0185] このように、本技術の第8の実施の形態によれば、非接触伝送インターフェース320が電力およびデータを非接触で制御部格納筐体104から受信

するため、筐体間で信号線を配線する必要がなくなり、信号線を介さずに電力およびデータを伝送することができる。

[0186] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0187] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモ리카ード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0188] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

[0189] なお、本技術は以下のような構成もとることができる。

(1) アナログ信号と参照信号とを比較して当該比較回数を示す回数情報を出力するアナログデジタル変換器と、

前記回数情報に基づいて電源電圧を生成して前記アナログデジタル変換器に供給する電源電圧発生部と
を具備するシステム。

(2) 前記アナログ信号がサンプリングされたときから前記回数情報の示す前記比較回数が一定回数に達するまでの変換時間を測定する変換時間測定部をさらに具備し、

前記電源電圧発生部は、前記測定された変換時間に応じた前記電源電圧を生成し、

前記アナログデジタル変換器は、

前記アナログ信号と前記参照信号とを比較して前記比較結果を生成する比較器と、

前記比較結果が生成されるたびに当該比較結果を保持して当該保持値を示す信号をデジタル信号として出力するデジタル信号保持部と、

前記デジタル信号に基づいて前記参照信号の値を変更して前記比較器に供給する参照信号供給部と、

前記回数情報を出力する回数情報出力部と
を備える

前記（１）記載のシステム。

（３）前記回数情報出力部は、前記アナログ信号がサンプリングされたときから所定のサンプリング周期が経過するまでの期間に亘って前記回数情報を出力し、

前記変換時間測定部は、前記比較回数が前記一定回数に達する前に前記サンプリング周期が経過した場合には前記サンプリング周期内の前記比較回数と前記所定のサンプリング周期とから前記変換時間を求める

前記（２）記載のシステム。

（４）前記電源電圧発生部は、前記変換時間が長いほど高い前記電源電圧を生成する

前記（２）または（３）記載のシステム。

（５）前記変換時間と所定の目標時間との差分を求めて当該差分から前記電源電圧の設定値を算出する電源電圧算出部をさらに具備し、

前記電源電圧発生部は、前記設定値に従って前記電源電圧を生成する

前記（２）から（４）のいずれかに記載のシステム。

（６）所定の電圧制御周期内において測定された前記変換時間のそれぞれを保持する変換時間保持部をさらに具備し、

前記電源電圧算出部は、前記保持された変換時間のそれぞれの統計量を前記所定の電圧制御周期が経過するたびに算出して当該統計量と前記所定の目

標時間との差分を求める

前記（５）記載のシステム。

（７）前記変換時間保持部は、前記変換時間のそれぞれに対応付けて前記デジタル信号をさらに保持し、

前記電源電圧算出部は、特定の値の前記デジタル信号に対して前記特定の値以外のデジタル信号より小さい重み係数を決定して当該重み係数により前記変換時間の重み付け演算を行う

前記（６）記載のシステム。

（８）前記電源電圧発生部は、前記参照信号供給部以外に電源電圧を供給する

前記（２）から（７）のいずれかに記載のシステム。

（９）前記電源電圧の値に基づいて前記変換データを補正する変換データ処理部をさらに具備する前記（８）記載のシステム。

（１０）前記電源電圧発生部は、複数の前記アナログデジタル変換器のそれぞれの電源電圧を生成する

前記（２）から（９）のいずれかに記載のシステム。

（１１）前記アナログデジタル変換器は、アナログデジタル変換チップに設けられ、

前記変換時間測定部は、制御チップに設けられる

前記（２）から（１０）のいずれかに記載のシステム。

（１２）前記アナログデジタル変換チップは、アナログデジタル変換器格納筐体に設けられ、

前記制御チップは、制御部格納筐体に設けられる

前記（１１）記載のシステム。

（１３）前記アナログ信号を生成するセンサと、

前記生成されたアナログ信号をサンプリングして保持するサンプルホールド回路と

をさらに具備し、

前記サンプルホールド回路は、前記アナログデジタル変換チップに設けられ、

前記アナログデジタル変換チップは、前記センサに接続され、

前記センサは、前記アナログデジタル変換器格納筐体に設けられる
前記（１２）記載のシステム。

（１４）前記デジタル信号をシリアル信号に変換して前記制御部格納筐体に送信する伝送インターフェースをさらに具備する

前記（１２）または（１３）に記載のシステム。

（１５）前記デジタル信号を前記制御部格納筐体に非接触で送信する処理と前記電源電圧の制御量を示す制御信号を前記制御部格納筐体から非接触で受信する処理とを行う非接触伝送インターフェースをさらに具備する

前記（１２）または（１３）に記載のシステム。

（１６）前記非接触伝送インターフェースは、前記制御部格納筐体から前記アナログデジタル変換器格納筐体の消費電力に応じた電力の交流信号を非接触で受電して前記比較器に供給する

前記（１５）記載のシステム。

（１７）前記非接触伝送インターフェースは、前記制御信号が搬送波に重畳された前記交流信号を非接触で前記制御部格納筐体から受信し、前記搬送波に基づいて生成した新たな交流信号に前記デジタル信号を重畳して前記制御部格納筐体に送信する

前記（１６）記載のシステム。

（１８）前記電源電圧発生部は、前記アナログ信号のサンプリングが指示されたときから前記比較回数が所定回数に達するまでの供給期間に亘って前記電源電圧を供給し、前記供給期間以外の期間において前記電源電圧の供給を停止し、

前記一定回数は前記所定回数を超えない

前記（２）から（１７）のいずれかに記載のシステム。

（１９）アナログ信号と参照信号とを比較して比較結果を生成する比較器と

、

前記比較結果が生成されるたびに当該比較結果を保持して前記比較結果からなるデジタル信号を出力するデジタル信号保持部と、

前記デジタル信号に基づいて前記参照信号の値を変更して前記比較器に供給する参照信号供給部と、

前記アナログ信号が比較された回数を比較回数として示す回数情報を出力する回数情報出力部と

を具備するアナログデジタル変換器。

(20) アナログ信号と参照信号とを比較して当該比較回数を示す回数情報を出力するアナログデジタル変換手順と、

前記回数情報に基づいて電源電圧を生成して前記アナログデジタル変換器に供給する電源電圧発生手順と

を具備するシステムの制御方法。

符号の説明

- [0190] 1 0 0 電子機器
- 1 0 1 A D 変換チップ
- 1 0 2 制御チップ
- 1 0 3 A D C 格納筐体
- 1 0 4 制御部格納筐体
- 1 1 0、1 1 1 電源電圧発生部
- 1 2 0、1 3 0 電源電圧算出部
- 1 3 1 電圧設定部
- 1 3 2 重み付け平均演算部
- 1 3 3 重み係数決定部
- 1 4 0、1 4 1 記憶部
- 1 5 0 変換時間測定部
- 1 6 0 A D C 制御部
- 1 7 0 変換データ処理部

- 180、310 伝送インターフェース
- 190、320 非接触伝送インターフェース
- 200 アナログデジタル変換器
- 205 アナログデジタル変換部
- 210 サンプルホールド回路
- 220 比較器
- 221～229 トランジスタ
- 230 ラッチ回路
- 240 電圧発生部
- 250 レジスタ
- 260 DA変換器
- 270 XOR（排他的論理和）ゲート
- 280 ステートマシン
- 281 カウンタ
- 282 シーケンサ
- 283 NOT（否定）ゲート
- 284 変換終了信号生成部
- 300 センサ
- 305 センサアレイ

請求の範囲

- [請求項1] アナログ信号と参照信号とを比較して当該比較回数を示す回数情報を出力するアナログデジタル変換器と、
- 前記回数情報に基づいて電源電圧を生成して前記アナログデジタル変換器に供給する電源電圧発生部と
- を具備するシステム。
- [請求項2] 前記アナログ信号がサンプリングされたときから前記回数情報の示す前記比較回数が一定回数に達するまでの変換時間を測定する変換時間測定部をさらに具備し、
- 前記電源電圧発生部は、前記測定された変換時間に応じた前記電源電圧を生成し、
- 前記アナログデジタル変換器は、
- 前記アナログ信号と前記参照信号とを比較して前記比較結果を生成する比較器と、
- 前記比較結果が生成されるたびに当該比較結果を保持して当該保持値を示す信号をデジタル信号として出力するデジタル信号保持部と、
- 前記デジタル信号に基づいて前記参照信号の値を変更して前記比較器に供給する参照信号供給部と、
- 前記回数情報を出力する回数情報出力部と
- を備える
- 請求項1記載のシステム。
- [請求項3] 前記回数情報出力部は、前記アナログ信号がサンプリングされたときから所定のサンプリング周期が経過するまでの期間に亘って前記回数情報を出力し、
- 前記変換時間測定部は、前記比較回数が前記一定回数に達する前に前記サンプリング周期が経過した場合には前記サンプリング周期内の前記比較回数と前記所定のサンプリング周期とから前記変換時間を求める

請求項 2 記載のシステム。

[請求項4] 前記電源電圧発生部は、前記変換時間が長いほど高い前記電源電圧を生成する

請求項 2 記載のシステム。

[請求項5] 前記変換時間と所定の目標時間との差分を求めて当該差分から前記電源電圧の設定値を算出する電源電圧算出部をさらに具備し、

前記電源電圧発生部は、前記設定値に従って前記電源電圧を生成する

請求項 2 記載のシステム。

[請求項6] 所定の電圧制御周期内において測定された前記変換時間のそれぞれを保持する変換時間保持部をさらに具備し、

前記電源電圧算出部は、前記保持された変換時間のそれぞれの統計量を前記所定の電圧制御周期が経過するたびに算出して当該統計量と前記所定の目標時間との差分を求める

請求項 5 記載のシステム。

[請求項7] 前記変換時間保持部は、前記変換時間のそれぞれに対応付けて前記デジタル信号をさらに保持し、

前記電源電圧算出部は、特定の値の前記デジタル信号に対して前記特定の値以外のデジタル信号より小さい重み係数を決定して当該重み係数により前記変換時間の重み付け演算を行う

請求項 6 記載のシステム。

[請求項8] 前記電源電圧発生部は、前記参照信号供給部以外に電源電圧を供給する

請求項 2 記載のシステム。

[請求項9] 前記電源電圧の値に基づいて前記変換データを補正する変換データ処理部をさらに具備する請求項 8 記載のシステム。

[請求項10] 前記電源電圧発生部は、複数の前記アナログデジタル変換器のそれぞれの電源電圧を生成する

請求項 2 記載のシステム。

[請求項11] 前記アナログデジタル変換器は、アナログデジタル変換チップに設けられ、

前記変換時間測定部は、制御チップに設けられる

請求項 2 記載のシステム。

[請求項12] 前記アナログデジタル変換チップは、アナログデジタル変換器格納筐体に設けられ、

前記制御チップは、制御部格納筐体に設けられる

請求項 1 1 記載のシステム。

[請求項13] 前記アナログ信号を生成するセンサと、

前記生成されたアナログ信号をサンプリングして保持するサンプルホールド回路と

をさらに具備し、

前記サンプルホールド回路は、前記アナログデジタル変換チップに設けられ、

前記アナログデジタル変換チップは、前記センサに接続され、

前記センサは、前記アナログデジタル変換器格納筐体に設けられる

請求項 1 2 記載のシステム。

[請求項14] 前記デジタル信号をシリアル信号に変換して前記制御部格納筐体に送信する伝送インターフェースをさらに具備する

請求項 1 2 記載のシステム。

[請求項15] 前記デジタル信号を前記制御部格納筐体に非接触で送信する処理と前記電源電圧の制御量を示す制御信号を前記制御部格納筐体から非接触で受信する処理とを行う非接触伝送インターフェースをさらに具備する

請求項 1 2 記載のシステム。

[請求項16] 前記非接触伝送インターフェースは、前記制御部格納筐体から前記アナログデジタル変換器格納筐体の消費電力に応じた電力の交流信号

を非接触で受電して前記比較器に供給する

請求項 15 記載のシステム。

[請求項17] 前記非接触伝送インターフェースは、前記制御信号が搬送波に重畳された前記交流信号を非接触で前記制御部格納筐体から受信し、前記搬送波に基づいて生成した新たな交流信号に前記デジタル信号を重畳して前記制御部格納筐体に送信する

請求項 16 記載のシステム。

[請求項18] 前記電源電圧発生部は、前記アナログ信号のサンプリングが指示されたときから前記比較回数が所定回数に達するまでの供給期間に亘って前記電源電圧を供給し、前記供給期間以外の期間において前記電源電圧の供給を停止し、

前記一定回数は前記所定回数を超えない

請求項 2 記載のシステム。

[請求項19] アナログ信号と参照信号とを比較して比較結果を生成する比較器と、

前記比較結果が生成されるたびに当該比較結果を保持して前記比較結果からなるデジタル信号を出力するデジタル信号保持部と、

前記デジタル信号に基づいて前記参照信号の値を変更して前記比較器に供給する参照信号供給部と、

前記アナログ信号が比較された回数を比較回数として示す回数情報を出力する回数情報出力部と

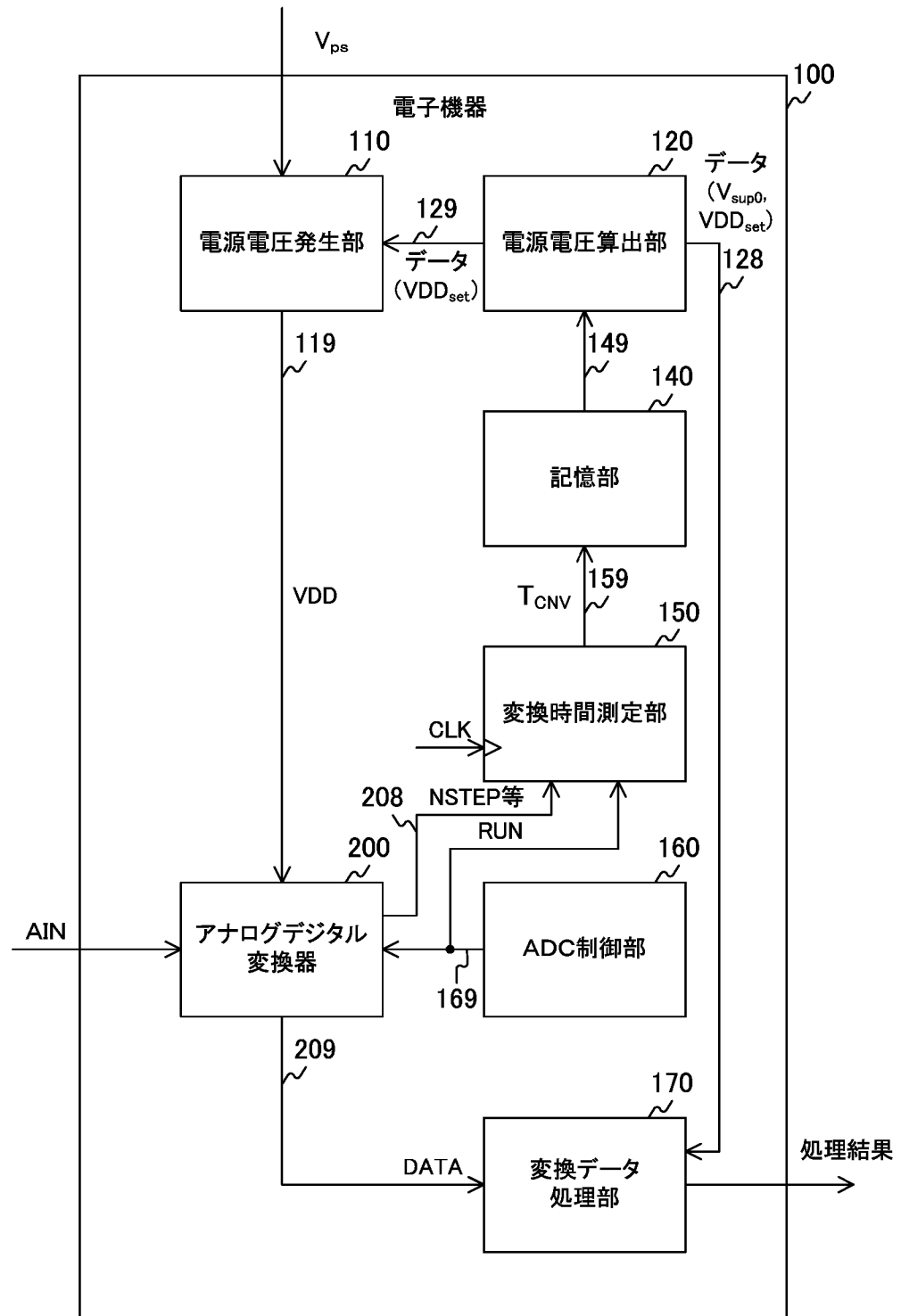
を具備するアナログデジタル変換器。

[請求項20] アナログ信号と参照信号とを比較して当該比較回数を示す回数情報を出力するアナログデジタル変換手順と、

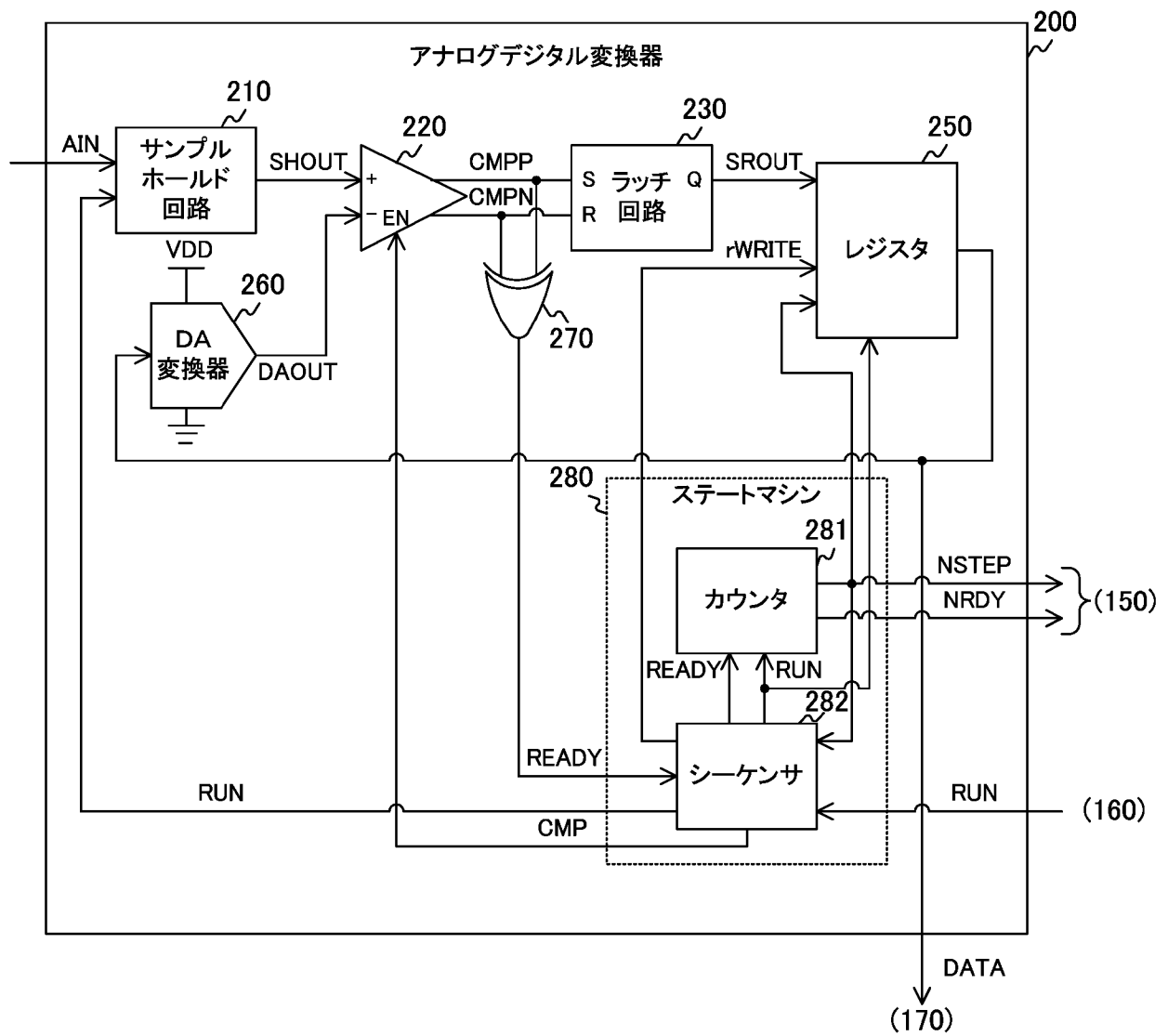
前記回数情報に基づいて電源電圧を生成して前記アナログデジタル変換器に供給する電源電圧発生手順と

を具備するシステムの制御方法。

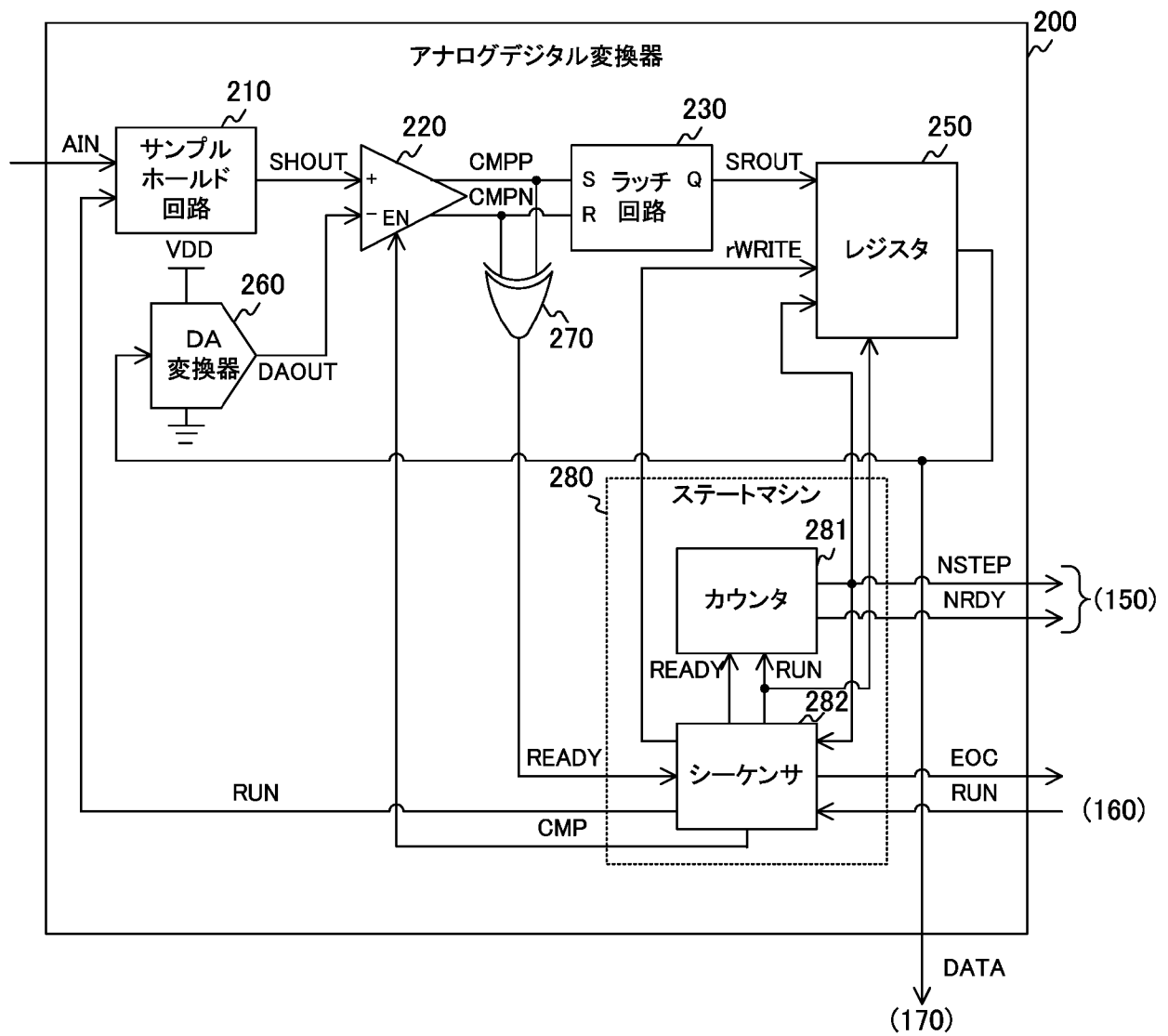
[図1]

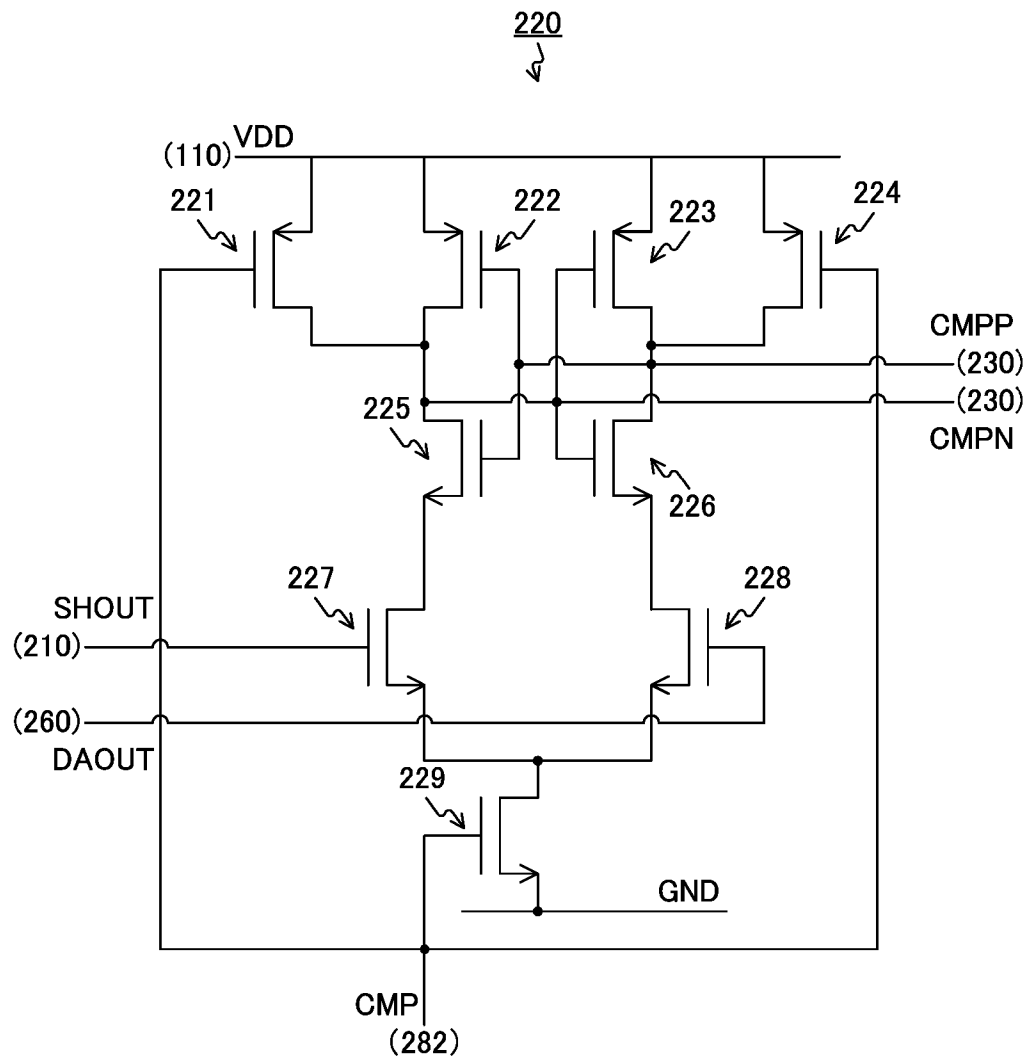


[図2]



[図3]





[図5]

比較器制御信号CMP	入力電圧 (SHOUT)	差動信号	
		CMPP	CMPN
0	—	ハイレベル	ハイレベル
1	入力電圧 (SHOUT) > 参照電圧 (DAOUT)	ハイレベル	ローレベル
	入力電圧 ≤ 参照電圧	ローレベル	ハイレベル

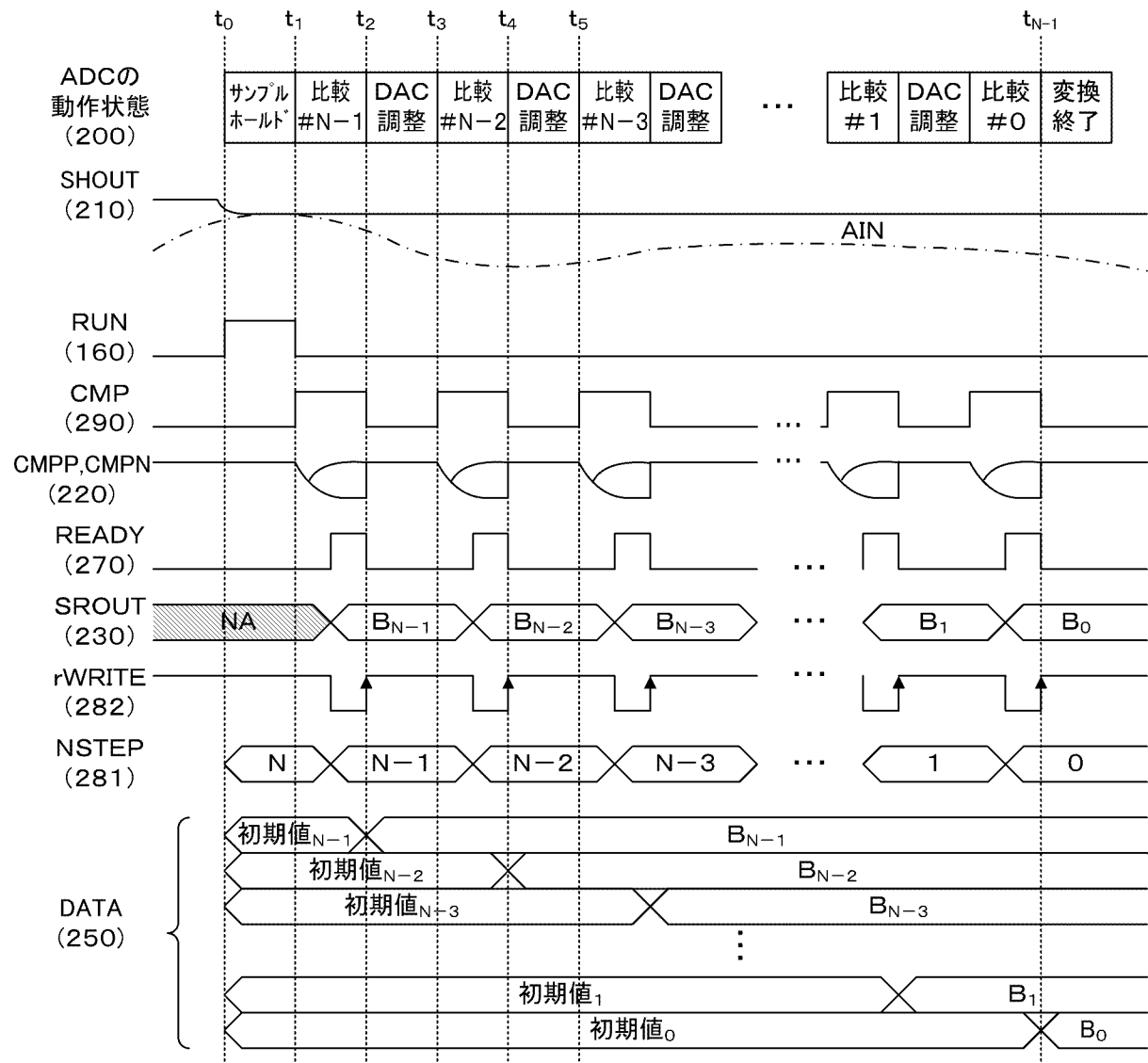
[図6]

ライト制御信号 rWRITE	開始指示信号 RUN	レジスタの動作
—	1	DATAのリセット
↑	0	DATAのうちNSTEPに対応する桁のビットを ラッチ出力信号SROUTにより更新
↑ 以外	0	状態保持

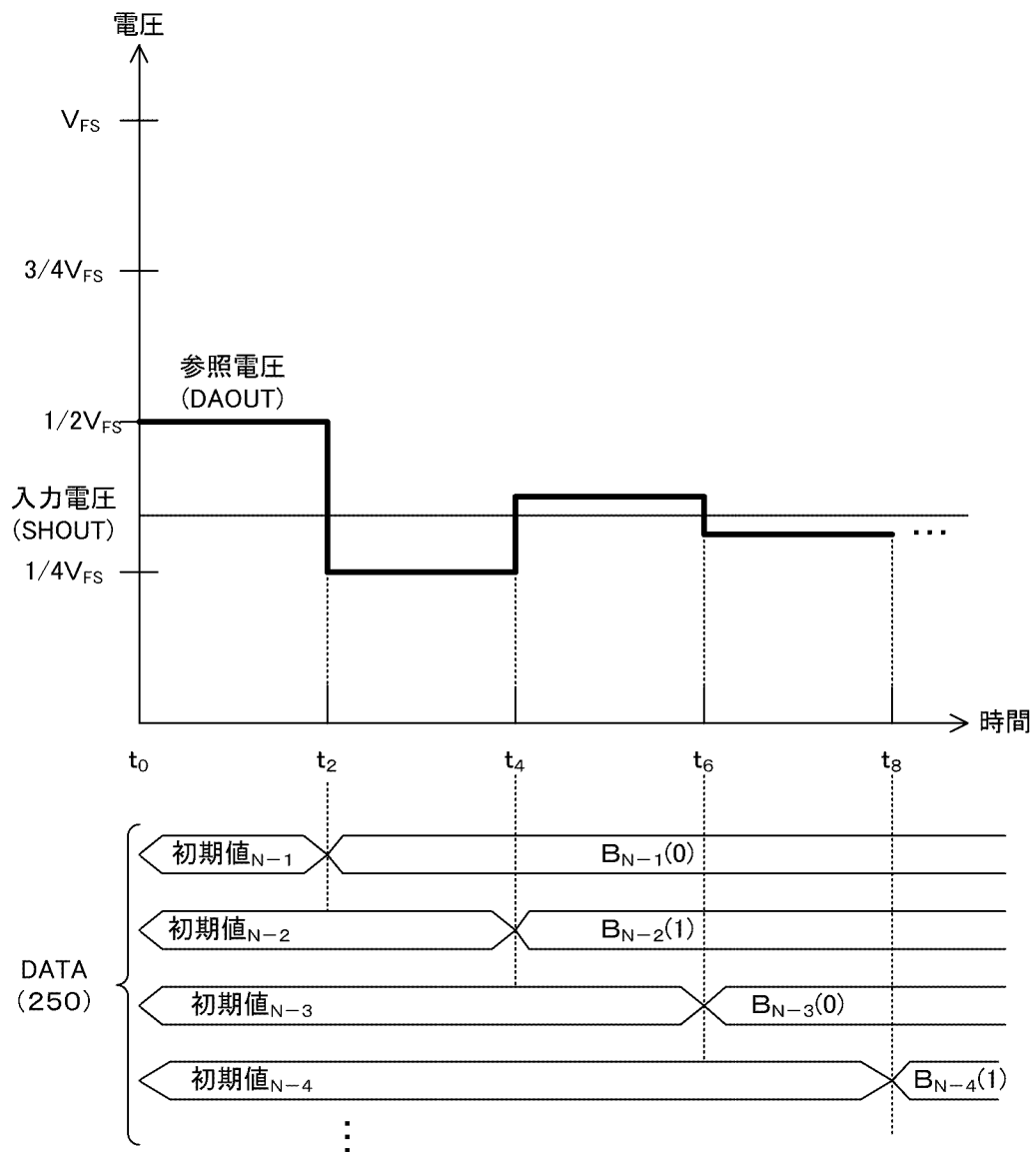
[図7]

比較カウンタ値 NSTEP	開始制御信号RUN	変換時間測定部の動作
—	↓	計時開始
0以外の値	0	計時の継続
0	—	計時を終了し、 計時時間を変換時間として出力
0以外の値	↑	計時を終了し、 直前のNSTEPから変換時間を算出

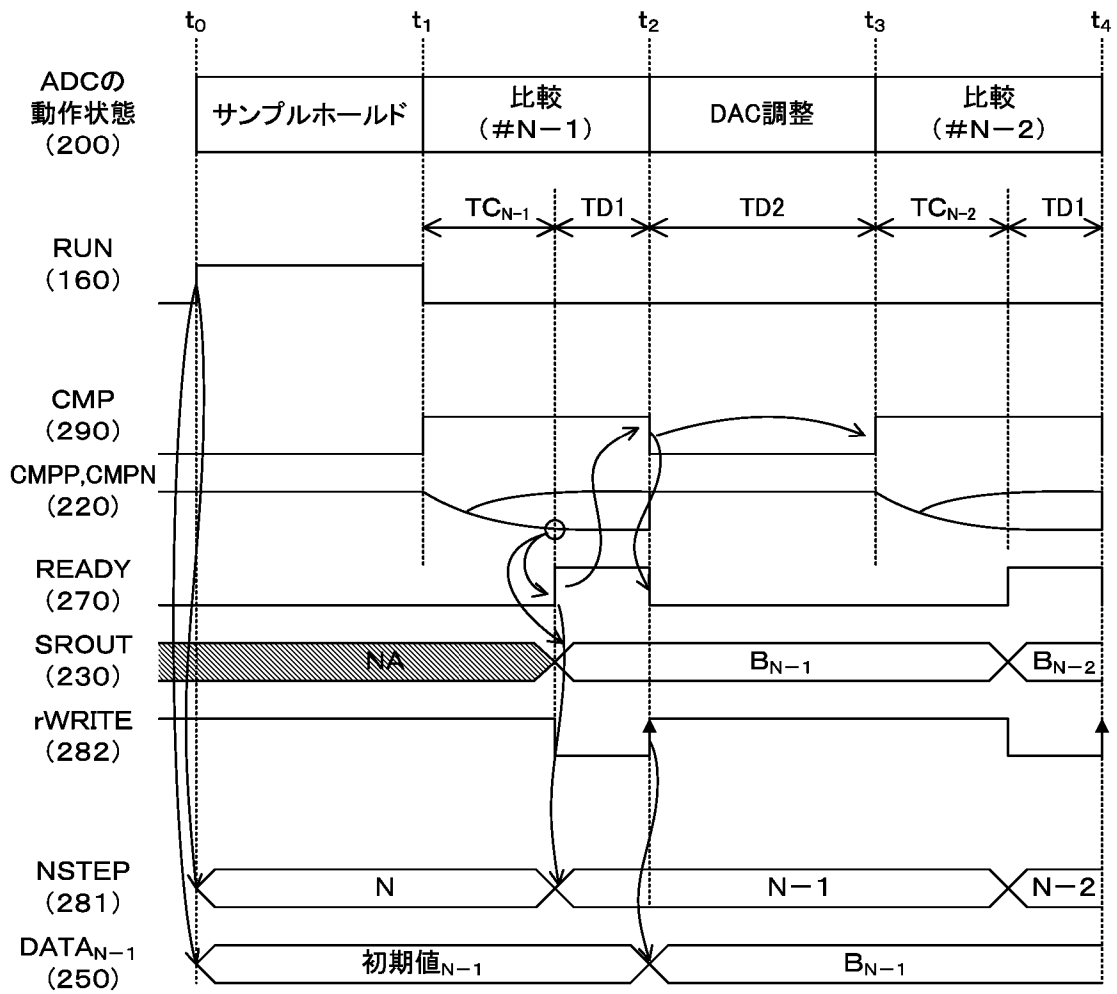
[図8]



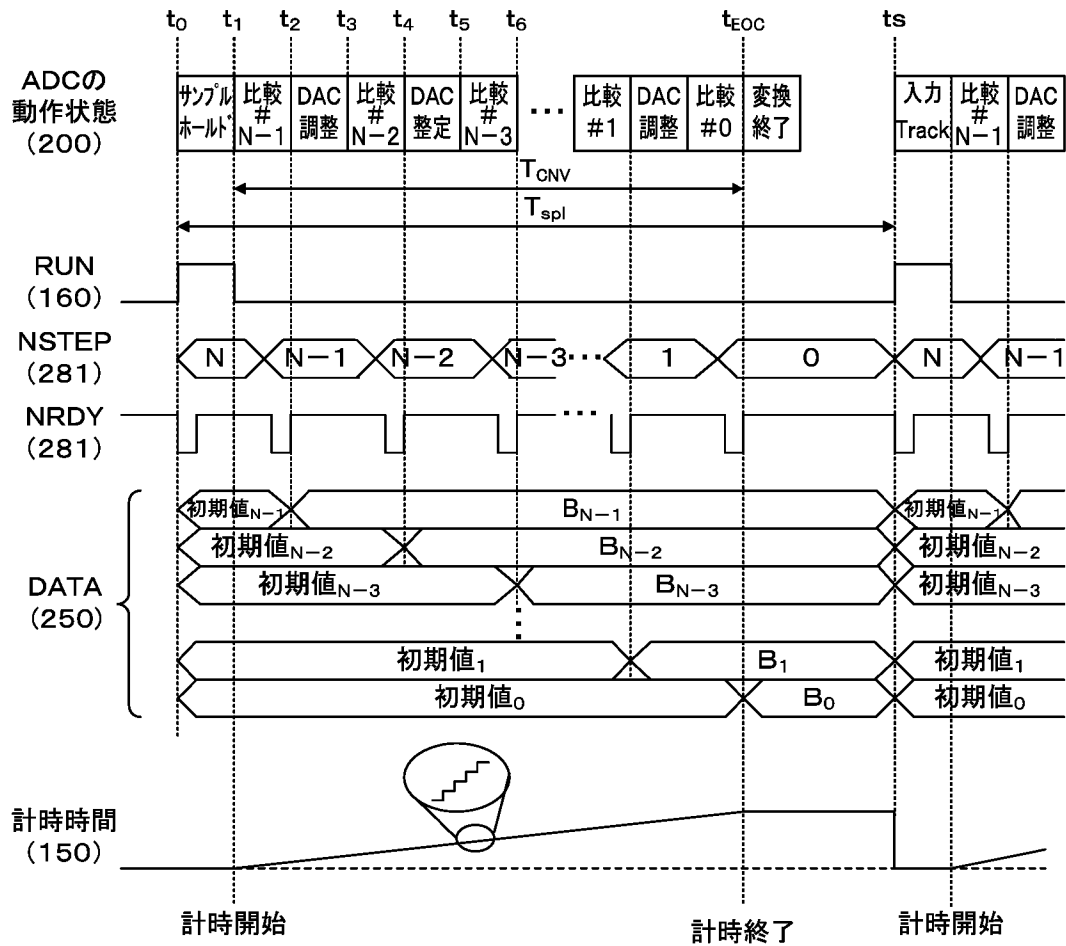
[図9]



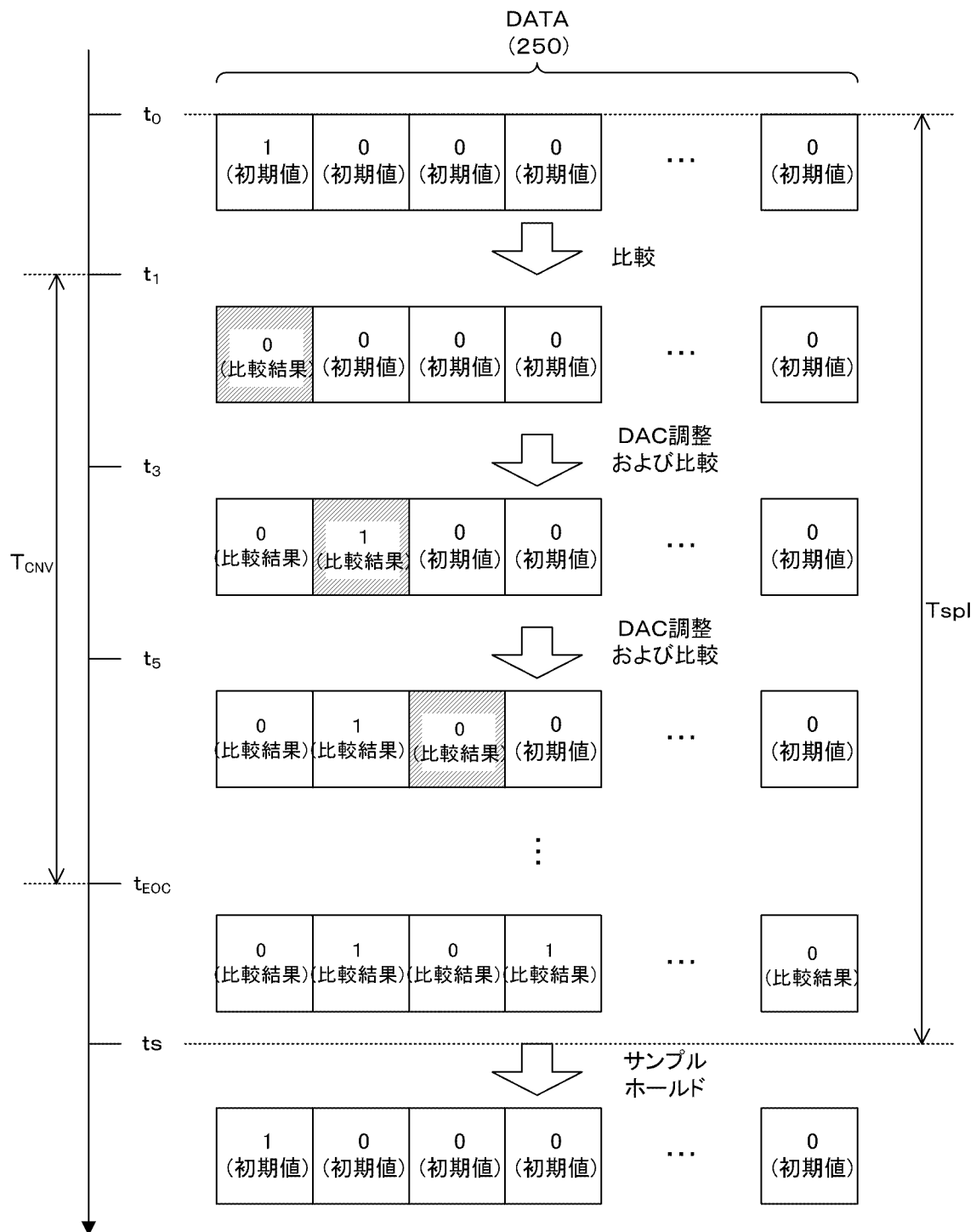
[図10]



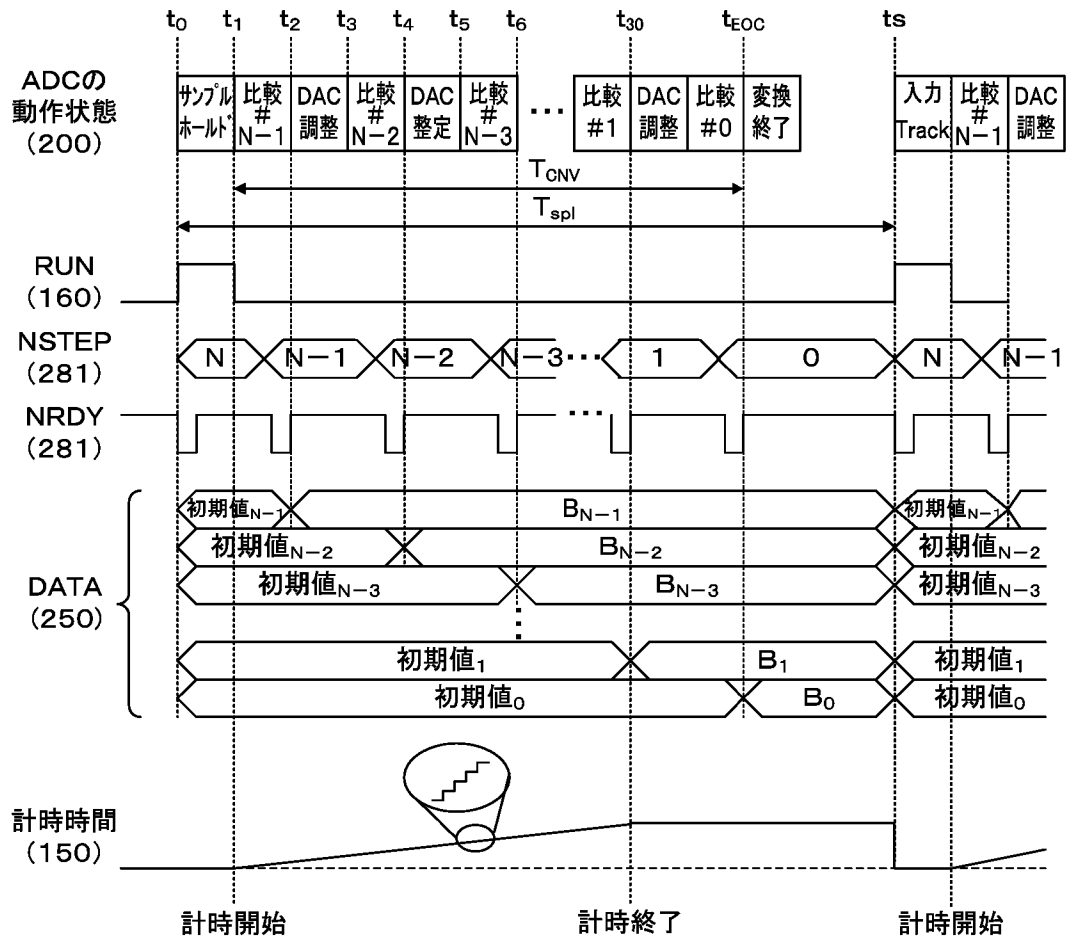
[図11]



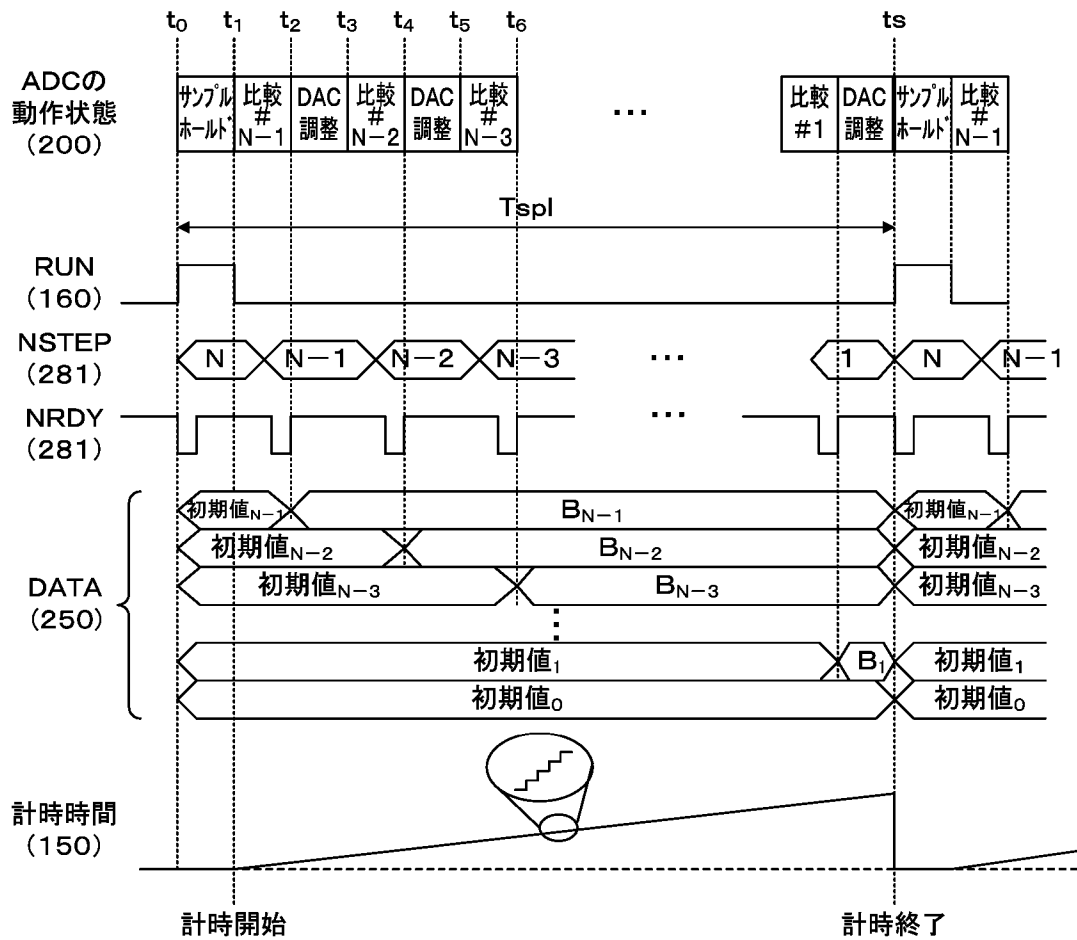
[図12]



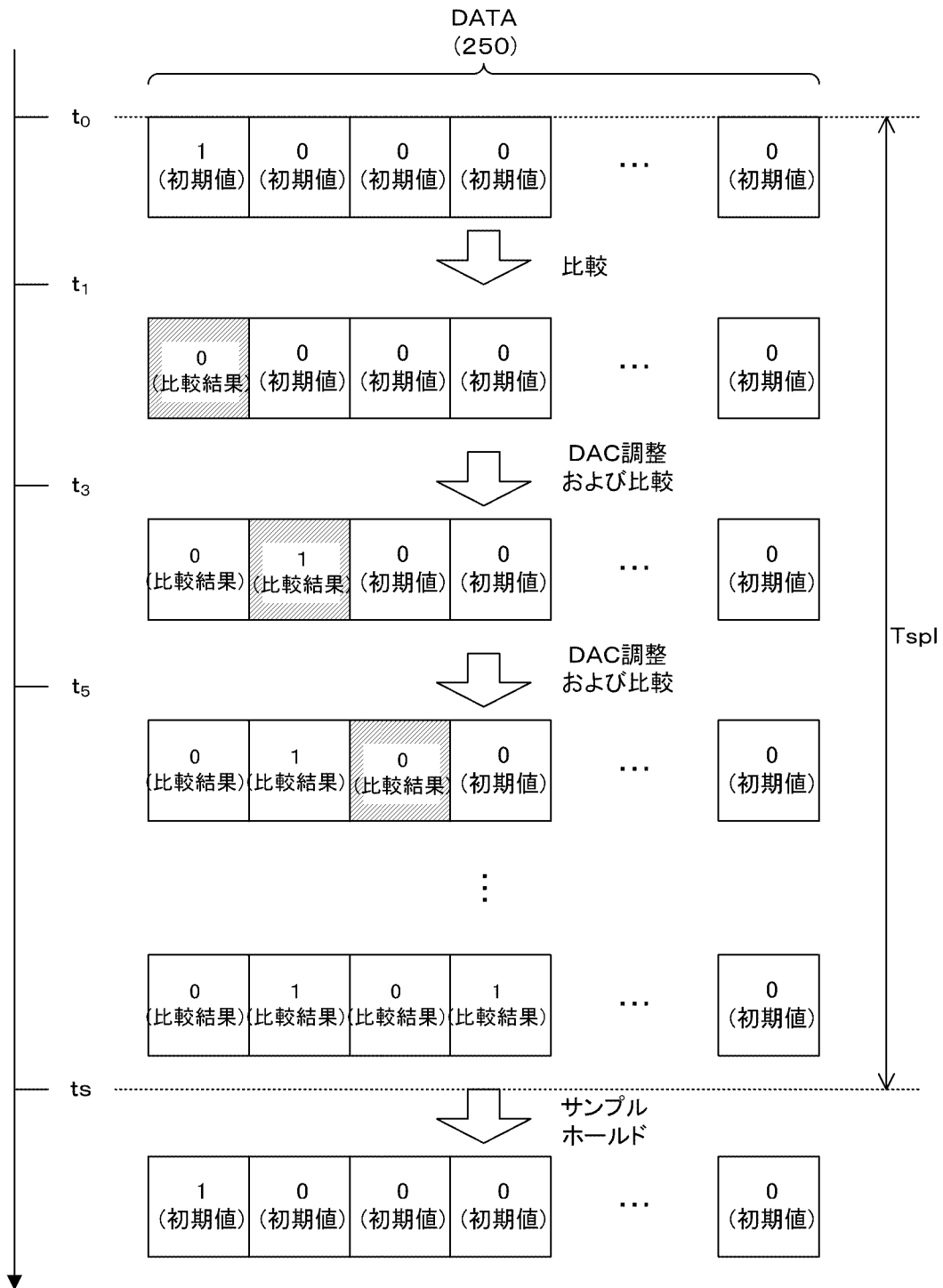
[図13]



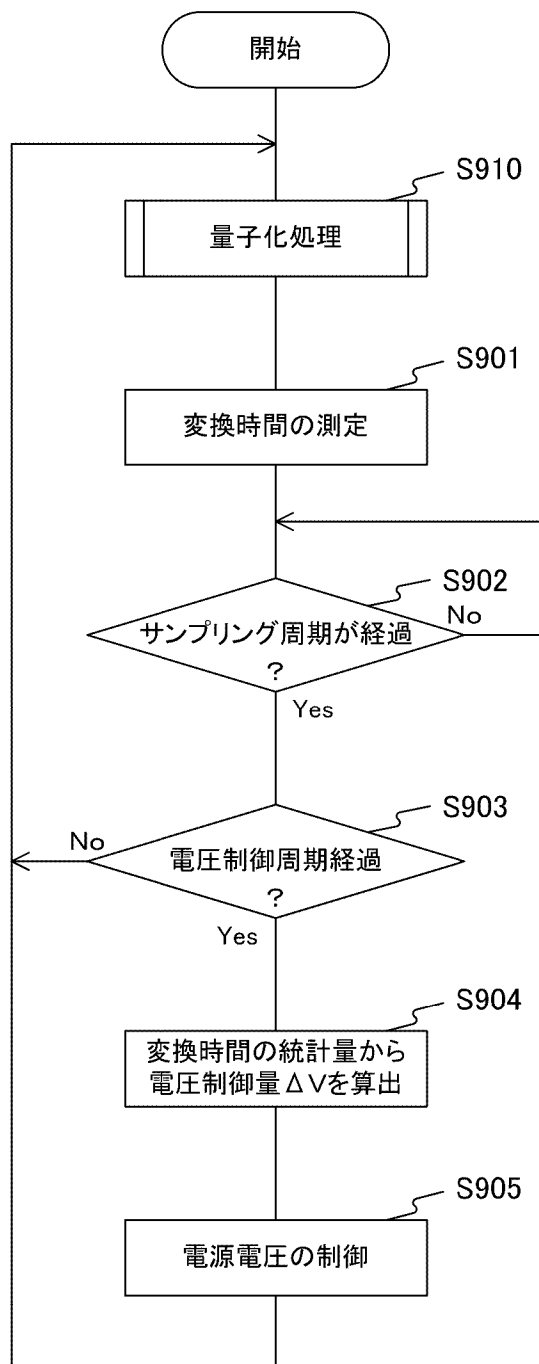
[図14]



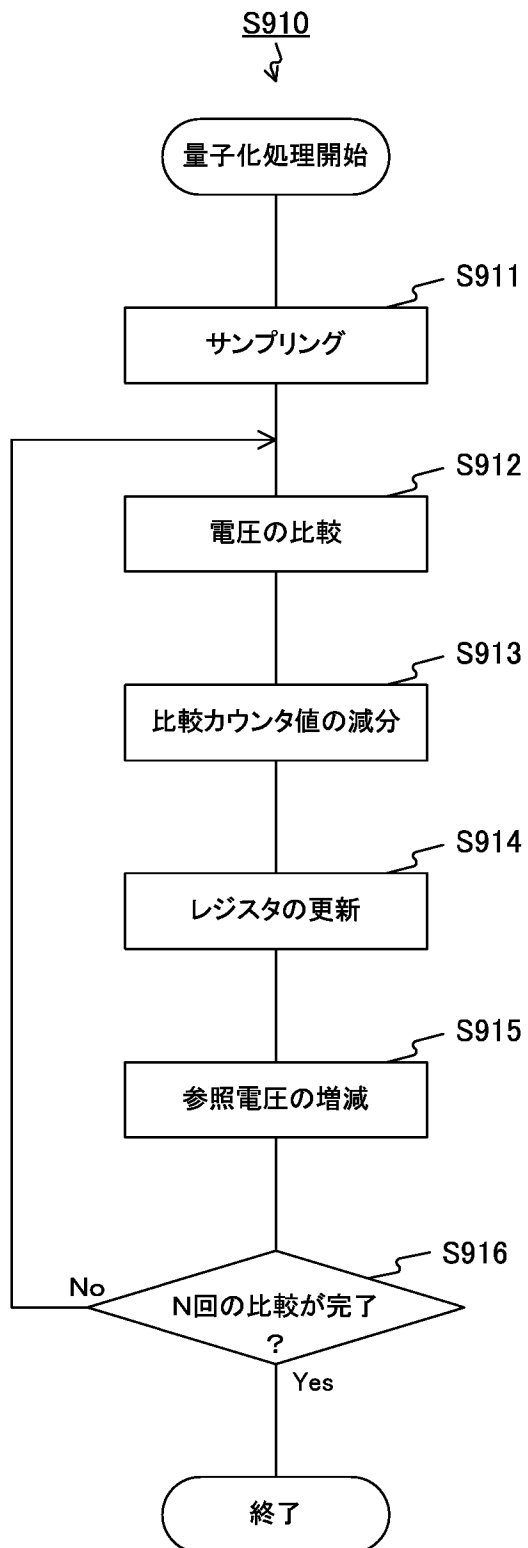
[図15]



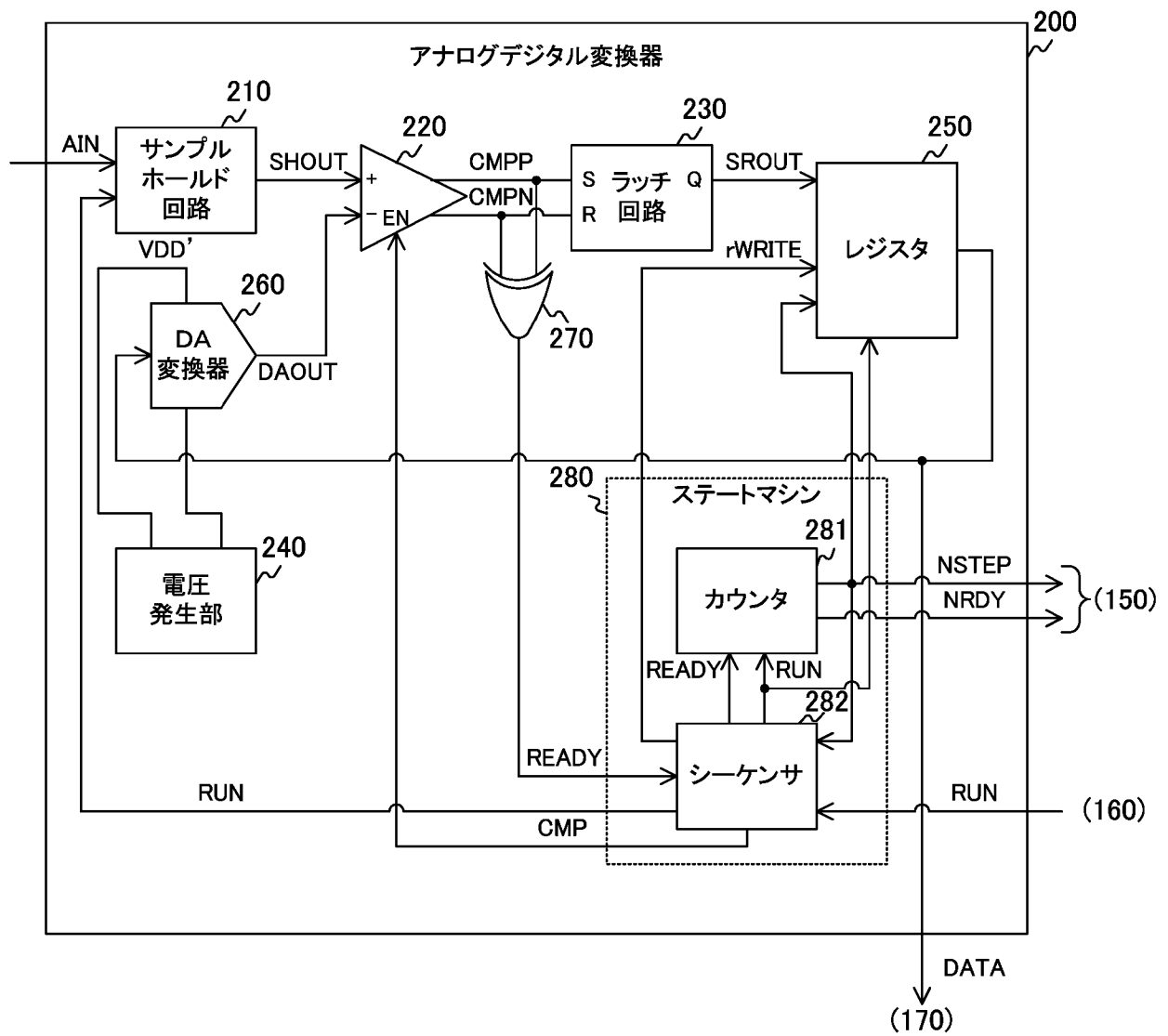
[図16]



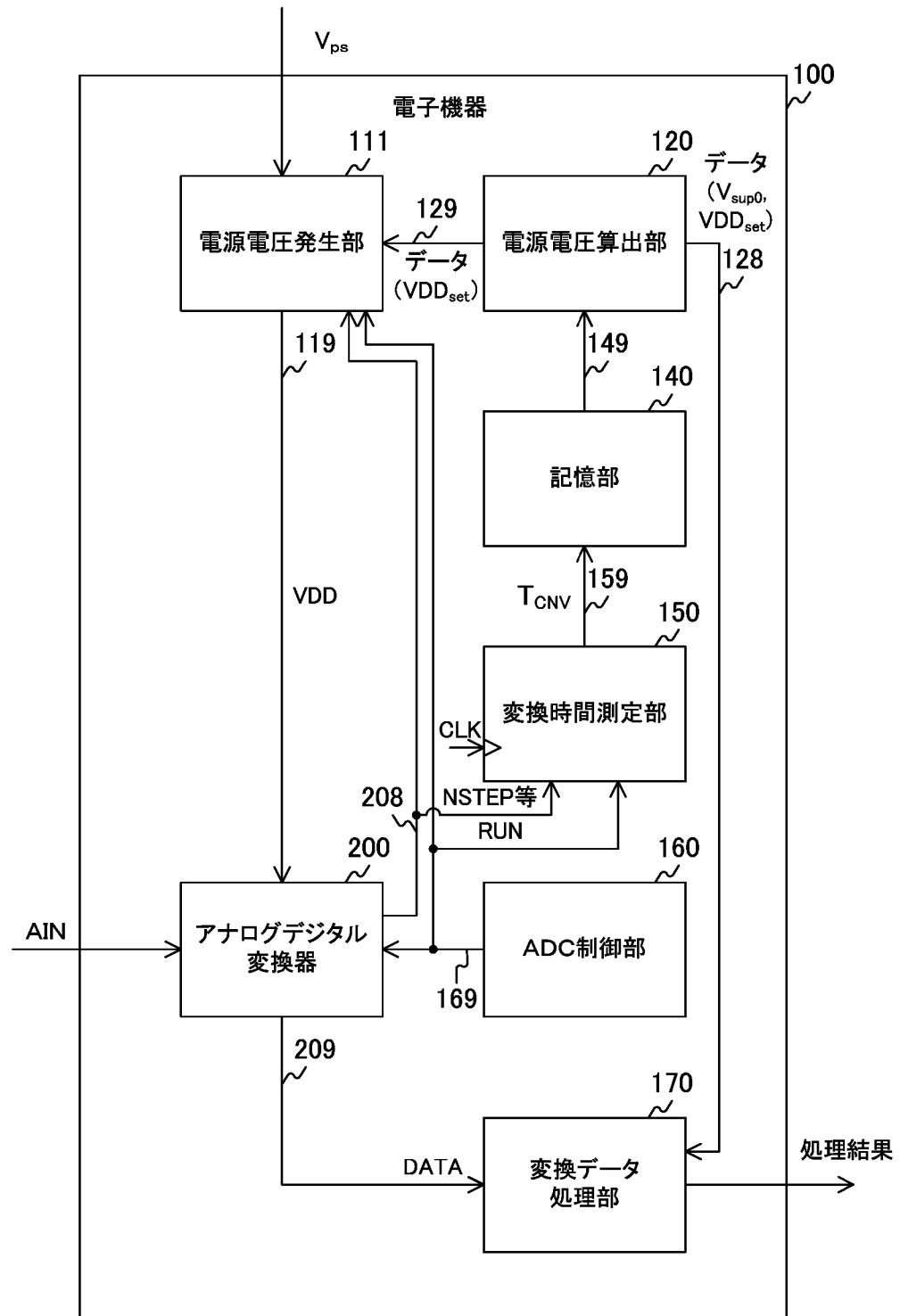
[図17]



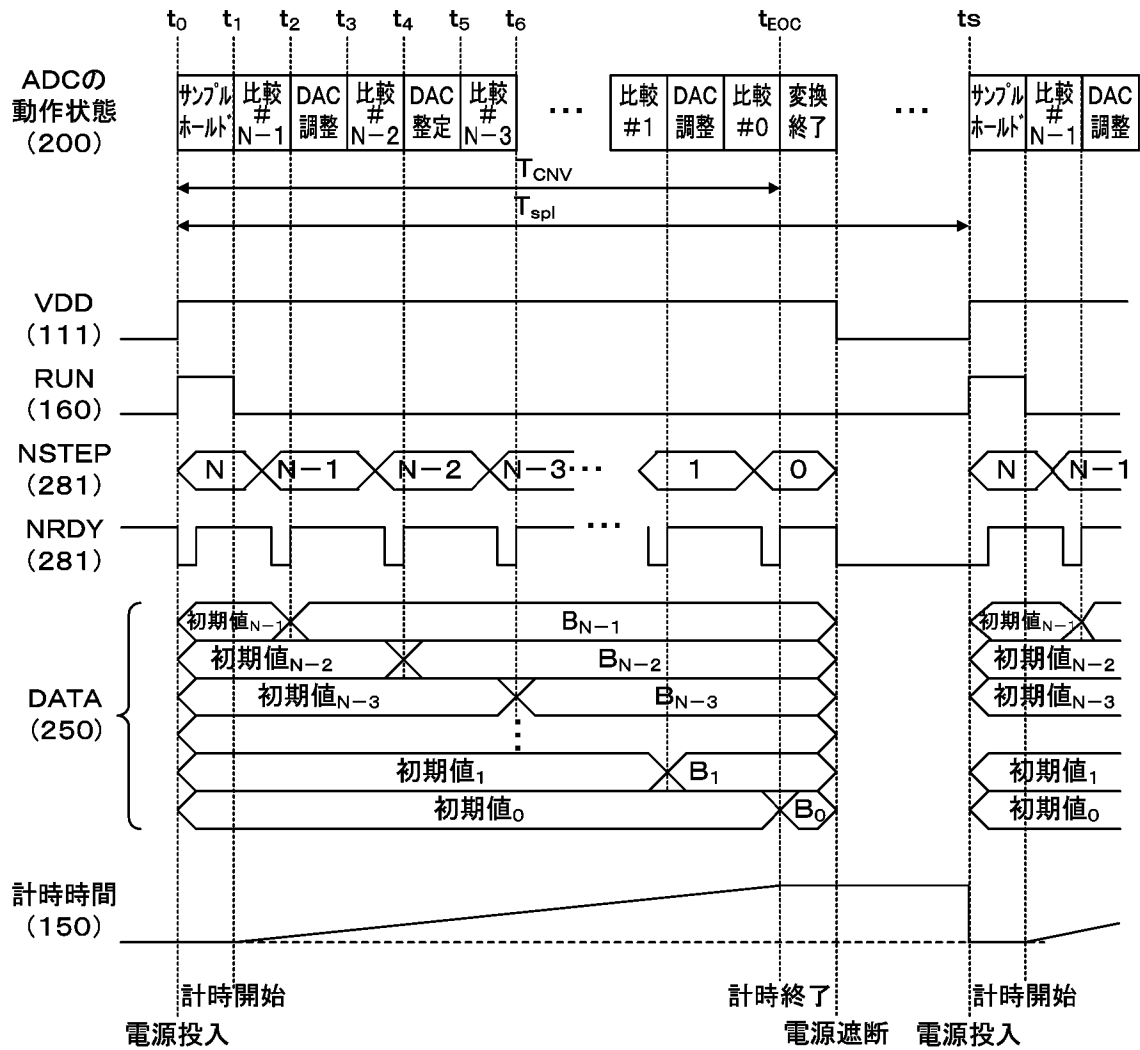
[図18]



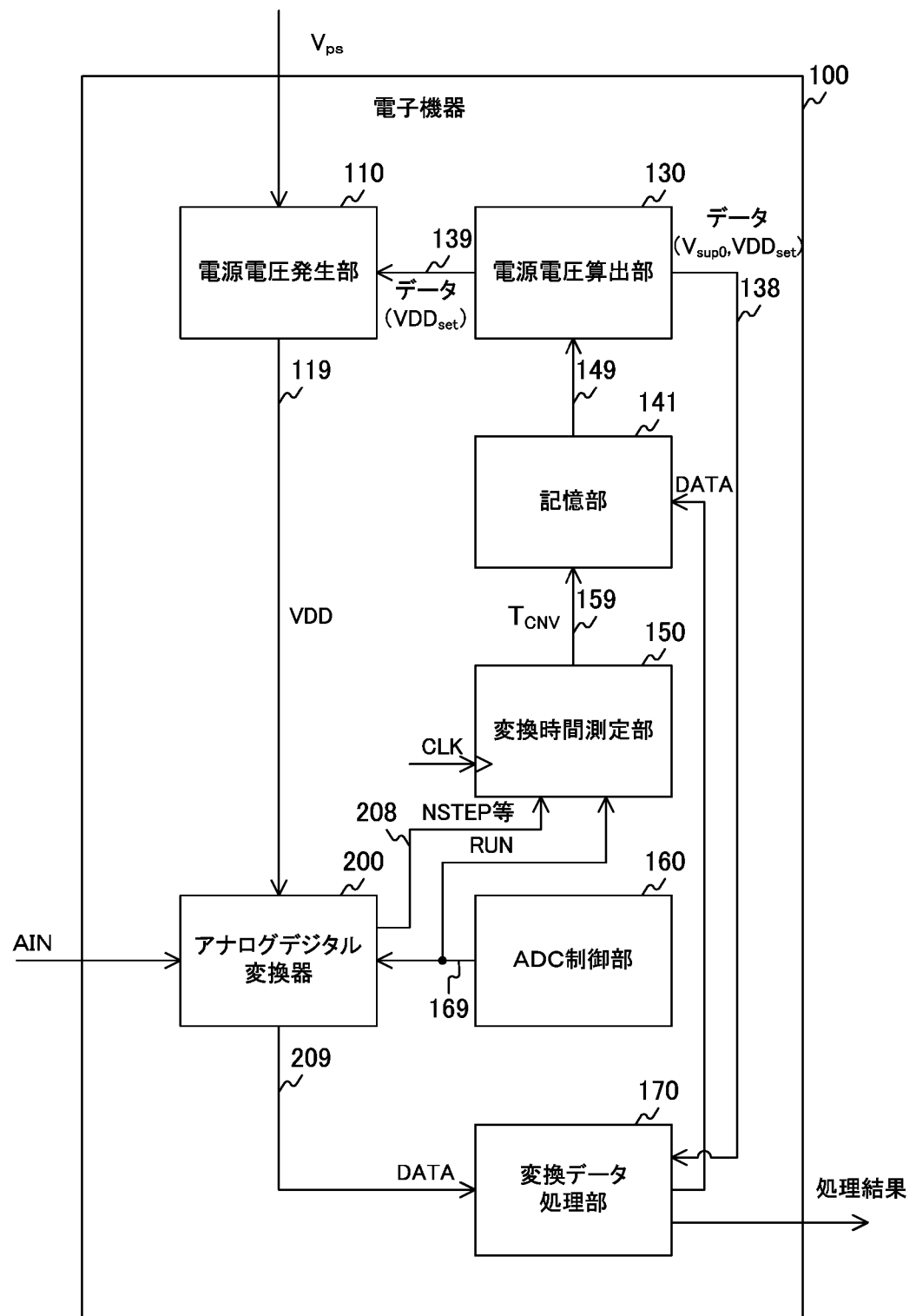
[図19]



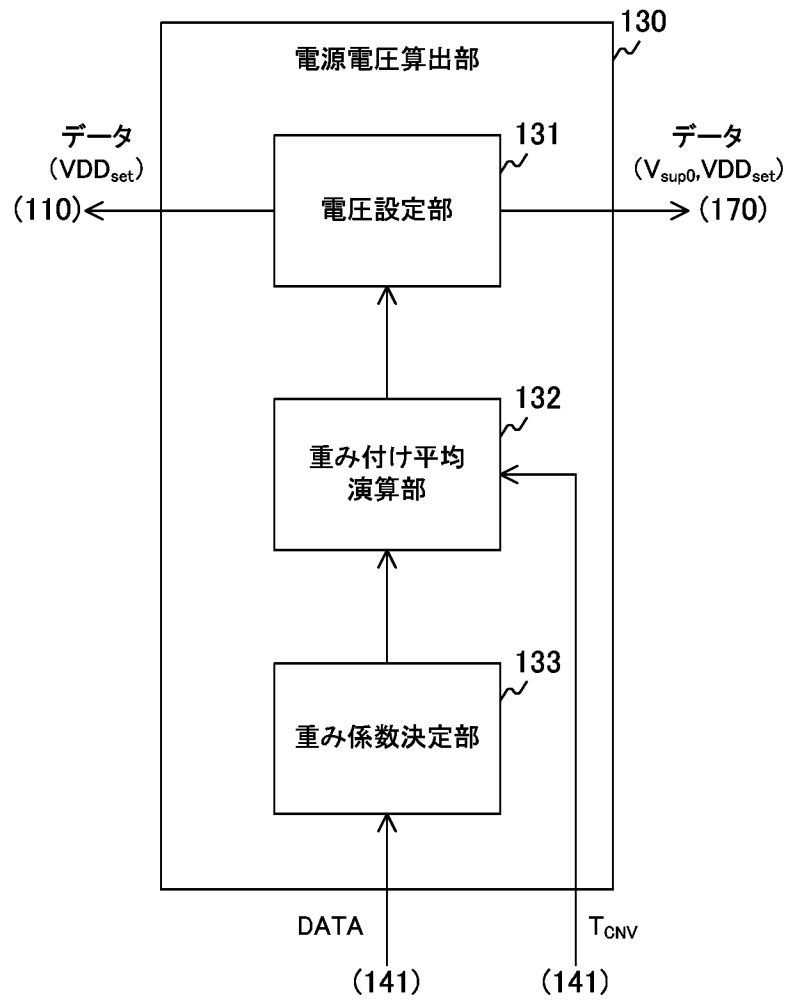
[図20]



[図21]



[図22]

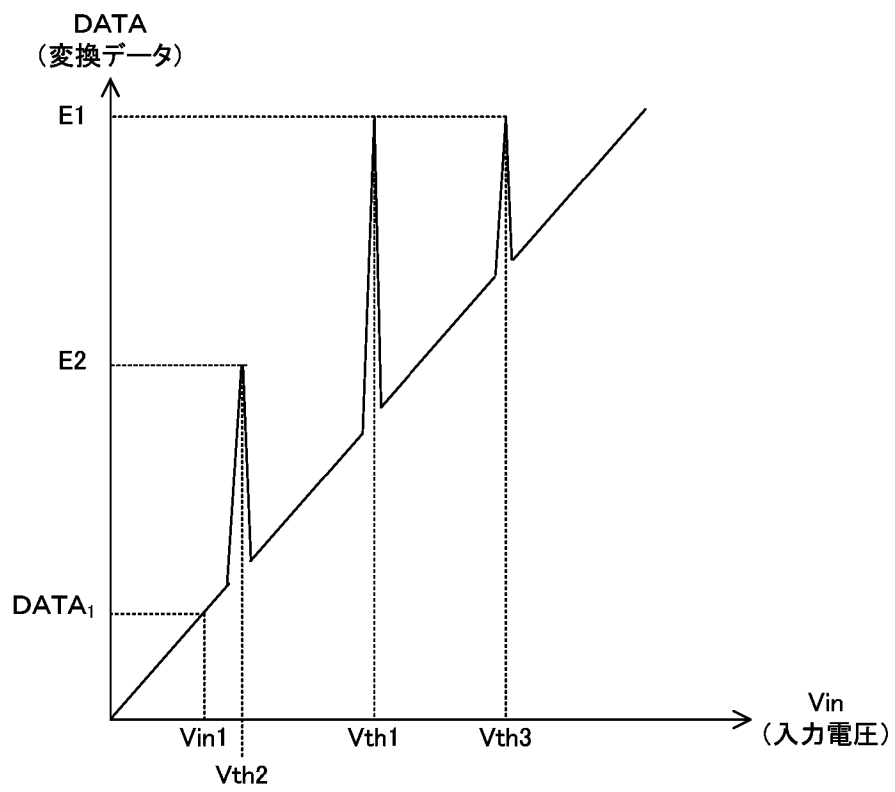


[図23]

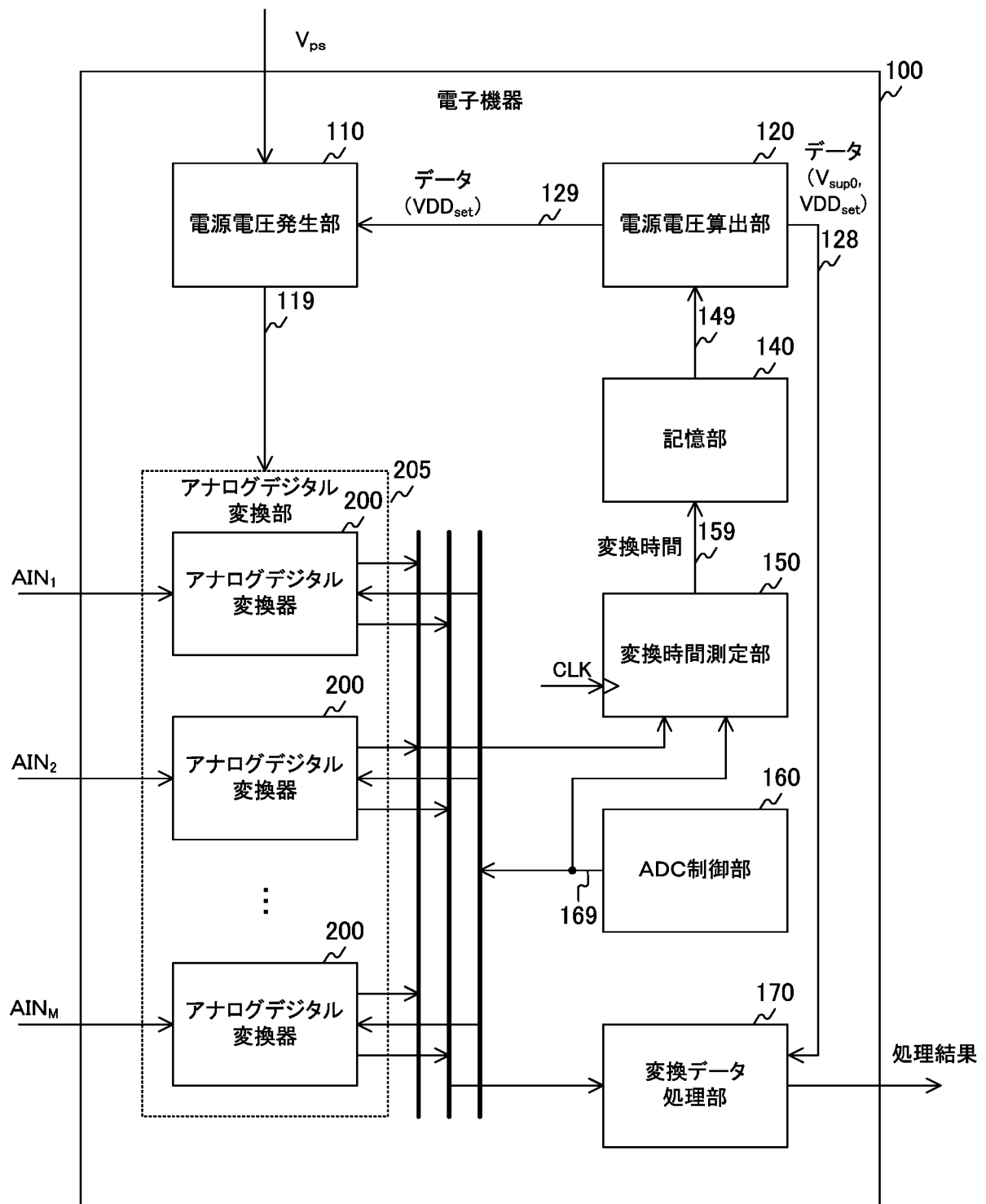
141
↓

変換時間	変換データ
T _{CNV1}	DATA ₁
T _{CNV2}	DATA ₂
T _{CNV3}	DATA ₃
⋮	⋮

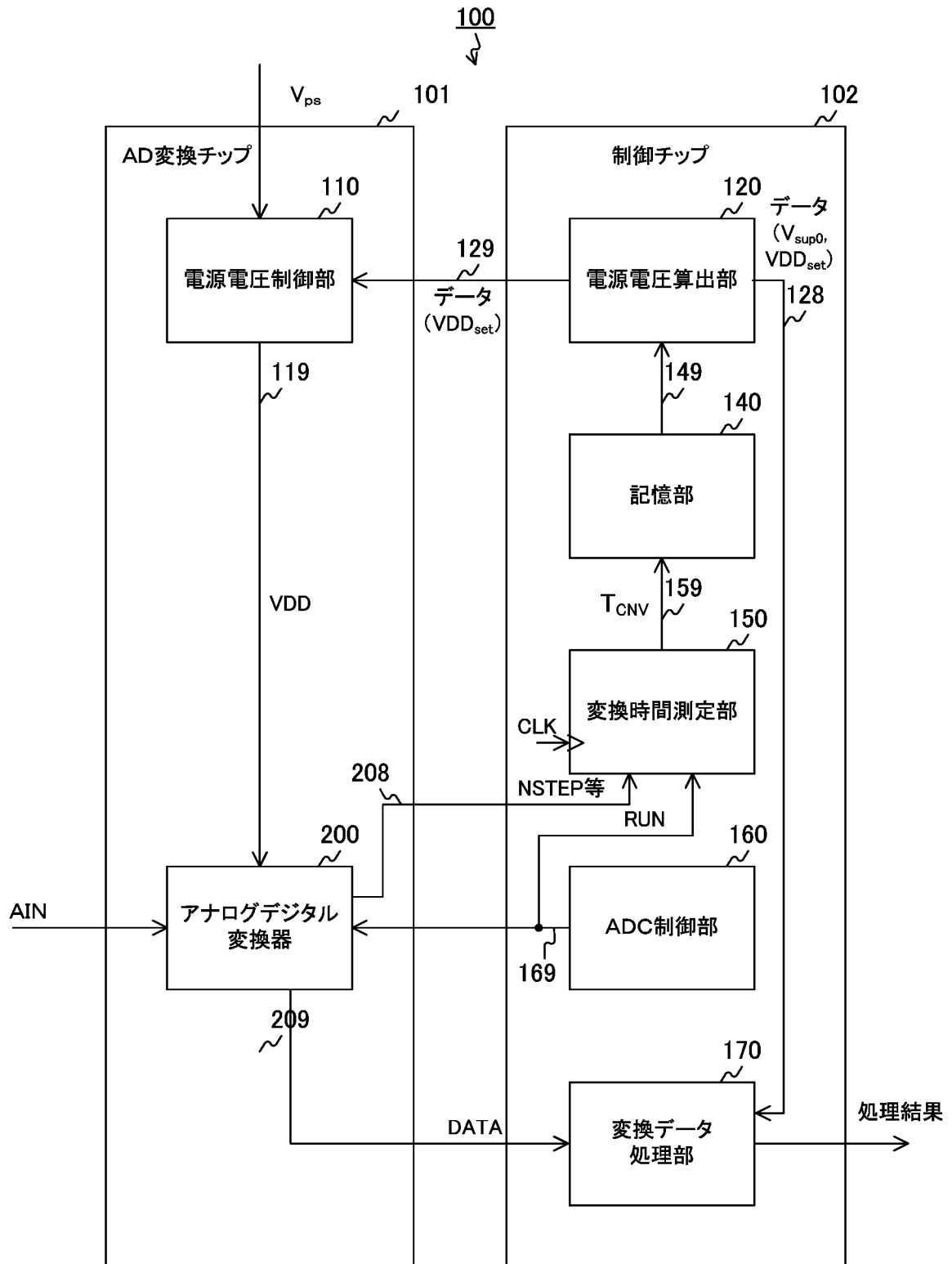
[図24]



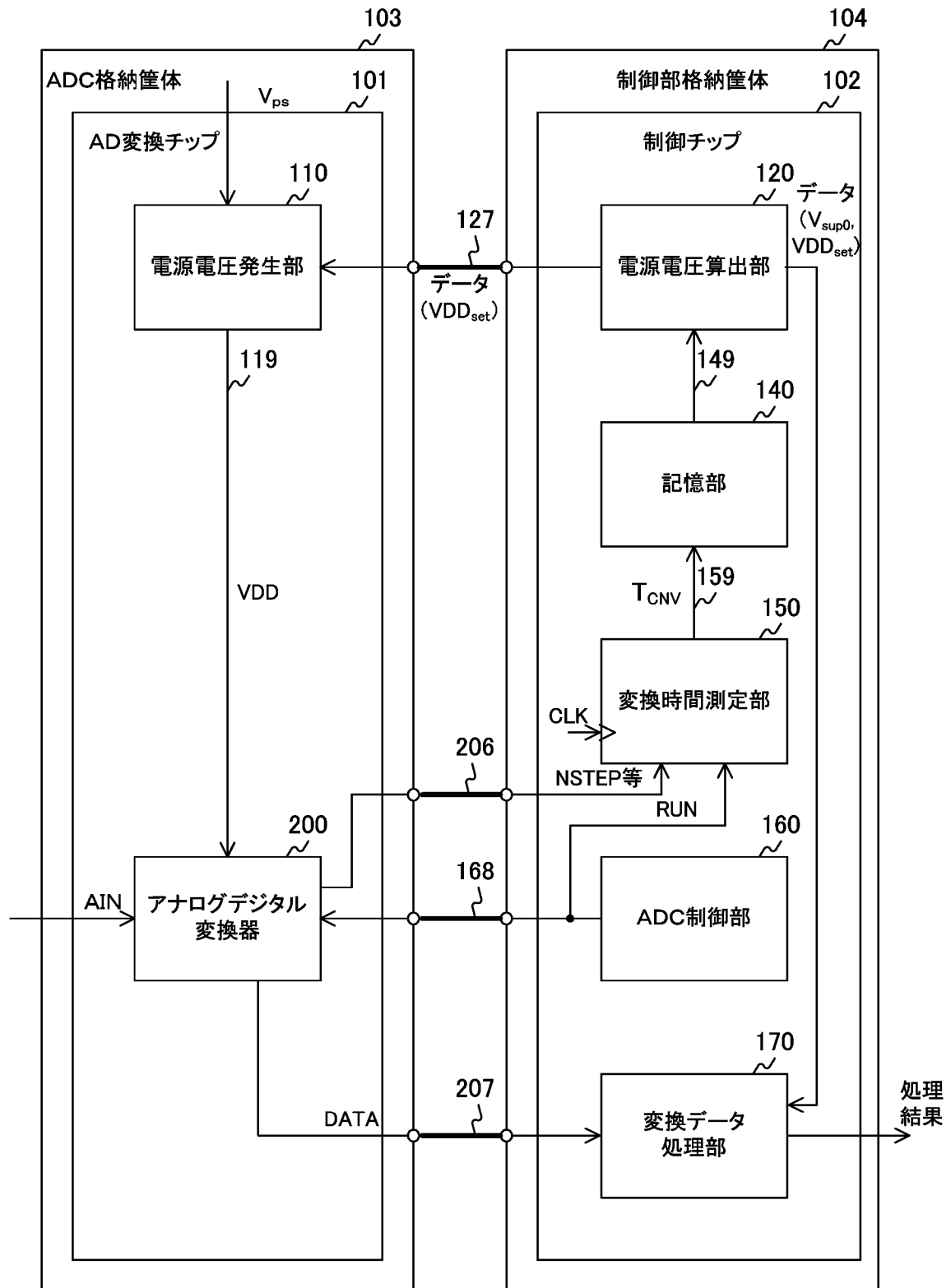
[図25]



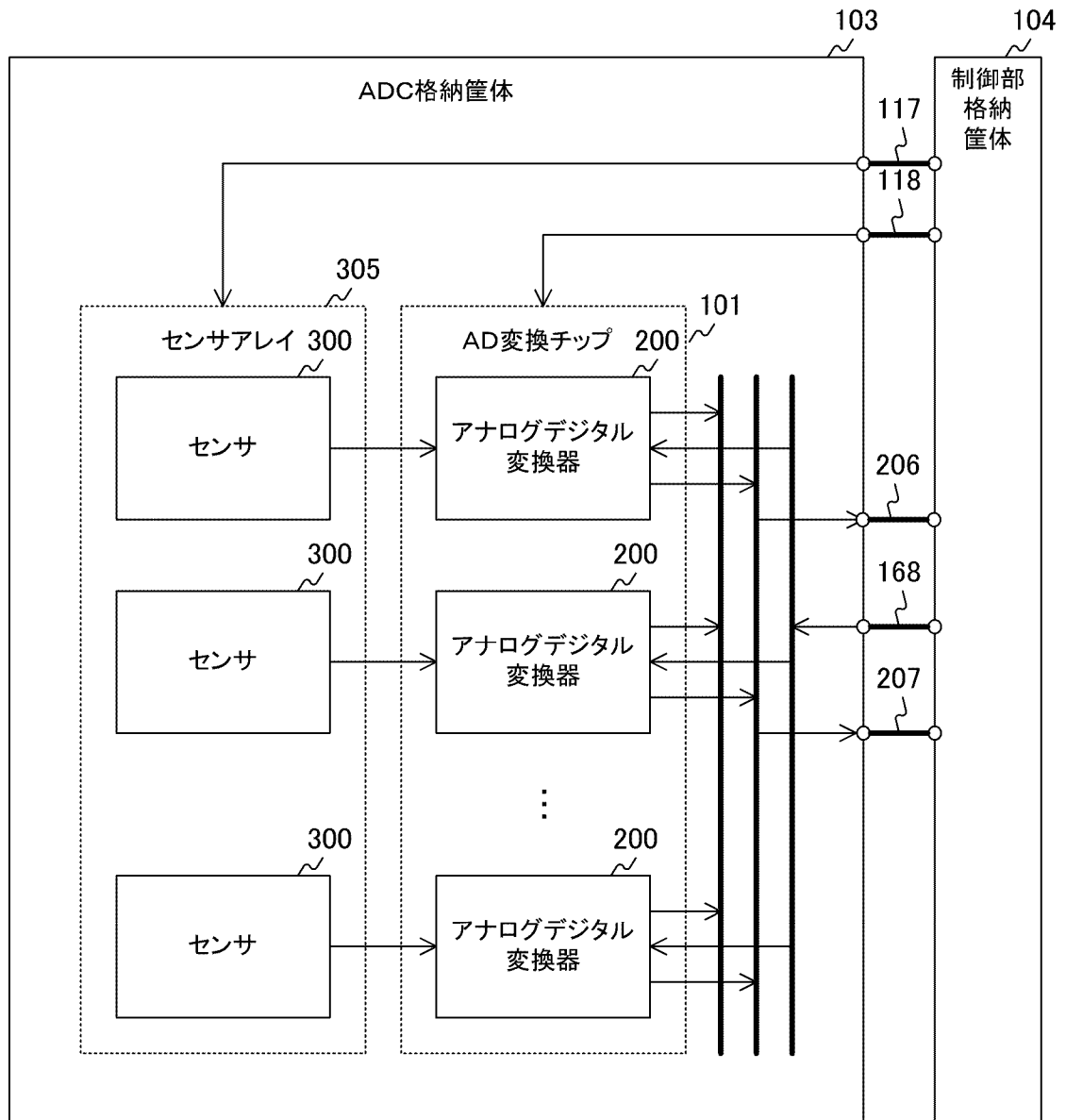
[図26]



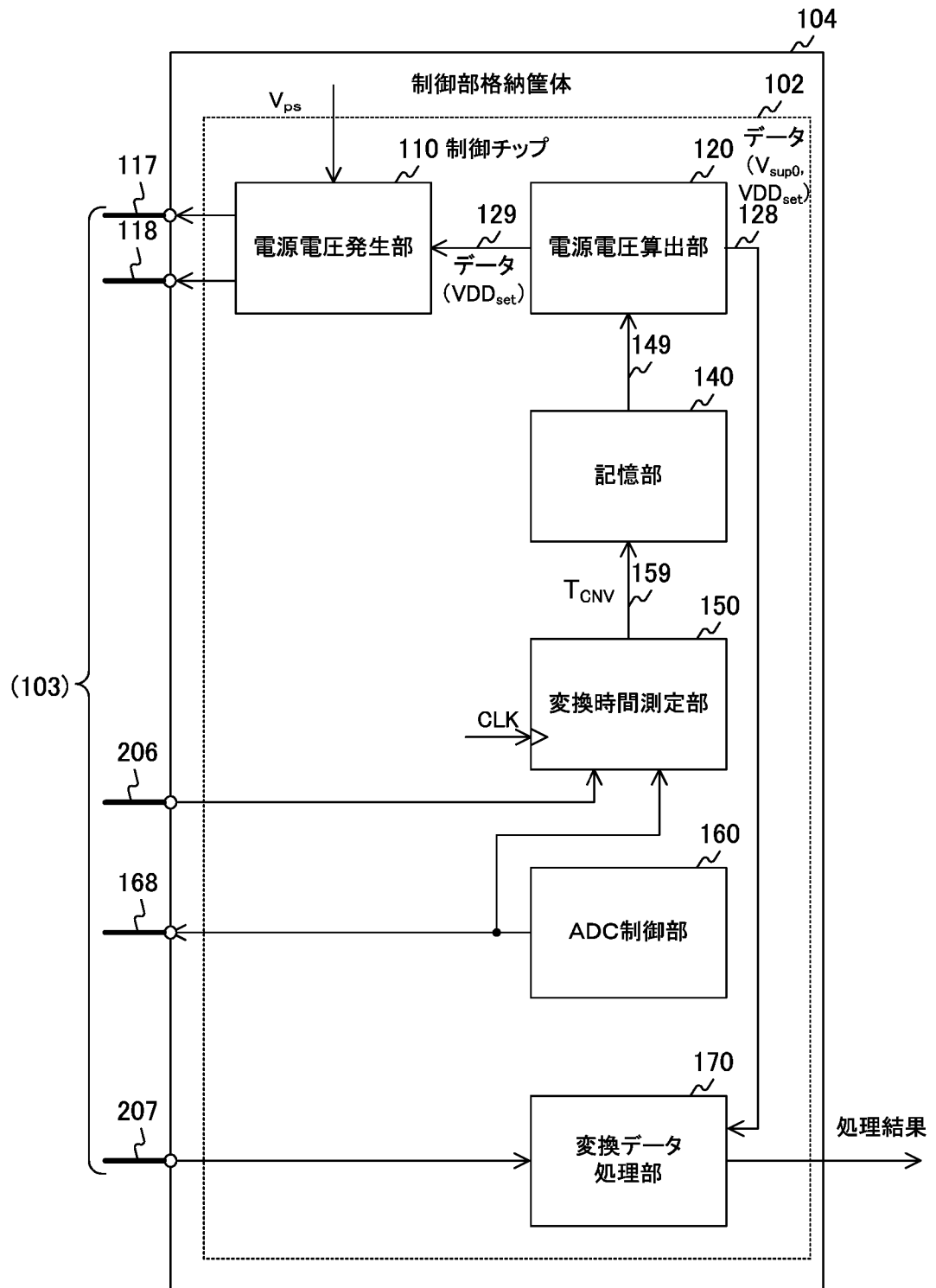
[図27]



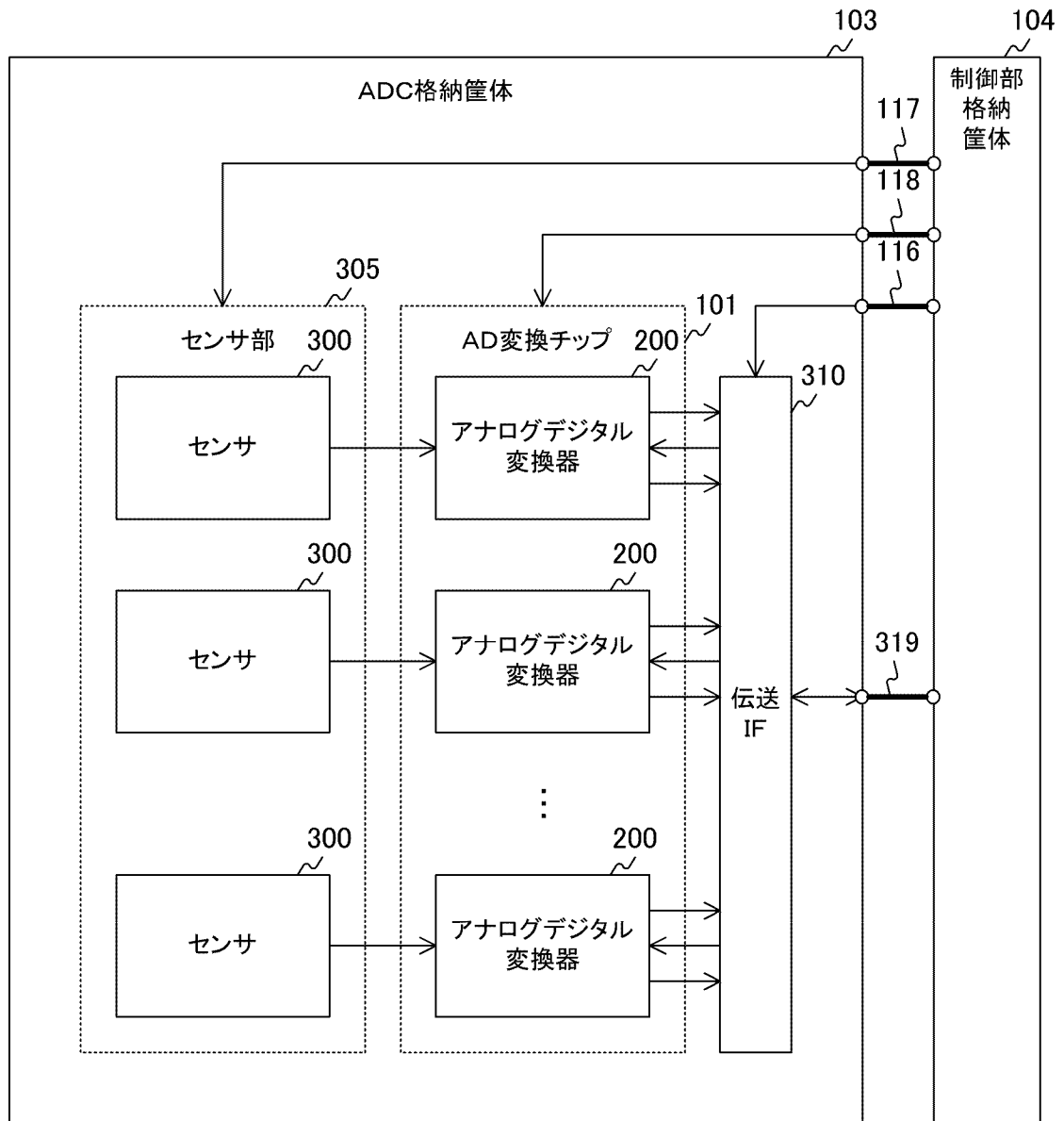
[図28]



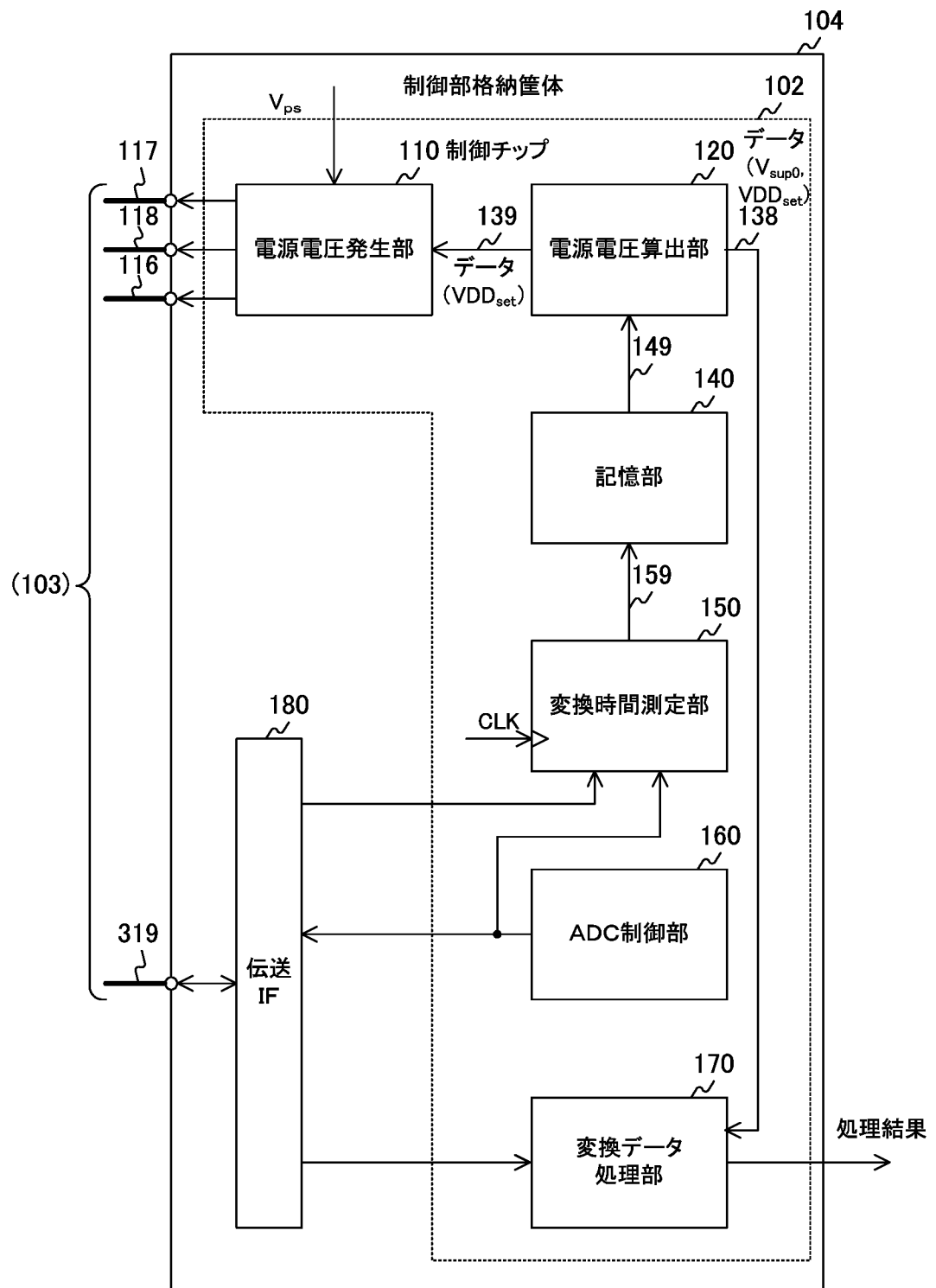
[図29]



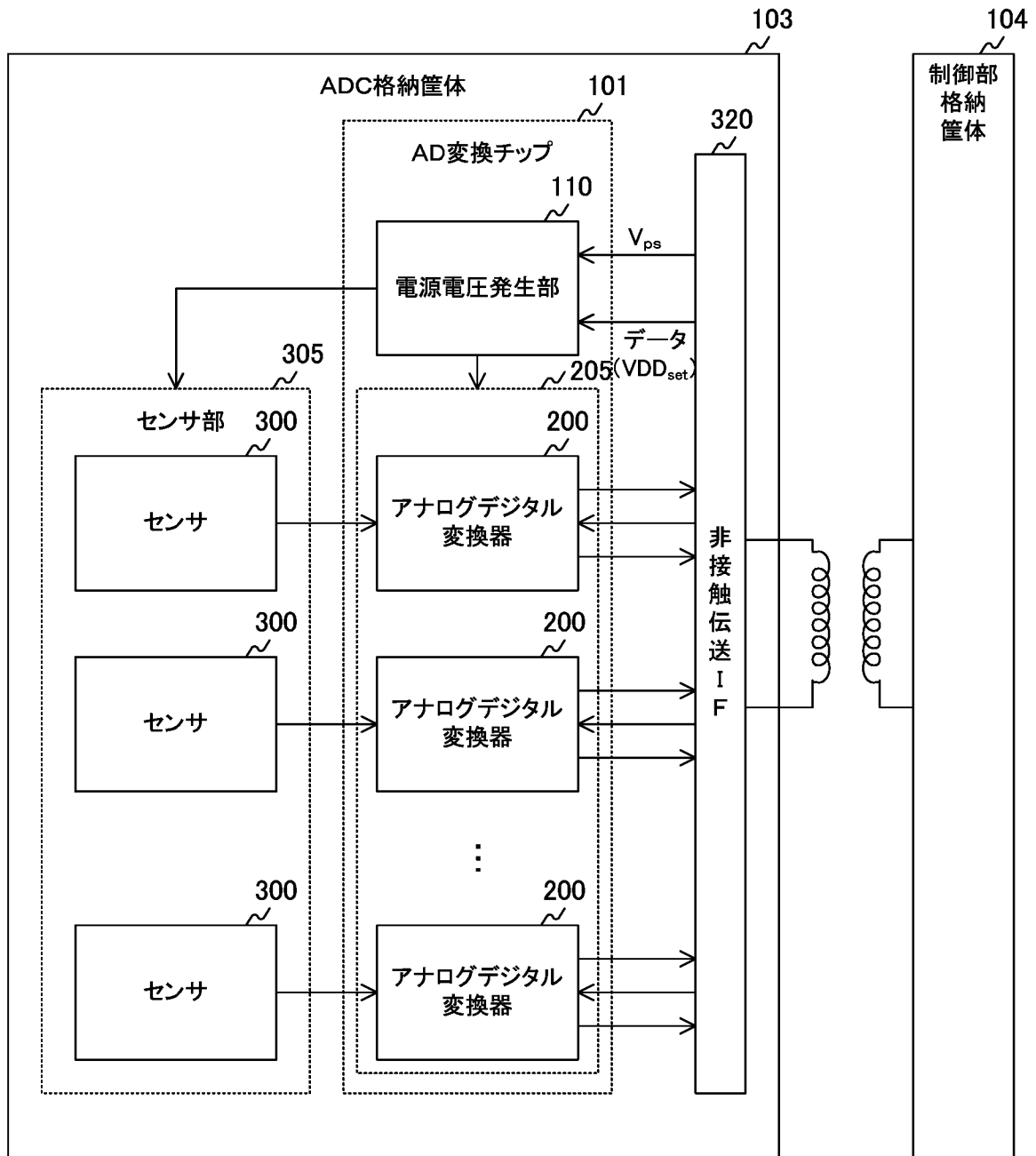
[図30]



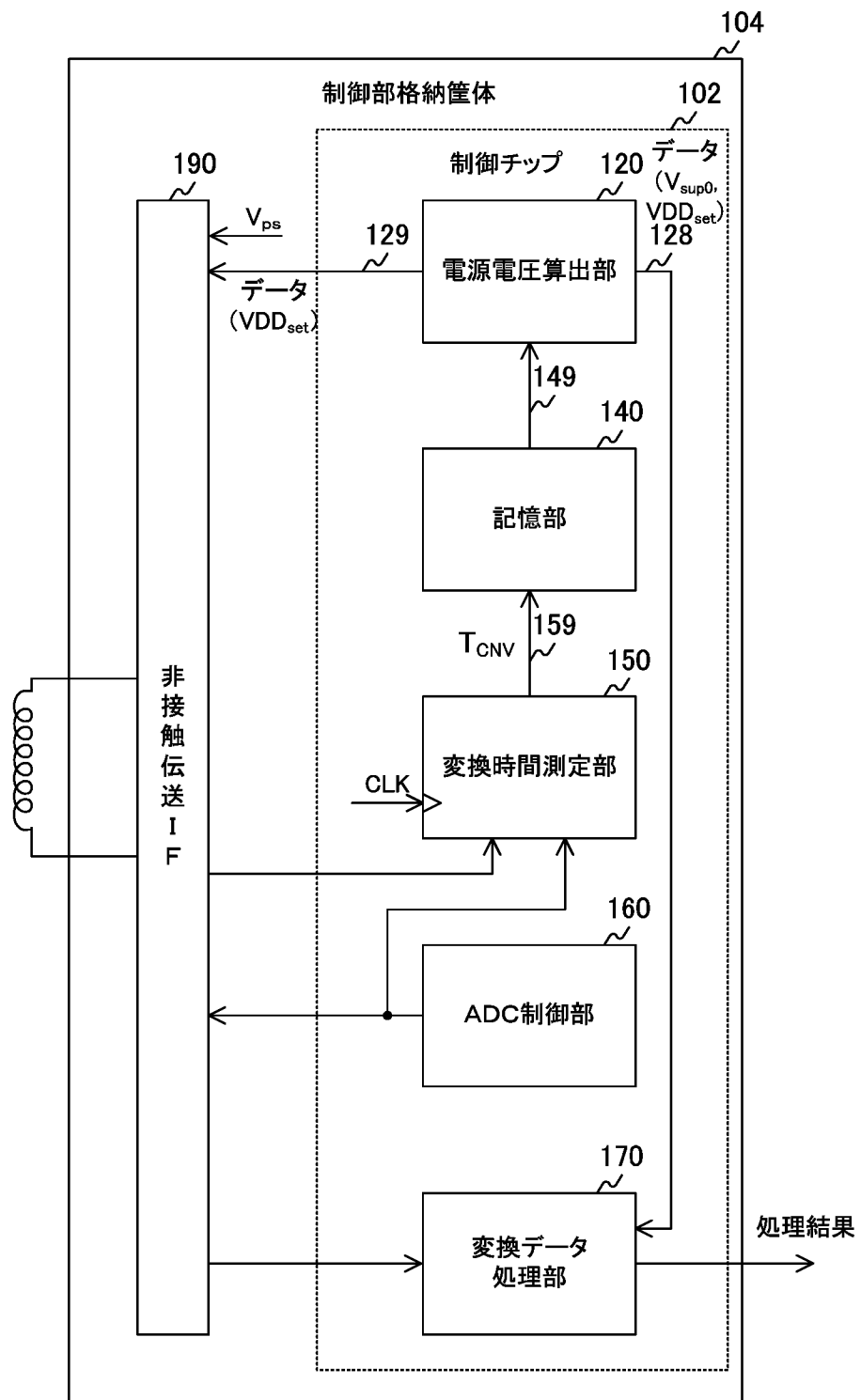
[図31]



[図32]



[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062244

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/38(2006.01) i, H03M1/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016

Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-61597 A (Fujitsu Ltd.), 24 March 2011 (24.03.2011), paragraphs [0015] to [0038]; fig. 1 to 15 & US 2011/0063147 A1 paragraphs [0029] to [0052]; fig. 1 to 15	19 1-18, 20
A	JP 2013-106116 A (Fujitsu Ltd.), 30 May 2013 (30.05.2013), paragraphs [0014] to [0024]; fig. 1 (Family: none)	1-20
A	JP 2010-109661 A (Mitsumi Electric Co., Ltd.), 13 May 2010 (13.05.2010), paragraphs [0019] to [0026]; fig. 1 & US 2011/0204926 A1 paragraphs [0033] to [0040]; fig. 1 & WO 2010/050294 A1 & CN 102197594 A	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 June 2016 (21.06.16)

Date of mailing of the international search report

05 July 2016 (05.07.16)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062244

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-217530 A (Fujitsu Ltd.), 11 August 2005 (11.08.2005), paragraphs [0018] to [0027]; fig. 1 & US 2005/0162301 A1 paragraphs [0026] to [0035]; fig. 1 & EP 1569344 A1 & CN 1649273 A	1-20

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/38(2006.01)i, H03M1/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-61597 A (富士通株式会社) 2011.03.24, 段落15-38, 図1-15 & US 2011/0063147 A1, 段落29-52, 図1-15	19 1-18, 20
A	JP 2013-106116 A (富士通株式会社) 2013.05.30, 段落14-24, 図1 (ファミリーなし)	1-20
A	JP 2010-109661 A (ミツミ電機株式会社) 2010.05.13, 段落19-26, 図1 & US 2011/0204926 A1, 段落33-40, 図1 & WO 2010/050294 A1 & CN 102197594 A	1-20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2016

国際調査報告の発送日

05.07.2016

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

電話番号 03-3581-1101 内線 3576

5W

5888

C（続き）． 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-217530 A（富士通株式会社）2005.08.11，段落 18-27，図 1 & US 2005/0162301 A1，段落 26-35，図 1 & EP 1569344 A1 & CN 1649273 A	1-20